



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201935409 A

(43)公開日：中華民國 108 (2019) 年 09 月 01 日

(21)申請案號：108117368

(22)申請日：中華民國 107 (2018) 年 02 月 21 日

(51)Int. Cl.：

G06T1/20 (2006.01)

G06T1/60 (2006.01)

G06F13/12 (2006.01)

(30)優先權：2017/04/24

美國

15/494,905

(71)申請人：美商英特爾股份有限公司 (美國) INTEL CORPORATION (US)

美國

(72)發明人：亞布 亞奇雪克 APPU, ABHISHEK (IN)；金德煥 KIM, DUKHWAN (KR)；陳峰 CHEN, FENG (CN)；沙帝許 納達瑟 SATISH, NADATHUR RAJAGOPALAN (IN)；唐 屏 TANG, PING (US)；陳曉明 CHEN, XIAOMING (CN)；亞巴里 法雪德 AKHBARI, FARSHAD (US)；史瑞尼法 那拉楊 SRINIVASA, NARAYAN (US)；史崔克蘭 麥可 STRICKLAND, MICHAEL (US)；寇克 歐塔 KOKER, ALTUG (US)；許斯曼 塔提安那 SHPEISMAN, TATIANA (US)；麥佛森 麥克 MACPHERSON, MIKE (US)；雷 喬伊迪普 RAY, JOYDEEP (US)；姚安邦 YAO, ANBANG (CN)；赫德 琳達 HURD, LINDA (US)；威斯特 約翰 WEAST, JOHN C. (US)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：12 項 圖式數：29 共 168 頁

(54)名稱

計算最佳化機制

COMPUTE OPTIMIZATION MECHANISM

(57)摘要

本發明揭露了一種促進計算最佳化的設備。所述設備包括基於浮點執行緒操作之位元深度將處理執行緒分類為執行緒組的分類邏輯。

An apparatus to facilitate compute optimization is disclosed. The apparatus includes sorting logic to sort processing threads into thread groups based on bit depth of floating point thread operations.

指定代表圖：

符號簡單說明：

610 . . . 計算機制

710 . . . 分類器

712 . . . 浮點箱

714 . . . 浮點箱

716 . . . 浮點單元

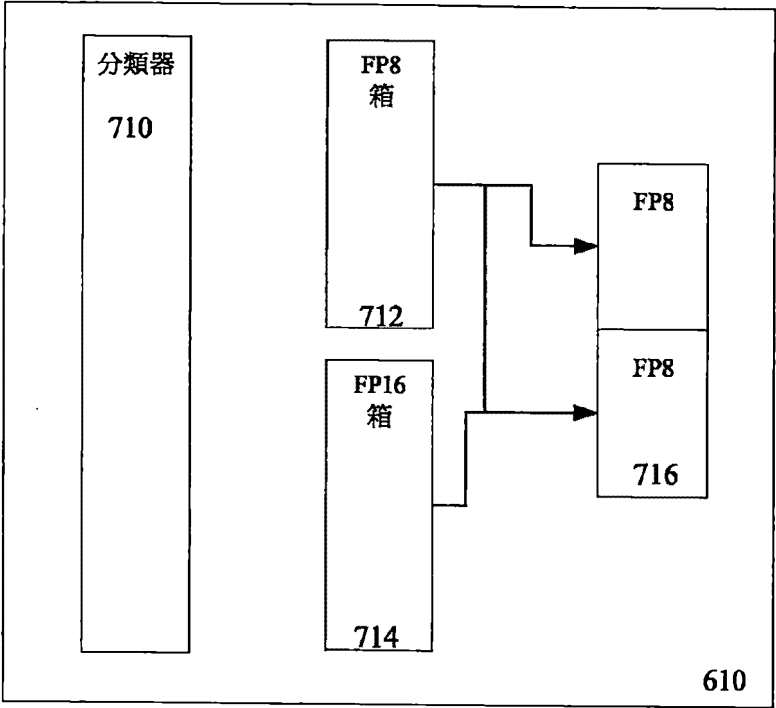


圖 7A

【發明說明書】

【中文發明名稱】

計算最佳化機制

【英文發明名稱】

COMPUTE OPTIMIZATION MECHANISM

【技術領域】

【0001】本發明實施例大致上是有關於資料處理，並且更具體地是有關於經由通用圖形處理單元的資料處理。

【先前技術】

【0002】當前的並行圖形資料處理包括開發用於對圖形資料執行特定操作的系統和方法，諸如(例如)線性內插、鑲嵌、光柵化、紋理映射、深度測試等。傳統上，圖形處理器使用固定功能計算單元來處理圖形資料；然而，最近，圖形處理器的部分已經製為可編程的，使得此種處理器支持更廣泛的各種操作以用於處理頂點和片段資料。

【0003】為了進一步提高效能，圖形處理器通常實施諸如管線操作之處理技術，這些處理技術嘗試在圖形管線的不同部分全部並行處理盡可能多的圖形資料。具有單指令多執行緒(SIMT)架構的並行圖形處理器設計成可最大化圖形管線中的並行處理量。在SIMT架構中，並行執行緒組嘗試盡可能經常同步執行程式指令以提高處理效率。在

Shane Cook, *CUDA Programming* 第3章，第37-51頁(2013年)中可以找到關於SIMT架構的軟體和硬體的總體概述。

【圖式簡單說明】

【0004】為了能夠詳細理解本實施例的上述特徵的方式，可以通過參考實施例來對上面簡要概述的實施例進行更具體的描述，其中一些實施例在附圖中示出。然而應注意的是，附圖僅示出了典型的實施例，因此不應被視為限制其範圍。

【0005】圖1為示出組態以實施文中所述之實施例的一或多個態樣之電腦系統的方塊圖；

【0006】圖2A-2D根據實施例示出並行處理器組件；

【0007】圖3A-3B為根據實施例之圖形多處理器的方塊圖；

【0008】圖4A-4F示出其中複數個GPU被通訊地耦接至複數個多核心處理器的示例性架構；

【0009】圖5根據實施例示出圖形處理管線；

【0010】圖6根據實施例示出採用最佳化機制的計算裝置；

【0011】圖7A和7B示出計算最佳化機制的實施例；

【0012】圖8根據實施例示出機器學習軟體堆疊；

【0013】圖9根據實施例示出高度並行的通用圖形處理單元；

【0014】圖10根據實施例示出多GPU計算系統；

【0015】圖 11A-11B 示出了示例性深度類神經網路的層；

【0016】圖 12 示出示例性遞迴類神經網路；

【0017】圖 13 示出深度類神經網路的訓練和部署；

【0018】圖 14 為示出分散式學習的方塊圖；

【0019】圖 15 示出適用於使用訓練模型執行推理的示例性推理系統單晶片 (SOC)；

【0020】圖 16 為根據實施例之處理系統的方塊圖；

【0021】圖 17 為根據實施例之處理器的方塊圖；

【0022】圖 18 為根據實施例之圖形處理器的方塊圖；

【0023】圖 19 為根據一些實施例之圖形處理器之圖形處理引擎的方塊圖；

【0024】圖 20 為由附加實施例提供的圖形處理器的方塊圖；

【0025】圖 21 示出在一些實施例採用之包括處理單元之陣列的執行緒執行邏輯；

【0026】圖 22 為根據一些實施例示出之圖形處理器指令格式的方塊圖；

【0027】圖 23 為根據另一實施例之圖形處理器的方塊圖；

【0028】圖 24A-24B 根據一些實施例示出圖形處理器命令格式和命令序列；

【0029】圖 25 根據一些實施例示出用於資料處理系統的示例性圖形軟體架構；

【0030】圖26為根據實施例示出IP核心開發系統的方塊圖；

【0031】圖27為根據實施例示出示例性系統單晶片積體電路的方塊圖；

【0032】圖28為示出額外的示例性圖形處理器的方塊圖；以及

【0033】圖29為根據實施例示出系統單晶片積體電路之額外的示例性圖形處理器的方塊圖。

【發明內容】及【實施方式】

【0034】在實施例中，揭露了用於圖形處理器之最佳化計算的機制。在一些實施例中，計算機制包括基於浮點執行緒操作之位元深度將處理執行緒分類為執行緒組的分類邏輯。於其他實施例中，計算機制包括用以將執行緒處理為具有更高位元深度之浮點執行緒操作的浮動邏輯。在進一步實施例中，計算機制包括用以在數學指令中提供可變精確度支持的邏輯。

【0035】在下面的敘述中，闡述了許多具體細節，以提供更透徹的理解。然而，對於本領域技術人員顯而易見的是，本發明可以在沒有一或多個這些具體細節的情況下實施。在其他情況下，未敘述眾所周知的特徵，以避免模糊本實施例的細節。

系統概述

【0036】圖1為示出組態以實施文中所述之實施例的一或多個態樣之計算系統100的方塊圖。計算系統100包括具有一或多個處理器102的處理子系統101以及經由可包括記憶體集線器105之互連路徑通訊的系統記憶體104。記憶體集線器105可以為在晶片組組件之中的分開組件，或者可以是集成在一或多個處理器102之中。記憶體集線器105經由通訊鏈路106與I/O子系統111耦接。I/O子系統111包括I/O集線器107，其使得計算系統100能夠從一或多個輸入裝置108接收輸入。此外，I/O集線器107可以使得顯示控制器(其可包括在一或多個處理器102中)提供輸出至一或多個顯示裝置110A。於一實施例中，與I/O集線器107耦接的一或多個顯示裝置110A可包括局部、內部或嵌入式顯示裝置。

【0037】於一實施例中，處理子系統101包括一或多個並行處理器112，其經由匯流排或其它通訊鏈路113耦接至記憶體集線器105。通訊鏈路113可以是任何數量的基於標準的通訊鏈路技術或協定之一(例如但不限於PCI Express)或者可以是供應商特定的通訊介面或通訊結構。於一實施例中，一或多個並行處理器112形成計算上集中的並行或向量處理系統，其包括大量的處理核心和/或處理群集，諸如許多集成核心(MIC)處理器。於一實施例中，一或多個並行處理器112形成圖形處理子系統，其可以將像素輸出到經由I/O集線器107耦接的一或多個顯示裝置110A中的一個。一或多個並行處理器112也可以包括顯

示控制器和顯示介面(未顯示)，以實現直接連接至一或多個顯示裝置110B。

【0038】在I/O子系統111之中，系統儲存單元114可以連接到I/O集線器107，以為計算系統100提供儲存機制。I/O開關116可用於提供介面機制，以實現I/O集線器107與其它組件(諸如，可集成在平台中的網路適配器118和/或無線網路適配器119)和可以經由一或多個添加裝置120添加的各種其他裝置之間的連接。網路適配器118可為乙太網路適配器或另一有線網路適配器。無線網路適配器119可包括Wi-Fi、藍芽、近場通訊(NFC)或包括一或多個無線電之其它網路裝置中的一或多個。

【0039】計算系統100可包括未明確示出的其他組件，包括USB或其他埠連接、光學儲存器驅動、視頻擷取裝置等，也可以連接到I/O集線器107。互連圖1中的各種組件的通訊路徑可以使用任何合適的協定來實施，諸如基於PCI(周邊組件互連)的協定(例如，PCI-Express)，或任何其他匯流排或點對點通訊介面和/或協定，諸如NV-Link高速互連或本領域中已知的互連協定。

【0040】於一實施例中，一或多個並行處理器112包括針對圖形和視頻處理而最佳化的電路，包括例如視頻輸出電路，並且構成圖形處理單元(GPU)。於另一個實施例中，一或多個並行處理器112包含針對通用處理而最佳化的電路，同時保留在此更詳細敘述之底層計算架構。於又一個實施例中，計算系統100的組件可以與單一積體電路

上的一或多個其他系統元件集成。例如，一或多個並行處理器 112、記憶體集線器 105、處理器 102 和 I/O 集線器 107 可被集成在系統單晶片 (SoC) 積體電路中。或者，計算系統 100 之組件可被集成在單一封裝中，以形成系統級封裝 (SIP) 組態。於一實施例中，計算系統 100 之至少一部分的組件可被集成在多晶片模組 (MCM) 中，其可以與其它多晶片模組互連成調變計算系統。

【0041】應理解到本文中所示之計算系統 100 是說明性的，並且變化和修改是可能的。包括橋的數量和配置、處理器 102 的數量以及並行處理器 112 的數量之連接拓撲可以根據需要進行修改。例如，在一些實施例中，系統記憶體 104 直接連接到處理器 102 而不是透過橋，而其他裝置經由記憶體集線器 105 和處理器 102 與系統記憶體 104 通訊。在其它替代拓撲中，並行處理器 112 係連接至 I/O 集線器 107 或直接連接至一或多個處理器 102 之一，而不是記憶體集線器 105。於其他實施例中，I/O 集線器 107 和記憶體集線器 105 可被集成在單一晶片中。某些實施例可包括經由多個插座附接的兩個或多個處理器 102 集合，其可以與並行處理器 112 的兩或多個實例耦接。

【0042】這裡示出的一些特定組件是可選的並且可能不包括在計算系統 100 的所有實施方式中。例如，可以支持任何數量的添加卡或周邊，或者可以省去一些組件。再者，一些架構可能使用不同的術語來敘述類似於圖 1 所示的組件。例如，記憶體集線器 105 在一些架構中可以被稱

為北橋，而I/O集線器107可以被稱為南橋。

【0043】圖2A根據實施例示出並行處理器200。並行處理器200的各種組件可以使用諸如可編程處理器、特定應用積體電路(ASIC)或現場可程式閘陣列(FPGA)之類的一或多個積體電路裝置來實施。根據一實施例，所示的並行處理器200是圖1所顯示的一或多個並行處理器112的變化。

【0044】於一實施例中，並行處理器200包括並行處理單元202。並行處理單元包括I/O單元204，其能夠與包括並行處理單元202之其他實例的其他裝置進行通訊。I/O單元204可直接連接至其它裝置。於一實施例中，I/O單元204經由集線器或開關介面(諸如，記憶體集線器105)的使用與其它裝置連接。記憶體集線器105和I/O單元204之間的連接形成通訊鏈路113。在並行處理單元202之中，I/O單元204與主介面206和記憶體交叉開關216連接，其中主介面206接收針對執行處理操作的命令，且記憶體交叉開關216接收針對執行記憶體操作的命令。

【0045】當主介面206經由I/O單元204接收命令緩衝器，主介面206可以指導工作操作將那些命令執行到前端208。於一實施例中，前端208與排程器210耦接，排程器210係組態以將命令或其它工作事項分配至處理群集陣列212。於一實施例中，排程器210確保處理群集陣列212被正確組態並且在任務被分配到處理群集陣列212的處理群集之前處於有效狀態。

【0046】處理群集陣列212可以包括多達「N」個處理群集(例如，群集214A、群集214B至群集214N)。處理群集陣列212之每一個群集214A-214N可執行大量的並行執行緒。排程器210可以使用各種排程和/或工作分配演算法將工作分配給處理群集陣列212的群集214A-214N，這些演算法可以根據針對每種類型的程式或計算產生的工作量而變化。排程可以由排程器210動態地處理，或者可以在程式邏輯之編譯被組態為由處理群集陣列212執行期間由編譯器邏輯部分地輔助。

【0047】於一實施例中，處理群集陣列212的不同群集214A-214N可被分配用於處理不同類型的程式或用於執行不同類型的計算。

【0048】處理群集陣列212可被組態以執行各種類型的並行處理操作。於一實施例中，處理群集陣列212被組態以執行通用並行計算操作。例如，處理群集陣列212可包括執行包括視頻和/或音頻資料之濾波的處理任務之邏輯，和/或包括實體操作在內的建模操作，以及執行資料轉換。

【0049】於一實施例中，處理群集陣列212被組態為執行並行圖形處理操作。在其中並行處理器200被組態為執行圖形處理操作的實施例中，處理群集陣列212可包括支持這些圖形處理操作之執行的額外邏輯，包括但不限於執行紋理操作的紋理採樣邏輯，以及鑲嵌邏輯和其他頂點處理邏輯。另外，處理群集陣列212可以被組態為執行與

圖形處理相關的著色器程式，例如但不限於頂點著色器、鑲嵌著色器、幾何著色器和像素著色器。並行處理單元202可以經由I/O單元204從系統記憶體傳輸資料以進行處理。在處理期間，傳輸的資料可以在處理期間被儲存到晶載記憶體(例如，並行處理器記憶體222)，然後被回寫到系統記憶體。

【0050】於一實施例中，當並行處理單元202被用來執行圖形處理時，排程器210可被組態以將處理工作量劃分為大約相等大小的任務，以更好地使圖形處理操作能夠分配到處理群集陣列212的多個群集214A-214N。在一些實施例中，部分的處理群集陣列212可被組態以執行不同類型的處理。例如，第一部分可以被組態為執行頂點著色和拓撲產生，第二部分可以被組態為執行鑲嵌和幾何著色，以及第三部分可以被組態為執行像素著色或其他螢幕空間操作，以產生用於顯示之渲染的影像。由一或多個群集214A-214N產生的中間資料可被儲存在緩衝器中，以允許中間資料在群集214A-214N之間傳輸以用於進一步處理。

【0051】在操作期間，處理群集陣列212可以接收經由排程器210執行的處理任務，排程器210從前端208接收定義處理任務的命令。對於圖形處理操作，處理任務可以包括要處理之資料的索引，例如表面(修補)資料、基元資料、頂點資料和/或像素資料，以及定義資料將如何被處理的狀態參數和命令(例如，要執行什麼程式)。排程器

210可以被組態為提取相應於任務的索引或者可以從前端208接收索引。前端208可以被組態為確保處理群集陣列212在由輸入命令緩衝器(例如，批次緩衝器、推送緩衝器等)指明的工作負載被啟用之前被組態為有效狀態。

【0052】並行處理單元202的一或多個實例中的每一個可以與並行處理器記憶體222耦接。並行處理器記憶體222可以經由記憶體交叉開關216存取，其可以接收來自處理群集陣列212以及I/O單元204的記憶體請求。記憶體交叉開關216可以經由記憶體介面218存取並行處理器記憶體222。記憶體介面218可包括多個分區單元(例如，分區單元220A、分區單元220B至分區單元220N)，其各自可耦接至並行處理器記憶體222的一部分(例如，記憶體單元)。在一實施方式中，分區單元220A-220N的數量被組態為等於記憶體單元的數量，使得第一分區單元220A具有相應的第一記憶體單元224A，第二分區單元220B具有相應的第二記憶體單元224B以及第N分區單元220N具有相應的第N記憶體單元224N。於其他實施例中，分區單元220A-220N的數量可能不等於記憶體裝置的數量。

【0053】在各個實施例中，記憶體單元224A-224N可包括各種類型的記憶體裝置，包括動態隨機存取記憶體(DRAM)或圖形隨機存取記憶體，諸如同步圖形隨機存取記憶體(SGRAM)，其包括圖形雙倍資料速率(GDDR)記憶體。於一實施例中，記憶體單元224A-224N也可包括3D堆疊記憶體，其包括但不限於高頻寬記憶體(HBM)。本領

域的技術人員將會理解記憶體單元224A-224N的具體實施方式是可變化的，並且可以從各種常規設計之一中選擇。諸如訊框緩衝器或紋理映射的渲染目標可被儲存跨越記憶體單元224A-224N，允許分區單元220A-220N並行地寫入每個渲染目標的部分以有效地使用並行處理器記憶體222的可用頻寬。在一些實施例中，可以排除並行處理器記憶體222的區域實例，以利用與區域快取記憶體結合使用系統記憶體的統一記憶體設計。

【0054】於一實施例中，處理群集陣列212的任一個群集214A-214N可處理將被寫入至並行處理器記憶體222之中的任何記憶體單元224A-224N的資料。記憶體交叉開關216可被組態為將每個群集214A-214N的輸出傳輸到任何分區單元220A-220N或另一群集214A-214N，其可以對輸出執行額外的處理操作。每個群集214A-214N可以透過記憶體交叉開關216與記憶體介面218進行通訊以從各種外部記憶體裝置讀取或寫入各種外部記憶體裝置。於一實施例中，記憶體交叉開關216具有到記憶體介面218的連接以與I/O單元204通訊，以及到並行處理器記憶體222之區域實例的連接，使得不同處理群集214A-214N之中的處理單元與系統記憶體或對並行處理單元202不是區域的其他記憶體進行通訊。於一實施例中，記憶體交叉開關216可使用虛擬通道，以分離群集214A-214N和分區單元220A-220N之間的流量流。

【0055】雖然並行處理單元202的單個實例被圖示在

並行處理器 200 之中，但是可以包括並行處理單元 202 的任何數量實例。例如，可以在單個添加卡上提供並行處理單元 202 的多個實例，或者可以互連多個添加卡。即使不同實例具有不同數量的處理核心，不同數量的區域並行處理器記憶體和/或其他組態差異，並行處理單元 202 的不同實例也可以被組態為相互操作。例如，並且於一實施例中，並行處理單元 202 的一些實例可包括相對於其他實例更高精確度的浮點單位。組合並行處理單元 202 或並行處理器 200 的一或多個實例的系統可以以各種組態和形式因素來實現，包括但不限於桌上型、膝上型或手持式個人電腦、伺服器、工作站、遊戲控制台和/或嵌入式系統。

【0056】圖 2B 為根據實施例之分區單元 220 的方塊圖。於一實施例中，分區單元 220 為圖 2A 之分區單元 220A-220N 中一者的實例。如圖所示，分區單元 220 包括 L2 快取 221、訊框緩衝器介面 225 及 ROP 226 (光柵操作單元)。L2 快取 221 為組態以執行載入和儲存從記憶體交叉開關 216 和 ROP 226 接收的操作之讀取/寫入快取。讀取遺失和緊急回寫請求由 L2 快取 221 輸出到訊框緩衝器介面 225 以進行處理。髒更新也可以經由訊框緩衝器介面 225 發送到訊框緩衝器以用於機會處理。於一實施例中，訊框緩衝器介面 225 與並行處理器記憶體 (諸如，圖 2 的記憶體單元 224A-224N (例如，在並行處理器記憶體 222 之中)) 中的記憶體單元之一者連接。

【0057】在圖形應用中，ROP 226 是執行諸如模板、z

測試、混合等的光柵操作的處理單元。ROP 226接著輸出儲存在圖形記憶體中的處理的圖形資料。在一些實施例中，ROP 226包括壓縮邏輯，用於壓縮寫入記憶體的z或顏色資料，並解壓縮從記憶體讀取的z或顏色資料。在一些實施例中，ROP 226被包括在每個處理群集(例如，圖2的群集214A-214N)之中而不是在分區單元220之中。在此種實施例中，像素資料的讀取和寫入請求透過記憶體交叉開關216而不是像素片段資料來傳輸。

【0058】經處理的圖形資料可以顯示在諸如圖1的一個或多個顯示裝置110中的一者的顯示裝置上、被處理器102路由以用於進一步處理或被圖2A之並行處理器200中的一處理實體路由以用於進一步處理。

【0059】圖2C為根據實施例之在並行處理單元之中的處理群集214的方塊圖。於一實施例中，處理群集為圖2之處理群集214A-214N中一者的實例。處理群集214可被組態以並行執行許多執行緒，其中用語「執行緒」指的是在特定的一組輸入資料上執行的特定程式的一個實例。在一些實施例中，單指令多資料(SIMD)指令發布技術被用於支持大量執行緒的並行執行而不提供多個獨立指令單元。在其它實施例中，使用單指令多執行緒(SIMT)技術來支持大量通常同步執行緒的並行執行，使用組態成向每個處理群集內的一組處理引擎發出指令的公共指令單元。與所有處理引擎通常執行相同指令的SIMD執行機制不同，SIMT執行允許不同執行緒更容易地遵循給定執行緒程式中的不同

執行路徑。本領域的技術人員將理解到SIMD處理機製表示SIMT處理機制的功能子集。

【0060】處理群集214之操作可以經由將處理任務分配給SIMT並行處理器的管線管理器232來控制。管線管理器232接收來自圖2之排程器210的指令並且經由圖形多處理器234和/或紋理單元236管理那些指令之執行。所示之圖形多處理器234為SIMT並行處理器的示例性實例。然而，不同架構之各種類型的SIMT並行處理器可被包括在處理群集214之中。圖形多處理器234之一或多個實例可被包括在處理群集214之中。圖形多處理器234可處理資料，以及資料交叉開關240可被用於將處理的資料分配到多個可能的目的地之一，包括其他著色器單元。管線管理器232可以藉由指明待分配的處理資料之目的地相對於資料交叉開關240來促進已處理的資料之分配。

【0061】處理群集214之中的每個圖形多處理器234可包括相同的一組功能性執行邏輯(例如算術邏輯單元、載入儲存單元等)。功能性執行邏輯可以以管線的方式進行組態，在先前的指令完成之前可以發出新的指令。功能性執行邏輯支持各種操作，包括整數和浮點計算、比較運算、布爾運算、位元位移和各種代數函數的計算。在一個實施例中，可以利用相同的功能性單元硬體來執行不同的操作，並且可以存在功能單元的任何組合。

【0062】傳送到處理群集214的指令構成執行緒。在一組並行處理引擎上執行的一組執行緒是執行緒組。執行

緒組在不同的輸入資料上執行相同的程式。執行緒組內的每個執行緒可以被分配給圖形多處理器234之中的不同處理引擎。執行緒組可包括比圖形多處理器234之中的處理引擎之數量更少的執行緒。當執行緒組包括比處理引擎之數量更少的執行緒時，在執行緒組正被處理之週期期間，處理引擎中的一或多者可以是閒置的。執行緒組還可包括比圖形多處理器234內的處理引擎數量更多的執行緒。當執行緒組包括比圖形多處理器234內的處理引擎數量更多的執行緒時，處理可在連續的時脈週期被執行。於一實施例中，多個執行緒組可被同時地執行於圖形多處理器234。

【0063】於一實施例中，圖形多處理器234包括用以執行載入及儲存操作的內部快取記憶體。在一個實施例中，圖形多處理器234可放棄內部快取並使用處理群集214內的快取記憶體(例如，L1快取308)。每一個圖形多處理器234也有權存取分區單元(例如，圖2的分區單元220A-220N)之中的L2快取，該些L2快取被共享於所有處理群集214之間且可被用來轉移執行緒之間的資料。圖形多處理器234還可存取晶片外全域記憶體，其可包括本地並行處理器記憶體和/或系統記憶體中的一或多者。並行處理單元202外部的任何記憶體可被使用為全域記憶體。其中處理群集214包括圖形多處理器234的多個實例的實施例可共享可被儲存於L1快取308中的共同指令及資料。

【0064】每一個處理群集214可包括MMU 245(記憶體

管理單元)，其被組態以將虛擬位址映射成實體位址。於其他實施例中，MMU 245中的一或多個實例可駐存於圖2的記憶體介面218內。MMU 245包括被用來將虛擬位址映射成磚片之實體位址的一組分頁表條目(PTE)(多談談填磚)，及(選擇性地)快取線索引。MMU 245可包括位址變換後備緩衝器(TLB)或可駐存於圖形多處理器234內的快取或L1快取或處理群集214。實體位址被處理以局部性地分配表面資料存取，以允許有效率的請求分區單元之間的交錯。快取線索引可被用來判定針對快取線之請求為命中或未命中。

【0065】在圖形及計算應用中，處理群集214可被組態以致使各圖形多處理器234被耦接至紋理單元236以供執行紋理映射操作，例如，判定紋理樣本位置、讀取紋理資料及過濾紋理資料。紋理資料係從內部紋理L1快取(未顯示)或者(在一些實施例)從圖形多處理器234內的L1快取讀取，且依照所需從L2快取、本地並行處理器記憶體或系統記憶體提取。每一個圖形多處理器234將經處理的任務輸出至資料交叉開關240以將該經處理的任務提供至另一處理群集214以供進一步處理，或者經由記憶體交叉開關216將該經處理的任務儲存於L2快取、本地並行處理器記憶體或系統記憶體中。preROP 242(預光柵操作單元)被組態成從圖形多處理器234接收資料、導引資料至ROP單元，其可連同如本文中所述之分區單元(例如，圖2的分區單元220A-220N)被定位。preROP 242單元可執行針對顏色混合

之最佳化、組織像素顏色資料及執行位址轉譯。

【0066】應理解到本文中所示之核心架構是說明性的，並且變化和修改是可能的。任何數目的處理單元(例如，圖形多處理器234、紋理單元236、preROP 242，等等)可被包括在處理群集214內。再者，雖然僅顯示一個處理群集214，但如本文中所述之並行處理單元可包括任何數量之處理群集214的實例。於一實施例中，每一個處理群集214可被組態成使用獨立且不同的處理單元、L1快取等，獨立於其它處理群集214操作。

【0067】圖2D根據一實施例顯示圖形多處理器234。在此種實施例中，圖形多處理器234係與處理群集214之管線管理器232耦接。圖形多處理器234具有執行管線，其包括但不限於指令快取252、指令單元254、位址映射單元256、暫存器檔案258、一或多個通用圖形處理單元(GPGPU)核心262及一或多個載入/儲存單元266。GPGPU核心262及載入/儲存單元266係經由記憶體和快取互連268與快取記憶體272及共享記憶體270耦接。

【0068】在一個實施例中，指令快取252接收用以執行來自管線管理器232的指令串。該些指令被快取在指令快取252中並由指令單元254調度執行。指令單元254可調度指令為執行緒組(例如，經線)，其中執行緒組中之每一個執行緒被指派給GPGPU核心262之中的不同執行單元。指令可藉由指明統一位址空間之中的位址來存取任何本地、共享或全域位址空間。位址映射單元256可被用來將

統一地址空間中之位址轉換為可由載入/儲存單元266存取的相異記憶體位址。

【0069】暫存器檔案258提供用於圖形多處理器324之功能性單元的一組暫存器。暫存器檔案258提供暫時儲存給連接至圖形多處理器324之功能性單元(例如，GPGPU核心262、載入/儲存單元266)的資料路徑的計算元。於一實施例中，暫存器檔案258被劃分在功能性單元的每一者之間以致使各功能性單元被分配暫存器檔案258之專用部分。於一實施例中，暫存器檔案258被劃分在由圖形多處理器324所執行的不同經線之間。

【0070】GPGPU核心262可各包括浮點單元(FPU)和/或整數算術邏輯單元(ALU)，其被用來執行圖形多處理器324之指令。根據實施例，GPGPU核心262可於架構上類似或可於架構上不同。例如，以及於一實施例中，GPGPU核心262的第一部分包括單一精確度FPU及整數ALU，而GPGPU核心的第二部分包括雙精確度FPU。於一實施例中，FPU可實施IEEE 754-2008標準於浮點算術或者致使可變精確度浮點算術。圖形多處理器324可額外地包括一或多個固定功能或特殊功能單元，用以執行諸如複製矩形或像素混合操作的特定功能。在一個實施例中，GPGPU核心中的一或多者還可包括固定或特殊功能邏輯。

【0071】記憶體及快取互連268為互連網路，其將圖形多處理器324的功能性單元之各者連接至暫存器檔案258以及連接至共享記憶體270。於一實施例中，記憶體及快

取互連268為交叉開關互連，其允許載入/儲存單元266實施介於共享記憶體270與暫存器檔案258之間的載入和儲存操作。暫存器檔案258可操作於如GPGPU核心262之相同頻率，因此介於GPGPU核心262與暫存器檔案258之間的資料轉移是非常低延遲的。共享記憶體270可被用來致使介於執行在圖形多處理器234之中的功能性單元上的執行緒之間的通訊。快取記憶體272可被使用為資料快取，例如，用以快取在功能性單元與紋理單元236之間通訊的紋理資料。共享記憶體270還可被使用為程式管理快取的。除了被儲存於快取記憶體272之中的自動快取資料以外，執行於GPGPU核心262上之執行緒可將資料藉由程式化儲存於共享記憶體內。

【0072】圖3A-3B根據實施例示出額外圖形多處理器。所示的圖形多處理器325、350為圖2C之圖形多處理器234的變化。所示的圖形多處理器325、350可被組態為能夠同時執行大量執行緒之串流多處理器(SM)。

【0073】圖3A根據額外實施例顯示圖形多處理器325。圖形多處理器325包括相對於圖2D之圖形多處理器234的執行資源單元的多個額外實例。例如，圖形多處理器325可包括指令單元332A-332B、暫存器檔案334A-334B及紋理單元344A-344B的多個實例。圖形多處理器325還包括多組圖形或計算執行單元(例如，GPGPU核心336A-336B、GPGPU核心337A-337B、GPGPU核心338A-338B)及多組載入/儲存單元340A-340B。在一個實施例中，執行資

源單元具有共同指令快取330、紋理和/或資料快取記憶體342及共享記憶體346。各個組件可經由互連構造327來通訊。於一實施例中，互連構造327包括一或多個交叉開關，用以致使介於圖形多處理器325之各個組件之間的通訊。

【0074】圖3B根據額外實施例顯示圖形多處理器350。如圖2D及圖3A中所示，圖形處理器包括多組執行資源356A-356D，其中各組執行資源包括多個指令單元、暫存器檔案、GPGPU核心及載入儲存單元。執行資源356A-356D可配合紋理單元360A-360D工作以供紋理操作，同時共享指令快取354及共享記憶體362。在一個實施例中，執行資源356A-356D可共享指令快取354和共享記憶體362，以及紋理和/或資料快取記憶體358A-358B的多個實例。各個組件可經由類似於圖3A之互連構造327的互連構造352來通訊。

【0075】本領域技術人員將理解到圖1、2A-2D及3A-3B中所述之架構為說明性的而不是限制本實施例的範圍。因此，本文中所述之技術可被實現於任何適當組態的處理單元上，包括(非限制)一或多個行動應用處理器、包括多核心CPU的一或多個桌上型電腦或伺服器中央處理單元(CPU)、一或多個並行處理單元(諸如圖2的並行處理單元202)，以及一或多個圖形處理器或特殊用途處理單元，而不背離本文中所述之實施例的範圍。

【0076】在一些實施例中，如本文中所述之並行處理

器或GPGPU被通訊地耦接至主機/處理器核心以加速圖形操作、機器學習操作、圖形分析操作及各種通用GPU(GPGPU)功能。GPU可透過匯流排或其它互連(例如，諸如PCIe或NVLink等高速互連)被通訊地耦接至主機處理器/核心。於其他實施例中，GPU可被集成於如該等核心之相同封裝或晶片上，且透過內部處理器匯流排/互連(亦即，封裝或晶片內部)而被通訊地耦接至該些核心。無論GPU被連接的方式為何，處理器核心可依工作描述符所含之命令/指令的序列之形式將工作分配給GPU。GPU接著使用專用電路/邏輯以便有效率地處理這些命令/指令。

用於GPU至主處理器互連之技術

【0077】圖4A示出複數個GPU 410-413係透過高速鏈路440-443(例如，匯流排、點對點互連，等等)而被通訊地耦接至複數個多核心處理器405-406之範例架構。於一實施例中，高速鏈路440-443取決於實施方式支持4GB/s、30GB/s、80GB/s或更高的通訊通量。各種互連協定可被使用，包括但不限於PCIe 4.0或5.0及NVLink 2.0。然而，本發明之基本原理不限於任何特定的通訊協定或通量。

【0078】此外，於一實施例中，GPU 410-413之二或更多者係透過高速鏈路444-445而被互連，其可使用相同於或異於那些用於高速鏈路440-443的協定/鏈路來實現。類似地，多核心處理器405-406中的二或更多者可透過高速鏈路433而被連接，高速鏈路433可以是操作在20GB/s、

30GB/s、120GB/s或更高的對稱多處理器(SMP)匯流排。可替代地，介於圖4A中所示的各種系統組件之間的所有通訊可使用相同的協定/鏈路來完成(例如，透過共同互連構造)。然而，如上所述，本發明之基本原理不限於任何特定類型的互連技術。

【0079】於一實施例中，每一個多核心處理器405-406個別地經由記憶體互連430-431被通訊地耦接至處理器記憶體401-402，且每一個GPU 410-413係透過GPU記憶體互連450-453而被個別通訊地耦接至GPU記憶體420-423。記憶體互連430-431及450-453可利用相同或不同的記憶體存取技術。舉例而言(且非限制性)，處理器記憶體401-402及GPU記憶體420-423可以是揮發性記憶體，諸如動態隨機存取記憶體(DRAM)(包括堆疊DRAM)、圖形DDR SDRAM(GDDR)(例如，GDDR5、GDDR6)或高頻寬記憶體(HBM)和/或可以是諸如3D XPoint或Nano-Ram的非揮發性記憶體。在一個實施例中，記憶體之某部分可以是揮發性記憶體而其它部分可以是非揮發性記憶體(例如，使用二階記憶體(2LM)階層)。

【0080】如下所述，雖然各個處理器405-406及GPU 410-413可被個別實體地耦接至特定記憶體401-402、420-423，可實現一種統一記憶體架構，其中相同的虛擬系統位址空間(也稱為「有效位址」空間)被分配於所有的各個實體記憶體之間。例如，處理器記憶體401-402可各包含64GB的系統記憶體位址空間，而GPU記憶體420-423可各

包含32GB的系統記憶體位址空間(在此範例中，導致總共256GB的可定址記憶體)。

【0081】圖4B根據一實施例示出針對介於多核心處理器407與圖形加速模組446之間的互連的額外細節。圖形加速模組446可包括集成於經由高速鏈路440被耦接至處理器407之線卡上的一或多個GPU晶片。或者，圖形加速模組446可被集成於如處理器407的相同封裝或晶片上。

【0082】所示的處理器407包括複數個核心460A-460D，其各具有變換後備緩衝器461A-461D及一或多個快取462A-462D。該些核心可包括用以執行指令及處理資料之各種其它組件，其未被顯示以免混淆本發明的基本原理(例如，指令提取單元、分支預測單元、解碼器、執行單元、記錄器緩衝器，等等)。快取462A-462D可包含層級1(L1)及層級2(L2)快取。此外，一或多個共享快取426可被包括在快取階層中且由多組核心460A-460D所共享。例如，處理器407的一個實施例包括24個核心，各具有其本身的L1快取、十二個共享的L2快取，以及十二個共享的L3快取。在這實施例中，L2及L3快取之一係由兩個相鄰核心所共享。處理器407及圖形加速器集成模組446係與可包括處理器記憶體401-402的系統記憶體441連接。

【0083】儲存在各個快取462A-462D、456及系統記憶體441中的資料和指令係經由透過同調匯流排464之核心間通訊來維持同調性。例如，各快取可具有與其相關的快取同調性邏輯/電路，以回應於檢測到的讀取或寫入至特

定快取線而透過同調匯流排464來通訊。在一實施方式中，快取監聽協定被實施於同調匯流排464以監聽快取存取。快取監聽/同調性技術是本領域技術人員所熟知的且在此將不被詳細地描述，以免混淆本發明之基本原理。

【0084】在一個實施例中，代理電路425將圖形加速模組446通訊地耦接至同調匯流排464，其允許圖形加速模組446參與快取同調性協定而作為該些核心的同級。具體地說，介面435透過高速鏈路440(例如，PCIe匯流排、NVLink，等等)提供連接至代理電路425，並且介面437將圖形加速模組446連接至鏈路440。

【0085】在一實施方式中，加速器積體電路436代替圖形加速模組446的複數個圖形處理引擎431、432、N，提供了快取管理、記憶體存取、背景管理及中斷管理服務。圖形處理引擎431、432、N可各包含各自的圖形處理單元(GPU)。或者，圖形處理引擎431、432、N可包含GPU內的不同類型的圖形處理引擎，諸如圖形執行單元、媒體處理引擎(例如，視頻編碼器/解碼器)、採樣器及分裂引擎。換言之，圖形加速模組可以是具有複數個圖形處理引擎431-432、N之GPU，或者圖形處理引擎431-432、N可以是集成於共同封裝、線卡或晶片上之單獨GPU。

【0086】於一實施例中，加速器積體電路436包括記憶體管理單元(MMU)439，其用以執行各種記憶體管理功能，諸如虛擬至實體記憶體轉換(也稱為有效至真實記憶體轉換)及用以存取系統記憶體441之記憶體存取協定。

MMU 439也可包括變換後備緩衝器(TLB)(未顯示)，其用以將虛擬/有效快取至實體/真實位址轉換。在一實施方式中，快取438儲存命令及資料以供圖形處理引擎431-432、N有效率地存取。於一實施例中，快取438及圖形記憶體433-434、N中所儲存之資料被保持與核心快取462A-462D、456及系統記憶體411同調。如上所述，這可經由代理電路425來完成，該代理電路425代替快取438及記憶體433-434、N參與快取同調性機制(例如，傳送更新至相關於處理器快取462A-462D、456上之快取線的修改/存取的快取438，並從快取438接收更新)。

【0087】一組暫存器445儲存了背景資料以用於由圖形處理引擎431-432、N所執行之執行緒，而背景管理電路448係管理執行緒背景。例如，背景管理電路448可執行保存及復原操作，以保存及復原背景切換期間之各個執行緒的背景(例如，其中第一執行緒被保存而第二執行緒被儲存以致該第二執行緒可由圖形處理引擎來執行)。例如，在背景切換上，背景管理電路448可將目前的暫存器值儲存至記憶體中的指定區(例如，由背景指標所識別)。當返回至該背景時，其可接著復原該些暫存器值。於一實施例中，中斷管理電路447接收並處理從系統裝置所接收的中斷。

【0088】在一實施方式中，來自圖形處理引擎431之虛擬/有效位址係藉由MMU 439而被轉換為系統記憶體411中的真實/實體位址。加速器積體電路436的一個實施例支

持多個(例如，4、8、16)圖形加速模組446和/或其它加速器裝置。圖形加速模組446可專用於處理器407上所執行的單一應用或者可被共享於多個應用之間。於一實施例中，呈現了虛擬化的圖形執行環境，其中圖形處理引擎431-432、N之資源係與多個應用或虛擬機器(VM)共享。該些資源可被細分為「片」，其根據與VM和/或應用相關的處理需求和優先權而被配置至不同的VM和/或應用。

【0089】因此，加速器積體電路係作用為針對圖形加速模組446的對於系統的橋接，並提供位址轉換及系統記憶體快取服務。此外，加速器積體電路436可提供虛擬化協助給主處理器，以管理圖形處理引擎之虛擬化、中斷及記憶體管理。

【0090】因為圖形處理引擎431-432、N之硬體資源被明確地映射至由主處理器407所見之真實位址空間，所以任何主處理器可使用有效位址值來直接地定址這些資源。在一個實施例中，加速器積體電路436的一個功能為圖形處理引擎431-432、N之實體分離，使其對系統而言呈現為獨立的單元。

【0091】如上所述，於所示的實施例中，一或多個圖形記憶體433-434、M被個別地耦接至圖形處理引擎431-432、N的每一者。圖形記憶體433-434、M儲存正由圖形處理引擎431-432、N的每一者所處理的指令及資料。圖形記憶體433-434、M可以是揮發性記憶體，諸如DRAM(包括堆疊DRAM)、GDDR記憶體(例如，GDDR5、GDDR6)或

HBM，和/或可以是非揮發性記憶體，諸如3D XPoint或Nano-Ram。

【0092】於一實施例中，為了減少透過高速鏈路440之資料流量，偏移技術被用來確保圖形記憶體433-434、M中所儲存之資料為將最常被圖形處理引擎431-432、N使用且較佳地不被核心460A-460D使用(至少不常)之資料。類似地，偏移機制嘗試將該些核心(且較佳地不是圖形處理引擎431-432、N)所需的資料保持於該些核心及系統記憶體411的快取462A-462D、456內。

【0093】圖4C示出其中加速器積體電路436被集成於處理器407內的另一實施例。在這實施例中，圖形處理引擎431-432、N透過高速鏈路440經由介面437及介面435(其，再次地，可利用任何形式的匯流排或介面協定)直接地通訊至加速器積體電路436。加速器積體電路436可執行如關於圖4B所述那些的相同操作，但由於其接近於同調匯流排462及快取462A-462D、426潛在地具有較高的通量。

【0094】一實施例支持包括(無圖形加速模組虛擬化的)專用程序編程模型及(具有虛擬化的)共享編程模型的不同編程模型。後者可包括由加速器積體電路436所控制的編程模型以及由圖形加速模組446所控制的編程模型。

【0095】在專用程序模型的一實施例中，圖形處理引擎431-432、N係專用於單一作業系統下的單一應用或程序。單一應用可將其它應用請求注入至提供VM/分區內的

虛擬化的圖形引擎431-432、N。

【0096】在專用程序編程模型中，圖形處理引擎431-432、N可由多個VM/應用分區所共享。該些共享模型需要系統超管理器來將圖形處理引擎431-432、N虛擬化以容許各作業系統的存取。針對沒有超管理器的單一分區系統，圖形處理引擎431-432、N係由作業系統所擁有。在兩種情況下，作業系統可將圖形處理引擎431-432、N虛擬化以提供對於各程序或應用之存取。

【0097】對於共享的編程模型，圖形加速模組446或個別圖形處理引擎431-432、N係使用程序處置來選擇程序元件。於一實施例中，程序元件被儲存在系統記憶體411中且使用本文中所述之有效位址至真實位址轉換技術而為可定址的。程序處置可以是當以圖形處理引擎431-432、N登錄其背景時(亦即，用以將程序元件添加至程序元件鏈路列表之呼叫系統軟體)，被提供至主機程序之實現特定的值。程序處置的較低16位元可以是程序元件鏈路列表內的程序元件的偏移。

【0098】圖4D示出示例性加速器集成片490。如本文中所使用，「片」包含加速器積體電路436的處理資源之指定部分。系統記憶體411內的應用有效位址空間482係儲存程序元件483。於一實施例中，程序元件483回應於來自處理器407上所執行之應用480的GPU調用481而被儲存。程序元件483含有相應應用480之程序狀態。程序元件483中所含之工作描述符(WD)484可以是應用所請求的單一工

作或可含有指向工作之佇列的指標。在後者的情況下，WD 484為指向在應用的位址空間482中的工作請求佇列之指標。

【0099】圖形加速模組446和/或個別圖形處理引擎431-432、N可由系統中程序的全部或子集所共享。本發明的實施例包括一種用以設定程序狀態並傳送WD 484至圖形加速模組446以在虛擬化環境中開始工作的基礎架構。

【0100】在一實施方式中，專用程序編程模型為實現特定的。在此模型中，單一程序擁有圖形加速模組446或單獨圖形處理引擎431。因為圖形加速模組446係由單一程序所擁有，所以在當圖形加速模組446被指派時的時刻，超管理器係針對其擁有的分區來將加速器積體電路436初始化，而作業系統係針對其擁有的程序來將加速器積體電路436初始化。

【0101】在操作中，加速器集成片490中之WD提取單元491提取了下一個WD 484，其包括將由圖形加速模組446的圖形處理引擎之一者所完成的工作之指示。如圖所示，來自WD 484之資料可被儲存於暫存器445中並由MMU 439、中斷管理電路447和/或背景管理電路446所使用。例如，MMU 439的一實施例包括用以存取OS虛擬位址空間485內的片段/頁面表486的片段/頁面步行電路。中斷管理電路447可處理從圖形加速模組446所接收的中斷事件492。當執行圖形操作時，由圖形處理引擎431-432、N所產生的有效位址493被MMU 439轉換為真實位址。

【0102】於一實施例中，相同組的暫存器445被複製給各圖形處理引擎431-432、N和/或圖形加速模組446，並且可由超管理器或作業系統來初始化。這些複製的暫存器之各者可被包括在加速器集成片490中。可由超管理器所初始化之範例暫存器被顯示在表1中。

表 1 - 超管理器初始化暫存器

1	片控制暫存器
2	真實位址(RA)排程的處理區域指標
3	權限遮罩改寫暫存器
4	中斷向量表項目偏移
5	中斷向量表項目限制
6	狀態暫存器
7	邏輯分區ID
8	真實位址(RA)超管理器加速器利用記錄指標
9	儲存描述暫存器

【0103】可由作業系統所初始化之範例暫存器被顯示在表2中。

表 2 - 作業系統初始化暫存器

1	程序及執行緒識別
2	有效位址(EA)背景保存/復原指標
3	虛擬位址(VA)加速器利用記錄指標
4	虛擬位址(VA)儲存片段表指標
5	權限遮罩
6	工作描述符

【0104】於一實施例中，每一個WD 484係專用於特定的圖形加速模組446和/或圖形處理引擎431-432、N。其含有圖形處理引擎431-432、N欲執行其工作所需的所有資訊或者其可以是指向應用已設定將完成之工作的命令佇列之記憶體位置的指標。

【0105】圖4E示出共享模型的一實施例的額外細節。此實施例包括程序元件列表499儲存於其中的超管理器真實位址空間498。超管理器真實位址空間498為經由將作業系統495之圖形加速模組引擎虛擬化之超管理器496可存取的。

【0106】共享編程模型容許來自該系統中的分區的全部或子集之程序的全部或子集使用圖形加速模組446。有圖形加速模組446係由多個程序及分區所共享的兩種編程模型：時間片共享及圖形導向共享。

【0107】在此模型中，系統超管理器496擁有圖形加速模組446並使其功能可用於所有作業系統495。為了使圖形加速模組446支持藉由系統超管理器496之虛擬化，圖形加速模組446可遵守以下需求：1)應用之工作請求須為自主性的(亦即，狀態無須被維持於工作之間)；或者圖形加速模組446須提供背景保存及復原機制。2)應用之工作請求係由圖形加速模組446確保在指定的時間量中完成，包括任何轉換錯誤，或者圖形加速模組446提供預估該工作之處理的能力。3)當操作於該導向的共享編程模型中時，圖形加速模組446須被確保程序之間的公平性。

【0108】在一個實施例中，對於共享模型，應用480被要求利用圖形加速模組446類型、工作描述符(WD)、權限遮罩暫存器(AMR)值及背景保存/復原區域指標(CSRP)進行作業系統495系統呼叫。圖形加速模組446類型敘述了系統呼叫的目標加速功能。圖形加速模組446類型可以是系統特定值。WD被明確地針對圖形加速模組446格式化並可以是以下之形式：圖形加速模組446命令、指向使用者定義結構之有效位址指標、指向命令佇列之有效位址指標或用以描述將由圖形加速模組446所執行之工作的任何其它資料結構。於一實施例中，AMR值為用於目前程序之AMR狀態。被傳遞至作業系統之值係類似於設定AMR之應用。假如加速器積體電路436及圖形加速模組446實現不支持使用者權限遮罩改寫暫存器(UAMOR)，則作業系統可在超管理器呼叫中傳遞AMR之前，將目前的UAMOR值應用於AMR值。在將該AMR置於程序元件483中之前，超管理器496可選擇性地應用當前權限遮罩改寫暫存器(AMOR)值。於一實施例中，CSRП為含有圖形加速模組446之應用位址空間482中的區域之有效位址的暫存器445之一者，其用以保存並復原背景狀態。假如沒有狀態需被保存於工作之間或者當工作被預佔時，則此指標為選擇性的。背景保存/復原區域可以是固定的系統記憶體。

【0109】在接收該系統呼叫時，作業系統495可驗證應用480已登錄且已被提供權限來使用圖形加速模組446。作業系統495接著呼叫具有表3中所示之資訊的超管理器

496。

表 3 - OS至超管理器呼叫參數

1	工作描述符(WD)
2	權限遮罩暫存器(AMR)值(潛在地遮蔽的)
3	有效位址(EA)背景保存/復原區域指標(CSRP)
4	程序ID(PID)及選擇性執行緒ID(TID)
5	虛擬位址(VA)加速器利用記錄指標(AURP)
6	儲存片段表指標(SSTP)之虛擬位址
7	邏輯中斷服務數(LISN)

【0110】在接收超管理器呼叫時，超管理器496驗證了作業系統495已登錄且已被提供權限來使用圖形加速模組446。超管理器496接著將程序元件483置入用於相應圖形加速模組446類型的程序元件鏈路表中。程序元件可包括表4中所示之資訊。

表 4 - 程序元件資訊

1	工作描述符(WD)
2	權限遮罩暫存器(AMR)值(潛在地遮蔽的)
3	有效位址(EA)背景保存/復原區域指標(CSRP)
4	程序ID(PID)及選擇性執行緒ID(TID)
5	虛擬位址(VA)加速器利用記錄指標(AURP)
6	儲存片段表指標(SSTP)之虛擬位址
7	邏輯中斷服務數(LISN)
8	取自超管理器呼叫參數之中斷向量表
9	狀態暫存器(SR)值
10	邏輯分區ID(LPID)
11	真實位址(RA)超管理器加速器利用記錄指標
12	儲存描述符暫存器(SDR)

【0111】於一實施例中，超管理器將複數個加速器集成片490暫存器445初始化。

【0112】如圖4F中所示，本發明的一實施例利用一種經由用以存取實體處理器記憶體401-402及GPU記憶體420-423的共同虛擬記憶體位址空間可定址的統一記憶體。在此實施方式中，執行於GPU 410-413上之操作利用相同的虛擬/有效記憶體位址空間以來存取處理器記憶體401-402且反之亦然，藉此簡化可編程性。於一實施例中，虛擬/有效位址空間的第一部分被配置給處理器記憶體401、第二部分被配置給第二處理器記憶體402、第三部分被配置給GPU記憶體420，依此類推。整個虛擬/有效記憶體空間(有時稱為有效位址空間)被藉此橫跨處理器記憶體401-402及GPU記憶體420-423之各者來分配，以容許任何處理器或GPU利用映射至該記憶體之虛擬位址來存取任何實體記憶體。

【0113】於一實施例中，MMU 439A-439E中的一或多個之內的偏移/同調管理電路494A-494E確保了介於主處理器(例如，405)與GPU 410-413的快取之間的快取同調，並且確保指示某些類型的資料應被儲存之實體記憶體的偏移技術。雖然偏移/同調管理電路494A-494E的多個實例被顯示在圖4F中，但偏移/同調電路還可被實施在一或多個主處理器405的MMU內和/或加速器積體電路436內。

【0114】一實施例允許GPU附接的記憶體420-423被映射為系統記憶體的一部分，並使用共享虛擬記憶體

(SVM)技術來存取，但不會遭受與全系統快取同調性相關的典型效能缺點。GPU附接的記憶體420-423被存取為系統記憶體而沒有繁重的快取同調性負擔之能力提供了對於GPU卸載的有利操作環境。此配置允許主處理器405軟體設定計算元並存取計算結果，而沒有傳統I/O DMA資料副本的負擔。這樣的傳統副本涉及驅動程式呼叫、中斷及記憶體映射的I/O(MMIO)存取，其相對於簡單記憶體存取皆為無效率的。同時，存取GPU附接的記憶體420-423而沒有快取同調性負擔之能力可能對於卸載計算之執行時間是關鍵的。在具有實質串流寫入記憶體流量的情況下，例如，快取同調性負擔可能會顯著地減少由GPU 410-413所見的有效寫入頻寬。計算元設定的效率、結果存取的效率及GPU計算的效率皆參與判定GPU卸載之有效性。

【0115】在一實施方式中，GPU偏移與主處理器偏移之間的選擇係由偏移追蹤器資料結構來驅動。偏移表可被使用，例如，其可以是頁面粒度的結構(亦即，以記憶體頁面之粒度來控制)，其每個GPU附接的記憶體頁面包括1或2位元。偏移表可被實現於一或多個GPU附接的記憶體420-423的竊取記憶體範圍中，其在GPU 410-413中有或沒有偏移快取(例如，用以快取偏移表中的頻繁/最近使用的項目)。或者，整個偏移表可被保持於GPU內。

【0116】在一實施方式中，與GPU附接的記憶體420-423之各存取相關的偏移表項目係在對於該GPU記憶體的實際存取前被存取，造成以下操作。首先，來自在GPU偏

移中發現其頁面的 GPU 410-413 的本地請求被直接地傳遞至相應的 GPU 記憶體 420-423。來自在主機偏移中發現其頁面之 GPU 的本地請求被傳遞至處理器 405 (例如，透過如以上所討論的高速鏈路)。於一實施例中，來自在主處理器偏移中發現該請求頁面之處理器 405 的請求完成了該請求，好似一般記憶體讀取。可替代地，指向 GPU 偏移頁面之請求可被傳遞至 GPU 410-413。假如 GPU 目前並非正在使用該頁面，則 GPU 可接著將該頁面轉換至主處理器偏移。

【0117】頁面之偏移狀態可藉由以下中的任一者來改變：軟體為基的機制、硬體協助之軟體為基的機制或(針對有限組的情況)純粹硬體為基的機制。

【0118】一種用於改變偏移狀態之機制利用了 API 呼叫(例如，OpenCL)，其接著呼叫 GPU 之裝置驅動程式，其接著傳送訊息(或將一命令描述符放入佇列)至 GPU 以指引其改變偏移狀態，並且(針對一些轉換)在該主機中執行快取清除操作。快取清除操作對於從主處理器 405 偏移到 GPU 偏移之轉換是必要的，但對於相反轉換並非必要的。

【0119】於一實施例中，快取同調性係藉由暫時地使 GPU 偏移的頁面無法被主處理器 405 快取來維持。為了存取這些頁面，處理器 405 可從 GPU 410 請求存取，取決於實現，該 GPU 410 可以或可以不立刻准予存取。因此，為了減少介於處理器 405 與 GPU 410 之間的通訊，有利的是確保 GPU 偏移的頁面為那些由 GPU 所需的，而非主處理器 405

所需的，且反之亦然。

圖形處理管線

【0120】圖5根據實施例示出圖形處理管線500。於一實施例中，圖形處理器可實施所示的圖形處理管線500。圖形處理器可被包括在如本文中所述的並行處理子系統內，諸如圖2的並行處理器200，在一個實施例中，其為圖1的並行處理器112的變化。各種並行處理系統可經由如本文中所述的並行處理單元(例如，圖2的並行處理單元202)中的一或多個實例來實現圖形處理管線500。例如，著色器單元(例如，圖3的圖形多處理器234)可組態成執行頂點處理單元504、鑲嵌控制處理單元508、鑲嵌評估處理單元512、幾何處理單元516及片段/像素處理單元524中的一或多者的功能。資料組譯器502、基元組譯器506、514、518、鑲嵌單元510、光柵化器522及光柵操作單元526之功能還可由處理群集(例如，圖3的處理群集214)及相應分區單元(例如，圖2的分區單元220A-220N)內的其它處理引擎來執行。圖形處理管線500還可使用針對一或多個功能的專用處理單元來實現。在一個實施例中，圖形處理管線500中的一或多個部分可由通用處理器(例如，CPU)內的並行處理邏輯來執行。在一個實施例中，圖形處理管線500中的一或多個部分可經由記憶體介面528(其可以是圖2的記憶體介面218的實例)來存取晶載記憶體(例如，圖2的並行處理器記憶體222)。

【0121】於一實施例中，資料組譯器502為一種收集表面及基元之頂點資料的處理單元。資料組譯器502接著將頂點資料(包括頂點屬性)輸出至頂點處理單元504。頂點處理單元504為執行頂點著色器程式、照亮及轉換如由頂點著色器程式所指明的頂點資料的可編程執行單元。頂點處理單元504係讀取被儲存於快取、本地或系統記憶體中之資料以用於處理頂點資料，並可被編程以將頂點資料從物件為基的座標表示轉換為世界空間座標空間或正規化裝置座標空間。

【0122】基元組譯器506的第一實例係接收來自頂點處理單元50之頂點屬性。基元組譯器506係根據需要讀取已儲存的頂點屬性，並建構圖形基元以供鑲嵌控制處理單元508處理。圖形基元包括三角形、線段、點、補丁(等等)，如由各種圖形處理應用編程介面(API)所支持的。

【0123】鑲嵌控制處理單元508將輸入頂點視為幾何補丁之控制點。控制點係從來自該補丁(例如，該補丁之基礎)的輸入表示被轉換為適於藉由鑲嵌評估處理單元512之表面評估的表示。鑲嵌控制處理單元508還可計算幾何補丁之邊緣的鑲嵌因數。鑲嵌因數適用於單一邊緣並量化與該邊緣相關細節的觀點相依程度。鑲嵌單元510被組態成接收補丁之邊緣的鑲嵌因數，並將該補丁鑲嵌入多個幾何基元(諸如線、三角形或四邊形基元)，其被傳輸至鑲嵌評估處理單元512。鑲嵌評估處理單元512操作於子分區補丁之參數化座標上，以產生用於與幾何基元相關的各頂點

之表面表示及頂點屬性。

【0124】基元組譯器514的第二實例接收來自鑲嵌評估處理單元512的頂點屬性、根據需要讀取已儲存的頂點屬性及建構圖形基元以供幾何處理單元516處理。幾何處理單元516為執行幾何著色器程式以轉換如由幾何著色器程式所指明的接收自基元組譯器514之圖形基元的可編程執行單元。於一實施例中，幾何處理單元516被編程以將圖形基元子分區為一或多個新的圖形基元並計算被用來將新的圖形基元光柵化之參數。

【0125】在一些實施例中，幾何處理單元516可在幾何串流中添加或刪除元件。幾何處理單元516將該些參數及指明新圖形基元之頂點輸出至基元組譯器518。基元組譯器518從幾何處理單元516接收該些參數及頂點並建構圖形基元以供視埠縮放、剔除及修剪單元520處理。幾何處理單元516讀取其被儲存於並行處理器記憶體或系統記憶體中之資料以用於處理該幾何資料。視埠縮放、剔除及修剪單元520係執行修剪、剔除及視埠縮放並將處理過的圖形基元輸出至光柵化器522。光柵化器522可執行深度剔除及其它深度為基的最佳化。光柵化器522也在新的圖形基元上執行掃描轉換，以產生片段並且將那些片段及相關的覆蓋資料輸出至片段/像素處理單元524。光柵化器522可轉換新的圖形基元並將片段及覆蓋資料輸出至片段/像素處理單元524。

【0126】片段/像素處理單元524為一種可編程執行單

元，其被組態成執行片段著色器程式或像素著色器程式。片段/像素處理單元524轉換如由片段或像素著色器程式所指定的接收自光柵化器522之片段或像素。例如，片段/像素處理單元524可被編程以執行操作，包括但不限於紋理映射、著色、混合、紋理校正及個別校正，以產生其被輸出至光柵操作單元526之已著色片段或像素。片段/像素處理單元524可讀取被儲存於並行處理器記憶體或系統記憶體中之資料以供處理該片段資料時使用。根據對於該些處理單元組態的取樣率，片段或像素著色器程式可被組態成在樣本、像素、磚片或其它粒度上著色。

【0127】光柵操作單元526為一種處理單元，其執行光柵操作，包括但不限於模板、z測試、混合，等等，並將像素資料輸出為已處理的圖形資料以被儲存於圖形記憶體中(例如，如圖1中的並行處理器記憶體222)、以被顯示在一或多個顯示裝置110上或者以利一或多個處理器102或並行處理器112之一者進一步處理。在一些實施例中，光柵操作單元526被組態成壓縮被寫入至記憶體之z或顏色資料，並且解壓縮被讀取自記憶體之z或顏色資料。

【0128】圖6示出採用計算最佳化機制之計算裝置600的一實施例。計算裝置600(例如，智慧型穿戴式裝置、虛擬實境(VR)裝置、頭戴式顯示器(HMD)、行動電腦、物聯網(IoT)裝置、膝上型電腦、桌上型電腦、伺服器電腦等等)可以與圖1之資料處理系統100相同，並且因此，為了簡潔、清楚和容易理解，以上參考圖1-5所述的許多細節

不在下文中進一步討論或重複。如圖所示，於一實施例中計算裝置600被示為主控計算優化(計算)機制610。

【0129】如圖所示，於一實施例中，計算機制610可以由圖形處理單元(GPU)614主控。然而在其他實施例中，計算機構610可以由圖形驅動器616之韌體或圖形驅動器616之韌體的一部分主控。在另一其他實施例中，計算機構610可以由中央處理單元(「CPU」或「應用處理器」)612之韌體或中央處理單元612之韌體的一部分主控。為了簡潔、清楚和容易理解，貫穿本文的其餘部分，可以將計算機制610作為GPU 614的一部分進行討論；然而，實施例不限於此。

【0130】在另一實施例中，計算機制610可由作業系統606主控作為軟體或韌體邏輯。在另一進一步實施例中，計算機制610可由計算裝置600的多個組件部分且同時主控，例如圖形驅動器616、GPU 614、GPU韌體、CPU 612、CPU韌體、作業系統606等中的一者或一者以上。預期計算機構610或其一或多個組件可以被實施為硬體、軟體和/或韌體。

【0131】在整個文件中，術語「用戶」可以可互換地稱為「觀看者」、「觀察者」、「人」、「個人」、「最終用戶」和/或諸如此類。應注意的是，貫穿本文件，諸如「圖形域」的術語可以與「圖形處理單元」、「圖形處理器」或簡單地與「GPU」互換地引用，並且類似地，「CPU域」或「主機域」可以可與「計算機處理單

元」、「應用處理器」或簡稱為「CPU」互換引用。

【0132】計算裝置600可包括任何數目和類型的通訊裝置(諸如大型計算系統(諸如，伺服器電腦、桌上型電腦等等))並且可進一步包括機上盒(例如，基於網路的有線電視機上盒等)、全球定位系統(GPS)的裝置等。計算裝置600可以包括作用為通訊裝置的行動計算裝置，諸如包括智慧型手機、個人數位助理(PDA)、平板電腦、膝上型電腦、電子閱讀器、智慧型電視、電視平台、可穿戴裝置(例如眼鏡、手錶、手鐲、智能卡、首飾、服裝等)、媒體播放器等。例如，於一實施例中，計算裝置600可包括採用主控諸如系統單晶片(「SoC」或「SOC」)的積體電路(「IC」)之電腦平台的行動計算裝置，其集成了計算裝置600的各種硬體和/或軟體組件在一個晶片上。

【0133】如圖所示，於一實施例中，計算裝置600可包括可包括有任意數量與類型的硬體及/或軟體組件，諸如(以非限制方式)GPU 614、圖形驅動器(亦稱為「GPU驅動器」、「圖形驅動器邏輯」、「驅動器邏輯」、使用者模式驅動器(UMD)、UMD、使用者模式驅動器框架(UMDF)、UMDF、或簡稱「驅動器」) 616、CPU 612、記憶體608、網路裝置、驅動器等等，並且可包括有輸入/輸出(I/O)來源604，諸如觸控螢幕、觸控面板、觸控板、虛擬或正規鍵盤、虛擬或正規滑鼠、埠、連接器等。

【0134】計算裝置600可包括有作業系統(OS) 606，其作用為介於電腦裝置600之硬體及/或實體資源與使用者

間之介面。列入考量的是，CPU 612可包括有一或多個處理器，諸如圖1之(多個)處理器102，而GPU 614則可包括有一或多個圖形處理器(或多處理器)。

【0135】要注意像是「節點」、「計算節點」、「伺服器」、「伺服器裝置」、「雲端電腦」、「雲端伺服器」、「雲端伺服器電腦」、「機器」、「主機」、「裝置」、「計算裝置」、「電腦」、「計算系統」、及類似用語可在本文件各處交換使用。進一步要注意像是「應用」、「軟體應用」、「程式」、「軟體程式」、「套件」、「套裝軟體」、及類似用語可在本文件各處交換使用。此外，「工作」、「輸入」、「請求」、「訊息」、及類似用語可在本文件各處交換使用。

【0136】經過思忖且如參照圖1至5進一步所述，圖形管線有些程序如上述，乃實施成軟體，而其餘部分則實施成硬體。圖形管線可在一圖形共處理器設計中實施，其中CPU 612的設計旨在與GPU 614配合運作，其可包括於CPU 612中或可與其共置。於一實施例中，GPU 614可採用任意數量與類型的習知軟體與硬體邏輯來執行與圖形呈現有關之習知功能，也可運用新穎的軟體與硬體邏輯來執行任意數量與類型的指令。

【0137】如前所述，記憶體608可包括有隨機存取記憶體(RAM)，其包含具有物件資訊之應用資料庫。記憶體控制器集線器，諸如圖1之記憶體集線器105，可存取RAM中之資料，並且將其轉發至GPU 614以供圖形管線處理之

用。RAM可包括有雙倍資料速率RAM (DDR RAM)、延伸資料輸出RAM (EDO RAM)等。CPU 612與硬體圖形管線互動以共享圖形管線功能。

【0138】經處理的資料儲存於在硬體圖形管線中的緩衝器，以及狀態資訊儲存在記憶體608中。產生的影像接著轉移至I/O來源604，諸如用於顯示影像的顯示組件。列入考量的是，顯示裝置可呈諸如陰極射線管(CRT)、薄膜電晶體(TFT)、液晶顯示器(LCD)、有機發光二極體(OLED)陣列等各種類型，用來向使用者顯示資訊。

【0139】記憶體608可包含有緩衝器(例如，訊框緩衝器)之預分配區；然而，所屬技術領域中具有通常知識者應瞭解的是實施例並不如此受限，並且可使用可存取下圖形管線之任何記憶體。計算裝置600可更包括如參考圖1中的輸入/輸出(I/O)控制集線器(ICH) 107、一或多個I/O來源604等。

【0140】CPU 612可包括有用以執行指令之一或多個處理器，為的是要進行計算系統實施的任何軟體例行程序。此等指令經常涉及在資料上進行的某種操作。資料和指令都可儲存於系統記憶體608及任何相關聯的快取中。快取的設計一般旨在具有比系統記憶體608更短的延遲時間；例如，快取可能如(多個)處理器集成於相同的(多個)矽晶片上，和/或配合更快的靜態RAM(SRAM)胞元來建構，而系統記憶體608則可能配合更慢的動態RAM(DRAM)胞元來建構。藉由傾向於將更常使用的指令與資

料儲存在與系統記憶體 608 截然不同的快取中，計算裝置 600 的總體效能效率得以提升。列入考量的是，在一些實施例中，GPU 614 可作為 CPU 612 之一部分(諸如，實體 CPU 封裝的一部分)而存在，在這種狀況中，記憶體 608 可由 CPU 612 與 GPU 614 所共享、或可保持分離。

【0141】系統記憶體 608 可用於計算裝置 600 內之其他組件。例如，自連至計算裝置 600 之各種介面(例如，鍵盤與滑鼠、印表機埠、區域網路(LAN)埠、數據機埠等)所接收、或自計算裝置 600 之內部儲存元件(例如，硬碟驅動)所取回之任何資料(例如，輸入圖形資料)在由軟體程式之實施方式中的一或多個處理器操作之前，通常暫時排入佇列到系統記憶體 608 內。類似的是，軟體程式判定之資料應該透過此等計算系統介面之一者自計算裝置 600 發送至外側實體，或儲存到內部儲存元件裡，在傳送或儲存之前，通常先於系統記憶體 608 中暫時排入佇列。

【0142】再者，例如，ICH 可用於確保此資料於系統記憶體 608 與其適當對應之計算系統介面(如果計算系統有如此設計的話與內部儲存裝置)間適當地傳遞，並且可在本身與所觀測 I/O 來源/裝置 604 間具有雙向點對點鏈路。類似地，MCH 可用於管理各種競爭請求，以用於在 CPU 612 與 GPU 614、介面與內部儲存元件間進行系統記憶體 608 存取，其可相對於彼此隨時間出現。

【0143】I/O 來源 604 可包括有一或多個 I/O 裝置，其被實施成用於將資料轉移至及/或自計算裝置 600 (例如，

網路適配器)；或用於計算裝置600之中的大型非揮發性儲存器(例如，硬碟驅動)。包括文數和其它按鍵的使用者輸入裝置可被用來傳遞資訊和命令選擇至GPU 614。另一類型的使用者輸入裝置為游標控制，諸如滑鼠、軌跡球、觸控螢幕、觸控板、或游標方向鍵，其用來傳遞方向資訊與命令選擇至GPU 614，以及用來控制顯示裝置上的游標移動。電腦裝置600的相機及麥克風陣列可運用於觀測手勢、記錄音訊與視訊，以及運用於接收及傳送視覺與音訊命令。

【0144】計算裝置600可更包括網路介面，乃用來對網路提供存取，諸如LAN、廣域網路(WAN)、都會區域網路(MAN)、個人區域網路(PAN)、藍芽、雲端網路、行動網路(例如第三代(3G)、第4代(4G)等)、內部網路、網際網路等。網路介面可包括例如具有天線之無線網路介面，該天線可代表一或多個天線。網路介面可包括例如經由網路纜線與遠端裝置通訊之有線網路介面，網路纜線可以例如是乙太網路纜線、同軸纜線、光纖纜線、串列纜線或平行纜線。

【0145】網路介面可藉由例如符合IEEE 802.11b和/或IEEE 802.11g標準提供對LAN之存取，和/或無線網路介面可藉由例如符合藍芽標準提供對個人區域網路之存取。也可支持其它包括先前及後續版本之標準的無線網路介面和/或協定。除了經由無線LAN標準進行通訊以外、或對其取而代之外，網路介面可使用例如分時多重存取(TDMA)

協定、全球行動通訊系統(GSM)協定、分碼多重存取(CDMA)協定和/或任何其他類型的無線通訊協定，來提供無線通訊。

【0146】網路介面可包括有一或多個通訊介面，諸如數據機、網路介面卡、或其他眾所周知的介面裝置，例如用於耦接至乙太網路、符記環、或其他類型的實體有線或無線附接物，目的是例如為了提供通訊鏈路以支援LAN或WAN。依照這種方式，電腦系統亦可經由例如包括內部網路、或網際網路在內之習知網路基礎結構，耦接至若干週邊裝置、用戶端、控制表面、主控台、或伺服器。

【0147】要了解就某些實施方式，比上述實例更少或更多配備之系統可能較佳。因此，計算裝置600之組態可隨實施方式之不同而變，端視諸如價格限制條件、效能要求、技術改良、或其他情況等許多因素而定。電子裝置或電腦系統600之範例可包括(非限制於)行動裝置、個人數位助理、行動計算裝置、智慧型手機、蜂巢式電話、手持話機，單向呼叫器、雙向呼叫器、傳訊裝置、電腦、個人電腦(PC)、桌上型電腦、膝上型電腦、筆記型電腦、手持電腦、平板電腦、伺服器、伺服器陣列或伺服器場、網頁伺服器、網路伺服器、網際網路伺服器、工作站、迷你電腦、主機架電腦、超級電腦、網路設備、網路家電、分散式計算系統、多處理器系統、處理器為基之系統、消費性電子、可編程消費性電子、電視、數位電視、機上盒、無線存取點、基地台、用戶站、行動用戶中心、無線電網路

控制器、路由器、集線器、閘道器、橋接器、切換、機器或以上的組合。

【0148】實施例可實施成下列任何一者或其組合：使用主機板互連之一或多個微晶片或積體電路、固線式邏輯、由記憶體裝置所儲存並由微處理器所執行之軟體、韌體、特定應用積體電路(ASIC)和/或現場可程式閘陣列(FPGA)。「邏輯」一詞可包括例如軟體或硬體和/或軟體與硬體之組合。

【0149】實施例可被提供作為例如電腦程式產品，可包括其上有儲存機器可執行指令之一或多個機器可讀媒體，此等機器可執行指令在由諸如電腦、電腦網路或其他電子裝置等一或多個機器執行時，可導致一或多個機器根據本文中所述實施例進行操作。機器可讀取媒體可包括但不限制於軟式磁片、光碟、CD-ROM (光碟唯讀記憶體)、以及磁光碟、ROM、RAM、EPROM (可抹除可編程唯讀記憶體)、EEPROM (電氣可抹除可編程唯讀記憶體)、磁性或光學卡、快閃記憶體或適用於儲存機器可讀指令之其他類型的媒體/機器可讀媒體。

【0150】此外，可下載實施例作為電腦程式產品，其中可經由一通訊鏈路(例如，數據機和/或網路連線)，藉由具體實施成載波或其他傳播媒體和/或由其所調變之一或多個資料訊號，將程式從遠端電腦(例如，伺服器)轉移至提出請求之電腦(例如，用戶端)。

【0151】高端圖形處理器(例如，分立封裝和封裝圖

形芯片)通常實現高帶寬存儲器(HBM)，其為高效能 RAM 介面。HBM與GPU包括在相同封裝中，並且經由矽橋連接。矽橋包括高密度的線，其將GPU晶粒接腳與HBM接腳相連。通常，圖形操作是以非常低快取局部性的串流方式在記憶體位置上執行的。對於此種操作，將記憶體資料帶入GPU快取中執行操作並最終將資料驅逐回記憶體是沒有好處的，因為這在功耗和效能上是浪費的(高記憶體帶寬和浪費存取條目)。一種常見的範例是由從圖像直方圖計算產生的計算著色器中的原子操作。

【0152】根據各種實施例，計算機構610具有優化GPU614處之計算的各種操作。於一實施例中，計算機制610可基於8位元和16位元操作將執行緒分類為執行緒組。目前，GPU以混合模式操作，其中GPU 614硬體處理隨機的8位元和16位元操作。於一實施例中，計算機制610包括分類器，用於基於位元深度(8位元或16位元)將執行緒分類為組。

【0153】圖7A示出包括分類器710、浮點箱712、714和浮點單元716之計算機制610的一實施例。於一實施例中，分類器710接收具有8位元和16位元兩者的浮點操作的執行緒，並且將那些操作分類為個別的箱712和714。一旦在箱中，操作就被遞送到浮點單元716。因此，從箱712接收的FP8操作在單一FP8單元716處被處理，而從箱714接收的FP16操作在兩FP8單元716處被處理。

【0154】在進一步實施例中，計算機制610也可接收

具有32位元操作之執行緒。在這實施例中，計算機制610包括用以處理具有更高位元深度之浮點執行緒操作的浮點邏輯。例如浮點邏輯使用16位元邏輯處理來32位元操作，而不是使用32位元邏輯。圖7B示出用以執行此種操作之具有浮點邏輯730的計算機制610之實施例。

【0155】如圖7B所示，邏輯730包括FP16處理組件和差量(delta)處理組件。無論何時接收到32位元操作，都會執行FP16以處理較低的16位元，而差量組件則用於處理較高的16位元。在進一步實施例中，16位元操作也在邏輯730處理。然而在這實施例中，16位元操作僅藉由在邏輯730接收的FP16操作來處理。在另一實施例中，計算機制610可以在處理16位元操作期間關閉到差量組件的電力，從而節省電力。於其他實施例中，計算機制610可以處理具有較高位元深度的操作(例如，64位元)。

【0156】在傳統系統中，為具有相同精確度的計算元提供支持。如果某些計算元的格式不同，則需要單獨的指令首先將計算元轉換為通用格式。根據一實施例，計算機制610也在數學指令中提供可變精確度支持。於此實施例中，計算機制610支持混合精確度積和累加(FMAC)操作，使得在 $D = A * B + C$ 的ALU操作中；A和B和/或C可包括不同的精確度和格式。因此，A、B、C可以包括但不限於FP64、FP32、FP16、INT32、INT16、INT8或INT16中的任何一個。

【0157】根據一實施例，提供ALU指令，其包括指明

每個計算元的格式以及結果(目的地)所需格式的16位元屬性。響應於該指令，GPU ALU(例如，在著色器核心中)藉由解析該屬性來執行該指令以判定每個計算元的格式。隨後，將每個計算元轉換為目標格式並執行FMAC操作。

機器學習概述

【0158】機器學習演算法為一種可基於一組資料而學習的演算法。機器學習演算法的實施例可以被設計為在一個資料組內建模型高階抽象。例如，可以使用影像識別演算法來判定給定的輸入屬於哪個類別；迴歸演算法可輸出給定輸入的數值；以及圖案識別演算法可以用於產生翻譯的文本或執行文本到語音和/或語音辨識。

【0159】機器學習演算法的示例性類型是類神經網路。有許多類型的類神經網路；一種簡單類型的類神經網路為前饋網路。前饋網路可以被實現為其中節點被分層佈置的非循環圖。通常，前饋網路拓撲包括由至少一個隱藏層分開的輸入層和輸出層。隱藏層將輸入層接收到的輸入變換為可用於在輸出層中產生輸出的表示。網路節點經由邊緣完全連接到相鄰層中的節點，但每層中的節點之間沒有邊緣。在前饋網路之輸入層的節點處接收到的資料經由啟用函數被傳播(即，「前饋」)到輸出層的節點，啟用函數基於分別與連接層的每個邊緣相關聯的係數(「權重」)來計算網路中的每個連續層的節點的狀態。根據正在執行的演算法所表示的具體模型，類神經網路演算法的輸出可

以採取各種形式。

【0160】在可以使用機器學習演算法來模擬特定問題之前，使用訓練資料組來訓練演算法。訓練類神經網路涉及選擇網路拓撲，使用表示由網路建模的問題之一組訓練資料，並且調整權重直到網路模型以訓練資料組的所有實例的最小誤差執行。例如，在用於類神經網路的監督學習訓練過程期間，響應於表示訓練資料組中的實例的輸入由網路產生的輸出與實例之標記為「正確」的輸出進行比較、計算表示輸出和標記的輸出之間差異的誤差訊號、以及調整與連接相關聯的權重，以在誤差訊號向後傳播通過網路層時最小化誤差。當從訓練的資料組之實例產生的每一個輸出的誤差最小化時，網絡被認為是「訓練的」。

【0161】機器學習演算法的準確度會受到用於訓練演算法的資料組之品質的顯著影響。訓練處理可能是計算密集型的，並且可能在習知通用處理器上需要大量的時間。因此，並行處理器硬體被用於訓練許多類型的機器學習演算法。這對於優化類神經網路的訓練特別有用，因為在調整類神經網路中的係數中執行的計算本身適合於並行實施方式。具體來說，許多機器學習演算法和軟件應用已經適應於利用通用圖形處理裝置內的並行處理硬體。

【0162】圖8為機器學習軟體堆疊800的概括圖。機器學習應用802可被組態以使用訓練的資料組來訓練類神經網路或組態以使用訓練的深度類神經網路來實施機器智能。機器學習應用802可包括用於在部署之前可以用於訓

練類神經網路的類神經網路和/或專用軟體的訓練和推理功能。機器學習應用802可以實施任何類型的機器智能，包括但不限於影像識別、映射和定位、自主導航、語音合成、醫學影像或語言翻譯。

【0163】機器學習應用802的硬體加速可以經由機器學習框架804啟用。機器學習框架804可以提供機器學習基元庫。機器學習基元通常是由機器學習演算法執行的基本操作。如果沒有機器學習框架804，機器學習演算法的開發者將需要創建和優化與機器學習演算法相關的主要計算邏輯，然後在開發新的並行處理器時重新優化計算邏輯。相反，機器學習應用可以被組態為使用由機器學習框架804提供的基元執行必要的計算。示例性基元包括張量卷積、激活函數和池化，其為訓練卷積類神經網路(CNN)時所執行的計算操作。機器學習框架804還可以提供基元來實現由許多機器學習演算法(諸如矩陣和向量操作)執行的基本線性代數子程式。

【0164】機器學習框架804可以處理從機器學習應用802接收的輸入資料並且產生之計算框架806的適當輸入。計算框架806可提取被提供給GPGPU驅動程式808的主要指令，以致使機器學習框架804利用經由GPGPU硬體810之硬體加速而不需要機器學習框架804對GPGPU硬體810之架構深入了解。另外，計算框架806可跨多種類型及世代的GPGPU硬體810來致使機器學習框架804之硬體加速。

GPGPU機器學習加速

【0165】圖9根據實施例示出高度並行的通用圖形處理單元900。於一實施例中，通用處理單元(GPGPU)900可被組態成對於處理與訓練深度類神經網路相關的計算工作量之類型特別地有效率。此外，GPGPU 900可被直接地鏈接至GPGPU的其它實例，以建立多GPU群集來增進特別是用於深度類神經網路之訓練速度。

【0166】GPGPU 900包括用以致使與主處理器之連接的主介面902。於一實施例中，主介面902為PCI Express介面。然而，主介面還可以是供應商特定的通訊介面或通訊組織。GPGPU 900從主處理器接收命令並使用全域排程器904來將與那些命令相關的執行緒分配至一組計算群集906A-H。該些計算群集906A-H共享了快取記憶體908。快取記憶體908可作為用於計算群集906A-H內的快取記憶體的高階快取。

【0167】GPGPU 900包括經由一組記憶體控制器912A-B而與計算群集906A-H耦接之記憶體914A-B。在各個實施例中，記憶體914A-B可包括各種類型的記憶體裝置，包括動態隨機存取記憶體(DRAM)或圖形隨機存取記憶體，諸如同步圖形隨機存取記憶體(SGRAM)，其包括圖形雙倍資料速率(GDDR)記憶體。於一實施例中，記憶體單元224A-N也可包括3D堆疊記憶體，其包括但不限于高頻寬記憶體(HBM)。

【0168】於一實施例中，每個計算群集GPLAB06A-H

包括一組圖形多處理器，諸如圖4A之圖形多處理器400。計算群集之圖形多處理器包括多種類型的整數及浮點邏輯單元，其可執行在包括適於機器學習計算之精確度範圍的計算操作。例如以及在一個實施例中，在計算群集906A-H之各者中的浮點單元之至少一子集可被組態成執行16位元或32位元浮點操作，而浮點單元的不同子集可被組態成執行64位元浮點操作。

【0169】GPGPU 900的多個實例可被組態成操作為計算群集。由計算群集所用於同步化及資料交換的通訊機制係跨越實施例而改變。於一實施例中，GPGPU 900的多個實例係透過主介面902來通訊。於一實施例中，GPGPU 900包括I/O集線器908，其將GPGPU 900與GPU鏈路910耦接，該GPU鏈路910致使直接連接至GPGPU的其它實例。在一個實施例中，GPU鏈路910被耦接至專用GPU至GPU橋，其致使GPGPU 900的多個實例之間的通訊及同步化。在一個實施例中，GPU鏈路910係與高速互連耦接以將資料傳輸及接收至其它GPGPU或並行處理器。在一個實施例中，GPGPU 900的多個實例被置於個別的資料處理系統中並經由網路裝置(其為經由主介面902可存取的)來通訊。在一個實施例中，除了主介面902之外(或當作其替代)，GPU鏈路910可被組態成致使連接至主處理器。

【0170】雖然GPGPU 900之所示組態可被組態成訓練類神經網路，但一個實施例提供了GPGPU 900之替代組態，其可被組態以供部署於高效能或低功率推理平台內。

在推理組態中，相對於訓練組態，GPGPU 900包括較少的計算群集906A-H。此外，與記憶體914A-B相關的記憶體技術可在推理與訓練組態之間有差異。於一實施例中，GPGPU 900的推理組態可支持推理特定指令。例如，推理組態可提供一或多個8位元整數內積指令之支持，其常在已部署類神經網路的推理操作期間使用。

【0171】圖10根據實施例示出多GPU計算系統1000。多GPU計算系統1000可包括經由主介面開關1004來耦接至多GPGPU 1006A-D的處理器1002。於一實施例中，主介面開關1004為PCI Express開關裝置，其將處理器1002耦接至PCI Express匯流排，處理器1002可透過該PCI Express匯流排而與該組GPGPU 1006A-D通訊。多個GPGPU 1006A-D之各者可以是圖9之GPGPU 900的實例。GPGPU 1006A-D可經由一組高速點對點GPU至GPU鏈路1016來互連。高速GPU至GPU鏈路可經由專用GPU鏈路(諸如，圖9中之GPU鏈路910)來連接至GPGPU 1006A-D之各者。P2P GPU鏈路1016致使GPGPU 1006A-D的各者之間的直接通訊而不需要透過主介面匯流排(其連接至處理器1002)來通訊。利用導引至P2P GPU鏈路之GPU至GPU流量，主介面匯流排保持可用於系統記憶體存取或者與多GPU計算系統1000的其它實例通訊，例如，經由一或多個網路裝置。雖然在所示的實施例中，GPGPU 1006A-D係經由主介面開關1004而連接至處理器1002，但在一個實施例中，處理器1002包括對於P2P GPU鏈路1016之直接支持並可直接地連接至GPGPU

1006A-D。

機器學習類神經網路實施方式

【0172】由本文中所述之實施例所提供的計算架構可被組態成執行多類型的並行處理，其特別適於用於機器學習之訓練及部署類神經網路。類神經網路可被一般化成為具有圖形關係之功能的網路。如本領域中眾所周知，有用於機器學習的多種類型的類神經網路實現。如先前所述的，類神經網路的一種示例性類型為前饋網路。

【0173】類神經網路之第二示例性類型為卷積類神經網路(CNN)。CNN為用以處理具有已知、光柵狀拓撲之資料(諸如，影像資料)的一種專門前饋類神經網路。因此，CNN常用於計算視覺和影像辨識應用，但其還可被用在其它類型的圖案辨識，諸如語音及語言處理。CNN輸入層中的節點被組織為一組「過濾器」(由視網膜中所發現的個別欄位所驅使的特徵檢測器)，且各組過濾器之輸出被傳播至該網路之連續層中的節點。CNN之計算包括將卷積數學計算應用於各過濾器以產生該過濾器之輸出。卷積為由兩個函數所執行用以產生兩個原始函數之一的修改版本之第三函數之特殊種類的數學計算。於卷積網路術語中，至卷積的第一函數可被稱為輸入，而第二函數可被稱為卷積內核。輸出可被稱為特徵映射。例如，至卷積層之輸入可以是定義輸入影像之各種顏色成分的多維陣列資料。卷積內核可以是參數的多維陣列，其中該些參數係由類神經網

路的訓練程序所調適。

【0174】遞迴類神經網路(RNN)為前饋類神經網路之家族，其包括介於層之間的回饋連接。RNN係藉由共享跨類神經網路之不同部分的參數資料以致使連續資料之建模。RNN之架構包括週期。該些週期代表變數的目前值對於未來時刻的其本身值的影響，因為來自RNN之輸出資料的至少一部分被使用為用以處理序列中之後續輸入的回饋。此特徵使得RNN特別有用於語言處理，因為語言資料可被組成的可變本質。

【0175】以下所述之圖形呈現範例的前饋、CNN與RNN網路，以及描述用以個別地訓練並部署那些類型的網路之各者的一般程序。將理解，關於本文中所述的任何特定實施例的這些描述是範例的而非限制的，且一般來說，所顯示之概念可被通常地應用於深度類神經網路及機器學習技術。

【0176】上述示例性類神經網路可被用來執行深度學習。深度學習為使用深度類神經網路之機器學習。用於深度學習之深度類神經網路為由多個隱藏層所組成的人工類神經網路，不同於僅包括單一隱藏層的淺類神經網路。較深的類神經網路對於訓練通常在計算上是較為密集的。然而，網路的額外隱藏層致使多步驟圖案辨識，其導致相對於淺機器學習技術的降低輸出錯誤。

【0177】用於深度學習之深度類神經網路通常包括用以執行特徵辨識之前端網路，其耦接至後端網路，該後端

網路代表一種數學模型，其可根據提供至該模型之特徵表示來執行操作(例如，物件分類、語音辨識，等等)。深度學習致使機器學習被執行而不需要針對該模型執行手動調整特徵工程。取而代之地，深度類神經網路可根據輸入資料內的統計結構或相關性來學習特徵。經學習的特徵可被提供至一種可將測得特徵映射至輸出的數學模型。由該網路所使用之數學模型一般針對待執行的特定工作而被特殊化，並且不同的模型將用以執行不同的工作。

【0178】一旦類神經網路被構成，學習模型可被應用至該網路以訓練該網路來執行特定工作。該學習模型描述如何調整該模型內的權重以減少該網路之輸出錯誤。錯誤的後向傳播為用以訓練類神經網路的常見方法。輸入向量被提交至該網路以供處理。該網路之輸出係使用損失函數來與所欲輸出進行比較，並針對輸出層中之神經元的各者來計算誤差值。誤差值被接著向後傳播，直到各神經元具有約略地表示其對於原始輸出的貢獻的相關誤差值。該網路可接著使用演算法(諸如隨機梯度下降演算法)自那些錯誤學習，以更新該類神經網路之權重。

【0179】圖 11A 及 11B 顯示範例卷積類神經網路。圖 11A 顯示 CNN 內的各個層。如圖 11A 中所示，用以建模影像處理之範例 CNN 可接收描述輸入影像之紅、綠及藍(RGB)成分的輸入 1102。輸入 1102 可由多個卷積層(例如，卷積層 1104、卷積層 1106)來處理。來自多個卷積層之輸出可選擇性地由一組完全連接層 1108 來處理。如先前針對

前饋網路所述的，完全連接層中之神經元具有對於先前層中之所有啟動的完全連接。來自完全連接層1108之輸出可被用來產生來自該網路之輸出結果。完全連接層908內的啟動可使用取代卷積的矩陣乘法來計算。並非所有CNN的實現皆利用完全連接層1108。例如，在一些實現中，卷積層1106可產生輸出給該CNN。

【0180】卷積層被稀疏地連接，其不同於完全連接層1108中所見之傳統類神經網路組態。傳統類神經網路層被完全連接，以致使每一輸出單元係與每一輸入單元互動。然而，如圖所示，卷積層被稀疏地連接，因為欄位之卷積的輸出被輸入(取代該欄位中之各節點的個別狀態值)至後續層之節點。與該些卷積層相關的內核係執行卷積操作，其輸出被傳送至下一層。在卷積層內所執行的維度減少為致使CNN縮放以供處理大影像之一種形態。

【0181】圖11B顯示CNN之卷積層內的示例性計算階段。CNN之卷積層1112的輸入可在卷積層1114的三個階段中被處理。該三個階段可包括卷積階段1116、檢測器階段1118和池化階段1120。卷積層1114可接著輸出資料至連續卷積層。該網路的最終卷積層可產生輸出特徵映射資料或提供輸入至完全連接層，例如，用以產生輸入的分類值給該CNN。

【0182】在卷積階段1116中，並行地執行數個卷積以產生一組線性啟動。卷積階段1116可包括仿射變換，其為可被指明為線性變換加上轉換之任何變換。仿射變換包括

旋轉、轉換、縮放及這些變換之組合。卷積階段計算函數(例如，神經元)之輸出，其被連接至輸入中之特定區，其可被判定為與該神經元相關的本地區。神經元計算介於該些神經元的權重與該些神經元所連接至之該本地輸入中的該區之間的內積。來自卷積階段1116之輸出係定義一組線性啟動，其由卷積層1114之連續階段來處理。

【0183】該些線性啟動可由檢測器階段1118來處理。在檢測器階段1118中，各線性啟動係由非線性啟動函數來處理。非線性啟動函數係增加整體網路之非線性性質而不影響卷積層之個別欄位。數種類型的非線性啟動函數可被使用。一種特別類型是整流線性單元(ReLU)，其使用定義為 $f(x)=\max(0,x)$ 之啟動函數，以致使啟動係以零為臨限值。

【0184】池化階段1120係使用以附近輸出之摘要統計來替換卷積層1106之輸出的池化函數。池化函數可被用來將轉換不變性引入類神經網路，以致使對於輸入之小轉換不會改變池化的輸出。對於本地轉換之不變性可能在輸入資料中之特徵的存在比該特徵之精確位置更為重要的情境中是有用的。多種類型的池化函數可被用於池化階段1120期間，包括最大池化、平均池化及 l_2 -norm池化。此外，一些CNN實現不包括池化階段。取而代之地，此類實現係以相對於先前卷積階段具有增加的跨步的額外卷積階段來代替。

【0185】來自卷積層1114之輸出可接著由下一層1122

來處理。下一層1122可以是額外卷積層或者完全連接層1108之一。例如，圖11A的第一卷積層1104可輸出至第二卷積層1106，而第二卷積層可輸出至完全連接層1108的第一層。

【0186】圖12示出示例性遞迴類神經網路1200。在遞迴類神經網路(RNN)中，網路的先前狀態係影響網路的目前狀態的輸出。RNN可使用多種功能來以多種方式被建立。RNN之使用通常圍繞著使用數學模型以根據輸入之先前序列來預測未來。例如，RNN可被用來執行統計語言建模來根據字詞之先前序列而預測將來的字詞。所示的RNN 1200可被描述為具有接收輸入向量的輸入層1202、用以實施遞迴函數的隱藏層1204、用以致使先前狀態之「記憶體」的回饋機制1205及用以輸出結果的輸出層1206。RNN 1200係根據時間步驟來操作。在既定時間步驟之RNN的狀態係經由回饋機制1205根據先前時間步驟而被影響。針對既定時間步驟，隱藏層1204之狀態係由先前狀態以及目前時間步驟之輸入來定義。在第一時間步驟之初始輸入(x_1)可由隱藏層1204來處理。第二輸入(x_2)可由隱藏層1204使用在該初始輸入(x_1)之處理期間所判定的狀態資訊來處理。既定狀態可被計算為 $s_t=f(Ux_t+Ws_{t-1})$ ，其中U和W為參數矩陣。函數f通常為非線性，諸如雙曲線正切函數(Tanh)或整流函數 $f(x)=\max(0,x)$ 之變化。然而，用於隱藏層1004之特定數學函數可根據RNN 1200之特定實現細節而變化。

【0187】除了所述的基本CNN及RNN網路之外，對於那些網路的變化可被致使。一種範例RNN變化為長短期記憶體(LSTM)RNN。LSTM RNN能夠學習對於處理較長的語言序列可能是必要的之長期依存性。CNN之變化為一種卷積深信網路，其具有類似於CNN之結構且係以一種類似於深信網路之方式來訓練。深信網路(DBN)為一種生成的類神經網路，其由隨機(任意)變數的多個層所組成。DBN可使用貪心非監督學習而被層接層地訓練。DBN之經學習的權重可接著藉由判定針對該類神經網路之最佳初始組的權重被用來提供預先訓練類神經網路。

【0188】圖13示出深度類神經網路的訓練和部署。一旦既定網路已針對一工作而被構成，則類神經網路係使用訓練資料集1302而被訓練。各種訓練框架1304已被開發來致使訓練程序之硬體加速。例如，圖8之機器學習框架804可被組態成訓練框架1304。訓練框架1304可連結入未訓練類神經網路1306並致使未訓練類神經網使用本文中所述之並行處理資源而被訓練，以產生經訓練類神經網1308。

【0189】為了開始訓練程序，初始權重可被隨機地選擇或者藉由使用深信網路來預先訓練。訓練週期接著以受監督或未監督中任一者的方式被執行。

【0190】受監督學習係一種學習方法，其中訓練被執行為中介操作，諸如當訓練資料集1302包括與針對輸入的所欲輸出配對的輸入時，或其中訓練資料集包括具有已知輸出之輸入且類神經網路之輸出被手動地分級。該網路處

理該些輸入並將所得輸出與一組預期或所欲輸出進行比較。錯誤接著透過系統回傳。訓練框架1304可調整控制未訓練類神經網路1306之權重。訓練框架1304可提供工具來監視未訓練類神經網路1306如何適當地根據已知的輸入資料以朝向一適於產生正確答案之模型收斂。隨著該網路之權重被調整以改良由類神經網路所產生的輸出，訓練程序係重複地發生。訓練程序可持續，直到類神經網路達到與經訓練類神經網1308相關之統計上理想的準確度。經訓練類神經網路1308可接著被部署以實現任何數目的機器學習操作。

【0191】未監督學習為一種網路嘗試使用未標示資料來訓練其本身的學習方法。因此，針對未監督學習，訓練資料集1302將包括輸入資料而沒有任何相關的輸出資料。未訓練類神經網路1306可學習未標示輸入內的學習群集，並可判定個別輸入如何與整體資料集相關。未監督訓練可被用來產生自行組織映射，其為一種能夠執行可用來減少資料之維度的操作之經訓練類神經網路1307的類型。未監督訓練還可被用來執行異常檢測，其容許從資料的正常型態偏離之輸入資料集中的資料點的識別。

【0192】受監督及未監督訓練之變化還可被利用。半監督學習為一種訓練資料集1302包括相同分佈之已標示及未標示資料的混合之技術。遞增學習為受監督學習之變化，其中輸入資料被持續地用來進一步訓練模型。遞增學習致使經訓練類神經網路1308調適於新資料1312而不會忘

記初始訓練期間之網路內所教導的知識。

【0193】無論受監督或未監督，特別是針對深類神經網路之訓練程序可能對於單一計算節點是太計算密集的。取代使用單一計算節點，計算節點之分散式網路可被用來加速訓練程序。

【0194】圖14為示出分散式學習的方塊圖。分散式學習為一種使用多個分散式計算節點來執行類神經網路之受監督或未監督訓練的訓練模型。分散式計算節點可各包括一或多個主處理器及一或多個通用處理節點，諸如圖9中之高度並行通用圖形處理單元900。如圖所示，分散式學習可執行模型並行性1402、資料並行性1404或模型和資料並行性之組合1204。

【0195】在模型並行性1402中，分散式系統中的不同計算節點可針對單一網路之不同部分來執行訓練計算。例如，類神經網路之各層可由分散式系統中的不同處理節點來訓練。模型並行性之優點包括縮放至特別大的模型之能力。將與類神經網路之不同層相關的計算分離致使了非常大的類神經網路(其中所有層之權重將不配適入單一計算節點之記憶體)之訓練。在一些實例中，模型並行性可特別有用於執行大型類神經網路之未監督訓練。

【0196】在資料並行性1404中，分散式網路的不同節點具有該模型的完整實例且各節點係接收資料之不同部分。來自不同節點之結果被接著結合。雖然資料並行性的不同方式是可能的，但資料並行性訓練皆需要一種結合結

果並將各節點間之模型參數同步化的技術。結合資料的示例性方案包括參數平均及更新為基的資料並行性。參數平均係訓練該訓練資料之子集上的各節點，並將全域參數(例如，權重、偏移)設為來自各節點之參數的平均。參數平均係使用保存參數資料的中央參數伺服器。更新為基的資料並行性係類似於參數平均，除了對於該模型的更新被轉移，而不是將參數從節點轉移至參數伺服器。此外，更新為基的資料並行性可用一種分散方式來執行，其中該些更新被壓縮並在節點之間轉移。

【0197】結合的模型及資料並行性1406可被實現在例如各計算節點包括多個GPU的分散式系統中。各節點可具有該模型的完全實例，其中各節點內的分離GPU被用來訓練該模型之不同部分。

【0198】相對於單一機器上之訓練，分散式訓練具有增加的負擔。然而，本文中所述之並行處理器及GPGPU可各實現多種技術來減少分散式訓練之負擔，包括用以致使高頻寬GPU至GPU資料轉移及加速遠端資料同步化的技術。

示例性機器學習應用

【0199】機器學習可被應用來解決多種技術問題，包括但不限於電腦視覺、自動駕駛和導航、語音辨識及語言處理。電腦視覺傳統上已成為針對機器學習應用的最活躍研究領域之一。電腦視覺之應用的範圍從再生人類視覺能

力(諸如辨識人臉)至產生新種類的視覺能力。例如，電腦視覺應用可被組態成從視頻中可見的物體中所引發的振動來辨識音波。並行處理器加速機器學習係致使電腦視覺應用使用相較於先前可行者顯著地更大的訓練資料集來訓練，並致使推理系統使用低功率並行處理器來被部署。

【0200】並行處理器加速機器學習具有自動駕駛應用，包括巷道和道路標誌辨識、障礙閃避、導航及駕駛控制。加速機器學習技術可被用來根據定義對於特定訓練輸入之適當回應的資料集來訓練駕駛模型。本文中所述之並行處理器可致使用於自動駕駛解決方案的越來越複雜的類神經網路之快速訓練，並致使一種適於集成在自動車內的行動平台中的低功率推理處理器之部署。

【0201】並行處理器加速深類神經網路已致使自動語音辨識(ASR)的機器學習方案。ASR包括產生計算既定輸入聲波序列下最可能的語言序列之函數。使用深類神經網路之加速機器學習已致使先前用於ASR的隱藏馬可夫(Markov)模型(HMM)及高斯(Gaussian)混合模型(GMM)的替換。

【0202】並行處理器加速機器學習還可被用來加速自然語言處理。自動學習程序可利用統計推理演算法來產生能抵抗錯誤或不熟悉輸入的模型。示例性自然語言處理器應用包括人類語言之間的自動機器翻譯。

【0203】用於機器學習的並行處理平台可被劃分為訓練平台及部署平台。訓練平台通常是高度並行的，且包括

用以加速多 GPU 單節點訓練及多節點多 GPU 訓練的最佳化。適於訓練的示例性並行處理器包括高度並行通用圖形處理單元及多 GPU 計算系統。反之，已部署的機器學習平台通常包括較低功率的並行處理器，其適於諸如相機、自動機器人及自動車等產品的使用。

【0204】圖 15 示出適用於使用訓練模型執行推理的示例性推理系統單晶片 (SOC) 1500。SOC 1500 可集成包括媒體處理器 1502、視覺處理器 1504、GPGPU 1506 及多核心處理器 1508 之處理組件。SOC 1500 可額外地包括晶載記憶體 1505，其可致使可由各處理組件所存取之共享的晶片上資料池。處理組件可針對低功率操作來最佳化，以致使對於包括自動車及自動機器人的多種機器學習平台之部署。例如，SOC 1500 的一種實現可被使用為自動車的主控制系統的一部分。當 SOC 1500 被組態為用於自動車時，SOC 被設計並組態成符合部署管轄權之相關的功能安全性標準。

【0205】在操作期間，媒體處理器 1502 及視覺處理器 1504 可配合加速電腦視覺操作來運作。媒體處理器 1502 可致使多個高解析度 (例如，4K、8K) 視頻串流的低延遲時間解碼。經解碼的視頻串流可被寫入至晶片上記憶體 1505 中的緩衝器。視覺處理器 1304 可接著解析該經解碼視頻並對於該經解碼視頻之框執行初步處理操作，以準備使用經訓練的影像辨識模型來處理該些框。例如，視覺處理器 1504 可加速被用來對於高解析度視頻資料執行影像辨識之 CNN 的卷積操作，而後端模型計算係由 GPGPU 1506 來執行。

【0206】多核心處理器1508可包括用以協助由媒體處理器1502和視覺處理器1504所執行的資料轉移及共享記憶體操作之排序和同步化的控制邏輯。多核心處理器1308還可作用為用以執行可利用GPGPU 1506之推理計算能力的軟體應用的應用處理器。例如，導航和駕駛邏輯之至少一部分可被實現在多核心處理器1508上所執行的軟體。此軟體可直接地發送計算工作負載至GPGPU 1506，或者該計算工作負載可被發送至多核心處理器1508，其可將那些操作之至少一部分卸載至GPGPU 1506。

【0207】GPGPU 1506可包括計算群集，諸如高度並行通用圖形處理單元900內的計算群集906A-906H的低功率組態。GPGPU 1506內的計算群集可支持被明確地最佳化以執行推理計算於經訓練類神經網路上的指令。例如，GPGPU 1506可支持用以執行諸如8位元及4位元整數向量操作的低精確度計算的指令。

額外的示例性圖形處理系統

【0208】上述實施例的細節可被併入以下所述之圖形處理系統及裝置中。圖16-29之圖形處理系統及裝置示出可實現上述任何或所有技術的替代系統及圖形處理硬體。

額外的示例性圖形處理系統概述

【0209】圖16為根據實施例之處理系統1600的方塊

圖。在各個實施例中，系統1600包括一或多個處理器1602及一或多個圖形處理器1608，且可以是單處理器桌上型系統、多處理器工作站系統或具有大量處理器1602或處理器核心1607之伺服器系統。在一個實施例中，系統1600為一種結合在系統單晶片(SoC)積體電路內以供用於行動、手持式或嵌入式裝置的處理平台。

【0210】系統1600之實施例可包括或被結合入伺服器為基的遊戲平台、遊戲控制台，包括遊戲和媒體控制台、行動遊戲控制台、手持式遊戲控制台或線上遊戲控制台。在一些實施例中，系統1600為行動電話、智慧型手機、平板計算裝置或行動網際網路裝置。資料處理系統1600還可包括、耦接或集成在穿戴式裝置中，諸如智慧錶穿戴式裝置、智慧眼鏡裝置、擴增實境裝置或虛擬實境裝置。在一些實施例中，資料處理系統1600為電視或機上盒裝置，其具有一或多個處理器1602及由一或多個圖形處理器1608所產生的圖形介面。

【0211】在一些實施例中，一或多個處理器1602各包括用以處理指令的一或多個處理器核心1607，當所述指令被執行時，執行針對系統及使用者軟體之操作。在一些實施例中，一或多個處理器核心1607之各者被組態成處理特定指令集1609。在一些實施例中，指令集1609可協助複雜指令集計算(CISC)、精簡指令集計算(RISC)或經由超長指令字組(VLIW)之計算。多處理器核心1607可各處理不同的指令集1609，其可包括用以協助其它指令集之仿真的指

令。處理器核心1607還可包括其它處理裝置，諸如數位訊號處理器(DSP)。

【0212】在一些實施例中，處理器1602包括快取記憶體1604。根據架構，處理器1602可以具有單個內部快取或多階內部快取。在一些實施例中，快取記憶體被共享於處理器1602的各個組件之間。在一些實施例中，處理器1602亦使用外部快取(例如，第3階(L3)快取或最末階快取(LLC))(未顯示)，其可使用已知的快取同調性技術而被共享於處理器核心1607之間。暫存器檔案1606被額外地包括在處理器1602中，其可包括不同類型的暫存器，用以儲存不同類型的資料(例如，整數暫存器、浮點暫存器、狀態暫存器及指令指標暫存器)。一些暫存器可以是通用暫存器，而其它暫存器可特別針對處理器1602之設計。

【0213】在一些實施例中，處理器1602與處理器匯流排1610耦接，用以在處理器1602與系統1600中的其它組件之間傳輸通訊訊號(諸如位址、資料或控制訊號)。於一實施例中，系統1600使用包括記憶體控制器集線器1616及輸入輸出(I/O)控制器集線器1630之範例「集線器」系統架構。記憶體控制器集線器1616係促成記憶體裝置與系統1600的其它組件之間的通訊，而I/O控制器集線器(ICH)1630經由本地I/O匯流排來提供連接至I/O裝置。於一實施例中，記憶體控制器集線器1616的邏輯被集成在處理器內。

【0214】記憶體裝置1620可以是動態隨機存取記憶體

(DRAM)裝置、靜態隨機存取記憶體(SRAM)裝置、快閃記憶體裝置、相變記憶體裝置或具有用以作用為程序記憶體之適當效能的一些其它記憶體裝置。於一實施例中，記憶體裝置1620可操作為用於系統1600之系統記憶體，用以儲存資料1622及指令1621，以便在當一或多個處理器1602執行應用或程序時使用。記憶體控制器集線器1616亦與選擇性的外部圖形處理器1612耦接，該外部圖形處理器1612可與處理器1602中的一或多個圖形處理器1608通訊以執行圖形及媒體操作。

【0215】在一些實施例中，ICH 1630致使周邊裝置經由高速I/O匯流排來連接至記憶體裝置1620及處理器1602。I/O周邊裝置包括但不限於音頻控制器1646、韌體介面1628、無線收發器1626(例如，Wi-Fi、藍芽)、資料儲存裝置1624(例如，硬碟驅動、快閃記憶體，等等)及傳統I/O控制器1640，用以將傳統(例如，個人系統2(PS/2))裝置耦接至系統。一或多個通用串列匯流排(USB)控制器1642係連接輸入裝置，諸如鍵盤及滑鼠1644組合。網路控制器1634還可與ICH 1630耦接。在一些實施例中，高效能網路控制器(未顯示)係與處理器匯流排1610耦接。將理解，所示之系統1600為範例性而非限制性的，因為被不同地組態的其它類型的資料處理系統也可被使用。例如，I/O控制器集線器1630可被集成於一或多個處理器1602內，或者記憶體控制器集線器1616及I/O控制器集線器1630可被集成到個別的外部圖形處理器內，諸如外部圖形

處理器 1612。

【0216】圖 17 為處理器 1700 之實施例的方塊圖，處理器 1700 具有一或多個處理器核心 1702A-1702N、積體記憶體控制器 1714 和積體圖形處理器 1708。具有如本文中任何其它圖示之元件的相同參考數字(或名稱)之圖 17 的那些元件可用類似於本文中其它處所述的任何方式來操作或作用，但不限在此。處理器 1700 可包括額外核心高達(並包括)由虛線方盒所表示的額外核心 1702N。處理器核心 1702A-1702N 之各者包括一或多個內部快取單元 1704A-1704N。在一些實施例中，各處理器核心亦得以存取一或多個共享快取單元 1706。

【0217】內部快取單元 1704A-1704N 及共享快取單元 1706 係代表處理器 1700 內的快取記憶體階層。快取記憶體階層在各處理器核心內可包括至少一階的指令和資料快取，以及一或多階的共享中階快取，諸如第 2 階(L2)、第 3 階(L3)、第 4 階(L4)或其它階快取，其中在外部記憶體前的最高階快取被歸類為 LLC。在一些實施例中，快取同調性邏輯係維持介在各個快取單元 1706 及 1704A-1704N 之間的同調性。

【0218】在一些實施例中，處理器 1700 也可包括一組一或多個匯流排控制器單元 1716 及系統代理核心 1710。一或多個匯流排控制器單元 1716 管理一組周邊裝置匯流排，諸如一或多個周邊裝置組件互連匯流排(例如，PCI、PCI Express)。系統代理核心 1710 針對各個處理器組件提供管

理功能。在一些實施例中，系統代理核心1710包括一或多個積體記憶體控制器1714，用以管理對各種外部記憶體裝置(未顯示)之存取。

【0219】在一些實施例中，一或多個處理器核心1702A-1702N包括支持同時多執行緒。在此實施例中，系統代理核心1710包括用以在多執行緒處理期間協調並操作核心1702A-1702N之組件。系統代理核心1710可額外地包括電力控制單元(PCU)，其包括用以調節處理器核心1702A-1702N及圖形處理器1708之電力狀態的邏輯和組件。

【0220】在一些實施例中，處理器1700額外地包括用以執行圖形處理操作之圖形處理器1708。在一些實施例中，圖形處理器1708與該組共享快取單元1706及系統代理核心1710，包括一或多個積體記憶體控制器1714耦接。在一些實施例中，顯示控制器1711係與圖形處理器1708耦接以驅動圖形處理器輸出至一或多個耦接的顯示器。在一些實施例中，顯示控制器1711可以是個別的模組，其經由至少一互連而與圖形處理器耦接，或者可被集成於圖形處理器1708或系統代理核心1710內。

【0221】在一些實施例中，環狀互連單元1712被用來耦接處理器1700之內部組件。然而，可使用替代的互連單元，諸如點對點互連、切換式互連或其它技術，包括本領域中眾所周知的技術。在一些實施例中，圖形處理器1708係經由I/O鏈路1713而與環狀互連1712耦接。

【0222】示例性I/O鏈路1713代表多種I/O互連中的至少一者，包括封裝上I/O互連，其協助各個處理器組件與高效能嵌入式記憶體模組1718(諸如eDRAM模組)之間的通訊。在一些實施例中，處理器核心1702A-1702N及圖形處理器1708之各者係使用嵌入式記憶體模組1718為共享的最末階快取。

【0223】在一些實施例中，處理器核心1702A-1702N為執行相同指令集架構之同質核心。於另一實施例中，處理器核心1702A-1702N就指令集架構(ISA)而言為異質的，其中處理器核心1702A-1702N中的一或多者係執行第一指令集，而其它核心中的至少一者係執行該第一指令集之子集或不同的指令集。在一個實施例中，處理器核心1702A-1702N就微架構而言為異質的，其中具有相對較高功率消耗中的一或多個核心係與具有較低功率消耗中的一或多個電力核心耦接。此外，處理器1700可被實現於一或多個晶片上，或者作為具有所示的組件以及其它組件之SoC積體電路。

【0224】圖18為圖形處理器1800的方塊圖，圖形處理器1800可以是獨立的圖形處理單元或者可以是與複數處理核心集成的圖形處理器。在一些實施例中，圖形處理器係經由記憶體映射的I/O介面而通訊至圖形處理器上之暫存器，並與置入處理器記憶體內的命令通訊。在一些實施例中，圖形處理器1800包括用以存取記憶體之記憶體介面1814。記憶體介面1814可以是對於本地記憶體、一或多個

內部快取、一或多個共享外部快取和/或對於系統記憶體之介面。

【0225】在一些實施例中，圖形處理器1800還包括用以驅動顯示輸出資料至顯示裝置1820之顯示控制器1802。顯示控制器1802包括用於多層視頻或使用者介面元件的顯示及組成的一或多個重疊平面之硬體。在一些實施例中，圖形處理器1800包括視頻編碼解碼引擎1806，用以將媒體編碼、解碼或轉碼至、自或介於一或多個媒體編碼格式之間，包括但不限於動態圖像專家群組(MPEG)格式(諸如MPEG-2)、先進視頻編碼(AVC)格式(諸如H.264/MPEG-4 AVC)，以及電影電視工程師協會(SMPTE) 421M/VC-1及聯合圖像專家群組(JPEG)格式(諸如JPEG)和動態JPEG(MJPEG)格式。

【0226】在一些實施例中，圖形處理器1800包括區塊影像轉移(BLIT)引擎1804，用以執行二維(2D)光柵化器操作，包括(例如)位元邊界區塊轉移。然而，於一實施例中，2D圖形操作係使用圖形處理引擎(GPE)1810中的一或多個組件來執行。在一些實施例中，GPE 1810為用以執行包括三維(3D)圖形操作及媒體操作之圖形操作的計算引擎。

【0227】在一些實施例中，GPE 1810包括用以執行諸如使用作用於3D基元形狀(例如，矩形、三角形，等等)上之處理功能以渲染三維影像及場景之3D操作的3D管線1812。3D管線1812包括可編程及固定功能元件，其執行該

元件內的各種工作和/或生產執行緒至3D/媒體子系統1815。雖然3D管線1812可被用來執行媒體操作，但GPE 1810之實施例還包括媒體管線1816，其被明確地用來執行媒體操作，諸如視頻後製處理及影像強化。

【0228】在一些實施例中，媒體管線1816包括固定功能或可編程邏輯單元，用以執行一或多個特殊化媒體操作，諸如視頻解碼加速、視頻去交錯及視頻編碼加速，以取代或代替視頻編碼解碼引擎1806。在一些實施例中，媒體管線1816額外地包括執行緒生產單元，用以生產執行緒以供執行於3D/媒體子系統1815上。所生產的執行緒係執行針對3D/媒體子系統1815中所包括的一或多個圖形執行單元上的媒體操作之計算。

【0229】在一些實施例中，3D/媒體子系統1815包括用以執行由3D管線1812及媒體管線1816所生產的執行緒之邏輯。於一實施例中，該些管線係傳送執行緒執行請求至3D/媒體子系統1815，其包括執行緒調度邏輯，用以將各個請求仲裁並調度至可用的執行緒執行資源。執行資源包括圖形執行單元之陣列，用以處理3D及媒體執行緒。在一些實施例中，3D/媒體子系統1815包括用於執行緒指令及資料中的一或多個內部快取。在一些實施例中，子系統還包括共享記憶體，包括暫存器及可定址記憶體，用以共享執行緒之間的資料並儲存輸出資料。

圖形處理引擎

【0230】圖19為根據一些實施例之圖形處理器之圖形處理引擎1910的方塊圖。於一實施例中，圖形處理引擎(GPE)1910為圖18中所示之GPE 1810的一種版本。具有如本文中任何其它圖示之元件的相同參考數字(或名稱)之圖19的元件可用類似於本文中其它處所述的任何方式來操作或作用，但不限在此。例如，圖18之3D管線1812及媒體管線1816被顯示。媒體管線1816在GPE 1910的一些實施例中是選擇性的，且可能不被明確地包括在GPE 1910內。例如以及在至少一個實施例中，個別的媒體和/或影像處理器被耦接至GPE 1910。

【0231】在一些實施例中，GPE 1910係包括命令串流器1903或與之耦接，命令串流器1903提供命令串流至3D管線1812和/或媒體管線1816。在一些實施例中，命令串流器1903係與記憶體耦接，該記憶體可以是系統記憶體或內部快取記憶體及共享快取記憶體中的一或多者。在一些實施例中，命令串流器1903從記憶體接收命令並將該些命令傳送至3D管線1812和/或媒體管線1816。該些命令是提取自環狀緩衝器的指令，其儲存3D管線1812及媒體管線1816之命令。在一個實施例中，環狀緩衝器可額外地包括批次命令緩衝器，其儲存多個命令之批次。3D管線1812之命令還可包括對於記憶體中所儲存之資料的參考，諸如但不限於用於3D管線1812之頂點和幾何資料和/或用於媒體管線1816之影像資料和記憶體物件。3D管線1812及媒體管線1816係藉由經由個別管線內的邏輯以執行操作或將一或多

個執行緒調度至圖形核心陣列 1914 來處理該些命令及資料。

【0232】在各個實施例中，3D 管線 1812 可執行一或多個著色器程式，諸如頂點著色器、幾何著色器、像素著色器、片段著色器、計算著色器或其它著色器程式，藉由處理該些指令並將執行緒調度至圖形核心陣列 1914。圖形核心陣列 1914 提供了執行資源的統一區塊。圖形核心陣列 1914 之中的多用途執行邏輯(例如，執行單元)包括支持各種 3D API 著色器語言並可執行與多個著色器相關的多個同時執行緒。

【0233】在一些實施例中，圖形核心陣列 1914 還包括用以執行諸如視頻和/或影像處理之媒體功能的執行邏輯。於一實施例中，執行單元額外地包括通用邏輯，其可編程以執行除了圖形處理操作之外的並行通用計算操作。通用邏輯可並行地或聯合圖 16 之處理器核心 1607 或圖 17 中之核心 1702A-1702N 內的通用邏輯來執行處理操作。

【0234】由圖形核心陣列 1914 上所執行之執行緒所產生的輸出資料可將資料輸出至統一返回緩衝器(URB)1918 中之記憶體。URB 1918 可儲存多個執行緒之資料。在一些實施例中，URB 1918 可被用來傳送資料於圖形核心陣列 1914 上所執行的不同執行緒之間。在一些實施例中，URB 1918 可額外地被用於圖形核心陣列上的執行緒與共享功能邏輯 1920 內的固定功能邏輯之間的同步化。

【0235】在一些實施例中，圖形核心陣列 1914 為可縮

放的，以致使該陣列包括可變數目的圖形核心，其根據 GPE 1910之目標功率及效能位準而各具有可變數目的執行單元。在一實施例中，執行資源為動態可縮放的，以致使執行資源可根據所需來啟用或禁用。

【0236】圖形核心陣列1914係與共享功能邏輯1920耦接，共享功能邏輯1920包括被共享於圖形核心陣列中的圖形核心之間的多個資源。在共享功能邏輯1920之中的共享功能為硬體邏輯單元，其提供特殊化補充功能給圖形核心陣列1914。在各個實施例中，共享功能邏輯1920包括但不限於取樣器邏輯1921、數學邏輯1922及執行緒間通訊(ITC)邏輯1923。此外，一些實施例係實現共享功能邏輯1920內的一或多個快取1925。共享功能被實現，其中既定特殊化功能之需求包括在圖形核心陣列1914內仍不足時。取而代之地，該特殊化功能之單一例示被實現為共享功能邏輯1920中之獨立單體且被共享於圖形核心陣列1914內的執行資源之間。被共享於圖形核心陣列1914之間且被包括在圖形核心陣列1914內的功能的精確集合係在實施例之間改變。

【0237】圖20為圖形處理器2000之另一實施例的方塊圖。具有如本文中任何其它圖示之元件的相同參考數字(或名稱)之圖20的元件可用類似於本文中其它處所述的任何方式來操作或作用，但不限在此。

【0238】在一些實施例中，圖形處理器2000包括環狀互連2002、管線前端2004、媒體引擎2037及圖形核心

2080A-2080N。在一些實施例中，環狀互連2002將圖形處理器耦接至其它處理單元，包括其它圖形處理器或者一或多個通用處理器核心。在一些實施例中，圖形處理器為集成於多核心處理系統內的許多處理器之一者。

【0239】在一些實施例中，圖形處理器2000經由環狀互連2002來接收命令之批次。進來的命令係由管線前端2004中之命令串流器2003來解讀。在一些實施例中，圖形處理器2000包括用以經由圖形核心2080A-2080N來執行3D幾何處理及媒體處理的可縮放執行邏輯。針對3D幾何處理命令，命令串流器2003將命令供應至幾何管線2036。針對至少一些媒體處理命令，命令串流器2003將該些命令供應至與媒體引擎2037耦接的視頻前端2034。在一些實施例中，媒體引擎2037包括用於視頻和影像後製處理的視頻品質引擎(VQE)2030及用以提供硬體加速的媒體資料編碼和解碼的多格式編碼/解碼(MFX)2033引擎。在一些實施例中，幾何管線2036及媒體引擎2037各針對由至少一圖形核心2080A所提供的執行緒執行資源來產生執行緒。

【0240】在一些實施例中，圖形處理器2000包括可縮放執行緒執行資源特徵模組式核心2080A-2080N(有時稱為核心片)，其各具有多個子核心2050A-550N、2060A-2060N(有時稱為核心子片)。在一些實施例中，圖形處理器2000可具有任何數目的圖形核心2080A至2080N。在一些實施例中，圖形處理器2000包括至少具有第一子核心2050A及第二子核心2060A的圖形核心2080A。於其他實施

例中，圖形處理器為具有單一子核心(例如，2050A)之低功率處理器。在一些實施例中，圖形處理器2000包括多個圖形核心2080A-2080N，其各包括一組第一子核心2050A-2050N及一組第二子核心2060A-2060N。該組第一子核心2050A-2050N中之各子核心至少包括第一組執行單元2052A-2052N及媒體/紋理取樣器2054A-2054N。該組第二子核心2060A-2060N中之各子核心至少包括第二組執行單元2062A-2062N及取樣器2064A-2064N。在一些實施例中，各子核心2050A-2050N、2060A-2060N係共享一組共享資源2070A-2070N。在一些實施例中，共享資源包括共享快取記憶體及像素操作邏輯。其它共享資源還可被包括在圖形處理器之各個實施例中。

執行單元

【0241】圖21示出在GPE之一些實施例採用之包括處理單元之陣列的執行緒執行邏輯2100。具有如本文中任何其它圖示之元件的相同參考數字(或名稱)之圖21的元件可用類似於本文中其它處所述的任何方式來操作或作用，但不限在此。

【0242】在一些實施例中，執行緒執行邏輯2100包括著色器處理器2102、執行緒調度器2104、指令快取2106、包括複數個執行單元2108A-2108N的可縮放執行單元陣列、取樣器2110、資料快取2112及資料埠2114。於一實施例中，可縮放執行單元陣列可藉由根據工作負載之計算需

求以啟用或禁用一或多個執行單元(例如，執行單元2108A、2108B、2108C、2108D、至2108N-1及2108N之任意者)來動態地縮放。於一實施例中，所包括的組件係經由鏈接至該些組件之各者的互連構造來互連。在一些實施例中，執行緒執行邏輯2100包括對於記憶體的一或多個連接，該記憶體諸如系統記憶體或快取記憶體，透過一或多個指令快取2106、資料埠2114、取樣器2110及執行單元2108A-2108N。在一些實施例中，各執行單元(例如，2108A)為獨立可編程通用計算單元，其能夠執行多個同步硬體執行緒，而同時針對各執行緒並行地處理多個資料元件。在各個實施例中，執行單元2108A-2108N之陣列為可縮放的，以包括任何數目的個別執行單元。

【0243】在一些實施例中，執行單元2108A-2108N主要被用來執行著色器程式。著色器處理器2102可處理各種著色器程式，並經由執行緒調度器2104來調度與該些著色器程式相關的執行緒。於一實施例中，執行緒調度器包括用以仲裁來自圖形和媒體管線之執行緒起始請求，並將該些請求的執行緒實例化於執行單元2108A-2108N中的一或多個執行單元上之邏輯。例如，幾何管線(例如，圖20之2036)可將頂點、鑲嵌或幾何著色器調度至執行緒執行邏輯2100(圖21)以供處理。在一些實施例中，執行緒調度器2104還可處理來自執行中著色器程式的運行時間執行緒生產請求。

【0244】在一些實施例中，執行單元2108A-2108N支

持包括對於許多標準3D圖形著色器指令之本機支持的指令集，以致使來自圖形庫(例如，Direct 3D及OpenGL)之著色器程式以最少轉換被執行。執行單元支持頂點和幾何處理(例如，頂點程式、幾何程式、頂點著色器)、像素處理(例如，像素著色器、片段著色器)及通用處理(例如，計算和媒體著色器)。執行單元2108A-2108N之各者能夠多重發送單指令多資料(SIMD)執行，而多執行緒操作係致使在面對較高延遲時間記憶體存取時之有效率的執行環境。每一個執行單元內的各硬體執行緒具有專用的高頻寬暫存器檔案及相關的獨立執行緒狀態。執行係每個時脈多重發送至管線，其得以進行整數、單和雙精確度浮點操作、SIMD分支能力、邏輯操作、超越操作及其它各種操作。當等待來自記憶體之資料或共享功能之一時，執行單元2108A-2108N內的相依性邏輯係致使等待執行緒休眠，直到該請求的資料已被返回。當該等待執行緒正在休眠時，硬體資源可被用於處理其它執行緒。例如，在與頂點著色器操作相關的延遲期間，執行單元可執行用於像素著色器、片段著色器或其它類型的著色器程式，包括不同的頂點著色器之操作。

【0245】執行單元2108A-2108N中之各執行單元係操作於資料元件之陣列上。資料元件的數目為「執行大小」或針對該指令之通道數目。執行通道為針對指令內的資料元件存取、遮蔽及流程控制的執行之邏輯單元。通道數目可獨立於針對特定圖形處理器之實體算術邏輯單元(ALU)

或浮點單元(FPU)的數目。在一些實施例中，執行單元2108A-2108N支持整數及浮點資料類型。

【0246】執行單元指令集包括SIMD指令。各個資料元件可被儲存為暫存器中之緊縮資料類型，且執行單元將根據該些元件之資料大小來處理各個元件。例如，當操作於256位元寬的向量時，該向量的256位元被儲存於暫存器中，且執行單元係操作於該向量上而成為四個個別的64位元緊縮資料元件(四字組(QW)大小資料元件)、八個個別的32位元緊縮資料元件(雙字組(DW)大小資料元件)、十六個個別的16位元緊縮資料元件(字組(W)大小資料元件)或三十二個個別的8位元資料元件(位元組(B)大小資料元件)。然而，不同的向量寬度及暫存器大小是可能的。

【0247】一或多個內部指令快取(例如，2106)被包括在執行緒執行邏輯2100中，以將執行單元之執行緒指令快取。在一些實施例中，一或多個資料快取(例如，2112)被包括以在執行緒執行期間將執行緒資料快取。在一些實施例中，取樣器2110被包括以提供針對3D操作之紋理取樣及針對媒體操作之媒體取樣。在一些實施例中，取樣器2110包括特殊化紋理或媒體取樣功能，用以在提供已取樣資料至執行單元之前，處理在取樣程序期間之紋理或媒體資料。

【0248】在執行期間，圖形及媒體管線係經由執行緒生產和調度邏輯來將執行緒起始請求傳送至執行緒執行邏輯2100。一旦幾何物件之群組已被處理並光柵化為像素資

料，則著色器處理器2102內的像素處理器邏輯(例如，像素著色器邏輯、片段著色器邏輯，等等)被調用以進一步計算輸出資訊並致使結果被寫入至輸出表面(例如，顏色緩衝器、深度緩衝器、模板緩衝器，等等)。在一些實施例中，像素著色器或片段著色器係計算將跨該光柵化物件被內插的各個頂點屬性之值。在一些實施例中，著色器處理器2102內的像素處理器邏輯接著執行應用編程介面(API)供應的像素或片段著色器程式。為了執行著色器程式，著色器處理器2102經由執行緒調度器2104來將執行緒調度至執行單元(例如，2108A)。在一些實施例中，像素著色器2102係使用取樣器2110中之紋理取樣邏輯來存取記憶體中所儲存之紋理映射中的紋理資料。紋理資料及輸入幾何資料上的算術操作係計算各幾何片段之像素顏色資料或丟棄一或多個像素而不做進一步處理。

【0249】在一些實施例中，資料埠2114提供記憶體存取機制給執行緒執行邏輯2100，用以將經處理資料輸出至記憶體以在圖形處理器輸出管線上處理。在一些實施例中，資料埠2114包括或耦接至一或多個快取記憶體(例如，資料快取2112)，用以經由資料埠來快取資料以供記憶體存取。

【0250】圖22為根據一些實施例示出之圖形處理器指令格式2200的方塊圖。在一或多個實施例中，圖形處理器執行單元係支持一種具有多個格式之指令的指令集。實線方盒係顯示通常地被包括在執行單元指令中之組件，而虛

線則包括為選擇性的或者僅被包括在該些指令之子集中的組件。在一些實施例中，所述且所示的指令格式2200為巨集指令，一旦該指令被處理後，其為供應至執行單元之指令，而不是得自指令解碼之微操作。

【0251】在一些實施例中，圖形處理器執行單元本質地支持128位元指令格式2210之指令。64位元壓縮指令格式2230可根據選定的指令、指令選項及計算元的數目而用於一些指令。本質128位元指令格式710係提供對於所有指令選項之存取，而一些選項及操作被侷限於64位元格式2230。可用於64位元格式2230之本質指令隨實施例而改變。在一些實施例中，該指令係使用指標欄位2213中之一組指標值而被部分地壓縮。執行單元硬體係根據指標值而參考一組壓縮表，並使用壓縮表輸出以重新建構128位元指令格式2210之本質指令。

【0252】針對各格式，指令計算碼2212係定義該執行單元應執行之操作。執行單元跨各計算元之多資料元件來並行地執行各指令。例如，回應於加法指令，執行單元跨代表紋理元件或圖片元件之各顏色通道來執行同步加法計算。預設地，執行單元跨計算元的所有資料通道來執行各指令。在一些實施例中，指令控制欄位2214致使對於某些執行選項之控制，諸如通道選擇(例如，斷定)及資料通道順序(例如，拌合)。針對128位元指令格式2210之指令，執行大小欄位2216係限制將被並行地執行之資料通道的數目。在一些實施例中，執行大小欄位2216不得用於64位元

壓縮指令格式2230。

【0253】一些執行單元指令具有高達三計算元，其包括兩個來源計算元(`src0` 2220、`src1` 2222)及一個目的地2218。在一些實施例中，執行單元支持雙目的地指令，其中該些目的地之一者被隱含。資料操縱指令可具有第三來源計算元(例如，`SRC2` 2224)，其中指令計算碼2212係判定來源計算元的數目。指令的最後來源計算元可以是利用該指令傳遞的立即(例如，硬編碼)值。

【0254】在一些實施例中，128位元指令格式2210包括存取/位址模式欄位2226，其指明(例如)直接暫存器定址模式或是間接暫存器定址模式是否被使用。當直接暫存器定址模式被使用時，一或多個計算元之暫存器位址係直接地由該指令中之位元來提供。

【0255】在一些實施例中，128位元指令格式2210包括存取/位址模式欄位2226，其指明該指令之位址模式和/或存取模式。於一實施例中，存取模式被用來定義該指令之資料存取對準。一些實施例支持存取模式，包括16位元組對準的存取模式以及1位元組對準的存取模式，其中存取模式之位元組對準係判定指令計算元之存取對準。例如，當在第一模式時，該指令對於來源和目的地計算元可使用位元組對準的定址，而當在第二模式時，該指令對於來源和目的地計算元可使用16位元組對準的定址。

【0256】於一實施例中，存取/位址模式欄位2226之位址模式部分判定該指令是否使用直接或者間接定址。當

直接暫存器定址模式被使用時，該指令中之位元係直接地提供一或多個計算元之暫存器位址。當間接暫存器定址模式被使用時，一或多個計算元之暫存器位址可根據該指令中之位址暫存器值及位址立即欄位而被計算。

【0257】在一些實施例中，指令係根據計算碼2212位元欄位而被群組以簡化計算碼解碼2240。針對8位元計算碼，位元4、5及6容許執行單元判定計算碼之類型。所示之精確計算碼群組僅為範例。在一些實施例中，移動和邏輯計算碼群組2242包括資料移動和邏輯指令(例如，移動(mov)、比較(cmp))。在一些實施例中，移動和邏輯群組2242係共享五個最高有效位元(MSB)，其中移動(mov)指令為0000xxxxb之形式，而邏輯指令為0001xxxxb之形式。流程控制指令群組2244(例如，呼叫、跳躍(jmp))包括為0010xxxxb(例如，0x20)之形式的指令。雜項指令群組2246包括指令之混合，其包括為0011xxxxb(例如，0x30)之形式的同步化指令(例如，等待、傳送)。並行數學指令群組2248包括為0100xxxxb(例如，0x40)之形式的組件式算術指令(例如加、乘(mul))。並行數學群組2248係跨資料通道而並行地執行算術計算。向量數學群組2250包括為0101xxxxb(例如，0x50)之形式的算術指令(例如，dp4)。向量數學群組係執行諸如對於向量計算元之內積計算之算術。

圖形管線

【0258】圖23為圖形處理器2300之另一實施例的方塊圖。具有如本文中任何其它圖示之元件的相同參考數字(或名稱)之圖23的元件可用類似於本文中其它處所述的任何方式來操作或作用，但不限在此。

【0259】在一些實施例中，圖形處理器2300包括圖形管線2320、媒體管線2330、顯示引擎2340、執行緒執行邏輯2350及渲染輸出管線2370。在一些實施例中，圖形處理器2300為包括一或多個通用處理核心之多核心處理系統內的圖形處理器。圖形處理器係由暫存器寫入至一或多個控制暫存器(未顯示)所控制，或者經由發送至圖形處理器2300(經由環狀互連2302)之命令來控制。在一些實施例中，環狀互連2302將圖形處理器2300耦接至其它處理組件，諸如其它圖形處理器或通用處理器。來自環狀互連2302之命令係由命令串流器2303所解讀，命令串流器2303將指令供應至圖形管線2320或媒體管線2330的個別組件。

【0260】在一些實施例中，命令串流器2303指引頂點提取器2305之操作，其從記憶體讀取頂點資料並執行由命令串流器2303所提供的頂點處理命令。在一些實施例中，頂點提取器2305提供頂點資料至頂點著色器2307，其對於每個頂點執行座標空間轉換及照亮操作。在一些實施例中，頂點提取器2305及頂點著色器2307係執行頂點處理指令，藉由經執行緒調度器2331來將執行緒調度至執行單元2352A-2352B。

【0261】在一些實施例中，執行單元2352A-2352B為

具有用以執行圖形及媒體操作之指令集的向量處理器之陣列。在一些實施例中，執行單元2352A-2352B具有附接的L1快取2351，其專用於各陣列或者共享於多個陣列之間。快取可被組態成資料快取、指令快取或單一快取，其被分區成在不同的分區中含有資料及指令。

【0262】在一些實施例中，圖形管線2320包括鑲嵌組件，用以執行3D物件之硬體加速鑲嵌。在一些實施例中，可編程殼體(hull)著色器811係組態鑲嵌操作。可編程領域著色器817提供鑲嵌輸出的後端評估。鑲嵌器2313係操作於殼體著色器2311之方向並含有特殊用途邏輯，用以根據被提供為圖形管線2320之輸入的粗略幾何模型來產生一組詳細的幾何物件。在一些實施例中，假如未使用鑲嵌，則鑲嵌組件(例如，殼體著色器2311、鑲嵌器2313及領域著色器2317)可被省略。

【0263】在一些實施例中，完整幾何物件可經由其被調度至執行單元2352A-2352B的一或多個執行緒，藉由幾何著色器2319來處理，或者可直接地前進至截波器2329。在一些實施例中，幾何著色器係操作於整個幾何物件上，而非如圖形管線中的先前階段中之頂點或頂點的補丁。假如鑲嵌被禁用，則幾何著色器2319接收來自頂點著色器2307之輸入。在一些實施例中，假如鑲嵌單元被禁用，則幾何著色器2319可由幾何著色器程式所編程，以執行幾何鑲嵌。

【0264】在光柵化之前，截波器2329處理頂點資料。

截波器 2329 可為固定功能截波器或具有截波及幾何著色器功能之可編程截波器。在一些實施例中，渲染輸出管線 2370 中之光柵化器及深度測試組件 2373 係調度像素著色器以將幾何物件轉換為其每個像素表示。在一些實施例中，像素著色器邏輯被包括在執行緒執行邏輯 2350 中。在一些實施例中，應用可省略光柵化器及深度測試組件 2373，並經由串流輸出單元 2323 來存取未光柵化的頂點資料。

【0265】圖形處理器 2300 具有互連匯流排、互連構造或一些其它互連機制，其容許資料及訊息傳遞於處理器的主要組件之間。在一些實施例中，執行單元 2352A-2352B 及相關快取 2351、紋理和媒體取樣器 2354 及紋理/取樣器快取 2358 係經由資料埠 2356 而互連，以執行記憶體存取並與處理器之渲染輸出管線組件通訊。在一些實施例中，取樣器 2354、快取 2351、2358 及執行單元 2352A-2352B 各具有個別的記憶體存取路徑。

【0266】在一些實施例中，渲染輸出管線 2370 含有光柵化器及深度測試組件 2373，其將頂點為基的物件轉換為相關之像素為基的表示。在一些實施例中，光柵化器邏輯包括視窗器/遮蔽器單元，用以執行固定功能三角及直線光柵化。相關的渲染快取 2378 及深度快取 2379 還可用在一些實施例中。像素操作組件 2377 係對於資料執行像素為基的操作，雖然在一些例子中，與 2D 操作相關的像素操作 (例如，利用混合之位元區塊影像轉移) 係由 2D 引擎 2341 來執行或者於顯示時刻使用重疊顯示平面由顯示控制器 2343

來取代。在一些實施例中，共享L3快取2375可用於所有圖形組件，其容許資料之共享而不使用主系統記憶體。

【0267】在一些實施例中，圖形處理器媒體管線2330包括媒體引擎2337及視頻前端2334。在一些實施例中，視頻前端2334接收來自命令串流器2303之管線命令。在一些實施例中，媒體管線2330包括個別的命令串流器。在一些實施例中，在傳送該命令至媒體引擎2337之前，視頻前端2334處理媒體命令。在一些實施例中，媒體引擎2337包括執行緒生產功能，用以生產執行緒以便經由執行緒調度器2331來調度至執行緒執行邏輯2350。

【0268】在一些實施例中，圖形處理器2300包括顯示引擎2340。在一些實施例中，顯示引擎2340位於處理器2300外部，並經由環狀互連2302(或某些其它互連匯流排或構造)而與圖形處理器耦接。在一些實施例中，顯示引擎2340包括2D引擎2341及顯示控制器2343。在一些實施例中，顯示引擎2340含有特殊用途邏輯，其能夠獨立自3D管線而操作。在一些實施例中，顯示控制器2343與顯示裝置(未顯示)耦接，顯示裝置可以是系統集成顯示裝置(如在膝上型電腦中)或經由顯示裝置連接器而附接的外部顯示裝置。

【0269】在一些實施例中，圖形管線2320及媒體管線2330可組態成根據多個圖形及媒體編程介面來執行操作，而非專用於任一應用編程介面(API)。在一些實施例中，圖形處理器之驅動程式軟體將專用於特定圖形或媒體庫的

API呼叫轉換為可由圖形處理器所處理的命令。在一些實施例中，提供給開放式圖形庫(OpenGL)、開放式計算語言(OpenCL)和/或 Vulkan圖形和計算API之支持，其均來自 Khronos集團。在一些實施例中，還可提供支持給來自微軟公司的 Direct3D庫。在一些實施例中，可支持這些庫之組合。還可提供支持給開放式來源電腦視覺庫(OpenCV)。假如可從未來API之管線執行至圖形處理器之管線的映射，則具有可相容3D管線之未來API亦將被支持。

圖形管線編程

【0270】圖24A為根據一些實施例示出之圖形處理器命令格式2400的方塊圖。圖24B為根據一實施例示出之圖形處理器命令序列2410的方塊圖。圖24A中之實線方盒係顯示通常被包括在圖形命令中之組件，而虛線則包括為選擇性的或者其僅被包括在圖形命令之子集中的組件。圖24A之範例圖形處理器命令格式2400包括用以識別該命令之目標客戶2402的資料欄位、命令操作碼(計算碼)2404及該命令之相關資料2406。子計算碼2405及命令大小2408亦被包括在一些命令中。

【0271】在一些實施例中，客戶2402指明處理該命令資料之圖形裝置的客戶單元。在一些實施例中，圖形處理器命令解析器係檢查各命令之客戶欄位以調適該命令的進一步處理並將命令資料發送至適當的客戶單元。在一些實施例中，圖形處理器客戶單元包括記憶體介面單元、渲染

單元、2D單元、3D單元及媒體單元。每一個客戶單元具有處理該些命令之相應處理管線。一旦該命令由客戶單元所接收，客戶單元便讀取計算碼2404，並且(假如存在的話)子計算碼2405用以判定應執行的操作。客戶單元係使用資料欄位2406中之資訊來執行該命令。對於一些命令，預期有明確的命令大小2408以指明命令之大小。在一些實施例中，命令解析器自動地根據命令計算碼來判定至少一些命令的大小。在一些實施例中，命令係經由多個雙字組來對準。

【0272】圖24B中之流程圖顯示了範例圖形處理器命令序列2410。在一些實施例中，特徵在於圖形處理器之實施例的資料處理系統的軟體或韌體使用了所顯示之命令序列的版本以設定、執行及終止一組圖形操作。樣本命令序列被顯示並描述以僅供範例之目的，因為實施例並不限定於這些特定命令或此命令序列。此外，該些命令可被發送為命令序列中之命令的批次，以致使圖形處理器將以至少部分並行性來處理命令之序列。

【0273】在一些實施例中，圖形處理器命令序列2410可開始於管線清除命令2412，用以致使任何活動圖形管線完成該管線的目前擱置命令。在一些實施例中，3D管線2422及媒體管線2424不會並行地操作。管線清除被執行，以致使活動圖形管線完成任何擱置的命令。回應於管線清除，圖形處理器之命令解析器將暫停命令處理，直到活動繪圖引擎完成擱置的操作且相關讀取快取被無效化。選擇

性地，渲染快取中被標記為「髒」的任何資料可被清除至記憶體。在一些實施例中，管線清除命令2412可被使用於管線同步化，或者在將圖形處理器置入低功率狀態之前。

【0274】在一些實施例中，當命令序列需要圖形處理器來明確地在管線之間切換時，管線選擇命令2413被使用。在一些實施例中，在發送管線命令之前，管線選擇命令2413在執行背景內僅需要一次，除非該背景將發送命令給兩管線。在一些實施例中，需要管線清除命令2412緊接在經由管線選擇命令2413的管線切換之前。

【0275】在一些實施例中，管線控制命令2414係組態圖形管線以供操作且被用來編程3D管線2422及媒體管線2424。在一些實施例中，管線控制命令2414係組態活動管線之管線狀態。於一實施例中，管線控制命令2414被用於管線同步化，並用以在處理命令之批次之前清除來自活動管線內的一或多個快取記憶體的資料。

【0276】在一些實施例中，返回緩衝器狀態命令2416被用來組態一組返回緩衝器以供個別管線來寫入資料。一些管線操作需要一或多個返回緩衝器之配置、選擇或組態，其中該些操作在處理期間將中間資料寫入該些返回緩衝器。在一些實施例中，圖形處理器也使用一或多個返回緩衝器來儲存輸出資料並執行跨執行緒通訊。在一些實施例中，返回緩衝器狀態2416包括選擇返回緩衝器的大小與數目以用於一組管線操作。

【0277】命令序列中的殘留命令係根據針對操作之活

動管線而不同。根據管線判定2420，命令序列被調整至以3D管線狀態2430開始的3D管線2422或以媒體管線狀態2440開始的媒體管線2424。

【0278】用以組態3D管線狀態2430之命令包括用於頂點緩衝器狀態、頂點元件狀態、恆定顏色狀態、深度緩衝器狀態及其它狀態變數的3D狀態設定命令，其應在3D基元命令被處理之前被組態。這些命令之值係至少部分地根據使用中之特定3D API來判定。在一些實施例中，3D管線狀態2430命令亦能夠選擇性地禁用或省略一些管線元件，假如那些元件將不被使用的話。

【0279】在一些實施例中，3D基元2432命令被用來提交3D基元以供3D管線來處理。經由3D基元2432命令而被傳遞至圖形處理器之命令及相關參數被遞送至圖形管線中之頂點提取功能。頂點提取功能係使用3D基元2432命令資料來產生頂點資料結構。頂點資料結構被儲存於一或多個返回緩衝器中。在一些實施例中，3D基元2432命令被用來經由頂點著色器來對於3D基元執行頂點操作。為了處理頂點著色器，3D管線2422將著色器執行緒調度至圖形處理器執行單元。

【0280】在一些實施例中，3D管線2422係經由執行2434命令或事件而被觸發。在一些實施例中，暫存器寫入觸發了命令執行。在一些實施例中，執行係經由命令序列中之「去(go)」或「踢(kick)」命令而被觸發。於一實施例中，命令執行係使用管線同步化命令而被觸發以透過圖

形管線來清除該命令序列。3D管線將執行針對3D基元之幾何處理。一旦操作完成，所得的幾何物件被光柵化且像素引擎將所得像素上色。用以控制像素著色及像素後端操作之額外命令還可被包括以用於那些操作。

【0281】在一些實施例中，當執行媒體操作時，圖形處理器命令序列2410係遵循媒體管線2424路徑。通常，針對媒體管線2424之編程的特定使用及方式係取決於待執行之媒體或計算操作。在媒體解碼期間，特定媒體解碼操作可被卸載至媒體管線。在一些實施例中，媒體管線也可被省略，而媒體解碼可使用由一或多個通用處理核心所提供的資源而被整體地或部分地執行。於一實施例中，媒體管線還包括用於通用圖形處理器單元(GPGPU)操作之元件，其中圖形處理器用於使用並非明確地相關於圖形基元之渲染的計算著色器程式來執行SIMD向量操作。

【0282】在一些實施例中，媒體管線2424被組態成以如3D管線2422的類似方式。在媒體物件命令2442之前，用以組態媒體管線狀態2440的一組命令被調度或置入命令佇列。在一些實施例中，媒體管線狀態命令2440包括用以組態將被用來處理媒體物件的媒體管線元件之資料。此包括用以組態媒體管線內的視頻解碼及視頻編碼邏輯的資料，諸如編碼或解碼格式。在一些實施例中，媒體管線狀態命令2440亦支持使用一或多個指向含有狀態設定之批次的「間接」狀態元件之指標。

【0283】在一些實施例中，媒體物件命令2442係供應

指向媒體物件之指標以供媒體管線處理。媒體物件包括含有待處理之視頻資料的記憶體緩衝器。在一些實施例中，在發送媒體物件命令2442之前，所有媒體管線狀態需為有效的。一旦管線狀態被組態且媒體物件命令2442被排列，則媒體管線2424係經由執行命令2444或同等執行事件(例如，暫存器寫入)而被觸發。來自媒體管線2424之輸出可接著藉由3D管線2422或媒體管線2424所提供的操作來後處理。在一些實施例中，GPGPU操作被以如媒體操作之類似方式來組態與執行。

圖形軟體架構

【0284】圖25根據一些實施例示出用於資料處理系統2500的示例性圖形軟體架構。在一些實施例中，軟體架構包括3D圖形應用2510、作業系統2520及至少一處理器2530。在一些實施例中，處理器2530包括圖形處理器2532及一或多個通用處理器核心2534。圖形應用2510與作業系統2520各執行於資料處理系統之系統記憶體2550中。

【0285】在一些實施例中，3D圖形應用2510含有包括著色器指令2512的一或多個著色器程式。著色器語言指令可以是高階著色器語言，諸如高階著色器語言(HLSL)或OpenGL著色器語言(GLSL)。應用還包括以適於由通用處理器核心2534執行的機器語言的可執行指令2514。應用還包括由頂點資料所定義的圖形物件2516。

【0286】在一些實施例中，作業系統2520是來自微軟

公司的 Microsoft® Windows® 作業系統、專用 UNIX 類作業系統或使用 Linux 內核之變化的開放式來源 UNIX 類作業系統。作業系統 2520 可支持圖形 API 2522，諸如 Direct3D API、OpenGL API 或 Vulkan API。當使用 Direct3D API 時，作業系統 2520 係使用前端著色器編譯器 2524 來將 HLSL 中的任何著色器指令 2512 編譯為低階著色器語言。該編譯可以是及時 (JIT) 編譯，或者該應用可執行著色器預編譯。在一些實施例中，在 3D 圖形應用 2510 之編譯期間，高階著色器被編譯為低階著色器。在一些實施例中，著色器指令 2512 以中間形式來提供，諸如由 Vulkan API 所使用之標準可攜式中間表示 (SPIR) 的版本。

【0287】在一些實施例中，使用者模式圖形驅動程式 2526 含有後端著色器編譯器 2527，用以將著色器指令 2512 轉換為硬體特定的表示。當使用 OpenGL API 時，以 GLSL 高階語言之著色器指令 2512 被傳遞至使用者模式圖形驅動程式 2526 以供編譯。在一些實施例中，使用者模式圖形驅動程式 2526 係使用作業系統內核模式功能 2528 來與內核模式圖形驅動程式 2529 通訊。在一些實施例中，內核模式圖形驅動程式 2529 係與圖形處理器 2532 通訊以調度命令及指令。

IP 核心實施方式

【0288】至少一個實施例的一或多個方面可以藉由儲存在機器可讀取媒體上之代表性碼來實現，該代表性碼表

示和/或定義諸如處理器之積體電路內的邏輯。例如，機器可讀取媒體可包括其代表各種在處理器中的邏輯之指令。當由機器讀取時，指令可導致機器製造用於執行本文描述之技術的邏輯。被稱為「IP核心」的此種表示是可以作為描述積體電路之結構之硬體模型，而儲存在有形的機器可讀取媒體上之積體電路之可重用的邏輯單元。硬體件模型可以提供給各種消費者或製造設施，其在製造積體電路的製造機器上載入硬體模型。積體電路可被製造成使電路執行與本文所述的任何實施例相關的操作。

【0289】圖26為根據實施例闡明可被用於製造積體電路以執行操作的IP核心開發系統2600的方塊圖。IP核心開發系統2600可以用於產生模組化之可重複使用的設計，其可以併入更大的設計中或用於建構整個積體電路(例如，SOC積體電路)。設計設施2630可以以高級編碼語言(例如，C/C++)產生IP核心設計的軟體模擬2610。軟體模擬2610可被用來使用模擬模型2612設計、測試及驗證IP核心的行為。模擬模型2612可包括功能性、行為性和/或時序性模擬。暫存器轉移層級(register transfer level; RTL)設計2615可接著從模擬模型2612建立或合成。RTL設計2615是對硬體暫存器之間的數位訊號之流動進行建模的積體電路的行為的抽象，包括使用建模的數位訊號執行的相關聯的邏輯。除了RTL設計2615之外，還可以建立、設計或合成在邏輯層級或電晶體層級的較低層級設計。因此，初始設計和模擬之具體細節可以變化。

【0290】RTL設計2615或等效物可以由設計設施進一步合成為硬體模型2620，其可以是硬體描述語言(HDL)或物理設計資料的一些其他表示。HDL可被進一步模擬或測試以驗證IP核心設計。可以使用非揮發性記憶體2640(例如，硬碟、快閃記憶體或任何非揮發性儲存介質)來儲存IP核心設計以傳送到第三方製造設施2665。或者，可以透過有線連接2650或無線連接2660來傳輸(例如，經由網際網路)IP核心設計。製造設施2665然後可以製造積體電路，其至少部分地基於IP核心設計。製造的積體電路可以被組態以執行根據本文描述的至少一實施例的操作。

示例性系統單晶片積體電路

【0291】圖27-29根據本文所述之各個實施例之可使用一或多個IP核心來製造的示例性積體電路及相關的圖形處理器。除了所顯示的之外，可包括其它的邏輯和電路，包括額外的圖形處理器/核心、周邊介面控制器或通用處理器核心。

【0292】圖27為根據實施例示出可使用一或多個IP核心來製造的示例性系統單晶片積體電路2700的方塊圖。示例性積體電路2700包括一或多個應用處理器2705(例如，CPU)、至少一個圖形處理器2710，並且可額外地包括影像處理器2715和/或視頻處理器2720，其任意者可以是來自相同或多個不同設計設施之模組式IP核心。積體電路2700包括周邊或匯流排邏輯，包括USB控制器2725、

UART控制器2730、SPI/SDIO控制器2735及I²S/I²C控制器2740。此外，積體電路可包括顯示裝置2745，其耦接至一或多個高解析度多媒體介面(HDMI)控制器2750及行動產業處理器介面(MIPI)顯示介面2755。可藉由包括快閃記憶體及快閃記憶體控制器的快閃記憶體子系統2760來提供儲存。記憶體介面可經由記憶體控制器2765來提供，以對於SDRAM或SRAM記憶體裝置存取。一些積體電路額外地包括嵌入式安全性引擎2770。

【0293】圖28為根據實施例示出可使用一或多個IP核心來製造的系統單晶片積體電路的示例性圖形處理器2810的方塊圖。圖形處理器2810可以是圖27的圖形處理器2710的變化。圖形處理器2810包括頂點處理器2805及一或多個片段處理器2815A-2815N(例如，2815A、2815B、2815C、2815D至2815N-1及2815N)。圖形處理器2810可經由個別的邏輯來執行不同的著色器程式，以致使頂點處理器2805被最佳化以執行針對頂點著色器程式之操作，而一或多個片段處理器2815A-2815N係執行針對片段或像素著色器程式之片段(例如，像素)著色操作。頂點處理器2805係執行3D圖形管線之頂點處理階段並產生基元及頂點資料。片段處理器2815A-2815N係使用由頂點處理器2805所產生的基元及頂點資料以產生被顯示在顯示裝置上的訊框緩衝器。於一實施例中，片段處理器2815A-2815N被最佳化以執行如針對OpenGL API中所提供的片段著色器程式，其可被用來執行如針對Direct 3D API中所提供的像素著色器程式

之類似操作。

【0294】圖形處理器2810額外地包括一或多個記憶體管理單元(MMU)2820A-2820B、快取2825A-2825B及電路互連2830A-2830B。一或多個MMU 2820A-2820B係提供針對積體電路2810之虛擬至實體位址映射，包括針對頂點處理器2805和/或片段處理器2815A-2815N，其除了一或多個快取2825A-2825B中所儲存的頂點或影像/紋理資料以外，還可參考記憶體中所儲存的頂點或影像/紋理資料。在一個實施例中，一或多個MMU 2825A-2825B可被與該系統內的其它MMU合成，包括與圖27中的一或多個應用處理器2705、影像處理器2715和/或視頻處理器2720相關的一或多個MMU，以致使各處理器2705-2720可加入共享的或統一的虛擬記憶體系統。根據實施例，一或多個電路互連2830A-2830B經由SoC的內部匯流排或經由直接連接致使了圖形處理器2810與SoC內的其它IP核心介接。

【0295】圖29為根據實施例示出可使用一或多個IP核心來製造的系統單晶片積體電路的額外示例性圖形處理器2910的方塊圖。圖形處理器2910可以是圖27的圖形處理器2710的變化。圖形處理器2910包括圖28之積體電路2800的一或多個MMU 2820A-2820B、快取2825A-2825B及電路互連2830A-2830B。

【0296】圖形處理器2910包括一或多個著色器核心2915A-2915N(例如，2915A、2915B、2915C、2915D、2915E、2915F至2915N-1及2915N)，其提供統一的著色器

核心架構，其中單一核心或核心或類型可執行所有類型的可編程著色器碼(包括著色器程式碼)以實現頂點著色器、片段著色器和/或計算著色器。所存在之著色器核心的精確數目可在實施例及實現之間變化。此外，圖形處理器2910包括核心間工作管理器2905，其作用為用以將執行緒調度至一或多個著色器核心2915A-2915N的執行緒調度器及用以加速針對磚片為基的渲染之填磚操作的填磚單元2918，其中針對一場景之渲染操作被細分於影像空間中，例如，用以利用一場景內的局部空間同調性或者最佳化內部快取之使用。

【0297】一些實施例涉及範例1，包括一種促進計算最佳化的設備，其包含圖形處理器，該圖形處理器包括分類邏輯，該分類邏輯用以基於浮點執行緒操作的位元深度將浮點處理執行緒分類為執行緒組。

【0298】範例2包括範例1之請求標的，其中該分類邏輯分類更包含用以儲存該些分類的執行緒之複數個箱，其中該複數個箱的每一者與位元深度相關聯。

【0299】範例3包括範例1和2之請求標的，其中該複數個箱包含第一箱，其用以儲存具有第一位元深度的浮點執行緒操作以及第二箱，其用以儲存具有第二位元深度的浮點執行緒操作。

【0300】範例4包括範例1-3之請求標的，更包含一或多個浮點單元，其用以處理該些浮點執行緒操作。

【0301】範例5包括範例1-4之請求標的，其中該圖形

處理器更包含浮動邏輯，其用以將執行緒處理為具有更高位元深度之浮點執行緒操作。

【0302】範例6包括範例1-5之請求標的，其中該浮點邏輯包含第一組件，其用以處理該些浮點執行緒操作之位元深度的下半部分以及第二組件，其用以處理該些浮點執行緒操作之位元深度的上半部分。

【0303】範例7包括範例1-6之請求標的，其中該浮點邏輯處理在該第一組件處具有較低位元深度的浮點執行緒操作。

【0304】範例8包括範例1-7之請求標的，其中該浮點邏輯在該第一組件處具有較低位元深度的浮點執行緒操作的處理期間停用該第二組件。

【0305】範例9包括範例1-8之請求標的，其中該圖形處理器更包含在數學指令中提供可變精確度支持的邏輯。

【0306】範例10包括範例1-9之請求標的，其中該邏輯產生包括屬性的指令，以指明操作中每個計算元的格式及最終結果的格式，其中該些計算元中的一或多個具有不同的格式。

【0307】範例11包括範例1-10之請求標的，其中一或多個計算元包含不同格式。

【0308】範例12包括範例1-11之請求標的，更包含處理單元，其用以接收該指令、解析該指令、將所有的計算元轉換為目標格式以及執行該操作。

【0309】一些實施例涉及範例13，包括一種在處理單

元促進計算最佳化的方法，包含接收複數個處理執行緒以及基於浮點執行緒操作之位元深度，將該複數個處理執行緒分類為執行緒組。

【0310】範例14包括範例13之請求標的，其中該複數個箱的每一者與位元深度相關聯。

【0311】範例15包括範例13和14之請求標的，分類該複數個處理執行緒包含將具有第一位元深度的操作分類為第一箱以及將具有第二位元深度的操作分類為第二箱。

【0312】範例16包括範例13-15之請求標的，更包含處理該些浮點執行緒操作。

【0313】範例17包括範例13-16之請求標的，更包含將執行緒處理為具有更高位元深度之浮點執行緒操作。

【0314】範例18包括範例13-17的請求標的，更包含在數學指令中提供可變精確度支持。

【0315】範例19包括範例13-18的請求標的，其中在數學指令中提供可變精確度支持包含接收包括屬性的指令，以指明操作中每個計算元的格式及最終結果的格式，其中該些計算元中的一或多個包括不同的格式。

【0316】範例20包括範例13-19的請求標的，其中在數學指令中提供可變精確度支持更包含解析該指令，將所有計算元轉換為目標格式以及執行該操作。

【0317】前面的敘述和圖式應被認為是說明性的而不是限制性的。本領域的技術人員將理解，在不脫離如申請專利範圍中敘述的本發明的更寬泛的精神和範圍的情況

下，可以對這裡描述的實施例進行各種修改和改變。

【符號說明】

【0318】

100：計算系統
 101：處理子系統
 102：處理器
 104：系統記憶體
 105：記憶體集線器
 106：通訊鏈路
 107：I/O集線器
 108：輸入裝置
 110A：顯示裝置
 110B：顯示裝置
 111：I/O子系統
 112：並行處理器
 113：通訊鏈路
 114：系統儲存單元
 116：I/O開關
 118：網路適配器
 119：無線網路適配器
 120：添加裝置
 200：並行處理器
 202：並行處理單元

204：I/O單元
 206：主介面
 208：前端
 210：排程器
 212：處理群集陣列
 214A：群集
 214B：群集
 214N：群集
 216：記憶體交叉開關
 218：記憶體介面
 220A：分區單元
 220B：分區單元
 220N：分區單元
 221：L2快取
 222：並行處理器記憶體
 224A：記憶體單元
 224B：記憶體單元
 224N：記憶體單元
 225：訊框緩衝器介面
 226：ROP(光柵操作單元)
 232：管線管理器
 234：圖形多處理器
 236：紋理單元
 240：資料交叉開關

242 : preROP

245 : MMU(記憶體管理單元)

252 : 指令快取

254 : 指令單元

256 : 位址映射單元

258 : 暫存器檔案

262 : 通用圖形處理單元(GPGPU)核心

266 : 載入/儲存單元

268 : 記憶體和快取互連

270 : 共享記憶體

272 : 快取記憶體

324 : 圖形多處理器

325 : 圖形多處理器

327 : 互連構造

330 : 指令快取

332A-332B : 指令單元

334A-334B : 暫存器檔案

336A-336B : GPGPU核心

337A-337B : GPGPU核心

338A-338B : GPGPU核心

340A-340B : 載入/儲存單元

342 : 快取記憶體

344A-344B : 紋理單元

346 : 共享記憶體

350：圖形多處理器
 352：互連構造
 354：指令快取
 356A-356D：執行資源
 358A-358B：快取記憶體
 360A-360D：紋理單元
 362：共享記憶體
 401-402：處理器記憶體
 405-406：多核心處理器
 407：多核心處理器
 410-413：GPU
 420-423：GPU記憶體
 425：代理電路
 426：共享快取
 430-431：記憶體互連
 432：圖形處理引擎
 433：高速鏈路
 435：介面
 436：加速器積體電路
 437：介面
 438：快取
 439：記憶體管理單元(MMU)
 440-443：高速鏈路
 441：系統記憶體

444-445：高速鏈路
 446：圖形加速模組
 447：中斷管理電路
 448：背景管理電路
 450-453：GPU記憶體互連
 456：快取
 460A-460D：核心
 461A-461D：轉換後備緩衝
 462A-462D：快取
 464：同調匯流排
 480：應用
 481：GPU調用
 482：應用有效位址空間
 483：程序元件
 484：工作描述符(WD)
 485：OS虛擬位址空間
 486：分段/頁面表
 490：加速器集成片
 491：WD提取單元
 492：中斷事件
 493：有效位址
 494A-494E：偏移/同調管理電路
 495：作業系統
 496：超管理器

- 498：超管理器真實位址空間
- 499：程序元件列表
- 500：圖形處理管線
- 502：資料組譯器
- 504：頂點處理單元
- 506、514、518：基元組譯器
- 508：鑲嵌控制處理單元
- 510：鑲嵌單元
- 512：鑲嵌評估處理單元
- 516：幾何處理單元
- 520：視埠縮放、剔除、及修剪單元
- 522：光柵化器
- 524：片段/像素處理單元
- 526：光柵操作單元
- 528：記憶體介面
- 600：計算裝置
- 604：輸入/輸出(I/O)來源
- 606：作業系統(OS)
- 608：記憶體
- 610：計算機制
- 612：中央處理單元(CPU)
- 614：圖形處理單元(GPU)
- 616：圖形驅動器
- 710：分類器

712：浮點箱
 714：浮點箱
 716：浮點單元
 730：邏輯
 800：機器學習軟體堆疊
 802：機器學習應用
 804：機器學習框架
 806：計算框架
 808：GPGPU驅動程式
 810：GPGPU硬體
 900：通用圖形處理單元
 902：主介面
 904：全域排程器
 906A-H：計算群集
 908：快取記憶體
 910：GPU鏈路
 912A-B：記憶體控制器
 914A-B：記憶體
 1000：多GPU計算系統
 1002：處理器
 1004：主機介面開關
 1006A-D：GPGPU
 1016：點對點GPU至GPU鏈路
 1102：輸入

1104：卷積層
 1106：卷積層
 1108：完全連接層
 1112：卷積層
 1114：卷積層
 1116：卷積階段
 1118：檢測器階段
 1120：池化階段
 1122：下一層
 1200：遞歸神經網路
 1202：輸入層
 1204：隱藏層
 1205：回饋機制
 1206：輸出層
 1302：訓練資料集
 1304：訓練框架
 1306：未訓練類神經網路
 1307：經訓練類神經網路
 1308：經訓練類神經網
 1312：新資料
 1402：模型並行性
 1404：資料並行性
 1406：模型及資料並行性
 1500：系統單晶片(SOC)

1502：媒體處理器
 1504：視覺處理器
 1505：晶載記憶體
 1506：GPGPU
 1508：多核心處理器
 1600：處理系統
 1602：處理器
 1604：快取記憶體
 1606：暫存器檔案
 1607：處理器核心
 1608：圖形處理器
 1609：指令集
 1610：處理器匯流排
 1612：外部圖形處理器
 1616：記憶體控制器集線器
 1620：記憶體裝置
 1621：指令
 1622：資料
 1624：資料儲存裝置
 1626：無線收發器
 1628：韌體介面
 1630：輸入輸出(I/O)控制器集線器
 1634：網路控制器
 1640：傳統I/O控制器

1642：通用串列匯流排(USB)控制器

1644：鍵盤及滑鼠

1646：音頻控制器

1700：處理器

1702A-1702N：處理器核心

1704A-1704N：快取單元

1706：共享快取單元

1708：圖形處理器

1710：系統代理核心

1711：顯示控制器

1712：環狀互連單元

1713：I/O鏈路

1714：記憶體控制器

1716：匯流排控制器單元

1718：嵌入式記憶體模組

1800：圖形處理器

1802：顯示控制器

1804：區塊影像轉移(BLIT)引擎

1806：視頻編碼解碼引擎

1810：圖形處理引擎(GPE)

1812：3D管線

1814：記憶體介面

1815：3D/媒體子系統

1816：媒體管線

1820：顯示裝置
 1903：命令串流器
 1910：圖形處理引擎
 1914：圖形核心陣列
 1918：統一返回緩衝器(URB)
 1920：共享功能邏輯
 1921：取樣器
 1922：數學
 1923：執行緒間通訊(ITC)
 1925：快取
 2000：圖形處理器
 2002：環狀互連
 2003：命令串流器
 2004：管線前端
 2030：視頻品質引擎(VQE)
 2033：多格式編碼/解碼(MFX)
 2034：視頻前端
 2036：幾何管線
 2037：媒體引擎
 2050A-2050N：第一子核心
 2052A-2052N：第一組執行單元
 2054A-2054N：媒體/紋理取樣器
 2060A-2060N：第二子核心
 2062A-2062N：第二組執行單元

2064A-2064N：取樣器
 2070A-2070N：共享資源
 2080A-2080N：圖形核心
 2100：執行邏輯
 2102：著色器處理器
 2104：執行緒調度器
 2106：指令快取
 2180A-2180N：執行單元
 2110：取樣器
 2112：資料快取
 2114：資料埠
 2200：圖形處理器指令格式
 2210：128位元指令格式
 2212：指令運算碼
 2213：索引欄位
 2214：指令控制欄位
 2216：執行大小欄位
 2218：目的地
 2220：src0
 2222：src1
 2224：SRC2
 2226：存取/位址模式欄位
 2230：64位元緊縮指令格式
 2240：運算碼解碼

2242：移動和邏輯運算碼群組

2244：流程控制指令群組

2246：雜項指令群組

2248：平行數學指令群組

2250：向量數學群組

2300：圖形處理器

2302：環狀互連

2303：命令串流器

805：頂點處理器

2307：頂點著色器

2311：殼體著色器

2313：鑲嵌器

2317：領域著色器

2319：幾何著色器

2320：圖形管線

2323：串流輸出單元

2329：截波器

2330：媒體管線

2331：執行緒調度器

2334：視頻前端

2337：媒體引擎

2340：顯示引擎

2341：2D引擎

2343：顯示控制器

- 2350：執行邏輯
- 2351：L1快取
- 2352A-2352N：執行單元
- 2354：媒體取樣器
- 2356：資料埠
- 2358：紋理/取樣器快取
- 2370：渲染輸出管線
- 2373：光柵化器及深度測試組件
- 2375：L3快取
- 2377：像素操作組件
- 2378：渲染快取
- 2379：深度快取
- 2400：圖形處理器命令格式
- 2402：目標客戶
- 2404：命令操作碼(運算碼)
- 2405：子運算碼
- 2406：相關資料
- 2408：命令大小
- 2410：圖形處理器命令序列
- 2412：管線清除命令
- 2413：管線選擇命令
- 2414：管線控制命令
- 2416：返回緩衝器狀態命令
- 2420：管線判定

2422：3D管線
 2424：媒體管線
 2430：3D管線狀態
 2432：3D基元
 2434：執行
 2440：媒體管線狀態
 2442：媒體物件命令
 2444：執行命令
 2500：資料處理系統
 2510：3D圖形應用程式
 2512：著色器指令
 2514：可執行指令
 2516：圖形物件
 2520：作業系統
 2522：圖形API
 2524：前端著色器編譯器
 2526：使用者模式圖形驅動程式
 2527：後端著色器編譯器
 2528：作業系統內核模式功能
 2529：內核模式圖形驅動程式
 2530：處理器
 2532：圖形處理器
 2534：通用處理器核心
 2550：系統記憶體

- 2600：IP核心開發系統
- 2610：軟體模擬
- 2612：模擬模型
- 2615：暫存器轉移階層(RTL)設計
- 2620：硬體模型
- 2630：設計設施
- 2640：非揮發性記憶體
- 2650：有線連接
- 2660：無線連接
- 2665：製造設施
- 2700：系統單晶片積體電路
- 2705：應用程式處理器
- 2710：圖形處理器
- 2715：影像處理器
- 2720：視頻處理器
- 2725：USB控制器
- 2730：UART控制器
- 2735：SPI/SDIO控制器
- 2740：I2S/I2C控制器
- 2745：顯示裝置
- 2750：高解析度多媒體介面(HDMI)控制器
- 2755：行動產業處理器介面(MIPI)顯示介面
- 2760：快閃記憶體子系統
- 2765：記憶體控制器

2770：嵌入式安全性引擎

2805：頂點處理器

2810：圖形處理器

2815A-2815N：片段處理器

2820A-2820N：記憶體管理單元(MMU)

2825A-2825N：快取

2830A-2830N：電路互連

2905：核心間工作管理器

2910：圖形處理器

2915A-2915N：著色器核心

2918：填磚單元

【發明摘要】

【中文發明名稱】

計算最佳化機制

【英文發明名稱】

COMPUTE OPTIMIZATION MECHANISM

【中文】

本發明揭露了一種促進計算最佳化的設備。所述設備包括基於浮點執行緒操作之位元深度將處理執行緒分類為執行緒組的分類邏輯。

【英文】

An apparatus to facilitate compute optimization is disclosed. The apparatus includes sorting logic to sort processing threads into thread groups based on bit depth of floating point thread operations.

【指定代表圖】第(7A)圖。

【代表圖之符號簡單說明】

610：計算機制

710：分類器

712：浮點箱

714：浮點箱

716：浮點單元

【特徵化學式】無

【發明申請專利範圍】

【第1項】

一種多處理器，其包含：

一暫存器檔案，其用以儲存運算元；以及

複數個處理核心，各個核心具有執行邏輯，該核心執行混和精確度多維矩陣積和累加(FMAC)操作，該執行邏輯執行一或多個指令以：

將一第一16位元浮點(FP16)運算元與一第二FP16運算元相乘以得到第一32位元浮點(FP32)中間乘積；

將一第三FP16運算元與一第四FP16運算元相乘以得到一第二FP32中間乘積；以及

將該第二FP32中間乘積與該第一FP32中間乘積相加以產生一FP32總和結果。

【第2項】

如申請專利範圍第1項所述之多處理器，其中該暫存器檔案係用以儲存該第一FP16運算元、該第二FP16運算元、以及該第一與第二FP32中間乘積。

【第3項】

如申請專利範圍第1項所述之多處理器，其進一步包含用以儲存一或多個指令的一指令快取。

【第4項】

如申請專利範圍第3項所述之多處理器，其進一步包含一調度單元，其用以調度該一或多個指令用於在該執行邏輯處執行。

【第5項】

如申請專利範圍第1項所述之多處理器，其進一步包含一排程器，其用以排程該FMAC操作。

【第6項】

一種用以促進混合精確度多維矩陣積和累加(FMAC)操作的方法，其包含：

在一或多個處理核心處接收一第一16位元浮點(FP16)運算元及一第二FP16運算元；

將該第一FP16運算元與該第二FP16運算元相乘以得到一第一32位元浮點(FP32)中間乘積；

將一第三FP16運算元與一第四FP16運算元相乘以得到一第二FP32中間乘積；以及

將該第二FP32中間乘積與該第一FP32中間乘積相加以產生一FP32總和結果。

【第7項】

如申請專利範圍第6項所述之方法，其中該第一FP16運算元、該第二FP16運算元、以及該第一與第二FP32中間乘積係從一暫存器檔案接收。

【第8項】

一種圖形處理單元，其包含複數個多處理器，其中每一個微處理器包含：

一暫存器檔案，其用以儲存運算元；以及

複數個處理核心，各個核心具有執行邏輯，該核心執行精確度多維矩陣積和累加(FMAC)操作，該執行邏輯執

行一或多個指令以：

將一第一16位元浮點(FP16)運算元與一第二FP16運算元相乘以得到第一32位元浮點(FP32)中間乘積；

將一第三FP16運算元與一第四FP16運算元相乘以得到一第二FP32中間乘積；以及

將該第二中間FP32乘積與該第一FP32中間乘積相加以產生一FP32總和結果。

【第9項】

如申請專利範圍第8項所述之圖形處理單元，其中該暫存器檔案係用以儲存該第一FP16運算元、該第二FP16運算元、以及該第一與第二FP32中間乘積。

【第10項】

如申請專利範圍第8項所述之圖形處理單元，其進一步包含用以儲存一或多個指令的一指令快取。

【第11項】

如申請專利範圍第8項所述之圖形處理單元，其進一步包含一調度單元，其用以調度該一或多個指令用於在該執行邏輯處執行。

【第12項】

如申請專利範圍第8項所述之圖形處理單元，其進一步包含一排程器，其用以排程該FMAC操作。

