

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3686155号  
(P3686155)

(45) 発行日 平成17年8月24日(2005.8.24)

(24) 登録日 平成17年6月10日(2005.6.10)

(51) Int. Cl.<sup>7</sup>

F I

H04N 11/04

H04N 11/04

D

H04N 7/24

H04N 7/13

Z

請求項の数 17 (全 53 頁)

(21) 出願番号	特願平8-64385	(73) 特許権者	503121103
(22) 出願日	平成8年3月21日(1996.3.21)		株式会社ルネサステクノロジ
(65) 公開番号	特開平9-261688		東京都千代田区丸の内二丁目4番1号
(43) 公開日	平成9年10月3日(1997.10.3)	(74) 代理人	100064746
審査請求日	平成14年9月18日(2002.9.18)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 画像復号装置

(57) 【特許請求の範囲】

【請求項1】

符号化された画像データからもとの画像データを復元するための画像復号装置であって

互いに独立にメモリセル選択動作を行うことのできる第1および第2のバンクを含み、クロック信号に同期してデータの入出力が行われる同期型メモリ素子と、

前記符号化された画像データに含まれるサンプリング画素データを受けて所定の復号処理を施してもとの画像データを復元する復号手段と、

前記復号手段により復元された画像データを前記同期型メモリ素子に格納するための制御手段とを備え、前記制御手段は第1の信号成分について画像上水平方向に一列に配列されるサンプリング画像データを、連続して隣接する2画素を単位として交互に前記第1および第2のバンクに格納されるように前記復号手段からの画像データに含まれる画素データを前記同期型メモリ素子へ書込む手段を含む、画像復号装置。

【請求項2】

前記画像データは、さらに、互いに種類が異なり、かつサンプル数の等しい第2および第3の信号成分を含み、

前記制御手段は、前記第2および第3の信号成分について同じサンプリング画素の第2および第3の信号を前記第1および第2のバンクの同じアドレス位置に格納するように前記復元された画像データに含まれるサンプリング画素データを前記同期型メモリ素子に書き込む手段をさらに備える、請求項1記載の画像復号装置。

10

20

## 【請求項 3】

前記同期型メモリ素子はMビットを1ワードとしてワード単位でデータの入出力を行ない、前記画素データの輝度信号線分は、 $M/2$ ビットデータであり、前記所定数は2である、請求項1記載の画像復号装置。

## 【請求項 4】

前記同期型メモリ素子はMビットを1ワードとしてワード単位でデータの入出力を行い、前記画素データの第1の信号成分はMビットデータであり、前記制御手段は、2ワードごとに交互に前記第1および第2のバンクに画素データを書込む、請求項1記載の画像復号装置。

## 【請求項 5】

前記同期型メモリ素子は、Mビットワードをワード単位で入出力し、前記画素データはNビットデータあり、前記復号手段は、水平方向のサイズがLないしL+1の画素ブロックを参照ブロックとして画像データを復元する手段を含み、前記制御手段はP回を単位として交互に前記第1および第2のバンクへアクセスして画素データを読み出し、前記復号手段へ与える手段を含み、前記Pは、 $(L+1)/(2 \cdot M/N)$ 以上の整数でありかつ1つのバンクに対し連続してアクセスされるワードの数を示す、請求項1記載の画像復号装置。

## 【請求項 6】

前記同期型メモリ素子はMビットワードをワード単位で入出力し、前記画素データはNビットデータであり、前記復号手段は水平方向のサイズがLないしL+1の画素ブロックを参照ブロックとして画像データを復元する手段を含み、前記制御手段は、P回を単位として交互に前記第1および第2のバンクへアクセスして画素データを読み出して前記復号手段へ与える手段を含み、前記Pは $(L+1)/(M/N)$ 以上の整数でありかつ1つのバンクに対し連続してアクセスする回数を示す、請求項2記載の画像復号装置。

## 【請求項 7】

前記制御手段は、表示装置上での表示のために、前記P回を単位として交互に前記第1および第2のバンクへアクセスして画素データを読み出す手段をさらに備える、請求項5または6記載の画像復号装置。

## 【請求項 8】

前記同期型メモリ素子は16ビットデータを1ワードとしてワード単位でデータの入出力を行ない、前記画素データは8ビットデータであり、前記制御手段は、5ワード単位で交互に前記第1および第2のバンクへアクセスする手段を含む、請求項1または2記載の画像復号装置。

## 【請求項 9】

前記同期型メモリ素子は8ビットデータを1ワードとして、前記ワード単位でデータの入出力を行ない、前記画素データは8ビットデータであり、前記制御手段は、9ワード単位で交互に前記第1および第2のバンクをアクセスする手段を含む、請求項1または2記載の画像復号装置。

## 【請求項 10】

前記制御手段は、前記同期型メモリ素子の1つの行アドレスの記憶位置に画像上水平方向の少なくとも1ライン上に配列される画素データすべてを格納するように各画素データに対しアドレスを発生する手段を含む、請求項1ないし9のいずれかに記載の画像復号装置。

## 【請求項 11】

前記画像データ以外のデータを2Qワードを単位としてデータ配列順序に従ってQワードずつ交互に前記第1および第2のバンクへ格納する手段を含む、請求項1ないし10のいずれかに記載の画像復号装置。

10

20

30

40

50

## 【請求項 1 2】

前記 Q は 4 である、請求項 1 1 記載の画像復号装置。

## 【請求項 1 3】

前記制御手段は、前記同期型メモリ素子に対し、各ワードのアドレスとして、最下位ビット位置をバンク指定アドレスビット位置としかつ上位ビットをバンク内の列位置を示す列特定アドレスとする列アドレスを各ワードが有するように各画素データに対するアドレスを生成する手段を含む、請求項 1 記載の画像復号装置。

## 【請求項 1 4】

前記制御手段は、ワードのアドレスとして、最下位から 2 番目のビット位置をバンク指定アドレスビット位置とし、残りのビット列指定アドレスビットとして有する列アドレスを各画素データに対するアドレスとして生成する手段を含む、請求項 1 記載の画像復号装置。

10

## 【請求項 1 5】

前記制御手段は前記同期型メモリ素子の各ワードに対するアドレスとして、色差信号特定信号としてバンク特定ビットを含むアドレス信号を各画素データに対して生成する手段を含む、請求項 2 記載の画像復号装置。

## 【請求項 1 6】

前記第 1 の信号成分は輝度信号成分である、請求項 1 記載の画像復号装置。

## 【請求項 1 7】

前記第 2 および第 3 の信号成分は色差信号成分である、請求項 2 記載の画像復号装置。

20

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

この発明は符号化された画像データを復号してもとの画像データを復元する画像復号装置に関し、特に、符号化された動画データを復号し、かつ表示する画像復号表示装置に関する。

## 【0002】

## 【従来の技術】

フレーム間予測符号化は、膨大なデータ量を有する動画を符号化するためによく用いられる手法である。このフレーム間予測符号化とは、動画の時間的相関を利用する符号化手法であり、時間的に近接するフレーム（参照フレーム）に基づいて現在符号化しているフレームの画像データ（現画像データ）を予測し、その予測値と現画像データの差分（予測誤差）を符号化する。参照画像と現画像の時間的相関が強い場合には、この差分は小さい値となるため、伝送すべきデータ量を低減することができ、情報の圧縮が効果的に行なわれる。予測に用いられるフレーム（またはフィールド）としては、現フレーム（またはフィールド）に対し時間的に前のフレーム（またはフィールド）および後のフレーム（またはフィールド）の両方が用いられる。

30

## 【0003】

このような予測符号化方式の 1 つに、動画を対象とする国際標準である M P E G 規格がある。この M P E G 規格の画像データの符号化および復号化方式は、たとえば、日経エレクトロニクス、1994年3月14日号の第82頁ないし第116頁に解説されている。

40

## 【0004】

図 4 1 は、M P E G 規格に従うフレーム間予測符号化を説明するための図である。図 4 1 においては、符号化および復号化された画像の時間的配列が示される。図 4 1 において、9 枚の画像 G 1 ~ G 9 が代表的に示される。図 4 1 において参照画像（フレームまたはフィールド）と現画像の関係を矢印で示す。矢印の先が現画像であり、矢印のものが参照画像である。

## 【0005】

画像 G 3 は、I ピクチャーであり、フレーム間予測符号化を用いずに符号化が行なわれる。すなわち、I ピクチャーは、フレーム内またはフィールド内符号化され、その画素デー

50

タそのものが符号化される画像である。画像G6およびG9は、Pピクチャーであり、過去の再生画像を用いてフレーム間またはフィールド間予測符号化処理される画像である。画像G1, G2, G4, G5, G7およびG8は、Bピクチャーである、過去および未来の再生画像のいずれかまたは両者の再生画像を用いて予測符号化される画像である。Bピクチャーは、IピクチャーおよびPピクチャーまたはPピクチャーおよびPピクチャーの組を用いて予測符号化される。Bピクチャーは予測符号化時および復号化時においては参照画像として用いられない。図41において、BピクチャーG1およびG2は、時間的に後に位置する未来の画像(Iピクチャー)G3を用いて予測符号化される。BピクチャーG4およびG5は、時間的に前に位置する過去の再生画像であるIピクチャーG3と、時間的に後に位置する未来の再生画像であるPピクチャーG6の両者を用いて予測符号化される。BピクチャーG7およびG8は、過去の再生画像であるPピクチャーG6と未来の再生画像であるPピクチャーG9を用いて予測符号化される。

10

**【0006】**

図42は、1枚の画像の構成を概略的に示す図である。図42においては、NTSCサイズの画像の構成が示される。1枚のNTSCサイズの画像は、輝度信号(Y)については、水平方向720画素、垂直方向480画素を含み、2種類の色差信号CbおよびCrそれぞれについては、水平方向360画素、かつ垂直方向240画素を含む。ここで、「画素」は、「画像信号」のサンプル点を示す。また「画像データ」は1枚の画像全体のデータを示す。

**【0007】**

図42において拡大して示すように、輝度信号(Y)のサンプル位置(白丸印で示す)は、画像画面上水平方向に整列して配置され、一方、色差信号(Cb, Cr)それぞれは、水平方向および垂直方向それぞれについて輝度信号の2画素に対して1つの色差信号画素が存在する。すなわち、色差信号CbおよびCrのサンプリング周波数は、輝度信号Yのサンプリング周波数の1/4となり、この符号化方式は、「4:2:0符号化方式」と呼ばれている。

20

**【0008】**

図43(A)および(B)は、画像復号処理を説明するための図である。図43(A)において、画像の復号処理は、マクロブロック(MB)と呼ばれる所定のサイズを有する画素群を単位として復号処理(符号化処理も同様)が行なわれる。通常このマクロブロックは、輝度信号については16×16画素のサイズを有し、色差信号CbおよびCrそれぞれについては8×8画素のサイズを備える。この輝度信号Yのマクロブロックは、通常、8×8画素の4つのブロックに分割される。MPEG規格における復号処理においては、図43(B)に示すように、動きベクトルMVと呼ばれるパラメータが利用される。この動きベクトルMVは、復号中のフレームFPにおいて、復号されるブロックMBと参照フレームFRにおいて、最も相関関係の強い参照ブロック(予測ブロック)MBRの変位を示す。復号処理においては、復号中のフレームFPのマクロブロックMBに対し、動きベクトルMBで指定される参照フレームFR内の予測ブロックMBRの画素データ(参照データ)との加算が行なわれ、このマクロブロックMBの各画素データの復元が行なわれる。

30

40

**【0009】**

符号化された画像データを復号(して表示)する装置においては、復号後の画像データを格納するために、外部にメモリが必要とされる。図41に示すように、Bピクチャーの復号のためには、過去および未来の2枚の画像データが必要とされる。Bピクチャーは参照画像としては用いられないが、転送される画像データはフレーム順序が入れ換えられているため(未来からの動き補償を可能にするため、時間的に後の画像が伝送順序においては先に送られる)、正しい時間順序に直すために、このBピクチャーデータも外部メモリに格納する必要がある。また、復号された画像データについてはマクロブロック単位で画素データが与えられ、一方表示は、ラスタ走査順(図42の水平方向に沿って順に画素データを表示し、1ラインの表示完了後次の行の画素データの表示を行なう)で行なうため

50

、この画素データの順序を変換する必要があり、また参照画像が表示される前に、新たに復元された画像データで書換えられるのを防止するために、外部メモリとしては、少なくとも3フレームの画像データを格納する記憶容量を有することが要求される。NTSCサイズ画像においては、フレームの輝度信号は720・480画素を有し、また色差信号CbおよびCrは、それぞれ360・240画素を有する。1画素データが8ビットで表現される場合、1フレームのデータ量はしたがって720・480・8×1.5=3.96Mビットと約4Mビットとなる。ここで、係数1.5は、2種類の色差信号CbおよびCrの画素数を考慮している。したがって、外部メモリとしては、12Mビット以上の大きな記憶容量が要求される。

**【0010】**

また、画像復号表示装置においては、外部メモリに対するアクセスの種類として、復元された画像データの書込、復号処理時における予測画像(参照画像)データの読出、および表示画像の読出という動作がある。復号処理時においては、MPEG規格によれば、最大4つの動きベクトルが必要とされ、NTSCサイズの30フレーム/秒の表示速度の場合、外部メモリに対し行なわれるデータ転送の総量は、約100Mバイト/秒にも達する。

**【0011】**

このような大きなデータ転送帯域を確保する1手法として、データ幅の拡張がある。たとえば、ページモードアクセスが20MHzで行なえるデータ幅16ビットの4MビットDRAMを、4個並列に接続し、データ幅を64ビットとする。この構成に従えば、単純に計算して、20MHz・8バイト=160Mバイト/秒のデータ転送能力が確保されることになり、前述の要求されるデータ転送帯域に対する要求性能を満足することができる。

**【0012】****【発明が解決しようとする課題】**

上記の4MビットDRAMを4つ並列に接続する構成の場合、1ワードが8バイトとなり、同時に8画素のデータを転送することができる。しかしながら、画像データ復元時において参照ブロックの画素データを読出す場合、動きベクトルの値により不必要な画素データが数多く読出される場合が生じる。

**【0013】**

図44に示すように、水平方向に整列して配置される画素0~24...を考える。1ワードは8個の画素データで構成される。したがって、画素0~7が同時に読出され、また画素8~画素15が1ワードとして同時に読出される。輝度信号参照ブロックが、画素7ないし画素22で構成される場合を考える。この場合、必要とされる参照ブロックの画素データを読出すためには、画素0~画素7からなるワード、画素8~画素15からなるワード、および画素16~画素23からなるワードの3ワードを読出し、画素0~画素6および画素23を切捨てる操作が必要とされる。すなわち、16画素のデータを読出す場合、3ワードを読出す必要がある。1ワードが8バイトで構成されており、8個の画素単位で画素データが読出されるためである。したがって、このような参照ブロックの画素データ読出時において不必要な画素データが読出され、データ転送効率が悪くなるという問題が生じる。

**【0014】**

また、参照ブロックにおいて、画素ラインを切換える場合、DRAMにおいては、通常、同じロウアドレスの位置に、1画素ラインの画素データが配置されるため、したがって、画素ラインを切換える場合には、ロウアドレスを変更する必要があり、この場合、行切換のためにページモードアクセスが利用することができず、行切換(ページ切換)のためのオーバーヘッドが生じ、データ転送効率が劣化する。

**【0015】**

さらに、最近、16MビットDRAMが広く利用されてきている。このような16MビットDRAMを用いれば、用いられるメモリの数を低減することができ、装置占有面積の低減およびコスト低減(1個の16MビットDRAMの価格は、4MビットDRAM4個の価格よりも低い)が実現される。しかしながら、16MビットDRAMの場合、そのI/

10

20

30

40

50

構成（データ幅）は、通常最大16ビットであり、したがって前述の100Mバイト/秒という要求される広いデータ転送帯域（バンド幅）を実現することができない。

【0016】

前述のようなダイナミック・ランダム・アクセス・メモリ（DRAM）を用いる手法に代えて、高速メモリを採用する手法がある。特に、近年汎用CPU（中央処理装置）の高性能化に従って、汎用DRAM（ダイナミック・ランダム・アクセス・メモリ）とCPUとの動作速度の差が顕著となり、汎用DRAMのデータ転送能力不足が問題となっている。すなわち、汎用DRAMのデータ転送能力に併わせてCPUのウェイト時間が長くなり、したがって汎用DRAMのデータ転送能力不足がシステム性能に対する1つのボトルネックとなるという問題が生じてきている。このような汎用DRAMのデータ転送能力不足を解決することを目的とする高速DRAMが種々実現されている。このような高速DRAMの1つに、シンクロナスDRAM（同期式DRAM：以下、SDRAMと称す）がある。

10

【0017】

図45は、SDRAMの構成を概略的に示す図である。図45において、SDRAMは、2つのバンクBKAおよびBKBと、クロック信号CLKに同期して選択状態とされたバンク（BKAまたはBKB）のデータの入出力を行なう入出力回路RDを含む。AバンクBKAおよびBバンクBKBは、互いに独立に活性状態への駆動およびプリチャージ状態への駆動を行なうことができ、またこれらのバンクBKAおよびBKBは、行列状に配列されるダイナミック型メモリセルを含む。クロック信号CLKはたとえばシステムクロックであり、周波数66MHzないし100MHzと高速である。バンクBKAおよびBKBは、それぞれ、メモリ番地は、2次元のアドレスすなわちロウアドレスおよびコラムアドレスにより指定される。同じロウアドレス（以下同じページと称す）のデータは高速に連続してアクセスすることが可能である。ロウアドレスにより、1ページのメモリセル（またはワード線）が指定されて選択状態とされて、この選択ページのデータが、周知のように、センスアンプによりラッチされているためである。1つのバンクにおいて、異なるページのデータをアクセスする場合には、ロウアドレスを変更する必要がある（別のワード線を選択状態とする必要がある）。この別のロウアドレスの指定のためには、汎用DRAMと同様、選択状態とされた行（ワード線）を非選択状態とした後に再び別のロウアドレスに対応する行（ワード線）を選択状態へ駆動する必要がある。したがって、1つのバンクにおいて、ページ変更のためにはある時間が必要とされる。これらのロウアドレス変更のためのオーバーヘッドを解消するために、図45に示すように、SDRAMにおいては、AバンクBKAおよびBバンクBKBが設けられる。一方のバンクへのアクセス時に、他方のバンクを選択状態へ駆動し、一方のバンクのロウアドレス変更時に他方のバンクへアクセスすることにより、このロウアドレス変更のオーバーヘッドを解消することが図られる。しかしながら、以下に説明するように、このSDRAMのバンク構成を利用して高速データ転送を実現するためには、バンクBKAおよびBKBにおける画素データの配置に対し工夫が必要とされる。

20

30

【0018】

たとえば、図46（A）に示すように、AバンクおよびBバンクそれぞれに対し、交互に画素ラインの画素データを格納することを考える。すなわち、1枚の画像データにおいて、奇数ラインの画素データをAバンクに格納し、偶数ラインの画素データをBバンクに格納する。この場合、ラスタ走査方式に従って順次画素データを読出す場合には、SDRAMのバンク構成の特徴を活かして、高速でデータの転送を行なうことができる。しかしながら、図46（B）に示すように、画素ラインには輝度信号画素は720画素配置され、色差信号Cb、Crの画素はそれぞれ360画素配置される。通常16MビットSDRAMのコラムアドレスは256（0～255）であり、1コラムアドレスのメモリ位置に16ビットのデータを格納することができたとしても、720画素の全てを1ページに格納できない。

40

【0019】

図47は、SDRAMのデータ読出シーケンスを示す図である。図47に示すように、S

50

DRAMにおいては、このSDRAMが実行すべき動作指令はコマンドの形で与えられる。このコマンドは、クロック信号の立上がりまたは立下がり的一方で取込まれてデコードされてSDRAMの実行すべき動作が決定される。

【0020】

アクティブコマンドは、SDRAMにおいて、バンクを指定して、指定されたバンクにおいてページを選択する動作を指定する。このアクティブコマンドは、また指定されたバンクにおける、メモリサイクルの始まりを指定する。このアクティブコマンドに従ってページが選択状態とされ、すなわち指定されたバンクにおいてワード線が選択状態とされ、メモリセルデータが内部の列（ビット線対）上に読出されてセンスアンプで検知され増幅されてラッチされる。このアクティブコマンドが与えられてから選択されたメモリセルのデータが検知されてラッチされるまでに2クロックサイクル必要とされる。

10

【0021】

リードコマンドは、データ読出動作を指定する。このリードコマンドは、また同時にデータ読出を受けるバンクおよび列を指定する（リードコマンドと同時にコラムアドレスおよびバンクアドレスが与えられる）。このリードコマンドにより選択された列のデータ（ワード）が読出される。

【0022】

プリチャージコマンドは、バンクを指定し、この指定されたバンクを非選択状態へ駆動する。SDRAMにおいては、非選択時においては、内部の信号線はすべて所定の電位にプリチャージされる。このプリチャージコマンドにより指定されたバンクにおいてすべての信号線がプリチャージ状態に復帰するまでに、2クロックサイクルが必要とされる。したがって、プリチャージコマンドとアクティブコマンドの間には、最低2クロックサイクル必要とされる。1つのバンクにおいてページの変更を行なう場合、プリチャージコマンドを与えてから、再びアクティブコマンドを与える必要がある。したがって、このページ変更のためには、最低4クロックサイクルが必要とされる。他方のバンクにおいてデータが読出されている場合、この4クロックサイクル、すなわち4ワードのデータよりも少ないデータしか読出されない場合、このページ変更を行なう前に、他方のバンクのデータ（破線ブロックで示す）がすべて読出された場合、ページ変更に必要なとされるクロックサイクルすべてを利用してデータを読出すことができず、結果としてページ変更のオーバーヘッドをすべて隠すことができず、高速データ転送を実現することができなくなる。

20

30

【0023】

それゆえ、この発明の目的は、効率的にデータ転送を行なうことのできる同期式メモリを備える画像復号装置を提供することである。

【0024】

この発明の他の目的は、同期式メモリの有するデータ転送能力を最大限に発揮して効率的にデータ転送を行なうことのできる画像復号装置を提供することである。

【0025】

【課題を解決するための手段】

請求項1に係る画像復号装置は、互いに独立にメモリセル選択動作を行うことのできる第1および第2のバンクを有し、クロック信号に同期してデータの入出力が行われる同期型メモリ素子と、符号化された画像データに含まれるサンプル画素データを受けて復号してもとの画像データを復元するための復号手段と、この復号手段により復元された画像データを同期型メモリ素子へ格納するための制御手段とを備える。この制御手段は、第1の信号成分について画像上水平方向に一列に配列される画素データが、連続して隣接する2個の画素を単位として交互に第1および第2のバンクに格納されるように復号手段からの画像データに含まれる画素データを同期型メモリ素子へ書込む手段を含む。

40

【0026】

請求項2に係る画像復号装置は、請求項1の装置において、画素データが、互いに種類が異なり、かつサンプル数の等しい第2および第3の信号成分を含む。

【0027】

50

請求項 2 に係る画像復号装置は、さらに、制御手段が、第 2 および第 3 の信号成分について同じサンプル画素の第 2 および第 3 の信号成分が第 1 および第 2 のバンクの同じアドレス位置に格納されるように画像データに含まれる画素データを同期型メモリ素子へ書込む手段を含む。

【 0 0 2 8 】

請求項 3 に係る画像復号装置は、同期式メモリ素子が、Mビットを1ワードとしてワード単位でデータの入出力を行ない、画素データの輝度信号線分は、 $M / 2$  ビットデータであり、2つの隣接画素を単位として交互に第 1 および第 2 のバンクに画素データが格納される。

【 0 0 2 9 】

請求項 4 に係る画像復号装置は、請求項 1 の装置において、同期型メモリ素子がMビットを1ワードとしてワード単位でデータの入出力を行い、画素データの輝度信号成分がMビットデータであり、2画素ごとに交互に第 1 および第 2 のバンクへ画素データが格納される。

【 0 0 3 0 】

請求項 5 に係る画像復号装置が、請求項 1 の装置において、同期式メモリ素子は、Mビットワードをワード単位で入出力し、画素データはNビットデータあり、復号手段は、水平方向のサイズがLないしL+1の画素ブロックを参照画像ブロックとして画像データを復元する手段を含み、また制御手段はP回を単位として交互に第 1 および第 2 のバンクへアクセスして画素データを読み出して復号手段へ与える手段を含む。Pは、 $(L + 1) / (2 \cdot M / N)$  以上の整数でありかつ連続して1つのバンクに対しアクセスされるワードの回数を示す。

【 0 0 3 1 】

請求項 6 に係る画像復号装置は、請求項 2 の装置において、同期式メモリ素子がMビットワードをワード単位で入出力し、画素データはNビットデータであり、復号手段は水平方向のサイズがLないし(L+1)の画素ブロックを参照画素ブロックとして画像データを復元する手段を含み、制御手段はP回を単位として交互に第 1 および第 2 のバンクへアクセスして画素データを読み出して復号手段へ与える手段を含む。Pは $(L + 1) / (M / N)$  以上の整数であり、かつ1つのバンクに対し連続してアクセスされる回数を示す。

【 0 0 3 2 】

請求項 7 に係る画像復号装置は、請求項 5 または 6 の装置において、制御手段が表示装置上での表示のためにP回を単位として交互に第 1 および第 2 のバンクへアクセスして画素データを読み出す手段をさらに備える。

【 0 0 3 3 】

請求項 8 に係る画像復号装置は、請求項 1 または 2 の装置において、同期式メモリ素子が16ビットデータを1ワードとしてワード単位でデータの入出力を行ない、画素データは8ビットデータであり、制御手段は5ワード単位で交互に第 1 および第 2 のバンクへアクセスする手段を含む。

【 0 0 3 4 】

請求項 9 に係る画像復号装置は、請求項 1 または 2 の装置において、同期式メモリ素子が8ビットデータを1ワードとしてワード単位でデータの入出力し、画素データは8ビットデータであり、制御手段は9ワード単位で交互に第 1 および第 2 のバンクをアクセスする手段を含む。

【 0 0 3 5 】

請求項 10 に係る画像復号装置は、請求項 1 ないし 9 のいずれかの装置において、同期式メモリ素子の1つの行アドレスの記憶位置に画像上水平方向の少なくとも1ライン上の画素データすべてを格納するようにアドレスを発生する手段を含む。

【 0 0 3 6 】

請求項 11 に係る画像復号装置は、請求項 1 ないし 10 のいずれかの装置において、さらに画像データ以外のデータを2Qワードを単位としてデータ配列順序に従ってQワードず

10

20

30

40

50

つ交互に第1および第2のバンクへ格納する手段を含む。

【0037】

請求項12に係る画像復号装置は、請求項11の装置において、Qは4であり、4ワードずつ交互に第1および第2のバンクへ画像データ内のデータがデータ配列順序に従って格納される。

【0038】

請求項13に係る画像復号装置は、請求項1の装置において、制御手段は同期式メモリ素子に対しワードのアドレスとして、最下位ビット位置をバンク指定アドレスビット位置としかつ上位ビットをバンク内列位置を示す列特定アドレスとする列アドレスを各ワードが有するように各画素データに対するアドレスを生成する手段を含む。

10

【0039】

請求項14に係る画像復号装置は、請求項1の装置において、制御手段がワードのアドレスとして、最下位から2番目のビットをバンク指定アドレスビットとし、残りのビット列指定アドレスビットとして有する列アドレスを生成する手段を含む。

【0040】

請求項15に係る画像復号装置は、請求項2の装置において、制御手段が、ワードのアドレスとして色差信号特定信号としてバンク特定ビットを含むアドレス信号を生成する手段を含む。

【0041】

請求項16に係る画像復号装置は、請求項1の第1の信号成分が輝度信号成分である。

20

【0042】

請求項17に係る画像復号装置は、請求項2の第2および第3の信号成分が色差信号成分である。

【0043】

最大2画素の隣接画素を単位として交互に第1および第2のバンクへ格納することにより、ページ変更時においては、バンク切替により輝度信号データを連続的に入出力することができる。また参照画像データ読出時においても分数精度で動き補償された予測画像の読出時においても第1および第2のバンクのアクセスワード数を同じとして画素データを読出すことができ、また不必要な画素データ数を最小とすることができる。

【0044】

30

2種類の色差信号はそれぞれ第1および第2のバンクの同じアドレス位置へ格納することにより、色差信号画素データをバンク切替を利用してページ変更時においても連続的に入出力することができる。また、色差信号の画素数は水平方向について輝度信号の画素数の1/2であり、最大2画素ずつ交互に第1および第2のバンクへ輝度信号画素データを格納する構成と組合せれば、1つのバンクの格納する1ラインの画素数は輝度信号と色差信号とで等しくなり、輝度信号および色差信号のデータ入出力時における同期式メモリへのアクセス制御が同じとなり、アクセス制御が簡略化される。

【0045】

【発明の実施の形態】

[実施の形態1]

40

図1(A)は、この発明に従う画像復号表示装置におけるSDRAM上への画像データの配置方法を概略的に示す図である。図1(A)において、SDRAMは2つのバンクBKA(Aバンク)およびバンクBKB(Bバンク)を含む。バンクBKAおよびBKBは同じ構成を備え、ロウアドレスADXとして、0~2047を有し、コラムアドレスADYとして0~255を有する。このSDRAMにおいては、ロウアドレスADXとコラムアドレスADYとにより1ワードの記憶位置が指定される。1ワードは16ビットである。したがってこのSDRAMは、記憶容量として $2048 \cdot 256 \cdot 16 \cdot 2 = 16M$ ビットを備える。先に説明したように、NTSCサイズの画像において、第1の信号としての輝度信号は720画素(列)・480画素(行)を含み、第1,第2のサンプル数の等しい信号としての色差信号CbおよびCrそれぞれは、360画素(列)・240画素(行

50

)を含む。

【0046】

輝度信号画素データおよび色差信号画素データは8ビットデータである。SDRAMの1ワードは16ビットであり、1ワードに2画素のデータを格納することができる。AバンクBKAおよびBバンクBKBは同じアドレス配置を有しており、SDRAMの1つのアドレス(バンクアドレスを除く)に4画素のデータを格納することができる。したがって、以下に詳細に示すように、AバンクBKAおよびBバンクBKB両者を用いれば、180個のコラムアドレスに720画素のデータを格納することができ、輝度信号1ライン分の画素データを1つのロウアドレスについて格納することができ、また2つの色差信号CbおよびCr両者の1ライン(360・2=720)の画素データを同一ロウアドレス位置に格納することができる。

10

【0047】

図1(A)においては、ロウアドレス0~719、コラムアドレス0~179にフレーム0の画素データが格納され、ロウアドレス720ないし1439にフレーム1の画素データが格納される。後に詳細に説明するように、1つのバンクにおいて、各フレームは、480画素行および360画素列に配列される輝度信号Yの画素データと240画素行・360画素列に配列される色差信号(CbまたはCr)を備える。

【0048】

図1(B)に示すように、1つのロウアドレスADXiにおいて、コラムアドレスADYは、0番地~179番地を有する。1つのコラムアドレスに対し、2画素のデータが格納される。したがってロウアドレスADXiについて360個の画素PX0~PX359の画素データが格納される。バンクBKAおよびバンクBKB両者が同じ構成を備えるため、バンクBKAおよびBKBの同じロウアドレス位置に合計720画素のデータが格納される。この720個の画素データを、後に詳細に説明するように、効率的な画素データ転送を実現するように各バンクに振分ける。すなわち、1つのバンクにおいて、輝度信号Yの画素の半分の画素(480画素行・360画素列)と色差信号CbおよびCrの画素全体の半分の画素(240画素行・360画素列)の画素データを格納する。

20

【0049】

SDRAMの1つのロウアドレスに対し同一ライン上の画素データがすべて格納するように配置することにより、以下のような効果が得られる。1つのロウアドレスについてすべてのメモリ位置を利用して画素データを格納した場合、ロウアドレスと画素ラインとの対応関係がなくなる。すなわち、1つのロウアドレスにおいて2つのラインの画素データが混在する。このような構成の場合、各画素ラインの始まるコラムアドレス位置が異なる。すなわち、1つの画素ラインの先頭コラムアドレス位置がばらばらに分散される。したがって、参照画像ブロックを讀出す場合、ページ変更を頻繁に行なう必要が生じ、ページ変更時のオーバーヘッドが無視できなくなる場合が生じる。また各ページの先頭コラムアドレス位置を常時監視して参照ブロックの画素データを讀出す必要が生じ、制御が複雑となる。これに対し、1つのロウアドレスと画素ラインとを対応づけることにより、画素ラインとロウアドレスとの対応関係は1対1となり(ロウアドレス1つに対し1画素ラインの画素データが格納される場合)、各画素ラインの先頭コラムアドレス位置も常時同じとなり、参照ブロックの画素データ讀出時において、動きベクトルに従って容易に必要なとされる画素データを讀出すことができる。

30

40

【0050】

図2(A)-(C)は、輝度信号(Y)の画素データのSDRAMの記憶位置への配置を詳細に示す図である。図2(A)において、1フレームの各ラインに配置される輝度信号(Y)の画素において、隣接する2画素が、SDRAMの1ワードとして処理される。したがってフレームの各ラインには、SDRAMの360ワードの画素が存在する。偶数番号のワード0, 2, 4...は、AバンクBKA(以下、単にバンクAと称す)に格納され、奇数番号のワード1, 3, 5...は、BバンクBKB(以下、単にバンクBと称す)に格納される。

50

## 【 0 0 5 1 】

図 2 ( B ) に示すように、 S D R A M の  $n$  番地のロウアドレスの記憶位置に関して、バンク A においては、ワード 0, 2, 4... がコラムアドレス 0, 1, 2, ... にそれぞれ格納され、またバンク B においては、ワード 1, 3, 5, ... がコラムアドレス 0, 1, 2, ... にそれぞれ格納される。

## 【 0 0 5 2 】

図 2 ( C ) に示すように、  $( n + 1 )$  番地のロウアドレスに関しても、同様、バンク A においては偶数番号のワード 0, 2, 4, ... がコラムアドレス 0, 1, 2, ... に格納され、バンク B において、ワード 1, 3, 5, ... がコラムアドレス 0, 1, 2, ... にそれぞれ格納される。したがってバンク A において、1つのロウアドレスの記憶位置において、1ラインの偶数番号のワードに相当する輝度信号の画素データが格納され、バンク B においては、奇数番号のワードに相当する輝度信号の画素データが格納される。この場合、1つのロウアドレスについて、バンク A およびバンク B それぞれにおいて 3 6 0 画素のデータが格納される。

10

## 【 0 0 5 3 】

図 3 ( A ) - ( C ) は、色差信号 C b および C r の画素データの S D R A M の記憶位置上への配置を示す図である。図 3 ( A ) において、色差信号 C b の同じラインにおける隣接 2 画素が S D R A M の 1 ワードとして処理される。同様、色差信号 C r も同一ラインにおいて隣接する 2 画素が S D R A M の 1 ワードとして処理される。すなわち、フレーム内の 1 ラインにおいて、色差信号 C b の画素は、ワード C b 0, C b 1, ... と合計 1 8 0

20

## 【 0 0 5 4 】

図 3 ( B ) に示すように、ロウアドレス  $n$  の記憶位置においてバンク A には、色差信号 C b の画素データが、ワードを単位としてコラムアドレスそれぞれに配置され、またバンク B においては、色差信号 C r の画素が、2 画素を 1 ワードとして各コラムアドレスに対応して格納される。図 3 ( C ) に示すように、ロウアドレス  $n + 1$  の記憶位置においても同様、バンク A には色差信号 C b の画素のデータが 2 画素を 1 ワードとして各コラムアドレスに格納され、バンク B においては、色差信号 C r の 2 画素を 1 ワードとして各コラムアドレスに格納される。

30

## 【 0 0 5 5 】

この色差信号 C b および C r はそれぞれバンク A およびバンク B に別々に格納することにより、バンク A およびバンク B において 1 つのロウアドレスの記憶位置 ( 1 行 ) において輝度信号および色差信号ともに 3 6 0 画素 ( 1 8 0 ワード ) の画素データが格納される。図 4 ( A ) は輝度信号 ( Y ) のライン番号  $n$  上の画素の配列を示し、図 4 ( B ) は、画素 P X i の S D R A M 上のアドレスの構成を示す図である。図 4 ( A ) において、ライン番号  $n$  において画素 P X 0 ... P X i, P X i + 1, ... が配置される。ここで、ライン番号  $n$  は 0 から始まる。画素 P X i のアドレスは、図 4 ( B ) に示すように、ライン番号  $n$  と画素 P X i の番号  $i$  とから得られる。すなわちロウアドレスは、ライン番号  $n$  ( 偶数フレーム 0 ) またはライン番号  $( n ) + 7 2 0$  ( 奇数フレーム 1 ) で与えられる。コラムアドレスは、画素番号  $i$  を 2 進表示した上位ビットで与えられる。下位 2 ビットは、バンクアドレスビット B A および上位 / 下位表示ビット U / L として利用される。バンクアドレスビット B A が、上位 / 下位指示ビット U / L より上位に配置される。バンクアドレスビット B A が 0 の場合にはバンク A が指定され、バンクアドレスビット B A が 1 の場合にはバンク B が指定される。ビット U / L が 0 の場合には上位バイトが指定され、ワードにおける先頭画素が指定される。ビット U / L が 1 の場合には、下位バイトが指定され、ワードの後の画素を示す。このワードにおける先頭画素が上位バイトに格納される代わりに、下位バイトに格納されてもよい。

40

## 【 0 0 5 6 】

ロウアドレスの生成は、偶数フレームまたは奇数フレームに従ってライン番号  $n$  から容易

50

に生成される。一方、画素番号  $i$  が得られれば、容易に、SDRAM に対するアドレスを生成することができる。今、具体的に画素番号  $i$  からアドレスを生成する方法について説明する。

#### 【0057】

今、図5(A)に示すように、輝度信号画素  $P \times 248$  を考える。10進数の「248」を2進表示すると、「11111000」となる。輝度信号画素は、1ライン上に720個存在するために10ビットのアドレスで画素位置が表現される。図5(B)に示すように、上位8ビットをSDRAMのコラムアドレスとして用いて、最下位から2番目のビットをバンクアドレスビット  $BA$  として用い、最下位ビットを上位/下位指示ビット  $U/L$  として利用する。したがって、この場合、SDRAM に対するコラムアドレスは、62となり、バンクアドレスビット  $BA$  が0であり、バンク  $A$  が指定され、上位/下位指示ビット  $U/L$  が0であるため、上位バイトが指定される。したがって、図5(C)に示すように、バンク  $A$  においてコラムアドレス 62のワードの先頭位置に画素  $P \times 248$  のデータが格納される。

10

#### 【0058】

図6は、色差信号の画素番号とSDRAMのアドレスとの対応関係を示す図である。図6においても、図4(A)に示す画素  $P \times i$  のアドレスが示される。色差信号の場合、ロウアドレスは、図1の画素配置から明らかなように、ロウ番号 + 480 (偶数フレーム) またはライン番号 + 1200 (奇数フレームの場合) で与えられる。輝度信号の画素データに比べてロウアドレスが480大きくなるのは色差信号は輝度信号格納領域よりも上位のロウアドレス領域に格納されるためである。画素番号  $i$  はコラムアドレスと上位/下位指示ビット  $U/L$  に分解される。この画素番号  $i$  を2進表示し、最下位ビットを上位/下位指示ビット  $U/L$  として利用する。バンクアドレスビット  $BA$  は、色差信号  $Cb$  および  $Cr$  特定信号として与えられる。色差信号  $Cb$  の場合には、バンクアドレスビット  $BA$  は0であり、バンク  $A$  を指定し、色差信号  $Cr$  の場合、バンクアドレスビット  $BA$  は1であり、バンク  $B$  を指定する。このバンクアドレスビット  $BA$  は、図6に示す最上位ビット (ロウアドレスの左側) の位置に配置されてもよい。

20

#### 【0059】

今、図7(A)に示すように、色差信号  $Cb$  または  $Cr$  の画素  $P \times 248$  のアドレスを考える。色差信号の場合、1ライン上には360画素が配列されるが輝度信号に合わせて、10ビットで画素位置が表現される。この画素番号248を2進表示し、最下位ビットを上位/下位指示ビット  $U/L$  として利用する。「248」は、「11111000」で表現されるため、最下位ビットの0を除くと、コラムアドレスが124となる。すなわち、図7(C)に示すように、SDRAM においてワード位置 (コラムアドレス) 124の位置の上位バイト位置に画素データ  $P \times 248$  が格納される。バンク  $A$  に格納されるかバンク  $B$  に格納されるかは、この画素データ  $P \times 248$  が色差信号  $Cb$  の画素データであるか色差信号  $Cr$  の画素データであるかにより決定される。

30

#### 【0060】

上述のようにして、画素単位で各ラインに配列される画像データにおいて、水平方向の隣接2画素を単位としてバンク  $A$  およびバンク  $B$  に選択的に格納する場合でも、各画素データのSDRAMにおける格納位置を指定することができる。

40

#### 【0061】

画像データを隣接2画素単位でSDRAMのバンクへ選択的に格納することにより、以下に詳細に説明するように、画像データの転送、特に参照画像ブロックの読出を効率的に行なうことが可能となる。

#### 【0062】

[予測画像 (参照画像) ブロック画素データの読出]

図8(A)は、動き補償予測画像の復号処理を概略的に示す図である。図8(A)において、現画像ブロックは、輝度信号 ( $Y$ ) については16行・16列に配列された画素で構成され、色差信号 ( $Cb$ ,  $Cr$ ) については、8行・8列に配列された画素で構成される

50

。現画像ブロックの画素データの予測値を与える参照画像ブロックは、現画像ブロックと同じサイズを備える。所定の処理が行なわれて復号された現画像ブロックの画素データは、参照ブロックの対応の画素データとの差分値を示している。したがって、復号処理においては更に、この現画像ブロックの各画素と参照画像ブロックの各対応の画素のデータとが加算され、現画像データが復元される。参照画像において現画像ブロック位置から参照画像ブロック位置に対する変位は動きベクトルで示される。したがって、現画像ブロックの各画素は復元時には、動きベクトルで示される位置に存在する画素と加算処理が行なわれる。

#### 【 0 0 6 3 】

この動き補償予測符号化においては、整数精度での予測および分数精度での予測がある。整数精度での予測においては、動きベクトルの水平方向成分および垂直方向成分はともに整数である。

10

#### 【 0 0 6 4 】

一方、分数精度予測においては、この動きベクトルの水平方向成分Hおよび垂直方向成分Vは分数値をとることができる。本実施例においては、動きベクトルの参照単位として、 $1/2$ 画素、すなわち $1/2$ 精度が用いられる。

#### 【 0 0 6 5 】

図8(B)に、 $1/2$ 画素精度の動きベクトルと対応の画素位置を例示的に示す。図8(B)においては、図面の水平右方向が動きベクトルの水平方向成分Hの正の方向であり、一方、図面の下部方向が、動きベクトルの垂直方向成分Vの正の方向である。動きベクトルを(H, V)で示すと、画素P X eが、動きベクトル(0, 0)の位置に対応する。水平方向の正および負の方向に1画素離れた位置に配置される画素P X fおよびP X dの動きベクトルはそれぞれ(1, 0)および(-1, 0)である。画素P X eから垂直方向に1画素変位した画素P X bに対する動きベクトルは(0, -1)である。この画素P X bに水平方向に隣接する画素P X cおよびP X aは、それぞれ動きベクトル(1, -1)および(-1, -1)を有する。 $1/2$ 画素精度においては、動きベクトルは $\pm 1/2$ を水平方向成分Hおよび垂直方向成分V両者においてとることができる。画素P X 1から $1/2$ 画素垂直方向の負の方向に変位した画素P X gの動きベクトルは(0,  $-1/2$ )である。画素P X eに対し水平方向および垂直方向それぞれにおいて $1/2$ 画素負の方向に変位した画素P X hの動きベクトルは( $-1/2$ ,  $-1/2$ )である。

20

30

#### 【 0 0 6 6 】

動きベクトルの値域は、予め定められた探索範囲(最も相関度の高い参照画素ブロックを探索することのできる範囲)により決定され、動きベクトルはその整数値として任意の値をとることができる。この $1/2$ 画素精度の場合、画素P X gまたはP X hは、サンプリングされた画素ではない。これらは画素と画素の間に存在する仮想的な画素であり、したがって画素P X hのデータは、隣接する画素P X a, P X b, P X dおよびP X eを用いたたとえば算術平均を行なって算出される。画素P X gの場合には、画素P X bおよびP X eのデータから算出される。したがってこれらの $1/2$ 画素精度の場合、画素P X hなどの中間位置に存在する画素のデータを算出するために、整数精度における参照画像ブロックよりも1画素拡張された大きさの画像ブロックを読出すことが必要とされる。

40

#### 【 0 0 6 7 】

図8(C)において、現画像ブロックに対し、動きベクトル( $-1/2$ ,  $-1/2$ )の参照画像ブロックを破線で示す。この破線で示される参照画像ブロックの画素はすべてサンプリングされた画素データから算出する必要がある。したがって、この参照画像ブロックを格納する画像ブロックを読出す必要がある。動きベクトルがたとえば( $-1/2$ ,  $-1/2$ )の場合、輝度信号に関しては、 $17$ 画素・ $17$ 画素の画像ブロックを読出す必要があり、また色差信号の場合には、 $9$ 画素・ $9$ 画素の画像ブロックを読出す必要が生じる。すなわち、分数成分を有する方向について現画像ブロックよりも1画素大きなサイズを有する画像ブロックを読出す必要がある。したがって、動きベクトルの値に従って、 $16 \cdot 16$ 画素の輝度信号の画素ブロックの場合、 $16 \cdot 16$ 、 $17 \cdot 16$ 、 $16 \cdot 17$ 、また

50

は17・17画素の画像ブロックを讀出すことが必要とされる。8・8画素の色差信号の現画像ブロックについても、したがって動きベクトルの値に従って8・8画素、8・9画素、9・8画素、および9・9画素の画素ブロックを讀出すことが必要となる。

【0068】

図9(A)は輝度信号の17画素PY0~PY16と讀出されるワードとの対応関係を示す図である。図9(A)において、輝度信号画素PY0がワードの先頭バイトの場合、この必要とされる17番目の画素PY16もワードの先頭バイトとなる。一方、画素PY0がワード0の後半のバイトの場合、最終の画素PY16のワードの後半バイトの位置に存在する。いずれの場合においても、9ワードをSDRAMから讀出す必要がある。

【0069】

図9(B)は、色差信号の参照ブロックの画素と讀出されるワードとの対応関係を示す図である。先頭の色差信号画素PC0がワードの先頭バイト位置に格納されている場合、9番目の最終画素PC8も、ワードの先頭バイト位置に格納される。一方、先頭画素PC0がワードの後半バイト位置に格納される場合には、最終の画素PC8もワードの後半バイト位置に格納される。いずれの場合においても、色差信号の画素データを5ワード讀出す必要がある。

【0070】

図10(A)および(B)は、SDRAMからの参照画像ブロックの輝度信号画素データを讀出す順序を示す図である。図10(A)および(B)において、バンクAに格納される画素データを白丸印で示し、バンクBに格納される画素データを斜線を施した丸印で示す。1ワードには2画素含まれる。図10(A)において、参照画像ブロックの1ラインの先頭画素がバンクAに格納されている場合、まずバンクAから連続的に5ワード0~4を讀出し、次いでバンクBから4ワード5~8を讀出す。必要とされる17画素は、先頭のワード0の先頭バイトまたは後半バイトの位置に応じて異なる。

【0071】

図10(B)は、参照画像ブロックの1ラインにおける先頭画素がバンクBに格納されている際のデータ讀出順序を示す。この場合においても、バンクAから先に必要な4ワード0~3を讀出し、次いでバンクBから5ワード4~8を連続的に讀出す。必要とされる17画素は、先頭画素のワード4における先頭バイト位置または後半バイト位置に応じて異なる。この図10(A)または(B)に示す讀出動作を参照画像ブロックの必要とされるライン(16ラインまたは17ライン)分繰返すことにより、必要とされる参照ブロックの画素データをすべて讀出すことができる。基本的に、先頭画素がバンクAおよびバンクBのいずれに格納されているかに応じて、バンクAおよびバンクBの一方から5ワード連続に讀出し、他方から4ワード連続的に讀出す。この動作を繰返す。ここで「讀出」はSDRAMから復号ユニットへ必要データが与えられることを示す。

【0072】

図11は、色差信号のSDRAMからの讀出順序を示す図である。図11において、白丸印により色差信号Cbの1画素を示し、斜線を施した丸印により色差信号Crの1画素を示す。色差信号Cbの各画素は、バンクAに格納されており、また色差信号Crの各画素データはバンクBに格納されている。この場合、まずバンクAにアクセスし、連続して5ワード0~4を讀出して、次いでバンクBへアクセスして連続的に5ワード5~9を讀出す。これにより、まず色差信号Cbの画素データが讀出され、次いで色差信号Crの各画素データが讀出される。色差信号CbおよびCrのサンプル位置は同じである。したがって、参照画像ブロックにおいて先頭の画素位置がワードの先頭バイト位置にあるか後半バイト位置にあるかに応じて、必要とされる9画素が選択される。色差信号の場合には、バンクAおよびバンクBに対し5ワード単位で交互にアクセスしてデータが讀出される。この讀出動作を、参照ブロック画像の必要とされるライン数(8ラインまたは9ライン)繰返し実行する。

【0073】

上述のように、輝度信号および色差信号いずれにおいても、バンクAおよびバンクBに対

10

20

30

40

50

し一定のワード数を単位として交互にアクセスすることにより、後に詳細に説明するように、輝度信号および色差信号いずれに対しても、SDRAMのアクセスシーケンスを同じとすることができ、制御が容易となる。

【0074】

図12は、SDRAMの読出動作を示すタイミングチャート図である。以下、SDRAMのデータ読出動作について簡単に説明する。

【0075】

このSDRAMは、クロック信号CLKに同期してデータの入出力を行ない、また外部からの制御信号およびアドレス信号の取込みを実行する。クロックサイクル1において、アクティブコマンドActが与えられる。このアクティブコマンドActと同時に、ロウアドレスおよびバンクアドレスが与えられる。バンクアドレスがバンクAを指定しており、このバンクAが活性化され、ロウアドレスが指定されるページのメモリセルが選択状態とされる。SDRAMのコマンドは、外部制御信号の状態の組合せにより与えられる。

10

【0076】

クロックサイクル3においてリードコマンドRdが与えられ、データ読出動作が指定される。このリードコマンドRdとともに同時にコラムアドレスおよびバンクアドレスが与えられる。このコラムアドレスにより、ロウアドレスにより指定されたページの上のワードが指定される。2クロックサイクル経過したクロックサイクル5からこのコラムアドレスにより指定されたワードQ0が読出される。リードコマンドRdが与えられてから、対応のデータQ0が出力されるまでに要するクロックサイクル数は通常レイテンシーと呼ばれる。図12においては、レイテンシーは2である。

20

【0077】

次いで、各クロックサイクルごとにこのリードコマンドRdとともに与えられたコラムアドレスに基づいて順次隣接するワード(同一ページにおいて)が選択されて、ワードQ1、Q2およびQ3が出力される。SDRAMの出力データは、各クロックサイクルにおいてクロック信号CLKが立上がる以前において確定状態とされ、このクロック信号CLKの立上がり同期してSDRAMの出力データがサンプリングされて読出データとして画像復号装置(または画像復号表示装置)へ与えられる。1つのコラムアドレスを与えることにより連続的に読出すことのできるデータの数をバースト長と呼び、図12においては、バースト長は4である。バースト長のデータが読出されると、SDRAMは出力ハイインピーダンス状態となる。この状態においては、バンクAにおいてページが選択状態を維持している。クロックサイクル10においてプリチャージコマンドPreをバンクアドレス(A)とともに与える。これにより、バンクAにおいて選択状態とされていたページが非選択状態とされ、バンクAはプリチャージ状態に復帰する。通常、バースト長は、最大1ページまでの任意の数を指定することができる。

30

【0078】

SDRAMはバンクAおよびバンクBを有しており、バンクアドレスに従ってバンクを指定することにより、バンクAおよびバンクBそれぞれ互いに独立に活性化およびプリチャージを行なうことができる。ただし、1つのクロックサイクルにおいては、1つのバンクに対するコマンドのみを与えることができる。この図10および図11に示す画素データ読出シーケンスを、コマンドの衝突を伴うことなく効率的に行なう読出動作について説明する。

40

【0079】

図13(A)および(B)は、SDRAMからの参照ブロック画素データ読出シーケンスを示す図である。図13(A)は、図10(A)に示す輝度信号画素データ読出動作シーケンスを示し、図13(B)は、図10(B)に示す輝度信号画素データ読出シーケンスを示す。図13(A)および(B)においては、レイテンシーが2であり、かつバースト長がフルページ(1ページの画素データすべて)である。プリチャージコマンドPreを用いてデータ連続読出動作を停止させる。

【0080】

50

図13(A)において、クロックサイクル 0において、SDRAMのバンクAに対するアクティブコマンドA c tが与えられ、クロックサイクル 2においてバンクAに対するリードコマンドR dが与えられる。このクロックサイクル 2におけるリードコマンドR dに従って2クロックサイクル経過後のクロックサイクル 4から連続的に画素データ(A)が読出される。

**【0081】**

クロックサイクル 5において、SDRAMのバンクBに対するアクティブコマンドA c tを与え、クロックサイクル 7においてバンクBに対するリードコマンドR dを与える。SDRAMにおいては、リードコマンドR dの場合、後に与えられたリードコマンドが有効とされる。したがって、クロックサイクル 8まではバンクAからの画素データが連続的に読出され、クロックサイクル 9からは、このクロックサイクル 7のリードコマンドR dに従って、バンクBからの画素データ(B)が連続的に読出される。クロックサイクル 8においてプリチャージコマンドP r eを与え、バンクAをプリチャージ状態に復帰させる。

10

**【0082】**

バンクBの画素データが読出されている間のクロックサイクル 10において、バンクAに対し再びアクティブコマンドA c tを与え次いでクロックサイクル 12においてバンクAに対しリードコマンドR dを与える。このクロックサイクル 12のリードコマンドR dに従ってクロックサイクル 14からはバンクAの画素データ(A)が連続的に読出される。クロックサイクル 13においてバンクBに対しプリチャージコマンドP r eを与える。このとき、クロックサイクル 13においては、クロックサイクル 7において与えられたバンクBに対するリードコマンドR dに従って画素データが読出されるが、外部において無視される(この構成は後に説明する)。ここで、プリチャージコマンドP r eが与えられても、そのクロックサイクルにおいては、有効データは出力される。プリチャージコマンドP r eは、次のクロックサイクルにおけるデータの出力を禁止する(そのサイクルにおいてプリチャージが行なわれる)。

20

**【0083】**

クロックサイクル 15において、アクティブコマンドA c tをバンクBに対して与え、またクロックサイクル 17においてバンクBに対するリードコマンドR dを与える。これにより、クロックサイクル 19からバンクBからの画素データ(B)が読出される。クロックサイクル 18においてプリチャージコマンドP r eをバンクAに対して与え、バンクAをプリチャージ状態に復帰させ、次のページ変更に備える。

30

**【0084】**

この図13(A)に示すように、バンクAおよびバンクBそれぞれからは、5クロックサイクルデータが連続的に読出されている。バンクBにおいてのみ5ワードのうちの最後のワードに含まれる画素データが無効とされている。また、コマンドA c t、R dおよびP r eは、それぞれ、5クロックサイクルごとに交互にバンクAおよびBに対して与えられている。バンクAおよびバンクBそれぞれにおいて、コマンドが与えられる周期は、10クロックサイクルである。したがって、周期的にコマンドを与えることができ、SDRAMに対するコマンド印加の制御が容易となる。また、確実にプリチャージコマンドとアクティブコマンドの間は、2クロックサイクルであり、またアクティブコマンドA c tとリードコマンドR dの間も2クロックサイクルあり、必要最小限の許容遅延時間をもってバンクAおよびBそれぞれに対しアクセスが行なわれている。バンクAおよびバンクBに対するアクセスのサイクルに対し1ワードの画素データが不要とされているだけであり、ページ変更のオーバーヘッドを最小限に抑制して、参照画像ブロックの画素データを読出すことができる。

40

**【0085】**

図13(B)においては、参照画素ブロックの各ラインの先頭画素は、バンクBに格納されている。この場合においても、バンクAが先にアクセスされる。クロックサイクル 0において、バンクAに対するアクティブコマンドA c tが与えられ、クロックサイクル

50

2においてバンクAに対するリードコマンドRdが与えられる。クロックサイクル4からバンクAの格納ワードが順次読出される。クロックサイクル4において読出されるデータを、参照画像ブロック外部の画素データとして、外部装置において無視する。このバンクAからのワードの読出の間に、クロックサイクル5において、バンクBに対するアクティブコマンドActを与え、クロックサイクル7において、バンクBに対するリードコマンドRdを与える。これにより、クロックサイクル9からバンクBからの画素データが順次読出される。クロックサイクル8において、バンクAに対するプリチャージコマンドを与える。次いでクロックサイクル10において、バンクAに対するアクティブコマンドActを与え、クロックサイクル12においてバンクAに対するリードコマンドRdを与える。この状態においても、クロックサイクル14においてバンクAから読出されるワード(画素データ)は不要データとして外部装置において無視する。クロックサイクル15から連続して読出される4ワードのデータ(A)を参照画像ブロックの画素データとして処理する。

10

**【0086】**

クロックサイクル15において、再びバンクBに対するアクティブコマンドActを与え、クロックサイクル17においてバンクBに対するリードコマンドを与える。これにより、クロックサイクル19からバンクBからのワードデータが読出される。クロックサイクル18においてバンクAに対するプリチャージコマンドPreを与え、ページ変更に備える。

**【0087】**

この図13(B)に示す読出動作シーケンスにおいても、5ワード単位で交互にバンクAおよびバンクBからワードデータが読出されている。バンクAの先頭ワードが外部で無視される。したがってこの場合においても、参照画像ブロックの各ラインに対し1ワードの不要データが出力されるだけであり、SDRAMからは連続的に画素データが出力されており、ページ変更のオーバヘッドを最小限に抑制して必要とされる参照ブロック画素データを読出すことができる。

20

**【0088】**

また、図13(A)および(B)の動作シーケンスを見れば明らかなように、コマンドが与えられているクロックサイクルは同じである。すなわち、バンクAおよびBに対し5クロックサイクルごとにコマンドが交互に印加されており、また各バンクに対するコマンドの印加周期は10クロックサイクルである。したがって、参照画像ブロックの先頭画素位置にかかわらず、SDRAMに対するアクセス制御は変更する必要がなく(外部で画素データを不要とする処理が必要とされるだけである)、SDRAMに対するアクセス制御が容易となる。

30

**【0089】**

図14は、色差信号の画素データをSDRAMから読出すシーケンスを示す図である。この色差信号の読出シーケンスは、図11に示す色差信号CbおよびCrの読出シーケンスに対応する。

**【0090】**

図14において、クロックサイクル0において、バンクAに対するアクティブコマンドActが与えられ、クロックサイクル2において、バンクAに対するリードコマンドRdが与えられる。クロックサイクル4からバンクAからの画素データが5ワード順次読出される。クロックサイクル5において、バンクBに対するアクティブコマンドActを与え、クロックサイクル7において、バンクBに対するリードコマンドRdを与える。このバンクBに対するリードコマンドRdに従って、クロックサイクル9からバンクBから画素データワードが5ワード順次読出される。

40

**【0091】**

クロックサイクル8において、バンクAに対するプリチャージコマンドPreを与え、クロックサイクル10において再びバンクAに対するアクティブコマンドActを与える。次いでクロックサイクル12において、バンクAに対するリードコマンドRdを与

50

える。このクロックサイクル 12 のリードコマンド R d に従って、クロックサイクル 14 から 5 ワードの画素データが連続的にバンク A から読出される。クロックサイクル 13 においてバンク B に対するプリチャージコマンド P r e を与え、再びクロックサイクル 15 においてバンク B に対するアクティブコマンド A c t を与える。次いで、クロックサイクル 17 において、バンク B に対するリードコマンド R d を与える。クロックサイクル 18 において、バンク A に対するプリチャージコマンド P r e を与える。

#### 【0092】

この図 14 に示す読出シーケンスにおいても、バンク A およびバンク B から交互に 5 ワードの画素データが連続して読出されている。またコマンドは、5 クロックサイクルごとに交互にバンク A およびバンク B に対し与えられており、また各バンクのコマンド印加周期は 10 クロックサイクルである。したがって、輝度信号の画素データ読出時と同じアクセスシーケンスに従って必要とされる色差信号画素データを読出すことができる。この色差信号の場合には、不必要なデータワードは存在しない。参照画像ブロックの位置に応じて、たとえば復号装置内部において、不要な画素が無効とされる。

10

#### 【0093】

図 15 は、この発明に従う画像復号表示装置の構成を概略的に示す図である。図 15 において、画像復号表示装置は、ビットストリームの形態で与えられる画像符号化データを受け、この画像符号化データに含まれる符号化画素データに所定の復号処理を施して、元の画素データを復元する復号化ユニット 2 と、復号化ユニット 2 で復元された画素データを格納する外部メモリとしての S D R A M 4 と、復号化ユニット 2 の動作タイミングの決定などの各種動作を制御するとともに、S D R A M 4 へのアクセス動作を制御する制御ユニット 6 を含む。復号化ユニット 2 は、一般に、M P E G 2 規格に従う復号化処理機能を備え、符号化画素データの復号処理および各画像の性質および属性などを示すヘッダ情報の解析の機能を有する。制御ユニット 6 は、図示しない外部に設けられた表示制御装置から与えられる同期信号（水平および垂直同期信号）に従って、復号化ユニット 2 の復号処理開始タイミングを決定する。

20

#### 【0094】

復号化ユニット 2 と S D R A M 4 の間にメモリアンタフェースユニット 8 が配置され、メモリアンタフェースユニット 8 と図示しない外部に設けられた表示装置の間に表示インタフェース 10 が配置される。メモリアンタフェースユニット 8 は、制御ユニット 6 の制御のもとに、S D R A M 4 に対するデータ書込アドレスおよびデータ読出アドレスを生成し、かつこの S D R A M 4 と復号化ユニット 2 の間のまたは S D R A M 4 と表示インタフェース 10 との間にデータ伝送経路を確立する。表示インタフェース 10 は、表示装置における画素データの表示速度に従って、メモリアンタフェースユニット 8 から与えられた画素データを順次出力する。

30

#### 【0095】

図 16 は、図 5 に示すメモリアンタフェースユニット 8 の構成を概略的に示す図である。図 16 において、メモリアンタフェースユニット 8 は、図 15 に示す復号化ユニット 2 から与えられる動きベクトル情報 M V を受け、制御ユニット 6 の制御のもとに参照フレーム（マクロブロック）の画素を読出すためのアドレスを発生する参照画像アドレス発生器 80 と、復号化ユニットで復号された画素データ（復元画素）を S D R A M 4 へ書込むためのアドレスを制御ユニット 6 の制御のもとに発生する復元画像アドレス発生器 82 と、制御ユニット 6 の制御のもとに表示装置への表示のために画素データを S D R A M 4 から読出すためのアドレスを発生する表示画像アドレス発生器 84 と、制御ユニット 6 の制御のもとに、S D R A M 4 に対するバンクアドレス B A およびコマンドを所定の周期で出力するアクセスコントローラ 86 と、S D R A M 4 により読出された画素データの配列順序を変換して出力するワード列変換回路 88 を含む。

40

#### 【0096】

制御ユニット 6 は、図示しない表示制御装置から与えられる水平同期信号および垂直同期信号に従って復号化ユニット 2 に対しフレーム期間を規定し、かつ画素復号開始タイミング

50

を決定するピクチャー同期信号を与える。またこのピクチャー同期信号 P S Y N C に従って、制御ユニット 6 は所定のシーケンスでアドレス発生器 8 0、8 2 および 8 4 を活性化状態とする。

【 0 0 9 7 】

アクセスコントローラ 8 6 は、S D R A M 4 へのアクセスが行なわれる場合には、常に 1 つのバンクに対し 1 0 クロックサイクル周期でかつ 5 クロックサイクルごとにバンク A およびバンク B ( S D R A M 4 に含まれる ) へ交互にコマンドを出力する。このアクセスコントローラ 8 6 は、ただし参照画像ブロックの画素データ読出時において動きベクトル情報 M V に含まれる垂直方向成分 ( V 成分 ) が整数であるか分数 (  $\pm 1 / 2$  ) であるかに従って、読出されるべきラインの数を決定し、決定されたライン数繰返し S D R A M 4 へアクセスする。復元画像データの S D R A M 4 への書込時および画像データの S D R A M 4 からの読出時においては、アクセスコントローラ 8 6 は、各画像の先頭画素から全ラインがアクセスされるようにそのアクセス動作を繰返し実行する。制御ユニット 6 は、復号化ユニット 2 から復号化される画像のタイプを示すフレームタイプ情報を受け、このフレームタイプ情報が I フレームを示すときには、参照画像アドレス発生器 8 0 からの参照画像アドレス発生動作を停止させる。復号化される画像が P ピクチャーまたは B ピクチャーの場合には、参照画像アドレス発生器 8 0 は、動きベクトル情報 M V に従って読出アドレスを生成する。制御ユニット 6 は、アドレス発生器 8 0、8 2 および 8 4 から出力されるアドレスが S D R A M 4 に対するアドレスバス上で競合しないようにこれらのアドレス発生回路 8 0、8 2 および 8 4 のアドレス発生タイミングを調整するアービトレーション機能を備える。この S D R A M 4 へのアクセス競合を回避するためのアービタは、別に設けられてもよい。

【 0 0 9 8 】

ワード列変換回路 8 8 は、S D R A M 4 から 5 ワード単位で S D R A M 4 から読出される画素データを、各画素ラインへの画素データの配列順序に従ってワード列を再配列し、必要とされるワードデータを選択して復号化ユニットへ与える。このワード列変換回路 8 8 において、図 1 3 ( A ) および ( B ) において不要データとして示すワードデータが切捨てられる。

【 0 0 9 9 】

図 1 7 は、図 1 6 に示す参照画像アドレス発生器 8 0 の構成を概略的に示す図である。図 1 7 において、参照画像アドレス発生器 8 0 は、復号中の現画像ブロックの輝度信号および色差信号両者についての先頭画素位置情報を格納する現画像ブロックカウンタ 8 0 a と、現画像ブロックカウンタ 8 0 a からの先頭画素位置情報と動きベクトル情報 M V に従って、参照画像ブロックの輝度信号および色差信号両者についての先頭画素位置を検出する先頭画素位置検出器 8 0 b と、偶 / 奇フレーム情報に従って先頭画素位置検出器 8 0 b からの先頭画素位置情報に基づいて S D R A M に対する先頭ロウアドレスおよび先頭コラムアドレスを色差信号および輝度信号両者について生成する先頭ロウ / コラムアドレス生成器 8 0 c と、先頭ロウ / コラムアドレス生成器 8 0 c からの先頭アドレスに従って、アクセスコントローラの制御のもとに S D R A M に対するロウアドレス A D X およびコラムアドレス A D Y を生成するアドレス発生器 8 0 d を含む。現画像ブロックカウンタ 8 0 a は、各フレーム ( 画像 ) において、復号処理はマクロブロック単位で行なわれるため、現在復号中の画像ブロックが何番目のマクロブロックであることを示す情報をカウンタにより生成し、このカウンタのカウント値に基づいて、輝度信号および色差信号それぞれについての先頭画素位置情報を生成する。この現画像ブロックカウンタ 8 0 a からのカウント値は、水平方向成分および垂直方向成分両者を含む。

【 0 1 0 0 】

先頭画素位置検出器 8 0 b は、この現画像ブロックカウンタ 8 0 a から与えられる現画像ブロックの先頭画素位置情報と動きベクトル情報 M V と加算して、参照ブロックの先頭画素位置を検出する。先頭ロウ / コラムアドレス生成器 8 0 c の構成は後に説明するが、参照フレームが偶数フレームであるか奇数フレームであるかに従って、この先頭画素位置検

10

20

30

40

50

出器 80b から与えられた先頭ライン情報に所定の整数 (図 4 および図 6 参照) を生成し、また先頭画素ライン上の先頭画素番号に基づいてコラムアドレスを生成する。アドレス発生器 80d は、アクセスコントローラからの制御のもとに、この先頭ロウ / コラムアドレス生成器 80c から与えられる先頭ロウアドレスを繰返し (10 ワードごとに) 増分する。この増分する回数は、動きベクトル情報 MV の垂直方向成分が分数成分 ( $\pm 1/2$ ) を含んでいるか否かに従って決定される。アドレス発生器 80d からのコラムアドレス ADY は、その SDRAM のバースト長により異なるが、バースト長がフルページの場合には、先頭ロウ / コラムアドレス生成器 8c により生成された先頭コラムアドレスに固定される。

#### 【0101】

図 18 は、図 17 に示す先頭ロウ / コラムアドレス生成器 80c のコラムアドレス生成部の構成を概略的に示す図である。図 18 において、コラムアドレス生成部は、先頭画素位置検出器 80b から与えられる先頭輝度信号画素番号を格納するレジスタ 81a と、先頭画素位置検出器 80b から与えられる先頭色差信号画素番号を格納するレジスタ 81c と、レジスタ 81a および 81c の上位ビット (アドレス) の一方を輝度信号であるか色差信号であることを示す輝度 / 色差指示に従って選択してコラムアドレス ADY を生成するセレクタ 81d を含む。輝度信号成分について、先頭画素がバンク B に含まれる場合、そのバンクアドレスビット BA は "1" である。この場合、最初にバンク B からワードを読み出す必要があるが、先頭画素のアドレス (AD) はバンクおよび B においては同じである。バンク A から画素データワードを読み出これを切捨てる。

#### 【0102】

色差信号成分については、先頭画素位置検出器 80b により検出された先頭色差信号画素番号のうち上位のビットがコラムアドレスである。セレクタ 81d は、輝度信号成分の必要ワードをすべて読み出した後、次いで色差信号のワード情報を読み出すために色差信号コラムアドレスを選択する。この輝度 / 色差指示信号は、アクセスコントローラから与えられる。アクセスコントローラは、必要とされるラインの輝度信号情報を読み出した後に、色差信号の情報を読み出すように、レジスタ 81d の選択経路を制御する。

#### 【0103】

図 19 は、図 17 に示す先頭ロウ / コラムアドレス生成器 80c の先頭ロウアドレス生成部の構成を概略的に示す図である。図 19 において、先頭ロウアドレス生成部は、輝度信号の先頭画素ライン番号を格納するレジスタ 81e と、レジスタ 81e のライン番号情報と定数 720 とを加算する加算器 81f と、偶 / 奇フレーム情報に従ってレジスタ 81e のライン番号情報および加算器 81f の出力する情報の一方を選択するセレクタ 81g と、色差信号の先頭画素ライン番号情報を格納するレジスタ 81h と、レジスタ 81h の格納する先頭画素ライン番号情報と所定の定数 480 とを加算する加算器 81i と、レジスタ 81h の格納する色差信号先頭画素ライン番号情報と所定の定数 1200 とを加算する加算器 81j と、偶 / 奇フレーム情報に従って加算器 81i および 81j の出力情報の一方を選択するセレクタ 81k と、輝度 / 色差指示に従ってセレクタ 81j および 81k の一方の出力情報を選択するセレクタ 81l を含む。セレクタ 81g は、偶 / 奇フレーム情報が偶数フレーム (0) を指定するときには、レジスタ 81e の出力情報を選択し、一方偶 / 奇フレーム情報が奇数フレーム (1) を指定するときには、セレクタ 81g は加算器 81f の出力情報を選択する。セレクタ 81k は、偶 / 奇フレーム情報が偶数フレームを示すときには、加算器 81i の出力情報を選択し、一方、偶 / 奇フレーム情報が奇数フレームを指定するときには、セレクタ 81k は加算器 81j の出力情報を選択する。この定数 480、720 および 1200 は、図 1 に示す SDRAM のロウアドレスと輝度信号および色差信号との対応関係により定められる。セレクタ 81l から、輝度信号および色差信号それぞれについて先頭ロウアドレスが出力される。

#### 【0104】

図 20 は、図 16 に示すワード列変換回路 88 の構成の一例を示す図である。図 20 において、ワード列変換回路 88 は、SDRAM から読み出されたワードをセレクタ 88a を介

10

20

30

40

50

して受けて順次格納するレジスタ 88b と、このレジスタ 88b に格納されたワード情報を輝度 / 色差指示信号およびバンクアドレスビット BA に従って順次選択して出力するセレクタ 88c を含む。セレクタ 88a は、SDRAM から読出された 10 ワードのデータについて、バンク A から読出されたデータ (A) をレジスタ 88b の偶数番号の格納位置に順次格納し、次いでバンク B から読出された 5 ワードのデータをレジスタ 88b の奇数番号の記憶位置に格納する。レジスタ 88c は、輝度 / 色差指示信号が輝度信号を示すときには、バンクアドレスビット BA を初期値としてレジスタ 88b のワードを順次その格納位置番号に従って必要な数のワードを選択して出力する。輝度 / 色差指示信号が色差信号を示すときには、セレクタ 88c は、まず偶数番号の格納位置に格納されたバンク A のデータ (A) を 5 ワード順次選択し、次いでバンク B から与えられた 5 ワードのデータを

10

#### 【0105】

このワード列変換回路 88 の出力するワード (16 ビット) は、復号化ユニット 2 に含まれる画素列生成回路 2a へ与えられる。この画素列生成回路 2a は、動きベクトル情報 MV の水平方向成分情報 MV (H) と先頭画素位置情報に含まれる上位 / 下位指示ビット U / L に従って与えられたワードの先頭画素を検出し、この検出された先頭画素から順次 8 ビットの画素データを出力する。

このセレクタ 88c において、バンクアドレス信号ビット BA を初期値として輝度信号ワードを 9 ワード順次選択することにより、図 13 (A) および (B) において斜線ブロックで示す不要データを削除することができる。すなわち、バンクアドレス信号ビット BA が “1” のときには、先頭画素はバンク B に含まれており、レジスタ 88b の 0 番地に格納されたバンク A のワードは不要データである。したがってアドレス 1 に格納された情報から順次 9 ワード読出すことにより不要データを削除することができる。

20

#### 【0106】

一方、バンクアドレス信号ビット BA が 0 のときには、先頭画素はバンク A に含まれ格納されており、この場合には、アドレス 0 から 9 ワードを順次読出すことにより、バンク B から読出される最終ワードを削除することができる。これにより、不要画素データを確実に削除することができる。

#### 【0107】

画素列生成回路 2a は、水平方向動きベクトル情報 MV (H) が整数成分の場合には、この与えられたワードから 16 画素情報を選択する (輝度信号成分の場合 : 色差信号の場合には 8 ワード)。一方、水平方向動きベクトル情報 MV (H) が分数成分を有する場合には、画素列生成回路 2a は、輝度信号については 9 ワードを選択し、また色差信号については 10 ワードを選択する。この選択された 9 ワード (輝度信号 (Y) に関し) の先頭画素を上位 / 下位ビット U / L により識別し、輝度信号については 17 個の画素データを順次選択して出力する。色差信号については、色差信号 Cb および Cr それぞれについて上位 / 下位指示ビット U / L に従って 9 個の画素データを順次選択して出力する。

30

#### 【0108】

図 16 に示す復元画像アドレス発生器 82 の構成としては、この図 17 ないし図 19 に示す構成を利用することができる。復元画像データの SDRAM への書込時においては、輝度信号については 16 ライン、色差信号については 8 ラインであり、アドレス発生器 (図 17 の参照番号 80d 参照) がカウントアップするロウアドレス ADX の値は輝度信号および色差信号それぞれについて固定される。また、復元された画素データをワード単位に変更するためには、図 20 に示すワード列変換回路 88 の構成を利用することができる。すなわち、復元された 8 ビットの画素データを 16 ビットのワードに変換してセレクタ 88c を介してレジスタ 88b に順次格納し、バンク単位で画素データを読出す。復元画像データの場合、輝度信号については 4 ワード単位でバンク A およびバンク B に交互に書込む必要がある。この場合、SDRAM へのデータ書込時不要とされるワードに対し書込を禁止するマスクをかければよい。色差信号についても、4 ワード単位で画素データの書込が行なわれるが、この場合、5 ワード単位でバンク A およびバンク B に交互にアクセスし

40

50

、1ワードに対しデータ書込を禁止するマスクをかければよい。このマスクをかけるマスク指示信号は、コマンドと独立に外部からクロック信号と同期して与えることができ、コマンドの衝突は生じない。したがって、このマスクを用いれば、復元画像書込時および参照画像読出時においてバンクAおよびバンクBに対し5ワード単位で交互にアクセスするというアクセスシーケンスを維持することができる。

#### 【0109】

復元画像の書込時において、復号化ユニットにおいて色差信号Cbの画素データおよび色差信号Crの画素データのブロックがそれぞれ別々に与えられる構成の場合、バッファメモリを用いる。色素信号CbおよびCrの画素データが2画素データを単位として交互に色差信号CbおよびCrを読出す。復号化ユニットにおいて、色差信号CbおよびCrの復号画素が1画素単位で交互に生成される場合と等価となり、輝度信号と同様のシーケンスに従って5ワードを単位とする色差信号画素データを生成することができる。

10

#### 【0110】

図21は、図16に示す表示画像アドレス発生器の構成を概略的に示す図である。図21(A)に表示画像アドレスのコラムアドレス生成部の構成を示し、図21(B)に、画像表示アドレスのロウアドレス生成発生部の構成を示す。図21(A)において、画像表示アドレス発生回路84は、アクセスコントローラから与えられるカウントアップ信号に従ってカウント動作を行なうコラムアドレスカウンタ84aを含む。このコラムアドレスカウンタ84aは、SDRAMから10ワード読出されるごとにそのカウント値を5カウントアップする。

20

#### 【0111】

図21(B)において、ロウアドレス発生部は、輝度信号に対するロウアドレスを発生するロウアドレスカウンタ84bと、ロウアドレスカウンタ84bの出力カウント値と定数720とを加算する加算器84cと、偶/奇フレーム情報に従ってロウアドレスカウンタ80bの出力するカウント値と加算器84cの出力するカウント値の一方を選択するセレクタ84dと、色差信号に対するロウアドレスを生成するロウアドレスカウンタ84eと、ロウアドレスカウンタ84eの出力カウントと定数480とを加算する加算器84fと、ロウアドレスカウンタ84eの出力カウント値と定数1200とを加算する加算器84gと、偶/奇フレーム情報に従って加算器84fおよび84gの一方の出力を選択するセレクタ84hと、輝度/色差指示信号に従ってセレクタ84dおよび84hの一方の出力を選択するセレクタ84iを含む。

30

#### 【0112】

ロウアドレスカウンタ84bは、アクセスコントローラの制御のもとに、360ワードが読出されるごとにそのカウント値を1増分する。ロウアドレスカウンタ84eも、SDRAMから180ワード読出されるごとにそのカウント値を1増分する。セレクタ84dは、読出される表示画像が偶数フレームの場合には、ロウアドレスカウンタ84bの出力カウントを選択し、表示画像が奇数フレームの場合には加算器84cの出力を選択する。セレクタ84hは、偶数フレームの場合には、加算器84fの出力を選択し、奇数フレームの場合には、加算器84gの出力を選択する。セレクタ84iは輝度信号画素データが読出されるときにはセレクタ84dの出力を選択し、色差信号画素データが読出されるときにはセレクタ84hの出力を選択する。これにより、SDRAMからの表示画素データ読出時のロウアドレスおよびコラムアドレスを生成することができる。

40

#### 【0113】

なお、コラムアドレスカウンタ84aがアクセスコントローラからの制御のもとに、輝度信号および色差信号の所定数の画素を表示のために読出したときにリセットされる構成の場合(輝度信号画素データの場合には720画素:360ワード)であり、色差信号の場合には360画素(180ワード)である)ロウアドレスカウンタ84bおよび84eを共用し、この共用されるロウアドレスカウンタがコラムアドレスカウンタ84aのリセット(初期値への復帰時)ごとにそのカウント値が1増分されるように構成されてもよい。

#### 【0114】

50

図22は、図15に示す表示インタフェース15に対する画素列変換部の構成を示す図である。この画素列変換部は、表示インタフェースに含まれてもよいが、またメモリアンタフェースユニット8に含まれてもよい。この画素列変換部は、SDRAMから読出された10ワードデータをセレクタ85aを介して順次格納するレジスタ85bと、レジスタ85bに格納されたワードデータをバイトデータに変換して順次所定のシーケンスで選択するセレクタ85cを含む。セレクタ85aは、SDRAMから読出された表示画像画素データワードをレジスタ85bの先頭格納位置から順次格納する。セレクタ85cは、表示画像データが輝度信号の場合には、このレジスタ85bからバンクA、バンクBのワードを交互に選択して読出し、次いでこの16ビットのワードデータを8ビットの画素データに変換して出力する。

10

#### 【0115】

一方、セレクタ85cは色差信号が画素データの場合には、レジスタ85bの格納するワードデータを順次そのレジスタ85bの格納位置に従って選択する。この色差信号データはしたがって、SDRAMから読出されたワードと同じ順序となる。この場合、色差信号Cb(バンクB)からの画素データを、1ライン遅延を通すことにより、色差信号Crに対し1ライン遅れて色差信号Cbを生成することができる。この画素データの位置合わせは、図15に示す表示インタフェース10において実行される。この場合においても、SDRAMからは5ワード単位で交互にバンクAおよびBから画素データが読出されるだけである。SDRAMの外部において、画素データ列の配列の変換が実行される。

#### 【0116】

なお、この図20および図22に示す画素列変換回路においては、10ワードの画素データが格納されている。この場合、SDRAMからの読出データの格納動作とこの画素列変換回路からの画素データ読出とを同時に行なうために、図20および図22に示す画素列変換回路を2つ並列に設け、この画素列変換回路を交互にアクセスする構成とすれば、SDRAMからの読出データの格納とこの画素列変換回路からの画素データ読出とを同時に実行することができる。

20

#### 【0117】

以上のように、この発明の実施の形態1に従えば、画素データを隣接2画素2ワードとし、輝度信号についてはワード単位で交互にバンクAおよびバンクBに配置され、2種類の色差信号については各色差信号ごとに異なるバンクに格納されるように構成したため、このSDRAMからの画素データ書込および読出動作時において同じアクセスシーケンス(5ワード単位)でアクセスを行なうことができ、ページ変更のためのオーバヘッドを最小限に抑制して高速でデータ転送を実行することができる。

30

#### 【0118】

##### [実施の形態2]

図23(A)および(B)は、この発明の実施の形態2に従うSDRAMの参照画像ブロック読出動作シーケンスを示す図である。図23(A)および(B)においては、輝度信号画素データの読出シーケンスが示される。この実施の形態2においては、SDRAMは、レイテンシーが2、バースト長が2に設定される。バースト長が2の場合、1つのリードコマンドによりコラムアドレスn, n+1が指定される。次に読出動作について説明する。

40

#### 【0119】

図23(A)に、参照画像ブロックの先頭コラムアドレスが偶数の場合であり、また先頭画素がバンクAに含まれる場合の参照ブロック画像データ読出動作シーケンスを示す。クロックサイクル0において、バンクAに対しアクティブコマンドActが与えられ、バンクAにおいてページが選択される(ロウアドレスに従って)。

#### 【0120】

次いで、クロックサイクル2においてバンクAに対しリードコマンドRdが与えられる。レイテンシーが2であり、クロックサイクル4からこのクロックサイクル2に与えられたリードコマンドRdに従って2ワードの画素データが順次ワード単位で読出される

50

。バースト長は2であり、2つのワードのみがリードコマンド R d により指定される。したがって、クロックサイクル 4 において再びリードコマンド R d をバンク A に対して与え、次の2ワードを指定する。これにより、クロックサイクル 6 からクロックサイクル 4 のリードコマンド R d により指定された2ワードの画素データが順次ワード単位で読出される。

【0121】

一方、クロックサイクル 5 において、バンク B に対しアクティブコマンド A c t を与え、バンク B に対しページ選択動作を開始させる。クロックサイクル 6 において、バンク A に対しオートプリチャージ付きリードコマンド R d a を与える。このオートプリチャージ付きリードコマンド R d a は、リードコマンドにより指定されたバースト長分のワードが読出された後に、指定されたバンクがプリチャージ状態に復帰することを指示する。したがって、クロックサイクル 6 においてオートプリチャージ付きリードコマンド R d a を与えると、バースト長、すなわち2クロックサイクル経過後のクロックサイクル 8 においてプリチャージコマンド P が与えられたのと等しくなる。クロックサイクル 7 においてバンク B に対しリードコマンド R d を与える。このリードコマンド R d に従って、クロックサイクル 9 からバンク B から2ワードの画素データが順次ワード単位で読出される。次いでクロックサイクル 9 においてバンク B に対しリードコマンド R d を与え、次の2ワードの画素データをクロックサイクル 11 から読出す。次いでクロックサイクル 11 において、オートプリチャージ付きリードコマンド R d a をバンク B に与える。

【0122】

一方、クロックサイクル 10 においてバンク A に対しアクティブコマンド A c t を与え、次のページを選択する(ページ変更)。次いでクロックサイクル 12 においてバンク A に対しリードコマンド R d を与える。このリードコマンド R d に従って、クロックサイクル 14 から、バンク A から2ワードの画素データが順次読出される。次いでクロックサイクル 14 においてバンク A に対しリードコマンド R d を与え、次の2ワードの画素データを指定して順次クロックサイクル 16 から読出す。再びクロックサイクル 16 において、オートプリチャージ付きリードコマンド R d a を与え、次の2ワードの画素データを指定して順次読出す。このオートプリチャージ付きリードコマンド R d a により、クロックサイクル 18 においてバンク A に対して、プリチャージコマンドが与えられたことと等価となり、バンク A はプリチャージ状態に復帰し、ページ変更にも備える。

【0123】

一方、バンク B においては、クロックサイクル 15 においてアクティブコマンド A c t を与えて次のページ(バンク A と同じページ)を選択し、クロックサイクル 17、およびクロックサイクル 19 においてそれぞれリードコマンド R d を与えて、2ワードの画素データを順次読出す。

【0124】

クロックサイクル 13 において読出された画素データは、前述の図 20 に示す画素列変換回路において切捨てられる。

【0125】

この図 23 (A) に示す参照ブロック画素データ読出シーケンスにおいて、アクティブコマンド A c t は、5クロックサイクルごとに交互にバンク A およびバンク B へ与えられている。またリードコマンド R d およびオートプリチャージコマンド R d a をバンク A およびバンク B に与えるシーケンスも同じである。

【0126】

図 23 (B) は、先頭コラムアドレスが奇数の場合の参照画像ブロックの輝度信号画素データ読出シーケンスを示す。先頭画素はバンク A に含まれている。クロックサイクル 0 においてバンク A に対しアクティブコマンド A c t を与え、バンク A においてロウアドレスにより指定されたページを選択状態とする。クロックサイクル 2 においてリードコマンド R d をバンク A に対して与える。これにより、クロックサイクル 4 から画素データワードが順次バンク A から読出される。このとき、クロックサイクル 3 において再び

10

20

30

40

50

ードコマンド R d をバンク A に対し与える。このクロックサイクル 3 において与えられたリードコマンド R d により、クロックサイクル 5 からは、後で与えられたリードコマンド R d (クロックサイクル 3) に従って指定されたデータワードが読出される。

【0127】

クロックサイクル 5 においてオートプリチャージ付きリードコマンド R d a をバンク A に対し与える。これにより、クロックサイクル 7 からは、このオートプリチャージ付きリードコマンド R d a によって指定された 2 ワードの画素データがバンク A から順次読出される。クロックサイクル 7 においてバンク A に対し等価的にプリチャージコマンドが与えられているため、バンク A はプリチャージ状態へ移行する。これにより、次のページ変更に備える。

10

【0128】

一方、バンク B に対して、クロックサイクル 4 においてアクティブコマンド A c t を与え、ページを選択状態とする。次いでクロックサイクル 7 においてバンク B に対しリードコマンド R d を与え、次いでクロックサイクル 8 においてリードコマンド R d を再び与える。クロックサイクル 9 においてバンク B から読出される画素データワードは、クロックサイクル 7 において与えられたリードコマンド R d によって指定されたものであり、一方、クロックサイクル 10 からは読出される 2 ワードの画素データは、クロックサイクル 8 において与えられたリードコマンド R d により指定されたものである。クロックサイクル 10 において、オートプリチャージ付リードコマンド R d a をバンク B に与え、クロックサイクル 12 からこのオートプリチャージ付きリードコマンド R d a により指定された 2 ワードの画素データがバンク B から順次読出される。

20

【0129】

一方、バンク A において、クロックサイクル 9 において与えられたアクティブコマンド A c t に従ってページが選択状態とされており、クロックサイクル 12 および 13 においてそれぞれリードコマンド R d を与え、クロックサイクル 14 から画素データワードを読出し、クロックサイクル 15 においてオートプリチャージ付きリードコマンド R d a を与える。この読出動作と並行して、クロックサイクル 14 においてバンク B に対しアクティブコマンド A c t を与え、クロックサイクル 17 および 18 においてリードコマンド R d をそれぞれバンク B に与える。

【0130】

この先頭コラムアドレスが奇数の場合においても、バンク A およびバンク B に対するアクセスシーケンスは同じである。特に、図 23 (B) において破線ブロックで示すように、バンク A に対するアクティブコマンド A c t をクロックサイクル 0 よりも前のサイクルにおいて与えれば、アクティブコマンド A c t は 5 クロックサイクルごとにバンク A およびバンク B に対して与えられており、図 23 (A) に示す先頭コラムアドレスが偶数アドレスの場合と同じシーケンスを保持することができる。バンク A に対し、それぞれ最初に与えられるリードコマンド R d が先頭コラムアドレスが偶数の場合に比べて 1 クロックサイクル遅れる点が異なるだけであり、同様の動作シーケンスを実現することができる。

30

【0131】

プリチャージコマンド P を使用する場合、バンク A に対するプリチャージコマンドとバンク B に対するリードコマンド R d が同一クロックサイクルに与えられる状況が生じる。S D R A M に対しては、1 つのバンクに対してのみコマンドを 1 つのクロックサイクルにおいて与えることが可能である。オートプリチャージ付リードコマンド R d a を利用することにより、このようなコマンドの衝突を防止することができ、効率的なデータ読出を実現することができる。

40

【0132】

また、図 23 (B) に示すように、アクティブコマンド A c t をクロックサイクル 0 よりも前のクロックサイクルにおいて与えた場合、参照画像ブロックの先頭画素の読出が 1 クロックサイクル遅れるものの、S D R A M に対するアクセスシーケンスをすべて同じとすることができる。

50

## 【 0 1 3 3 】

図 2 4 ( A ) は、先頭コラムアドレスが偶数であり、かつ先頭画素がバンク B に含まれる場合の S D R A M からの参照画像ブロックの輝度信号画素データ読出シーケンスを示す図である。この図 2 4 ( A ) においても、S D R A M はレイテンシーが 2 であり、バースト長が 2 に設定される。

## 【 0 1 3 4 】

クロックサイクル 0 において、バンク A に対しアクティブコマンド A c t を与え、次いでクロックサイクル 2 においてバンク A に対しリードコマンド R d を与える。クロックサイクル 4 からバンク A は 2 ワードの画素データが順次読出される。クロックサイクル 4 において再びリードコマンド R d をバンク A に対し与え、次の 2 ワード画素データを指定する。クロックサイクル 5 においてバンク B に対しアクティブコマンド A c t を与え、次いでクロックサイクル 7 においてバンク B に対しリードコマンド R d を与える。

10

## 【 0 1 3 5 】

クロックサイクル 6 においては、バンク A に対しオートプリチャージ付リードコマンド R d a が与えられる。したがって、クロックサイクル 9 からはバンク B からの画素データワードが順次出力される。クロックサイクル 8 において、バンク A がプリチャージへ移行する。クロックサイクル 9 において再びリードコマンド R d をバンク B に対し与え、次の 2 ワードの画素データを指定する。

## 【 0 1 3 6 】

クロックサイクル 1 0 において、バンク A に対しアクティブコマンド A c t を与え、バンク A において次のページを選択状態とする。クロックサイクル 1 1 においてバンク B に対しオートプリチャージ付きリードコマンド R d a を与え、次の 2 ワードの画素データを指定するとともに、2 ワードの画素データ読出後のバンク B のプリチャージを指定する。クロックサイクル 1 2 においてバンク A に対しリードコマンドを与え、クロックサイクル 1 4 からバンク A からの画素データワードを順次読出す。クロックサイクル 1 4 においてバンク A から読出された画素データワードは、外部に設けられたワード列変換回路において不要として切捨てられる。またクロックサイクル 1 4 において再びリードコマンド R d をバンク A に対し与える。またクロックサイクル 1 6 においてオートプリチャージ付きリードコマンド R d a をバンク A に対して与える。バンク B においては、クロックサイクル 1 5 においてアクティブコマンド A c t が与えられ次のページが選択状態とされている。クロックサイクル 1 7 においてリードコマンド R d を与えることにより、このリードコマンドに従ってクロックサイクル 1 9 からバンク B からの画素データワードが読出される。

20

30

## 【 0 1 3 7 】

クロックサイクル 1 8 において再びバンク B に対しリードコマンド R d を与える。

## 【 0 1 3 8 】

バンク A に対して最初に与えられるリードコマンド R d により指定される画素データワードが外部で不要とされる。バンク A およびバンク B 交互に 5 ワードずつ読出し、外部で不要データワードを除去することにより、バンク A から 4 ワード、バンク B から 5 ワードを交互に読出すことができる。

40

## 【 0 1 3 9 】

図 2 4 ( B ) は、先頭コラムアドレスが奇数でありかつ先頭画素がバンク B に含まれる場合のデータ読出シーケンスを示す図である。図 2 4 ( B ) において、クロックサイクル 0 においてバンク A に対するアクティブコマンド A c t が与えられ、次いでクロックサイクル 2 および 3 それぞれにおいてリードコマンド R d がバンク A に対して与えられる。クロックサイクル 3 において与えられたリードコマンド R d に従ってクロックサイクル 4 から 2 ワードの画素データが順次読出される。クロックサイクル 2 において与えられたリードコマンド R d により指定される画素データワードは、外部で不要として除去される。クロックサイクル 5 において、オートプリチャージ付きリードコマンド R d a をバンク A に与え、クロックサイクル 7 から 2 ワードの画素データを順次バンク B から

50

読出す。

【0140】

一方、バンクBに対しクロックサイクル 4においてアクティブコマンドA c tを与え、ページを選択状態とし、クロックサイクル 7および 8において、それぞれリードコマンドR dをバンクBに対し与える。これにより、クロックサイクル 9からバンクBからの画素データワードが順次読出される。この場合においても、クロックサイクル 7において与えられたリードコマンドR dにより指定される2ワードの画素データのうちの後のワードが読出されず、クロックサイクル 8において与えられたリードコマンドR dに従って画素データワードが読出される。クロックサイクル 10においてバンクBに対しオートプリチャージ付きリードコマンドR d aを与え、クロックサイクル 12からバンクBから残りの2ワードの画素データを順次読出す。

10

【0141】

一方、クロックサイクル 9において、バンクAに対し再びアクティブコマンドA c tを与え、次のページを選択状態とする。次いで、クロックサイクル 12および 13においてリードコマンドR dをそれぞれバンクAに対して与え、クロックサイクル 14から順次画素データワードを読出す。この場合においても、クロックサイクル 12において与えられたリードコマンドR dが指定する画素データワードは外部に設けられた回路により不要として削除される。クロックサイクル 15において、オートプリチャージ付きリードコマンドR d aをバンクAに対して与え残りの2ワードの画素データを読出す。一方クロックサイクル 14においてバンクBに対してアクティブコマンドA c tを与え、クロックサイクル 17および 18それぞれにおいて、バンクBに対しリードコマンドR dを与える。これにより、クロックサイクル 19からバンクBからの画素データが順次読出される。

20

【0142】

この図24(B)に示すデータ読出シーケンスにおいても、バンクAから読出される先頭ワードの画素データが外部で不要とされる。したがって、読出データシーケンスは、図24(A)と同じである。コマンドの与え方が互いに異なっているだけである。この図24(B)に示す動作シーケンスにおいて、バンクAに対するアクティブコメントA c tを破線ブロックで示すようにクロックサイクル 0の前のクロックサイクルにおいて与えるように構成してもよい。この場合、コマンドの印加シーケンスがバンクAおよびバンクBにおいてすべて同じとなる。ただしアクティブコマンドが与えられてから最初の画素データの読出しが1クロックサイクル遅れることになる。

30

【0143】

この図24(A)および(B)に示す読出シーケンスにおいても、バンクAおよびバンクBから交互に5ワードの画素データワードを順次読出すことができる。先頭コラムアドレスが偶数の場合、先頭画素がバンクAおよびバンクBのいずれに含まれるかにかかわらず、同じ動作シーケンスで必要とされる参照画像クロック画素データを読出すことができる(図23(A)および図24(A)参照)。また、先頭コラムアドレスが奇数の場合においても、先頭画素がバンクAおよびバンクBのいずれに含まれるかにかかわらず、同じシーケンスで必要とされる参照ブロック画素データを読出すことができる(図23(B)および図24(B)参照)。したがって同じシーケンスで必要とされる画素データを読出すことができるため、制御が容易となる。

40

【0144】

図25(A)および(B)は、色差信号画素データワードをS D R A Mから読出す際のシーケンスを示す図である。この図25(A)および(B)においても、S D R A Mはレイテンシーが2であり、バースト長が2に設定されている。まず図25(A)を参照して、先頭コラムアドレスが偶数である場合の色差信号画素データワードの読出シーケンスについて説明する。

【0145】

クロックサイクル 0において、バンクAに対しアクティブコマンドA c tを与え、クロ

50

ックサイクル 2 および 4 においてそれぞれバンク A に対しリードコマンド R d を与える。これにより、クロックサイクル 4 から画素データワードが順次読出される。クロックサイクル 5 において、バンク B に対してアクティブコマンド A c t を与え、ページを選択状態とする。クロックサイクル 6 においてバンク A に対しオートプリチャージ付リードコマンド R d a を与える。次いでクロックサイクル 7 においてバンク B に対しリードコマンド R d を与える。オートプリチャージ付リードコマンド R d a に従って、クロックサイクル 8 から画素データワードが読出されるが、クロックサイクル 9 においては、バンク B からクロックサイクル 7 に与えられたリードコマンド R d に従って画素データワードが読出される。これにより、バンク A からは、5 ワードの画素データが連続して読出される。次いで、クロックサイクル 9 においてバンク B に対してリードコマンド R d を与え、続いてクロックサイクル 11 においてバンク B に対してオートプリチャージ付リードコマンド R d a を与える、クロックサイクル 10 においてアクティブコマンド A c t をバンク A に与え、次のページを選択状態とする。

10

## 【 0 1 4 6 】

クロックサイクル 12 においてバンク A に対しリードコマンド R d を与える。これにより、クロックサイクル 14 からバンク A からの画素データワードが順次読出される。クロックサイクル 14 においてバンク A に対しリードコマンド R d を与え、クロックサイクル 16 においてオートプリチャージ付リードコマンド R d a をバンク A に対して与える。一方、クロックサイクル 15 においてバンク B に対しアクティブコマンド A c t を与え、クロックサイクル 17 および 19 においてそれぞれバンク B に対しリードコマンド R d を与える。これにより、クロックサイクル 19 からはバンク B からの画素データワードが順次 5 ワード連続して読出される。

20

## 【 0 1 4 7 】

この先頭コラムアドレスが偶数の場合、5 ワード単位でバンク A およびバンク B から交互に画素データワードが読出されている。この色差信号の画素データの読出シーケンスは、図 23 (A) および図 24 (A) に示す輝度信号画素データ読出シーケンスと同じである。したがって、先頭コラムアドレスが偶数の場合、S D R A M に対するアクセスシーケンスを輝度信号および色差信号について同じとすることができる。

## 【 0 1 4 8 】

次に、図 25 (B) を参照して、色差信号画素データの先頭コラムアドレスが奇数の場合の読出シーケンスについて説明する。クロックサイクル 0 においてアクティブコマンド A c t がバンク A に対して与えられ、次いでクロックサイクル 2 および 3 に対しリードコマンド R d がバンク A に対して与えられる。クロックサイクル 2 に与えられたリードコマンドにより指定された画素データワードがクロックサイクル 4 から読出され、次いでクロックサイクル 5 からは、クロックサイクル 3 において与えられたリードコマンド R d により指定される画素データワードが読出される。

30

## 【 0 1 4 9 】

次いでクロックサイクル 5 において、バンク A に対し応答プリチャージ付リードコマンド R d a を与える。これにより、クロックサイクル 7 から残りの 2 ワードの画素データが順次読出される。一方、クロックサイクル 4 においてバンク B に対しアクティブコマンド A c t を与え、バンク B のページを選択状態とする。次いでクロックサイクル 7 においてバンク B に対しリードコマンド R d を与え、クロックサイクル 9 からバンク B からの画素データワードを読出す。続いてクロックサイクル 8 においてリードコマンド R d をバンク B に対して与えることにより、クロックサイクル 10 からはこのクロックサイクル 8 において与えられたリードコマンド R d に従って選択された画素データワードが順次読出される。クロックサイクル 10 においてオートプリチャージ付リードコマンド R d a をバンク B に対して与える。これにより、クロックサイクル 12 から 4 ワードの画素データが順次読出される。

40

## 【 0 1 5 0 】

一方、クロックサイクル 9 においてバンク A に対しアクティブコマンド A c t を与え、

50

次のページを選択状態とする。クロックサイクル 12 および 13 においてそれぞれバンク A 対しリードコマンド R d を与えて 3 ワードの画素データを順次読出す。次いでクロックサイクル 15 においてオートプリチャージ付リードコマンド R d a をバンク A に対して与えて残りの 2 ワードの画素データを順次クロックサイクル 17 から読出す。

【0151】

一方、バンク B に対しては、クロックサイクル 14 においてアクティブコマンド A c t を与えて次のページを選択状態とし、続いてクロックサイクル 17 および 18 においてリードコマンド R d をバンク B に対して与える。

【0152】

先頭コラムアドレスが奇数の場合、バンク A およびバンク B に対し、リードコマンドを連続して与えることにより、必要とされる 5 ワードの画素データを読出すことができる。この図 25 (B) に示す読出動作シーケンスにおいて、図において破線ブロックで示すように、バンク A に対するアクティブコマンド A c t はクロックサイクル 0 よりも 1 クロックサイクル前のクロックサイクルにおいて与えられてもよい。またこの図 25 (B) に示す動作シーケンスは、図 23 (B) および図 24 (B) に示す読出シーケンスと同じであり、したがって先頭コラムアドレスが奇数の場合においても、輝度信号および色差信号に対し同じアクセスシーケンスで S D R A M から必要な画素データを読出すことができる。

【0153】

したがって、この実施の形態 2 においても、先頭コラムアドレスが偶数であるか奇数であるかに従ってアクセスシーケンスが異なるものの、輝度信号および色差信号に対し同じアクセスシーケンスで必要とされる画素データを S D R A M から読出すことができ、またページ変更のためのオーバーヘッドは生じず、連続的に画素データワードを読出すことができる。

【0154】

図 26 は、この参照ブロック画像読出時におけるコラムアドレス発生部の構成を示す図である。この実施の形態 2 における参照画像アドレス発生器の構成は、図 17 に示す構成とロウアドレスについては同じである。ロウアドレスについては、アドレス発生器により、10 ワード読出しごとにその値が 1 増分される。したがって同一の構成を利用することができ、図 16 に示すアクセスコントローラ 86 の制御の下に必要とされるロウアドレスを生成することができる。

【0155】

図 26 において、コラムアドレス発生部は、図 17 に示す先頭ロウ / コラムアドレス発生器 80 c に含まれる先頭コラムアドレス生成器 80 c c からの先頭コラムアドレスを受けてコラムアドレス A D Y を生成するコラムアドレス発生器 80 d を含む。このコラムアドレス発生器 80 d は、先頭コラムアドレス生成器 80 c c からの先頭コラムアドレスを初期値としてクロック信号 C L K をカウントするクロックカウンタ 80 d a と、クロックカウンタ 80 d a のカウント値をアクセスコントローラ 86 の制御の下にコラムアドレスとして出力するセレクタ 80 d b を含む。

【0156】

クロックカウンタ 80 d a は、アクセスコントローラ 86 の制御の下に、リードコマンドが与えられると起動されてクロック信号 C L K をカウントする。このクロック信号 C L K はアクセスサイクルを規定する。アクセスコントローラ 86 は、オートプリチャージ付リードコマンドを出力するとクロックカウンタ 80 d a のカウント値を初期値にリセットする。セレクタ 80 d b は、アクセスコントローラ 86 がリードコマンドまたはオートプリチャージ付リードコマンドが与えられたときにクロックカウンタ 80 d a のカウント値を選択して出力する。

【0157】

クロックカウンタ 80 d a は、クロック信号 C L K をカウントしており、したがって先頭コラムアドレスが偶数の場合には、クロックカウンタ 80 d a は、リードコマンドまたはオートプリチャージコマンドが与えられることごとに 2 増分されており、したがってセレ

10

20

30

40

50

クタ80dbからは、各リードコマンドまたはオートプリチャージコマンドに従って2増分されたコラムアドレスADYが出力される。一方、奇数アドレスが先頭コラムアドレスの場合、アクセスコントローラ86は、リードコマンドを最初連続して与える。このとき、クロックカウンタ80daはカウント値が1増分されているだけであり、したがってリードコマンドが連続して与えられるときには、セクタ80dbから出力されるコラムアドレスADYは、連続するコラムアドレス値となる。オートプリチャージ付リードコマンドをアクセスコントローラ86が出力するときにクロックカウンタ80daのカウント値を初期値にリセットすることにより、バンクAおよびバンクBに対し交互にアクセスする場合において、常時同じ先頭アドレスから必要とされる画素データワードを读出することができる。

10

## 【0158】

读出される画素データワードの配列順序は実施の形態1と同じであり、したがって、先の実施の形態1と同様の画素データワードの配列順序を変換するための構成を利用することができる。

## 【0159】

以上のように、この発明の実施の形態2に従えば、レイテンシー2およびバースト長2のSDRAMを用いても、5ワード単位で交互にSDRAMから画素データワードを读出しているため、連続的に必要とされる画素データワードを读出することができ、効率的なデータ転送を実現することができる。

## 【0160】

なお、表示画像データ读出時および復号画像データ書込時においては、先頭コラムアドレスは偶数アドレスとなるため、これらの動作においては、画像の先頭位置からアクセスが行なわれるため)、そのアクセスシーケンスに従って必要なアドレスが生成される。この場合においても、実施の形態1と同様、コラムアドレスがリードコマンドに従って2ずつ増分されればよく、またロウアドレスが、必要とされるデータワード(1ページのデータワード)がすべて读出されたときに1増分される構成が利用されればよく、実施の形態1と同様の構成を利用することができる。

20

## 【0161】

## [実施の形態3]

図27(A)および(B)は、この発明の実施の形態3に従うデータ配置態様を示す図である。画像復号表示装置においては、符号化装置から符号化された画像データが転送される。この符号化画像データは、ビットストリームと呼ばれ、画像の圧縮データおよび画像の特性情報などを含む。通常、MPEG2規格においては、ビットストリームは複数のレイヤの階層構造を有しており、各レイヤは、レイヤの先頭および属性を示す情報を含んでいる。また音声データも同様与えられる。これらの、符号化画像データ(ビットストリーム)のデータの入出力順序(書込みおよび読み出し)は固定されている。このような復元された画像データ以外のデータもSDRAMへ配置する。

30

## 【0162】

図27(A)において、データ列Data<sub>0</sub>、...は、1ワードを16ビットとして、かつ8ワードがアクセスの単位としてSDRAMに格納される。図27(B)に示すように、バンクAにおいては、この8ワードのデータData<sub>0</sub>~Data<sub>7</sub>のうち、4ワードのデータData<sub>0</sub>~Data<sub>3</sub>がバンクAに格納され、バンクBには、残りの4ワードデータData<sub>4</sub>~Data<sub>7</sub>が格納される。これらのデータワードのアドレス構成は、図4において示すアドレス構成と同じである。次にこの図27(A)および(B)のデータ读出動作を、図28(A)に示すシーケンス図を参照して説明する。ここで、SDRAMはレイテンシーは2、バースト長が4に設定される。なお、SDRAMにおいて、バースト長は、外部からのコマンドにより、所望の値に設定することができる。

40

## 【0163】

クロックサイクル0において、アクティブコマンドActをバンクAに対し与え、クロックサイクル2においてオートプリチャージ付リードコマンドRdaをバンクAに対し

50

て与える。クロックサイクル 4 からバンク A からデータ Data 0 ~ 3 が順次読出される。クロックサイクル 4 において、バンク B に対しアクティブコマンド Act を与え、クロックサイクル 6 においてオートプリチャージコマンド R d a をバンク B に対して与える。これにより、クロックサイクル 8 からバンク B からのデータワード Data 4 ~ 7 が順次出力される。次いでクロックサイクル 8 において、バンク A に対しアクティブコマンド Act を与え、クロックサイクル 10 においてオートプリチャージコマンド R d a を与える。次に、クロックサイクル 12 からバンク A からのデータワードが順次 4 ワード出力される。

次いでクロックサイクル 12 においてアクティブコマンド Act をバンク B に対して与え、クロックサイクル 14 においてオートプリチャージ付リードコマンド R d a をバンク B に対して与える。それにより、クロックサイクル 16 からバンク B からデータワードが 4 ワード順次読出される。クロックサイクル 16 において、バンク A に対してアクティブコマンド Act を与え、クロックサイクル 18 において、オートプリチャージ付リードコマンド R d a をバンク A に対して与える。

#### 【0164】

このバースト長が 4 でありレイテンシーが 2 の S D R A M に対しては、アクティブコマンドとリードコマンドのクロックサイクルを 2 クロックサイクルとし、またバンク A とバンク B に対し、4 クロックサイクル周期で交互にコマンドを与えることにより、4 ワード単位でバンク A および B から連続的にデータワードを読出すことができる。このデータ読出シーケンスの場合でも、バンク A およびバンク B が交互に読出されている。したがって、このアクセスシーケンスは、画像データ（復元後の画像データ）のアクセスシーケンスと同じである。したがって図 28（B）に示すように、データ Data をバンク A およびバンク B から交互に読出し、他のデータ（Data）のバンク B からの読出時に、バンク A を活性状態として、画像データを読出す準備をし、必要とされるワードデータ Data 読出完了後バンク A から画像データを順次必要とされる数だけ読出すことができる。バンク B からの画像データ読出時に他のデータワード Data を読出すためにバンク A を選択状態とし、画像データ読出完了後バンク A から必要とされるワードデータを出力する。したがって、復元後の画像データの読出シーケンスおよび必要とされるデータワード Data をバンク A およびバンク B を交互に切換えて選択的にアクセスすることができ、効率的なデータ転送を実現することができる。

#### 【0165】

##### [ 変更例 ]

図 29（A） - （C）は、この発明の実施の形態 3 の変更例の構成を示す図である。図 29（A）において、データワード Data は、10 ワードをアクセスの単位として S D R A M に格納される。10 ワードのデータ Data 0 ~ Data 9 のうち、前半の 5 ワード Data 0 ~ Data 4 がバンク A に格納され、後半の 5 ワード Data 5 ~ 9 がバンク B に格納される（図 29（B）参照）。次に図 29（C）に示すシーケンス図を参照して、データ読出動作について説明する。ただし、この変更例においては、S D R A M はレイテンシーが 2 であり、バースト長がフルページである。

#### 【0166】

クロックサイクル 0 において、バンク A に対しアクティブコマンド Act を与えてクロックサイクル 2 においてバンク A に対しリードコマンド R d を与える。これにより、クロックサイクル 4 においてバンク A からデータワード Data 0 - 4 が順次出力される。クロックサイクル 5 においてバンク B に対しアクティブコマンド Act を与え、クロックサイクル 7 においてバンク B に対しリードコマンド R d を与える。クロックサイクル 9 からバンク B からのデータワード Data 5 - 9 が順次読出される。クロックサイクル 8 において、バンク A に対しプリチャージコマンド P r e を与え、バンク A をプリチャージ状態に復帰させる。

#### 【0167】

次いでクロックサイクル 10 においてバンク A に対しアクティブコマンド Act を与え

10

20

30

40

50

、クロックサイクル 12においてリードコマンド R dをバンク A に対して与える。したがってクロックサイクル 14からバンク A からの5ワードのデータが順次読出される。クロックサイクル 13においてバンク B に対しプリチャージコマンド P r eを与え、次いでクロックサイクル 15および 17においてアクティブコマンド A c tおよびリードコマンド R dをそれぞれバンク B に対して与える。これにより、クロックサイクル 19から5ワードのデータがバンク B から読出し始められる。クロックサイクル 18においてバンク A に対してプリチャージコマンド P r eを与える。

【0168】

このアクセスシーケンスにおいても、バンク A およびバンク B に対して同じアクセスシーケンスで交互に5ワードのデータが読出される。したがって効率的にデータ転送を行なうことができる。なおこのアクティブコマンド A c tが与えられる場合、ページが変更されてもよく、また同一ページに対し再びアクセスが行なわれてもよい。画像データ(復元後の画像データ)へのアクセスシーケンスと、それ以外の画像データへのアクセスシーケンスをほぼ同じとすることができ、S D R A M のアクセス制御が容易となる。

10

【0169】

このS D R A M の画像データ以外のデータワードの入出力の制御は、図15に示す制御ユニット6の制御のもとに実行される。このデータワード D a t a は、図1に示すS D R A M の空き領域に格納される。データの入出力シーケンスは固定であり、アドレスは、F I F O 的に(ファーストイン・ファーストアウトメモリと同様に)発生されればよい。ビットストリームの転送速度と復号化ユニットにおける符号処理速度の相違を緩和するためのバッファをS D R A M を用いて実現することができる。

20

【0170】

S D R A M において、アクティブコマンドのために2クロックサイクル必要とされ、プリチャージコマンドのために2クロックサイクル必要とされる。したがって合計4クロックサイクルの間1つのバンクからデータの読出しが行なわれない。したがって他方のバンクから最小4クロックサイクルのデータを連続的に読出す必要がある。したがって、Q を4以上の整数として、 $2 \cdot Q$ ワードをデータアクセス単位とし、各バンク A および B それぞれにNワードずつデータを格納することにより、復元画像データの転送と両立するデータ転送を実現することができる。

【0171】

以上のように、この発明の実施の形態3に従えば、画像データ(復元画像データ)以外のデータワードも、Nワードずつ交互にバンク A およびバンク B にアクセスして格納するように構成しているため、復元画像データ転送と両立して効率的に必要なデータの転送を行なうことが可能となる。

30

【0172】

[実施の形態4]

図30(A)ないし(C)は、この発明の実施の形態4に従う画像復号装置におけるS D R A M のアドレス割当てを示す図である。図30(A)において、輝度信号(Y)の各画素データは、1画素置きの2画素がS D R A M の1ワードとして構成され、隣接ワードをそれぞれ交互にバンク A およびバンク B に格納する。すなわち、隣接する偶数番号の2画素を1ワードとしてバンク A に格納し、隣接する奇数番号の2画素をS D R A M の1ワードとしてバンク B に格納する。図30(A)において、番号0および2の画素がワード0として取扱われ、番号1および3の画素がワード1として処理される。同様、隣接する偶数番号 $n$ 、 $n+2$ の2画素が偶数番号のワード $2n$ として取扱われ、隣接する奇数番号 $n+1$ 、 $n+3$ の2画素がワード $2n+1$ として取扱われる。

40

【0173】

図30(B)において、S D R A M ロウアドレスが $n$ の記憶位置においては、隣接する2ワードがバンク A およびバンク B の同じコラムアドレス位置に格納される。たとえば、コラムアドレスが0の記憶位置においてバンク A にはワード0が格納され、バンク B には、ワード1が格納される。すなわち、コラムアドレスが $n$ のとき、バンク A には、ワー

50

ド  $2n$  が格納され、バンク B にはワード  $2n + 1$  が格納される。

【0174】

図30(C)において、隣接するロウアドレス  $n + 1$  においても同様、バンク A には、偶数番号のワード  $0, 2, \dots$  が格納され、バンク B においては、帰趨番号のワード  $1, 3, \dots$  が格納される。このロウアドレス  $n + 1$  においても、隣接する2ワードは同じコラムアドレス位置に格納される。

【0175】

色差信号については、先の実施の形態1の場合と同様、バンク A においては、色差信号  $C_b$  の画素データが格納され、バンク B には色差信号  $C_r$  の画素データが格納される。これらは、それぞれ2画素を1ワードとして格納される。この実施の形態4においても、5ワード単位で輝度信号画素データおよび色差信号画素データをバンク A およびバンク B から交互に読出して転送することができる。

10

【0176】

図31(A) - (D) は、輝度信号画素に対するアドレスを示す図である。今、図31(A)に示すように、ライン番号  $n$  に配列される輝度信号画素データ  $PX_0, \dots, PX_i, PX_{i+1}, \dots$  を考える。画素  $PX_i$  の画素番号は  $i$  である。

【0177】

図31(B)に示すように、画素  $PX_i$  に対するロウアドレスは、偶数フレームの場合にはライン番号  $n$  となり、奇数フレームの場合には、ライン番号  $n + 720$  となる(図1のフレーム格納アドレス参照)。一方、画素番号  $i$  を2進表示したとき最下位ビットがバンクアドレスビット  $BA$  となり、2番目の最下位ビットは、ワードにおける上位/下位を示す上位/下位指示ビット  $U/L$  となる。残りの上位ビットがコラムアドレスとして利用される。バンクアドレス信号ビット  $BA$  が0の場合には、バンク A が指定され、バンクアドレス信号ビット  $BA$  が1の場合には、バンク B が指定される。上位/下位指示ビット  $U/L$  は、0の場合には先頭画素を示し、上位バイト位置に格納される。また上位/下位指示ビット  $U/L$  が1の場合には、その画素は、ワードの後半バイト位置に格納されることを示す。

20

【0178】

図31(C)に示すように、画素  $PX_{248}$  は、番号「248」を2進表示すると「00011111000」となる。最下位ビットが「0」であり、この画素  $PX_{248}$  がバンク A に格納されることが示される。2番目の最下位ビットは「0」であり、このバンク A におけるワードの先頭画素であることが示される。残りのビットがコラムアドレスとして利用され、コラムアドレス62が指定される。

30

【0179】

図31(D)に示すように、隣接画素  $PX_{249}$  については、番号「249」を2進表示すれば「00011111001」とあり、最下位ビットは「1」であり、画素  $PX_{249}$  はバンク B に格納されることが示される。2番目の最下位ビットは「0」であり、画素  $PX_{249}$  はワードの先頭画素であることが示される。残りのビットがコラムアドレスとして利用される。したがって画素  $PX_{248}$  および  $PX_{249}$  はそれぞれバンク A およびバンク B の同じアドレス位置に格納されることが示される。

40

【0180】

この実施の形態4における各画素に対するアドレス割当ては、実施の形態1のアドレス割当てとバンクアドレスビットと上位/下位指示ビットの位置が交換されることを除いて同じである。したがってSDRAMのアクセス時においては、実施の形態1に示す構成(図16 - 図19参照)を利用してアドレスを生成することができる。

【0181】

色差信号画素のアドレスは、実施の形態1のアドレス割当てと同じである。参照画像ブロックの画素データ読出時においては、バンク A およびバンク B から交互に5ワードのデータが読出される。したがって、実施の形態1および実施の形態2のいずれかの方法にしたがって画素データワードが読出される。

50

## 【 0 1 8 2 】

図 3 2 ( A ) および ( B ) は、分数精度で予測符号化された画素データの復元時に必要とされる参照画素 ( 予測画素 ) を示す図である。図 3 2 ( A ) において、20個の輝度信号画素  $PX_0 \sim PX_{19}$  の配列を考える。

## 【 0 1 8 3 】

シーケンス I においては、先頭画素が画素  $PX_0$  であり、この場合には、画素  $PX_0 - PX_{16}$  が必要とされる。シーケンス II においては、先頭画素が、画素  $PX_2$  であり、画素  $PX_2 - PX_{18}$  が必要とされる。シーケンス III においては、先頭画素は画素  $PX_1$  であり、画素  $PX_1 - PX_{17}$  が必要とされる。シーケンス IV においては、先頭画素は画素  $PX_3$  であり、画素  $PX_3 - PX_{19}$  が必要とされる。このシーケンス I - IV 10  
それぞれについて、図 3 2 ( B ) に示すようにバンク A およびバンク B から 5 ワードを交互に読出す。この場合には、20画素  $PX_0 - PX_{19}$  が読出される。外部に設けられるワード列変換回路において、不要とされる画素データを切捨てる ( この構成については後に説明する ) 。

## 【 0 1 8 4 】

図 3 2 ( B ) の ( a ) に示すように、シーケンス I においては、画素  $PX_{17} - PX_{19}$  が不要とされる。この場合、先頭画素の上位 / 下位指示ビット U / L は 0 であり、バンクアドレスビット BA も 0 である。

## 【 0 1 8 5 】

図 3 2 ( B ) の ( b ) に示すように、シーケンス II では、不要とされる画素は、画素  $PX_0$ 、および  $PX_1$ 、および  $PX_{19}$  である。この場合には、先頭画素  $PX_2$  の上位 / 下位指示ビット U / L は 1 であり、バンクアドレスビット BA は 0 である。 20

## 【 0 1 8 6 】

図 3 2 ( B ) の ( c ) に示すように、シーケンス III においては、不要画素は画素  $PX_0$ 、 $PX_{18}$  および  $PX_{19}$  である。この先頭画素  $PX_1$  の上位 / 下位指示ビット U / L は、0 であり、バンクアドレスビット BA は 1 である。

## 【 0 1 8 7 】

図 3 2 ( B ) の ( d ) に示すように、シーケンス IV においては、不要とされる画素は画素  $PX_0 - PX_2$  である。先頭画素  $PX_3$  の上位 / 下位指示ビット U / L は、1 であり、バンクアドレスビット BA も 1 である。ワード番号  $2j$  とワード番号  $2j + 1$  のワードは同じコラムアドレスを有する。 ( 図 3 0 ( B ) および ( C ) 参照 ) 。したがって、この実施の形態 4 においては、先頭画素のコラムアドレスに従ってバンク A およびバンク B 30  
から交互に 5 ワードを読出し、その後、不要とされる 3 画素データを外部で切捨てる。

## 【 0 1 8 8 】

図 3 3 は、この発明の実施の形態 4 において用いられる参照画像アドレス発生器のコラムアドレス生成部の構成を示す図である。この図 3 3 に示す構成は、図 1 8 に示すコラムアドレス生成部の構成に対応する。図 3 3 において、参照画像アドレス生成器のコラムアドレス生成部は、輝度信号画素番号を格納するレジスタ  $81e$  と、色差信号画素番号を格納するレジスタ  $81c$  と、レジスタ  $81e$  の所定数の上位アドレスビットとレジスタ  $81c$  の所定数の上位アドレスビットの一方を輝度 / 色差指示信号に従って選択するセクタ  $81d$  40  
 $81d$  を含む。このレジスタ  $81e$  および  $81c$  へは、図 1 7 に示す先頭画素位置検出器  $80b$  からの情報が格納される。レジスタ  $81e$  からは、最下位 2 ビットを除く上位ビットが選択されてセクタ  $81d$  へ与えられる。レジスタ  $81c$  からは、最下位ビットを除く上位ビットがセクタ  $81d$  へ与えられる。図 3 2 ( B ) に示すように、先頭画素が画素  $PX_0 \sim PX_3$  のいずれの場合であっても、バンク A から先に画素データワードが読出されるが、いずれの場合でもコラムアドレスは同じである。したがって、先頭画素データが格納されるバンクに従ってコラムアドレスを変更する必要はない。ロウアドレスについては、実施の形態 1 の場合と同様、図 1 9 に示す構成が利用される。この図 3 3 に示すコラムアドレス生成部を利用して、バンク A およびバンク B から交互に 5 ワードデータが連続的に読出される。これにより、参照画像ブロックを含む 20 画素のデータが読出される。 50

## 【 0 1 8 9 】

図 3 4 は、ワード列変換回路の構成を示す図である。このワード列変換回路において、読出された 2 0 ワードの画素の配列が変換される。

## 【 0 1 9 0 】

図 3 4 は、ワード列変換回路の構成を概略的に示す図である。図 3 4 において、ワード列変換回路 8 8 ( 図 1 6 参照 ) は、S D R A M から読出された 1 6 ビットの画素データワードのうち上位 8 ビットをセレクタ 8 8 e を介して順次格納するレジスタ 8 8 d と、1 6 ビットの画素データワードの下位 8 ビットをセレクタ 8 8 g を介して順次格納するレジスタ 8 8 f と、レジスタ 8 8 d および 8 8 f に格納された画素データを順次 1 6 ビットの画素データワードとして読出すためのセレクタ 8 8 h を含む。

10

## 【 0 1 9 1 】

レジスタ 8 8 d および 8 8 f は、それぞれ 1 0 画素データワードを格納する容量を備える。セレクタ 8 8 e は、上位 8 ビットの画素データを順次レジスタ 8 8 d へ格納する。セレクタ 8 8 g は、下位 8 ビットの画素データを順次レジスタ 8 8 f の格納位置へ格納する。したがってセレクタ 8 8 e および 8 8 g は、単に順次その選択位置がクロックサイクルごとに切替わるだけである。図 3 4 においては、レジスタ 8 8 d および 8 8 f に格納される輝度信号画素番号を示す。レジスタ 8 8 d には、画素データ P X 0、P X 1、P X 4、P X 5、P X 8、P X 9、P X 1 2、P X 1 3、P X 1 6 および P X 1 7 が格納される。一方、レジスタ 8 8 f には、画素 P X 2、P X 3、P X 6、P X 7、P X 1 8、P X 1 1、P X 1 4、P X 1 5、P X 1 8 および P X 1 9 が格納される。

20

## 【 0 1 9 2 】

セレクタ 8 8 h は、輝度信号画素データ読出時においては、レジスタ 8 8 d および 8 8 f から交互に 2 画素データを読出す ( 実線で示す )。すなわち、レジスタ 8 8 d から画素データ P X 0 および P X 1 が読出された後、次いでレジスタ 8 8 f から画素データ P X 2 および P X 3 が読出される。次いでレジスタ 8 8 d から画素データ P X 4 および P X 5 が読出される。これにより、バンク A およびバンク B から 5 ワード単位で読出された輝度信号画素データは、画素ライン上の配列順序に従った 1 6 ビットデータに変換されて出力される。

## 【 0 1 9 3 】

色差信号の場合、セレクタ 8 8 e および 8 8 g の動作は輝度信号画素データの格納時の場合と同じであり、したがってレジスタ 8 8 d および 8 8 f 各々の格納位置には、色差信号 C b および C r が順次格納される。この場合には、セレクタ 8 8 h は、輝度 / 色差指示信号に従って、格納時と同様にレジスタ 8 8 d および 8 8 f からまず色差信号 C b を 5 ワード読出し、次いでレジスタ 8 8 d および 8 8 f から色差信号 C r の画素データワードを読出す ( 破線で示す )。この場合、セレクタ 8 8 h は、色差信号 C b および色差信号 C r のワードを交互に読出すように構成されてもよい。セレクタ 8 8 h には、単にレジスタの各格納位置を 1 6 ビットデータバスに接続するスイッチング素子のオン / オフを制御するシーケンスコントローラのシーケンスが輝度 / 色差指示信号に従って切替えられる構成が用いられればよい。

30

## 【 0 1 9 4 】

このセレクタ 8 8 h により配列順序が変換された画素データワードは復号化ユニット 2 に含まれる画素列生成回路 2 b へ与えられる。画素列生成回路 2 b は、輝度信号画素データの場合には、バンクアドレスビット B A および上位 / 下位指示ビット U / L に従って不要とされる 3 画素のデータを切捨てて必要とされる 1 7 画素のデータを選択して 8 ビット画素データ列を生成する。この画素列生成回路 2 b においては、バンクアドレスビット B A および上位 / 下位指示ビット U / L の値に従って、最終 3 画素 ( シーケンス I )、先頭 2 画素および最終 1 画素 ( シーケンス I I )、先頭 1 画素および最終 2 画素 ( シーケンス I I I )、および先頭 3 画素 ( シーケンス I V ) のデータを切捨てる ( 先頭有効画素から 1 7 画素選択する )。色差信号画素データの場合には、実施の形態 1 と同様の選択動作が行なわれる。

40

50

## 【 0 1 9 5 】

なお、この図 3 4 に示すワード列変換回路において、S D R A Mからの画素データワードの読出しとワード列変換を同時に（パイプライン的に）行なう場合には、この図 3 0 に示す構成を 2 つ並列に設け、これらの 2 つの画素列変換回路を交互に書込みおよび読出す構成が利用されればよい。

## 【 0 1 9 6 】

以上のように、この実施の形態 4 においても、S D R A Mの 1 つ置きの間接画素を 1 ワードとしてバンク A およびバンク B に交互に格納されるようにアドレスを各画素データの割当てているため、実施の形態 1 と同様、バンク A およびバンク B から交互に 5 ワードを連続して読出すことができ、ページ変更のオーバーヘッドを最小限に抑制して効率的にデータ

10

## 【 0 1 9 7 】

## [ 実施の形態 5 ]

図 3 5 は、この発明の実施の形態 5 に従う S D R A Mのアドレス割当てを示す図である。図 3 5 において、S D R A Mは 8 ビットデータの入出力を行ない、ロウアドレスが 0 - 2 0 4 7、コラムアドレスが 0 - 5 1 1 を含む。この S D R A Mは、1 6 Mビットの記憶容量を備える。偶数番号のフレーム 0 はロウアドレス 0 - 7 1 9 およびコラムアドレス 0 - 3 5 9 の記憶領域に格納され、奇数番号のフレーム 1 が、ロウアドレス 7 2 0 - 1 4 3 9 およびコラムアドレス 0 - 3 5 9 の記憶領域に格納される。フレーム 0 およびフレーム 1 の各々は、4 8 0 画素行・7 2 0 画素列に配列される輝度信号画素データ（Y）

20

## 【 0 1 9 8 】

図 3 6 ( A ) および ( B ) は、画素データの S D R A Mにおけるアドレスの割当てを示す図である。図 3 6 ( A ) において、1 ライン（ロウアドレス：ページ）に整列して配置される 8 ビット輝度信号画素データは交互にバンク A およびバンク B に格納される。

## 【 0 1 9 9 】

すなわち、図 3 6 ( B ) に示すように、バンク A のコラムアドレス 0、1、2 には、偶数番号 0、2、4 の輝度信号画素データが格納され、バンク B のコラムアドレス 0、1、2 には、奇数番号の輝度信号画素データ 1、3、5、が格納される。色差信号は、図 3 5 ( C ) に示すように、バンク A には色差信号 C b の画素データがコラムアドレス 0、1、2 にそれぞれ対応して格納され、バンク B には色差信号 C r の画素データがコラムアドレス 0、1、2 にそれぞれ格納される。色差信号については、したがって同じ画素のデータはバンク A およびバンク B の同じアドレスに格納される。バンク A およびバンク B の 1 ラインに配置される画素データの数は、先の実施の形態 1、2 および 4 と同様 3 6 0 画素である。次に、図 3 7 に示す読出シーケンス図を参照して S D R A Mからの輝度信号画素データ読出動作について説明する。

30

## 【 0 2 0 0 】

図 3 7 において、S D R A Mは、レイテンシーが 2 であり、バースト長はフルページに設定される。クロックサイクル 0 において、バンク A に対しアクティブコマンド A c t が与えられ、バンク A においてページが選択され、クロックサイクル 2 においてリードコマンド R d が与えられる。クロックサイクル 4 からバンク A から 8 ビットの輝度信号画素データが順次読出される。

40

## 【 0 2 0 1 】

クロックサイクル 9 においてバンク B に対しアクティブコマンド A c t を与え、バンク B の同じページを選択状態とする。次いでクロックサイクル 1 1 においてバンク B に対してリードコマンド R d を与える。このクロックサイクル 1 1 のリードコマンド R d に従って、クロックサイクル 1 3 からはバンク B からの 8 ビット輝度信号画素データが順次読出される。クロックサイクル 1 2 においてバンク A に対しプリチャージコマンド P r e を与え、バンク A をプリチャージ状態とし、ページ変更にも備える。

50

## 【0202】

クロックサイクル 18において、バンクAに対しアクティブコマンドActを与えて次のページを選択状態とする。次いでクロックサイクル 20においてバンクAに対しリードコマンドRdを与え、クロックサイクル 22からバンクAからの8ビット輝度信号画素データを順次読出す。クロックサイクル 21において、バンクBに対しプリチャージコマンドPreが与えられる。

## 【0203】

この図37に示す読出シーケンスにおいては、9ワード単位でバンクAおよびバンクBから交互に輝度信号画素データが読出されている。参照画像ブロックの画素データを読出す際には、最大17画素が必要とされる。17画素必要なとき、先頭画素がAバンクに含まれるかBバンクに含まれるかに従って18ワードのうち1ワードの画素データが不要とされる(外部に設けられた装置により)。たとえば先頭画素がBバンクに含まれる場合には、バンクAから読出される9ワードの8ビット画素データのうち先頭の8ビット画素データが不要とされる。一方、先頭画素がAバンクに含まれる場合には、バンクBから読出される9ワードの8ビット画素データのうち最終の8ビット画素データが不要とされる。

10

## 【0204】

色差信号の読出時においても、同じシーケンスで9ワード単位でバンクAおよびバンクBから交互に画素データが読出される。色差信号の場合、参照サブブロックの大きさサイズは水平方向8画素または9画素である。動きベクトルの水平方向成分MV(H)の値に従って、9ワードの色差信号画素データのうち最終の色差信号画素データが有効または無効とされる。この有効/無効の処理は外部に設けられた装置によって行なわれる。したがって、輝度信号および色差信号いずれにおいても同じシーケンスで必要とされる画素データを読出すことができる。

20

## 【0205】

復元画像画素データのSDRAMの書込みおよび表示のための画像データの読出時においても同じシーケンスでバンクAおよびバンクBから交互に9ワードの画素データが読出される。

## 【0206】

図38(A)-(C)は、この発明の実施の形態5における8ビット輝度信号画素データに対するコラムアドレスおよびロウアドレスの生成手法を示す図である。図38(A)に示すようにライン番号nのライン上に、720個の輝度信号画素データPX0-PX719が配列される。ロウアドレスは、図38(B)に示すように、ライン番号nから生成される。これは実施の形態1、2および4の場合と同じである。偶数フレーム0の場合にはロウアドレスはライン番号nに等しく、奇数フレーム1の場合にはロウアドレスはn+720となる。一方、図38(B)に示すように、コラムアドレスは画素番号iから生成される。画素番号iは2進表示したときの最下位ビットがバンクアドレス信号ビットBAとして利用される。残りの上位ビットがコラムアドレスとして利用される。バンクアドレス信号ビットBAが0の場合にはバンクAが指定され、バンクアドレス信号ビットBAが1の場合にはバンクBが指定される。

30

## 【0207】

図38(C)に示すように、画素PX248のコラムアドレスを算出する。画素PX248の画素番号「248」は「00011111000」で表現される。最下位ビットは「0」であり、バンクAが指定される。残りの上位ビットがコラムアドレスとして用いられ、コラムアドレス124が指定される。すなわち、画素PX248は、バンクAのコラムアドレス124の格納位置に格納される。

40

## 【0208】

色差信号の場合には、バンクアドレス信号ビットBAは色差信号CbおよびCrを識別するために用いられており、画素番号iがコラムアドレスとして利用される。

## 【0209】

図39は、ワード列変換回路の構成を示す図である。この図39に示すワード列変換回路

50

は、図16に示すワード列変換回路に対応する。図39においてワード列変換回路88は、8ビット画素データをセレクタ88xを介して受けて順次格納するレジスタ88yと、レジスタ88yに格納され、8ビット画素データを所定のシーケンスで順次選択して読出すセレクタ88zを含む。

【0210】

セレクタ88xは、SDRAMから順次読出された8ビット画素データを受けてバンクAから読出された画素データをレジスタ88yの偶数番号の格納位置に順次格納し、バンクBから読出された8ビット画素データをレジスタ88yの奇数番号の格納位置に順次格納する。セレクタ88zは輝度/色差指示信号が輝度信号を示すときには、このレジスタ88yに格納された8ビット画素データを順次最初の格納位置から読出して出力する。一方、セレクタ88zは、輝度/色差指示信号が色差信号を示す場合には、レジスタ88yの偶数番号の格納位置に格納された画素データを順次読出し、次いで奇数番号の格納された画素データを順次読出す。これにより、レジスタ88yにおいてバンクAから読出された9ワードの画素データA0-A8およびバンクBから読出された8ビット画素データB0-B8が、サンプリングされた画素データ配列順序に従って出力される。

10

【0211】

参照画像ブロックの画素データ読出時においては、図34に示すように、復号化ユニット2に含まれる画素列生成回路において必要な画素データのみが選択される。輝度信号画素データの場合には、先頭画素がバンクAに含まれるかまたはバンクBに含まれるかに従って17ワードの画素データが選択される。次いで、動きベクトルの水平方向成分MV(H)に従ってこの選択された17ワードの8ビット画素データのうち最終の8ビット画素データの有効/無効が決定される。動きベクトル水平方向成分MV(H)が整数の場合には、16画素が必要なだけであり、最終の8ビット画素データは切捨てられる。一方、動きベクトル水平方向成分MV(H)が分数成分の場合には、最終の8ビット画素データは有効とされる。

20

【0212】

色差信号成分の場合には、この図39に示すワード列変換回路88から与えられる9ワードの画素データのうち、動きベクトル水平方向成分MV(H)に従って輝度信号画素データの場合と同様にして、最終の8ビット色差信号画素データの有効/無効が決定される。これにより、必要とされる画素データをすべて転送することができる。

30

【0213】

表示装置への表示のためにSDRAMから画素データを読出す場合、1ライン上には360画素が配列されており、9ワード単位でバンクAおよびバンクBから交互に画素データを読出すことにより、1ラインの画素データを連続して全て読出すことができる。色差信号についても、1ライン上には360画素があり、同様9ワード単位でバンクAおよびバンクBから交互に画素データを読出すことにより、必要とされる画素データを効率的に連続して読出すことができる。

【0214】

復元画像画素データの書込時においては、復号化ユニットにおいてバッファメモリを設け、これを用いて偶数番号の輝度信号画素データを8ワード先にバンクAに書込み、次いで奇数番号の8ワードの輝度信号画素データをバンクBに書込む。バッファメモリに代えて奇数番号の画素データを8ワード遅延するよう構成を用いてもよい。この動作を繰り返す。この復元画像アドレスは、18アクセスサイクルごとにコラムアドレスが8増分される。復元画像画素データの書込時においては、画像データの書込みはマクロクロック単位で行なわれるためである。このマクロブロックの先頭画素アドレスは、実施の形態1においても同様容易に知ることができる。したがって実施の形態1に示す構成を利用することができる。コラムアドレス復元画像画素データの場合、輝度信号画素データおよび色差信号画素データに対し、9クロックサイクル目の画素データ書込みにマスクをかけることにより、8ワード単位で交互にバンクAおよびバンクBに復元画像画素データが書込まれる。

40

【0215】

50

以上のように、この発明の実施の形態 5 に従えば、1 ライン上の画素を交互にバンク A およびバンク B に格納されるようにアドレスを割当て、複数ワード単位でバンク A およびバンク B 交互にアクセスするようにしているため、ページ変更のオーバーヘッドを最小限に抑制して効率的なデータ転送を行なうことができる。

【0216】

[実施の形態 6]

図 40 は、この発明の実施の形態 6 における SDRAM に対する 8 ビット輝度信号画素データのアドレスの割当てを示す図である。図 40 (A) において、ライン  $n$  に整列して配置される 8 ビット画素データは 2 画素を単位としてバンク A およびバンク B に交互に格納される。最初の 2 画素がバンク A のコラムアドレス 0 および 1 にそれぞれ格納され、次の 2 画素がバンク B のコラムアドレス 0 および 1 にそれぞれ格納される。以下、同様のアドレス割当てにより、8 ビット画素データが SDRAM に格納される。

10

【0217】

図 40 (B) は、この図 40 (A) に対する配置における各画素のアドレスを示す図である。図 40 (B) において画素のロウアドレスは、図 38 (B) に示すものと同様、ライン番号  $n$  (偶数フレーム 0 の場合) または  $n + 720$  (奇数フレーム 1) により与えられる。コラムアドレスは、画素番号  $i$  の二進表示から 2 番目の最下位ビットを除くビット (上位ビットおよび最下位ビット (LSB)) により与えられる。2 番目の最下位ビットは、バンクアドレスビット BA として利用される。

【0218】

今、図 40 (C) に示すように、画素  $P \times 248$  のコラムアドレスを算出する。この場合、2 番目の最下位ビットは「0」であり、画素  $P \times 248$  はバンク A に格納される。残りのビットがコラムアドレスとなり、画素  $P \times 248$  はコラムアドレス 124 を有する。

20

【0219】

一方、図 40 (D) に示すように、隣接画素  $P \times 249$  は、その 2 進表示において 2 番目の最下位ビットは「0」であり、バンク A に格納される。残りのビットをコラムアドレスとして用いるため、この画素  $P \times 249$  はバンク A のコラムアドレス 125 のメモリ位置に格納される。

【0220】

隣接 2 画素を単位としてバンク A およびバンク B に交互に格納する構成の場合、隣接 2 画素を 1 ワードとして格納する実施の形態 1 の場合とほぼ同じとなる (コラムアドレスのビットが 1 ビット増えてい、単位の画素のコラムアドレスが異なる点のみ異なる)。したがって実施の形態 1 と同様にして参照画像ブロックの読出時のアドレスを発生することができる。画素データ読出シーケンスは図 37 に示すように 9 ワード単位でバンク A およびバンク B に対し交互に実行される。不要画素データの識別には、上位 / 下位指示ビット U / L に代えて最下位ビット LSB が用いられる。

30

【0221】

したがってこの図 40 (A) - (D) に示すように 2 画素を単位として交互にバンク A およびバンク B に格納し、9 ワード単位 (9 画素単位) で交互にバンク A およびバンク B から画素データを読出す構成でも、ページ変更のオーバーヘッドを最小に抑制して効率的なデータ転送を行なうことができる (特に参照画像ブロック画素データ転送時)。

40

【0222】

復元画像画素データの書込みおよび表示画像画素データの読出時においては、実施の形態 1 と同様に行なうことができる (ただし 9 ワード (9 画素) 単位でバンク A およびバンク B に交互にアクセスされる点のみ異なる)。

【0223】

以上のように、この発明の実施の形態 6 に従えば、隣接 2 画素を交互にバンク A およびバンク B に格納されるようにアドレスを割当てているため、ページ変更のオーバーヘッドを最小限に抑制して効率的なデータ転送を行なうことができる。

【0224】

50

## 【その他の構成】

上述の構成においては、SDRAMは16ビットデータまたは8ビットデータの入出力を行ない、また最小画像ブロックの基本単位は輝度信号については16画素・16画素、また色差信号については8画素・8画素である。また画素データは8ビットで構成されている。一般に、画素データがNビットデータであり、SDRAMがMビットワードを入出力するとき、参照画像ブロックのサイズが、水平方向LないしL+1の場合、 $(L+1)/(2 \cdot M/N)$ 以上の整数Pを単位としてバンクAおよびバンクBへ交互にアクセスする構成とすればよい(輝度画素を1ワードとする場合)。または、 $(L+1)/(M/N)$ 以上の整数Pを単位としてバンクAおよびバンクBに交互にアクセスされてもよい(色差信号の場合)。SDRAMとしては、同期式メモリ(クロック信号に同期してデータの入出力および制御信号の取込みを行なうメモリ)であればよい。

10

## 【0225】

また、画像復号装置として表示機能はなくてもよい。

## 【0226】

## 【発明の効果】

以上のように、この発明に従えば、最大2を所定数とする画素を単位としてバンクAおよびバンクBに交互に格納されるように画素データのアドレスを割付けたため、ページ変更時のオーバーヘッドを最小限に抑制して効率的なデータ転送を行なうことができ、また制御も容易となる。

## 【0227】

すなわち、請求項1に係る発明に従えば、第1および第2のバンクを有する同期式メモリ素子に対し、復元画像データを同期式メモリ素子へ格納する際に、水平方向に1列に配列される画素データの最大2画素の所定数の画素を単位として交互に第1および第2のバンクへ格納されるように同期式メモリに書込むように構成したため、ページ変更時のオーバーヘッドを最小限に抑制して連続的に画素データを読み出し入出力することができ、データ転送効率を大幅に改善することができる。また、この構成により、参照画像ブロック画素データ読出時に効率的なデータ転送効率を実現することができる。

20

## 【0228】

請求項2に係る発明においては、種類が異なりかつサンプル数の同じ信号成分については、同じ画素の異なる第1および第2の色差信号はそれぞれ第1および第2のバンクの同じアドレス位置に格納するように構成したため、信号読出時においてバンクAおよびバンクB交互にアクセスして連続的に信号の入出力を行なうことができ、これらの信号のページ変更時のオーバーヘッドを最小限に抑制することができる。

30

## 【0229】

請求項3に係る発明においては、隣接2画素を単位として交互にバンクAおよびバンクBに書込むように構成したため、標準の同期式メモリを利用して効率的にデータ転送を行なうことのできる画像復号装置を実現することができる。

## 【0230】

請求項4に係る発明に従えば、メモリ素子のデータのビット幅と画素データのビット幅とが等しい場合においても、隣接2画素を単位として交互に第1および第2のバンクへ画素データを格納しており、標準の同期型メモリを用いて効率的なデータ転送を実現することができる。

40

## 【0231】

請求項5に係る発明に従えば、Mビットワードの入出力を行なう同期式メモリ素子において、画素データはNビットであり、水平方向Lないし(L+1)の画素のブロックを参照画像ブロックとして処理を行なう画像復号装置においては、 $(L+1)/(2 \cdot M/N)$ 以上の整数を単位として第1および第2のバンクへ交互にアクセスするように構成しているため、ページ変更時のオーバーヘッドを伴うことなく効率的な参照画像データ転送を行なうことができる。

## 【0232】

50

請求項 6 に係る発明においては、M ビットワードの入出力を行なう同期式メモリ素子に対し、画素データが M ビットデータであり、画像復号装置が水平方向のサイズが L ないし  $(L + 1)$  の画素ブロックを参照画像ブロックとして処理を行なう場合、 $(L + 1) / (M / N)$  以上の整数を単位として第 1 および第 2 のバンクへ交互にアクセスするように構成しているため、参照画像ブロック画素データ転送時において同期式メモリから連続的に必要とされる画素データをページ変更のオーバーヘッドを最小限に抑制して行なうことができ、効率的なデータ転送を実現することができる。

**【 0 2 3 3 】**

請求項 7 に係る発明においては、表示装置への表示のためにも、所定数画素を単位として交互に第 1 および第 2 のバンクへアクセスしているため、参照画像ブロック画素データ読出時および表示装置へのデータ転送時においても同じシーケンスで同期式メモリからデータを読出すことができ、同期式メモリに対するアクセス制御が容易となる。

10

**【 0 2 3 4 】**

請求項 8 に係る発明においては、16 ビットデータの入出力を行なう同期式メモリ素子に対し、8 ビット画素データを 5 ワード単位で交互に第 1 および第 2 のバンクへアクセスするように構成しているため、不必要とされる画素データを最少に抑制して効率的なデータ転送を標準の同期式メモリ素子を用いて実現することができる。

**【 0 2 3 5 】**

請求項 9 に係る発明においては、同期式メモリが 8 ビットデータの入出力を行なうとき、画素データを 9 ワード単位で交互に第 1 および第 2 のバンクへアクセスするように構成しているため、標準の同期式メモリ素子を用いても、不必要とされる画素データ数を最小限に抑制して効率的なデータ転送を実現することができる（分数精度で予測符号化された画像データに対しても）。

20

請求項 10 に係る発明に従えば、同期式メモリ素子の 1 つの行アドレスの記憶位置に水平方向少なくとも 1 ライン上の画素データすべてを格納するようにアドレスが画素データに割当てられているため、ページ変更時のオーバーヘッドを最小限に抑制することができる（サンプリング画面上のラインとロウアドレスとが対応することができるため）。

**【 0 2 3 6 】**

請求項 11 に係る発明に従えば、画像データ以外のデータは 2 Q ワードを単位としてデータ配列基準に従って Q ワードずつ交互に第 1 および第 2 のバンクへ格納するように構成しているため、画像データ以外のデータに対しても、ページ変更および転送データの種類のオーバーヘッドを最小限に抑制して効率的なデータ転送を行なうことができる。

30

**【 0 2 3 7 】**

請求項 12 に係る発明においては、Q が 4 であり、同期式メモリ素子において 1 つのバンクにおいてプリチャージ/アクティブ動作に必要とされるクロックサイクル間において他方のバンクにアクセスしてデータを読出すことができ、効率的なデータ転送を実現することができる。

**【 0 2 3 8 】**

請求項 13 に係る発明に従えば、同期式メモリ素子のワードのアドレスとして、最下位ビット位置をバンク指定アドレスとしかつ上位ビットをバンク内列位置を示す列特定アドレス（コラムアドレス）とするように各画素データに対しアドレスを生成しているため、隣接画素を交互に第 1 および第 2 のバンクへ格納することができる。

40

**【 0 2 3 9 】**

請求項 14 に係る発明に従えば、最下位から 2 番目のビットをバンク指定アドレスビットとし残りのビットを列指定アドレスビットとしているため、隣接 2 画素を単位として第 1 および第 2 のバンクへ交互に格納することができる。

**【 0 2 4 0 】**

請求項 15 に係る発明に従えば、第 1 , 第 2 の信号の種類を特定する信号をバンク特定ビットとして色差信号画素データに対するワードアドレスを生成しているため、2 種類の信号をそれぞれ第 1 および第 2 のバンクの同じアドレス位置（同じ画素について）に容易に

50

格納することができる。

【0241】

請求項16に係る発明に従えば、第1の信号は輝度信号であり、輝度信号アクセス時のオーバーヘッドが低減される。

【0242】

請求項17に係る発明に従えば、第1,第2の信号は色差信号であり、色差信号アクセス時のオーバーヘッドが低減される。

【図面の簡単な説明】

【図1】 (A)はこの発明において用いられるSDRAMにおける画素データの格納領域を示し、(B)は1つのロウアドレスにおいて配置される画素データ列を示す図である。 10

【図2】 (A)はこの発明の実施の形態1における輝度信号画素データとSDRAMの1ワードとの対応関係を示し、(B)および(C)はSDRAMにおける各画素データのコラムアドレスの割当てを示す図である。

【図3】 (A)はこの発明の実施の形態1における色差信号画素データとSDRAMの1ワードとの対応関係を示し、(B)および(C)は色差信号のSDRAMのバンクAおよびバンクBにおける格納態様およびコラムアドレスの割当てを示す図である。

【図4】 (A)は1つのロウアドレスにおける輝度信号画素データの配列を示し、(B)は輝度信号画素PXiに対するアドレスを示す図である。

【図5】 (A)は輝度信号画素の具体的例を示し、(B)はその2進表示からのコラムアドレス、バンクアドレスおよび上位/下位指示ビットの生成を示し、(C)は(A)に示す画素のSDRAM内の格納態様を示す図である。 20

【図6】 この発明の実施の形態1における色差信号画素データのアドレス生成を示す図である。

【図7】 (A)は色差信号の具体的画素を示し、(B)はこの画素の画素番号とコラムアドレスとの関係を示し、(C)はこの色差信号画素データのSDRAM内の格納位置を示す図である。

【図8】 (A)は復号中の現画像ブロックと参照画像ブロックとの対応関係を示し、(B)は動きベクトルを示し、(C)は動きベクトルに応じて読出される画像ブロックのサイズを示す図である。 30

【図9】 (A)は輝度信号参照画像ブロック読出時におけるワードと画素データとの対応関係を示し、(B)は色差信号参照画像ブロック読出時における用いられる画素と読出されるワードとの対応関係を示す図である。

【図10】 (A)および(B)は、輝度信号参照画像ブロック画素データ読出時における画素データの読出シーケンスを示す図である。

【図11】 色差信号参照画像ブロック画素データ読出シーケンスを示す図である。

【図12】 SDRAMのアクセス動作を示すシーケンス図である。

【図13】 (A)および(B)は輝度信号参照画像ブロック画素データ読出時の動作を示すシーケンス図である。

【図14】 色差信号参照画像ブロック画素データ読出時の動作を示すシーケンス図である。 40

【図15】 この発明における画像復号表示装置の全体の構成を概略的に示す図である。

【図16】 図15に示すメモリインタフェースユニットの構成を概略的に示す図である。

【図17】 図16に示す参照画像アドレス発生器の構成を概略的に示す図である。

【図18】 図17に示す先頭ロウ/コラムアドレス生成器のコラムアドレス生成部の構成を概略的に示す図である。

【図19】 図17に示す先頭ロウ/コラムアドレス生成器のロウアドレス生成部の構成を概略的に示す図である。

【図20】 図16に示すワード列変換回路の構成を概略的に示す図である。 50

【図 2 1】 (A) は図 1 6 に示す表示画像アドレス生成器のコラムアドレス生成部の構成を示し、(B) は図 1 6 に示す表示画像アドレス生成器のロウアドレス生成部の構成を概略的に示す図である。

【図 2 2】 表示画像画素データ読出時のワード列変換回路の構成を概略的に示す図である。

【図 2 3】 (A) および (B) はこの発明の実施の形態 2 における S D R A M からの参照画像ブロック画素データ読出シーケンスを示す図である。

【図 2 4】 (A) および (B) はこの発明の実施の形態 2 における参照画像画素データ読出シーケンスを示す図である。

【図 2 5】 (A) および (B) はこの発明の実施の形態 2 における色差信号参照画像ブロック画素データ読出シーケンスを示す図である。 10

【図 2 6】 この発明の実施の形態 2 において用いられる参照画像アドレス発生器のコラムアドレス発生部の構成を概略的に示す図である。

【図 2 7】 (A) はこの発明の実施の形態 3 におけるデータ配列を示し、(B) は (A) に示すデータのアドレス割当ておよびアクセス単位を示す図である。

【図 2 8】 (A) はこの発明の実施の形態 3 におけるデータワード読出シーケンスを示す図であり、(B) は画像データとデータワード読出時のアクセスされるバンクを概略的に示す図である。

【図 2 9】 (A) はこの発明の実施の形態 3 の変更例のデータ配列におけるアクセス単位を示し、(B) はその S D R A M における格納態様を示し、(C) は S D R A M 上のアクセス時の動作を示すシーケンス図である。 20

【図 3 0】 (A) はこの発明の実施の形態 4 における輝度信号画素データと S D R A M の 1 ワードとの対応関係を示す図であり、(B) および (C) は (A) に示すワードの S D R A M 格納時の態様を示す図である。

【図 3 1】 (A) - (D) はこの発明の実施の形態 4 における輝度信号画素に対するアドレス生成およびその具体例を示す図である。

【図 3 2】 この発明の実施の形態 4 における輝度信号参照画像ブロック画素データ読出時に必要とされる画素データを示す図である。

【図 3 3】 この発明の実施の形態 4 における参照画像アドレス発生器のコラムアドレス発生部の構成を概略的に示す図である。 30

【図 3 4】 この発明の実施の形態 4 におけるワード列変換回路の構成を概略的に示す図である。

【図 3 5】 この発明の実施の形態 5 における S D R A M における画像データ格納領域を示す図である。

【図 3 6】 (A) は、この発明の実施の形態 5 における 1 ラインに整列して配置される画素データを示し、(B) は輝度信号画素データの S D R A M に格納態様を示し、(C) は色差信号画素データの S D R A M への格納態様を示す図である。

【図 3 7】 この発明の実施の形態 5 における画像データ読出シーケンスを示す図である。

【図 3 8】 (A) - (C) は、この発明の実施の形態 5 における画素に対するアドレス生成およびその具体例を示す図である。 40

【図 3 9】 この発明の実施の形態 5 における参照画像ブロック画素データのワード列変換回路の構成を概略的に示す図である。

【図 4 0】 (A) - (D) はこの発明の実施の形態 6 における S D R A M 内の画素データの格納態様およびそのアドレス生成および具体例を示す図である。

【図 4 1】 M P E G 2 規格に従う画像データの復号動作を説明するための図である。

【図 4 2】 画像データの構成を概略的に示す図である。

【図 4 3】 (A) は画像データ復号時の単位となるブロックおよび (B) は復号動作時において用いられる動きベクトルを示す図である。

【図 4 4】 従来の画像復号処理装置の 6 4 ビットデータバスを利用するデータ転送の間 50

題点を説明するための図である。

【図45】 従来のSDRAMの一般的構成を概略的に示す図である。

【図46】 (A) - (C) は従来のSDRAMを利用する際の問題点を説明するための図である。

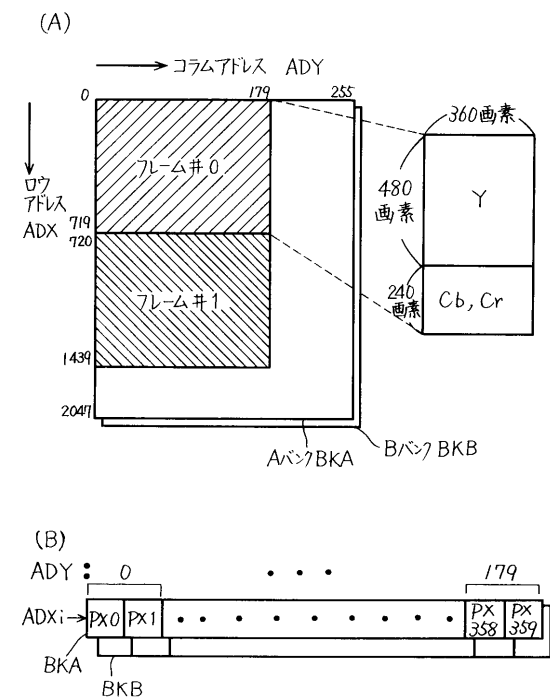
【図47】 従来のSDRAMの基本アクセス動作を説明するための図である。

【符号の説明】

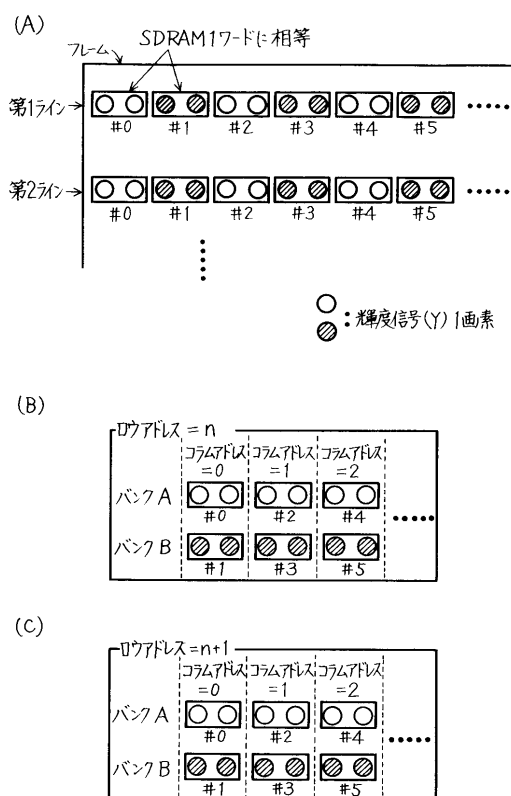
BKA, BKB バンク、2 復号化ユニット、6 制御ユニット、4 SDRAM、8  
 メモリインタフェースユニット、10 表示インタフェース、80 参照画像アドレス発生器、82 復元画像アドレス発生器、84 表示画像アドレス発生器、86 アクセス  
 コントローラ、88 ワード列変換回路、80a 現画像ブロックカウンタ、80b 先頭  
 画素位置検出器、80c 先頭ロウ/コラムアドレス生成器、80d アドレス発生器、  
 81a, 81c レジスタ、81d セレクタ、81e, 81h レジスタ、81f, 8  
 1i, 81j 加算器、81g, 81k, 81l セレクタ、88a, 88c セレクタ  
 、88b レジスタ、2a 画素列生成回路、84a コラムアドレスカウンタ、84b,  
 84e レジスタ、84c, 84f, 84g 加算器、84d, 84h, 84i セレクタ  
 、85a, 85c セレクタ、85b レジスタ、80cc 先頭コラムアドレス生成器  
 、80ba クロックカウンタ、80db セレクタ、81e レジスタ、88e, 88  
 g, 88h セレクタ、88d, 88f レジスタ、2b 画素列生成回路、88x, 8  
 8z セレクタ、88y レジスタ。

10

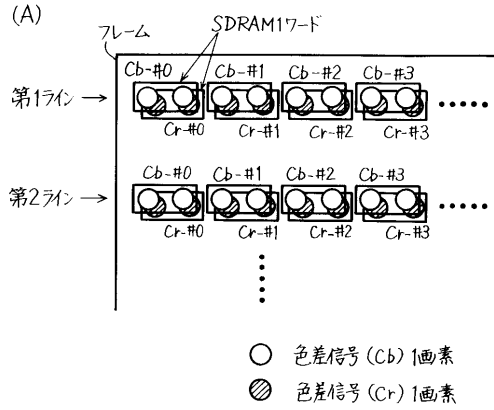
【図1】



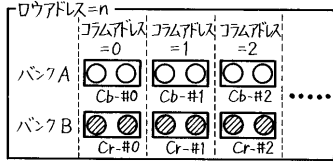
【図2】



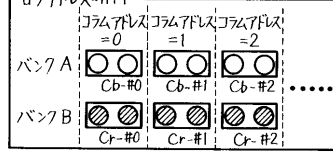
【 図 3 】



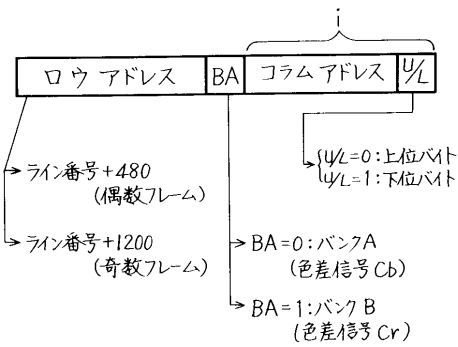
(B)



(C)



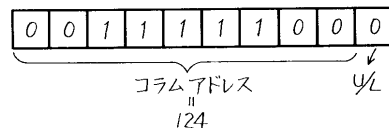
【 図 6 】



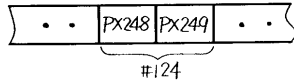
【 図 7 】

(A) PX248 :  $2^7 + 2^6 + 2^5 + 2^4 + 2^3$   
 (Cb, Cr)

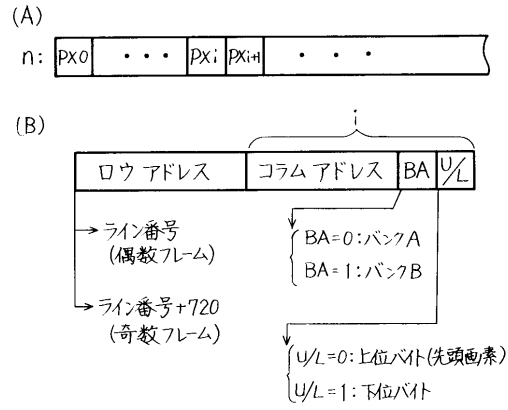
(B)



(C)



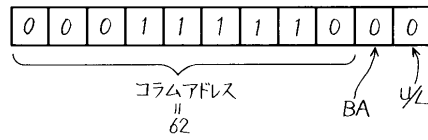
【 図 4 】



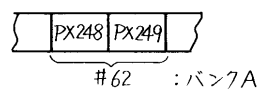
【 図 5 】

(A) PX248 :  $2^7 + 2^6 + 2^5 + 2^4 + 2^3$   
 (Y)

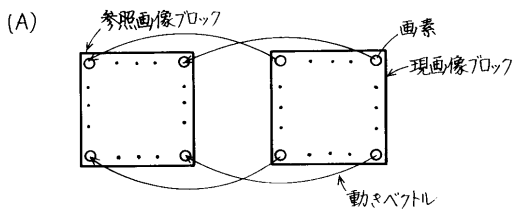
(B)



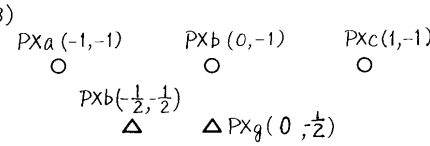
(C)



【 図 8 】



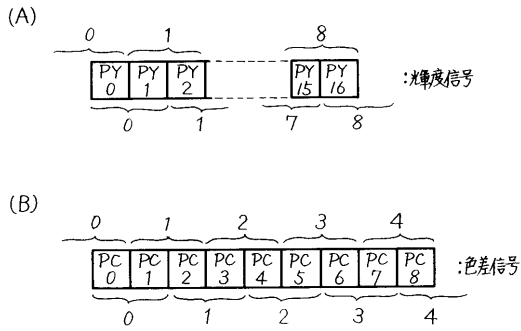
(B)



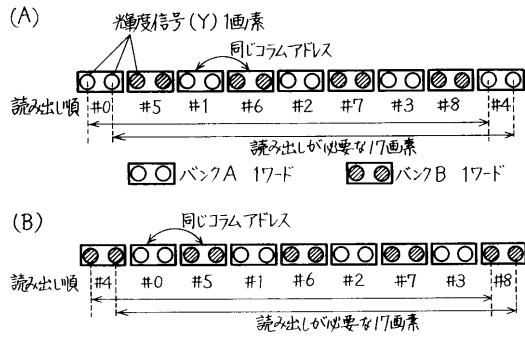
(C)



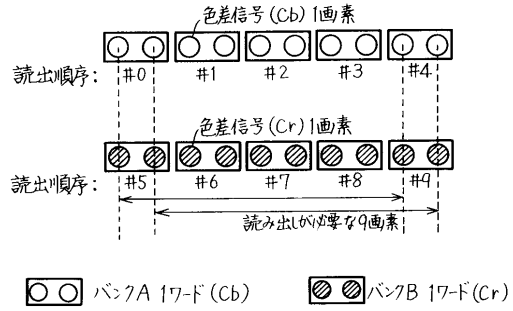
【 図 9 】



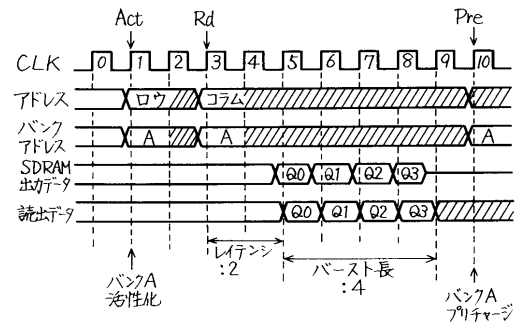
【 図 10 】



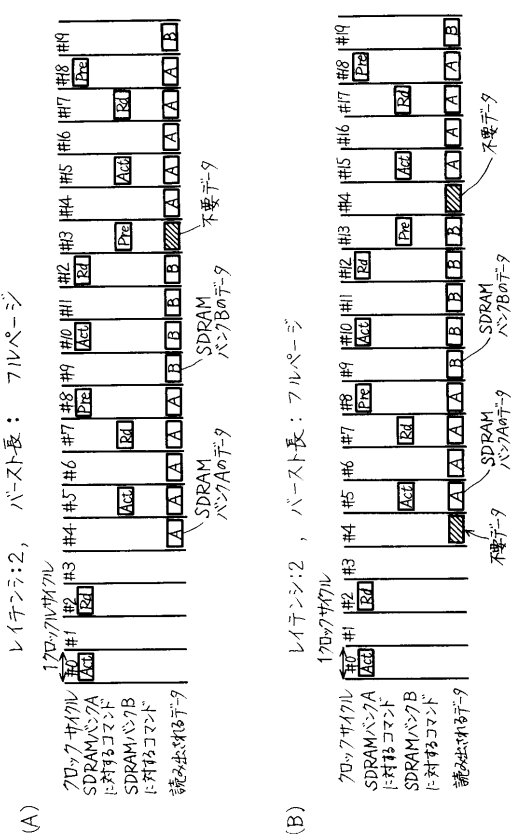
【 図 11 】



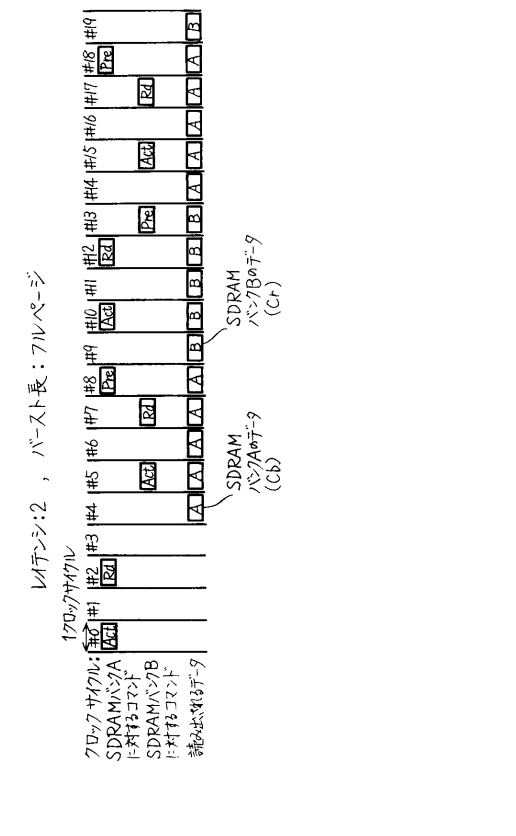
【 図 12 】



【 図 13 】

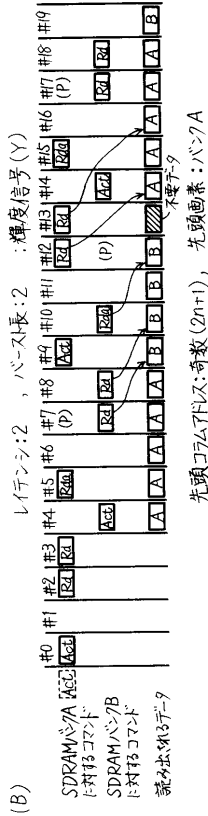
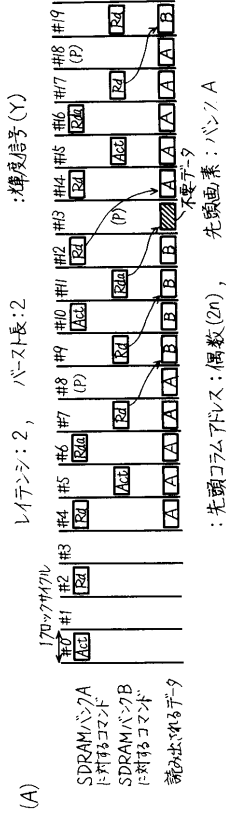


【 図 14 】

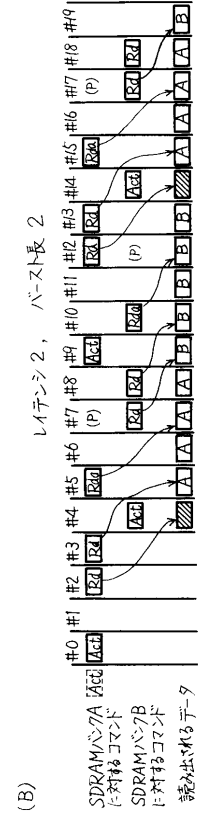
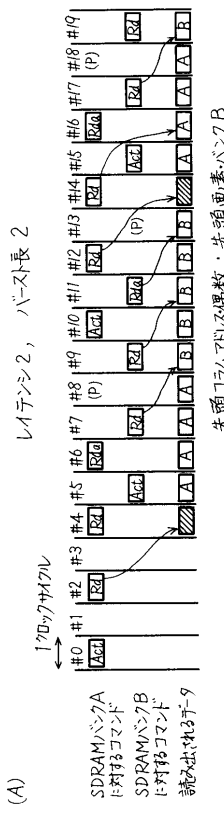




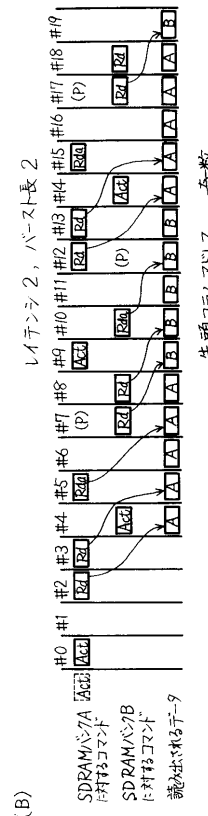
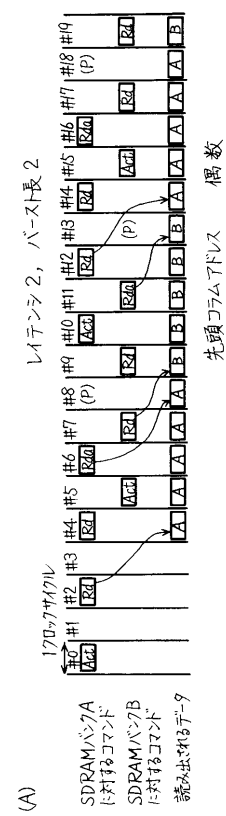
【図 2 3】



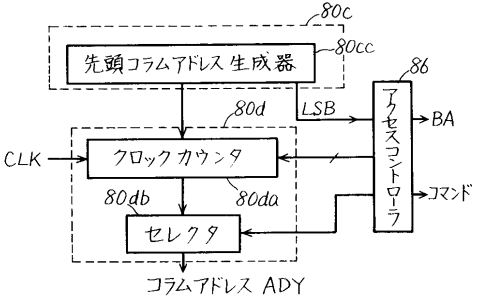
【図 2 4】



【図 2 5】

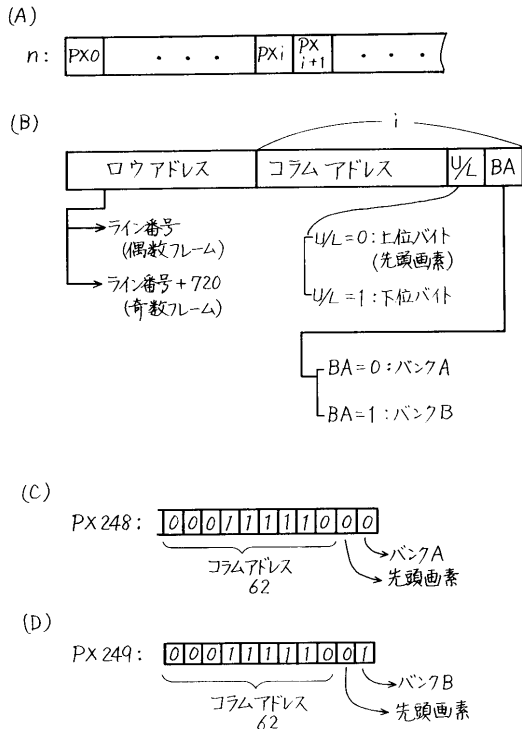


【図 2 6】

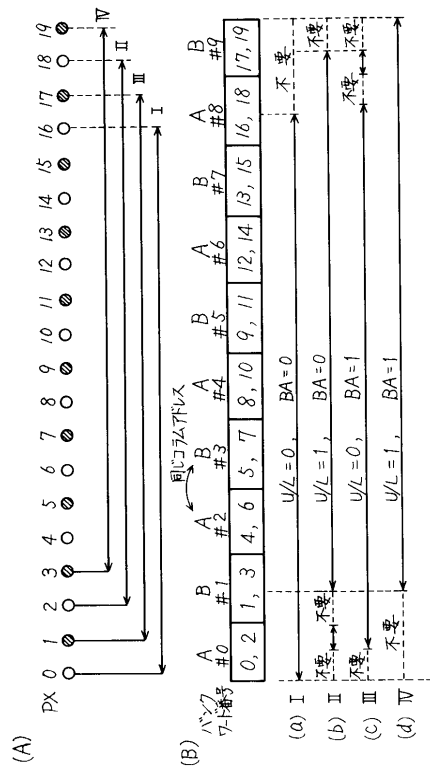




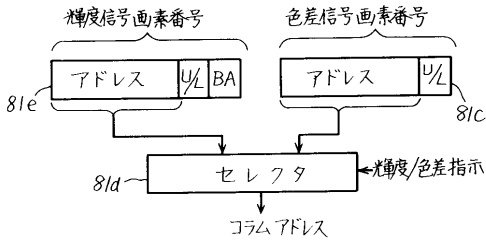
【図 3 1】



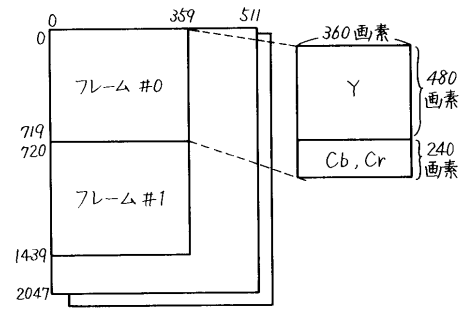
【図 3 2】



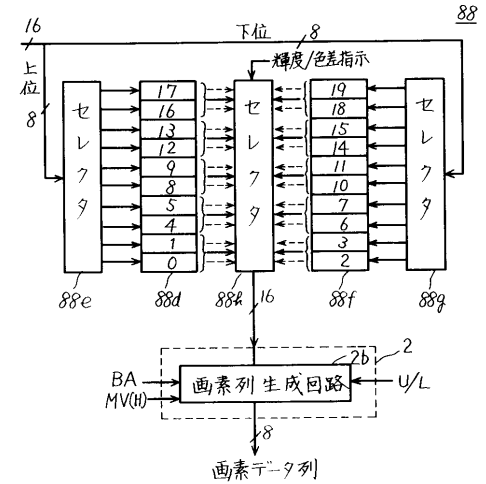
【図 3 3】



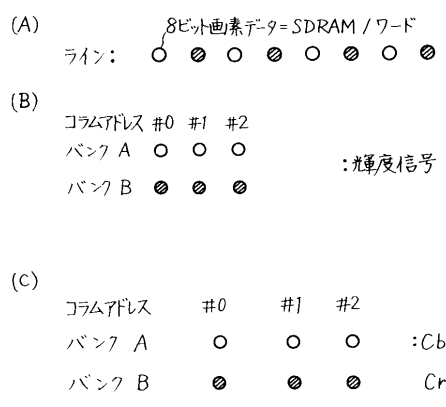
【図 3 5】



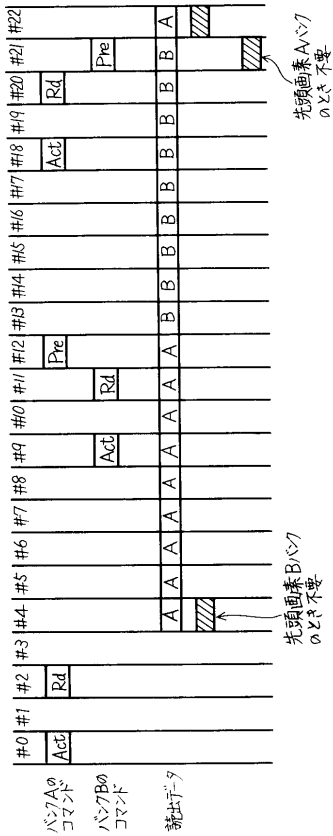
【図 3 4】



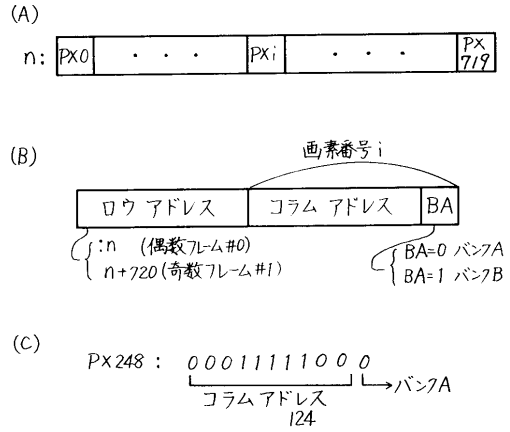
【図 3 6】



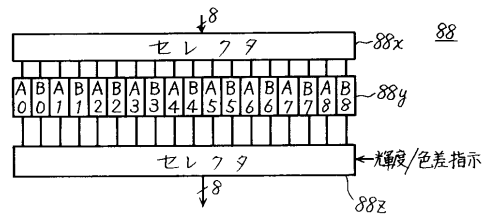
【図 37】



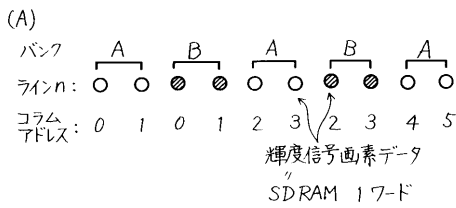
【図 38】



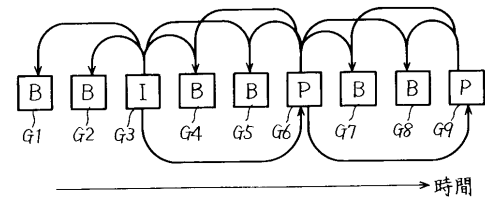
【図 39】



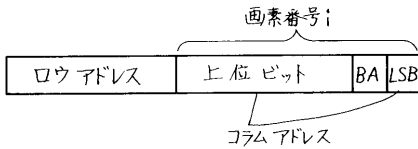
【図 40】



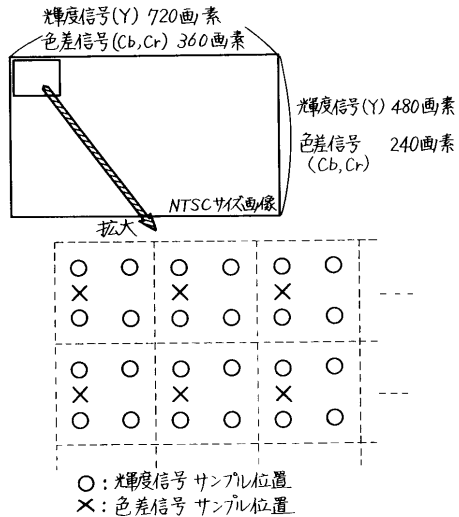
【図 41】



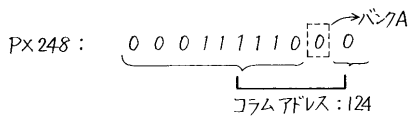
(B)



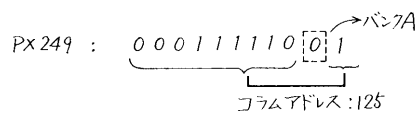
【図 42】



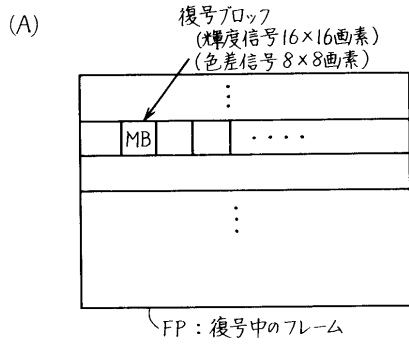
(C)



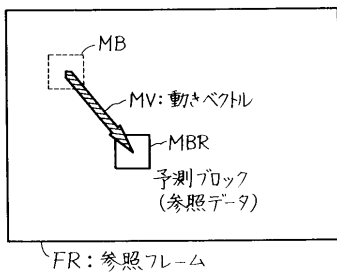
(D)



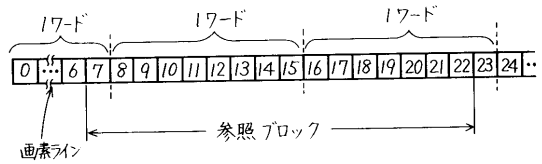
【図 4 3】



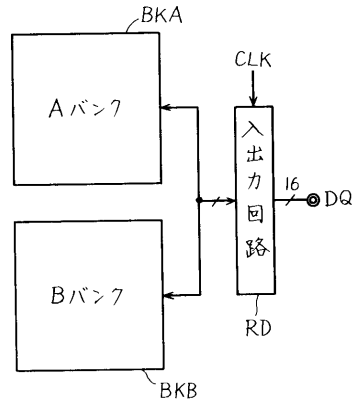
(B)



【図 4 4】

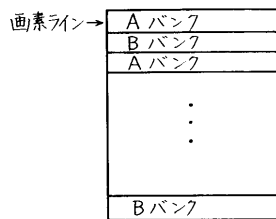


【図 4 5】

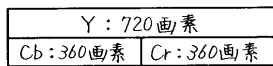


【図 4 6】

(A)



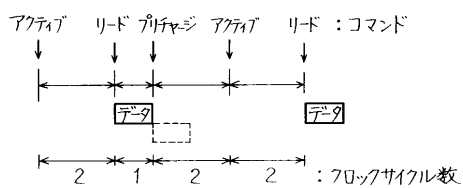
(B)



(C)

{ SDRAM: コラムアドレス 0~255  
720画素: 360ワード (コラム)  
1ページに格納不可能

【図 4 7】



---

フロントページの続き

- (72)発明者 高畠 明彦  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 浦本 紳一  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 橋本 隆  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 松永 隆志

- (56)参考文献 特開平07-298264(JP,A)  
特開平07-036773(JP,A)

- (58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
H04N 11/00-11/22  
H04N 7/24- 7/68