

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5200323号
(P5200323)

(45) 発行日 平成25年6月5日 (2013.6.5)

(24) 登録日 平成25年2月22日 (2013.2.22)

(51) Int. Cl.	F I
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H
HO 1 L 29/778 (2006.01)	HO 1 L 29/80 L
HO 1 L 29/812 (2006.01)	

請求項の数 10 (全 15 頁)

(21) 出願番号	特願2005-369677 (P2005-369677)	(73) 特許権者	000006013
(22) 出願日	平成17年12月22日 (2005.12.22)		三菱電機株式会社
(65) 公開番号	特開2007-173556 (P2007-173556A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成19年7月5日 (2007.7.5)	(74) 代理人	100082175
審査請求日	平成20年11月25日 (2008.11.25)		弁理士 高田 守
		(74) 代理人	100106150
			弁理士 高橋 英樹
		(72) 発明者	井上 晃
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
		(72) 発明者	天清 宗山
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 高周波半導体装置

(57) 【特許請求の範囲】

【請求項1】

半絶縁性の半導体基板と、

この半導体基板の上に配設され、上記半導体基板上に順次配設されたn型の第1電子供給層、アンドープのチャンネル層、n型の第2電子供給層、およびアンドープのショットキ層を含む活性領域と、

この活性領域のショットキ層の表面に配設されたゲート電極と、

このゲート電極の脚部を埋込みショットキ層の表面上に配設されたアンドープのキャップ層と、

上記ゲート電極を介して互いに対向して上記キャップ層の表面上に配設されたソース電極及びドレイン電極と、を備え、

上記活性領域のうちゲート電極とドレイン電極との間の第1の領域がゲート電極からドレイン電極に向かって幅広に配設され、ゲート電極とドレイン電極との距離がゲート電極とソース電極との距離よりも長いことを特徴とする高周波半導体装置。

【請求項2】

半絶縁性の半導体基板と、

この半導体基板の上に配設され、上記半導体基板上に順次配設されたn型の第1電子供給層、アンドープのチャンネル層、n型の第2電子供給層、およびアンドープのショットキ層を含む活性領域と、

この活性領域のショットキ層の表面に配設されたゲート電極と、

10

20

このゲート電極の脚部を埋込みショットキ層の表面上に配設されたアンドープのキャップ層と、

上記ゲート電極を介して互いに対向して上記キャップ層の表面上に配設されたソース電極及びドレイン電極と、を備え、

上記活性領域のうちゲート電極とドレイン電極との間の第1の領域が、ゲート電極の一部に隣接してゲート電極のゲート長の方向に延在する不活性領域を介して複数に分割されるとともに分割された各々の領域がゲート電極からドレイン電極に向かって幅広に配設され、ゲート電極とドレイン電極との距離がゲート電極とソース電極との距離よりも長いことを特徴とする高周波半導体装置。

【請求項3】

10

活性領域の第1の領域が連続的に幅広に配設されたことを特徴とする請求項1記載の高周波半導体装置。

【請求項4】

活性領域の第1の領域が段階的に幅広に配設されたことを特徴とする請求項1記載の高周波半導体装置。

【請求項5】

活性領域の第1の領域であって分割された各々の領域が連続的に幅広に配設されたことを特徴とする請求項2記載の高周波半導体装置。

【請求項6】

活性領域の第1の領域であって分割された各々の領域が段階的に幅広に配設されたことを特徴とする請求項2記載の高周波半導体装置。

20

【請求項7】

ゲート電極に対向する側のドレイン電極の一辺がゲート電極に向かって凹状に形成されたことを特徴とする請求項1ないし6のいずれか1項に記載の高周波半導体装置。

【請求項8】

ゲート電極に対向する側のドレイン電極の一辺が活性領域の第1の領域の分割された各々の領域に対応してゲート電極に向かって凹状に形成されたことを特徴とする請求項5または6記載の高周波半導体装置。

【請求項9】

ソース電極またはドレイン電極を共有し、これらを対称軸としてゲート電極を配置することにより複数のソース電極、ゲート電極及びドレイン電極を連続的に配設したことを特徴とする請求項1ないし8のいずれか1項に記載の高周波半導体装置。

30

【請求項10】

ゲート電極およびドレイン電極の平面形状がそれぞれ円環の部分形状をなして活性領域の上に配設されると共にソース電極、ゲート電極およびドレイン電極がソース電極を中心にして同心的に配設されたことを特徴とする請求項1ないし8のいずれか1項に記載の高周波半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

40

この発明は、高周波半導体装置に係り、3GHz以上の高周波帯の特に電力増幅器として用いられる電界効果型の高周波半導体装置に関する。

【背景技術】

【0002】

衛星通信や地上マイクロ波回線などの無線通信システムには固体増幅器（SSPA Solid State Power Amplifier）が広く使用されている。従来3GHz以上のSSPA用のトランジスタとしてはGaAsを用いた電界効果型トランジスタが用いられている。近年、通信のブロードバンド化が進展し、大量の情報を伝送することが益々求められている。この様な要請に応じて伝送される情報量の増大を図るためには、伝送速度を高めることが必要であり、さらに高い周波数帯域において使用されるSSPAの要求が高まり、高利得

50

で且つ効率の高い高出力トランジスタが求められている。

このような要求に応じた内部調整型高周波高出力FETとして、例えばp-HEMTが使用される（以下、n導電型を“n-”で、p導電型を“p-”で、そして特に不純物を注入しないものを“i-”で、表記する）。従来のp-HEMTは低雑音増幅用トランジスタとして高性能化が図られてきたが、最近では電力増幅器として高耐圧かつ高出力の電界効果型トランジスタの開発が進められている。

【0003】

このような電界効果型トランジスタの公知例としては、HEMT素子を小形化するために、ゲート電極がチップ領域内において連続した1本の線となるようにパターンニングされ、ソース電極とドレイン電極との間では紙面において上下方向に延在し、それ以外の部分では左右方向に延在するようにパターンニングされた例が示されている（例えば、特許文献1、[0022]および図8参照）

10

【0004】

また他の公知例としては、高周波用化合物半導体電界効果トランジスタにおいて高耐圧を得ることと良好な高周波特性を両立させるために、HEMTのゲート電極とドレイン電極との間に、不連続なキャップ層を設けた例が開示されている（例えば、特許文献2、[0003]、[0009]、[0010]及び図3および図4参照）

【0005】

また他の公知例としては、電界効果トランジスタにおいてリセスの側面にゲート電極が設けられ、ゲート電極が形成されたリセス近傍の基板平面部にソース電極を設け、リセス底部にドレイン電極が形成されることにより、リセスのソース電極側エッジからソース電極までの距離は変わらないが、ゲート電極がソース電極に接近して形成されるためにソース寄生抵抗が大幅に低減され、ゲート電極直下のチャンネルにおける電界の水平成分が小さくなりリセス底部までの垂直成分により緩和されるため、ゲート・ドレイン間耐圧が向上する例が開示されている（例えば、特許文献3、[0016]、[0017]、及び図1参照）。

20

【0006】

また他の公知例として、T型ゲート構造において、オフセットゲート構造と呼ばれるゲート・ソース間とゲート・ドレイン間のリセス幅が異なる構造についての記載や、T型電極を非対称に形成しドレイン側のT型電極の底下部で生じる寄生容量をソース側のそれに比べて小さくしたり、ソース側のリセスエッチングを一段としドレイン側のリセスエッチング形状を二段として異なる形状とすることにより、ゲート・ドレイン耐圧を向上できるとする記載がある（例えば、特許文献4、[0008]、[0030]、[0033]及び図1、図3参照）。

30

【0007】

また他の公知例では、T型ゲートを有するオフセットゲート構造を備えた高出力p-HEMTの具体的デバイスが開示されている（例えば非特許文献1）。

【0008】

【特許文献1】特開2005-159157号公報

【特許文献2】特開2001-60684号公報

40

【特許文献3】特開平5-129344号公報

【特許文献4】特開2000-21900号公報

【非特許文献1】H. Amasuga et al., “A High Power Density TaN/Au T-gate pHEMT with High Humidity Resistance for Ka-Band Applications,” IEEE IMS2005 Digest, June 2005

【発明の開示】

【発明が解決しようとする課題】

【0009】

このような電界効果型トランジスタにおいては一般に、ゲート・ドレイン間距離 L_{rd} が長いと、ゲート・ドレイン間の電界が緩和されるので、ゲート・ドレイン間耐圧 V_{gd}

50

0が高くなる。しかしながら14GHz程度の高周波においては、p-HEMTを含めて電界効果型トランジスタの出力電力が低下する。

例えば、14GHzにてLrdが異なるp-HEMTをロードプルして、すなわち出力インピーダンスを変えて、出力電力P1dB(W/mm)を測定すると、Lrd=0.45μmのときP1dB=0.78W/mmで、Lrd=2.05μmのときP1dB=0.25W/mmであった。なおLrd=0.45μmとLrd=2.05μmとの間については、Lrdの増分を0.4μmとして測定を行い、Lrd=0.45μmとLrd=2.05μmとの間のLrdの増加に対してほぼ線型にP1dBが低下するという結果を得ている。

Lrdの増加により、ドレインの寄生抵抗Rdは微増するが、上述の出力電力はRdの増分以上に急激に低下している。

特にゲート・ドレイン間距離Lrdの増加による出力電力の低下は、1GHzといった比較的低い周波数では軽微であるが周波数が高くなるほど大幅に低下する。

これを防ぐためには、ゲート・ドレイン間距離Lrd短くすればよいのであるが、その場合ゲート・ドレイン間耐圧Vgd0が低下し、高電圧で動作させることができず、結局出力電力が大きにならないという問題があった。

【0010】

この発明は上記の問題点を解決するためになされたもので、第1の目的はゲート・ドレイン間耐圧を低下させることなく、出力電力を大きくできる高周波半導体装置を構成することである。

【課題を解決するための手段】

【0011】

この発明に係る高周波半導体装置は、半絶縁性の半導体基板と、この半導体基板の上に配設され、半導体基板上に順次配設されたn型の第1電子供給層、アンドープのチャンネル層、n型の第2電子供給層、およびアンドープのショットキ層を含む活性領域と、この活性領域のショットキ層の表面に配設されたゲート電極と、このゲート電極の脚部を埋込みショットキ層の表面上に配設されたアンドープのキャップ層と、ゲート電極を介して互いに対向してキャップ層の表面上に配設されたソース電極及びドレイン電極と、を備え、活性領域のうちゲート電極とドレイン電極との間の第1の領域がゲート電極からドレイン電極に向かって幅広に配設され、ゲート電極とドレイン電極との距離がゲート電極とソース電極との距離よりも長く配設されたものである。

【発明の効果】

【0012】

この発明に係る高周波半導体装置においては、ゲート電極とドレイン電極との間の第1の領域がゲート電極からドレイン電極に向かって幅広に配設されているので、第1の領域のドレイン電極の幅に比例して最大電流が増加し、第1の領域に擬似的なFETが発生したとしても、ゲート電極により構成されるFETに大きな電流が供給されるために出力電力の低下を抑制することができる。

【発明を実施するための最良の形態】

【0013】

実施の形態1.

図1はこの発明の一実施の形態に係る高周波半導体素子の平面図である。また図2は図1のI-I断面における高周波半導体素子の断面図である。なお以下の図において同じ符号は同一のものか相当のものを表す。

図1において、高周波半導体装置に使用される高周波半導体素子としてのp-HEMT10は、例えば衛星通信や地上マイクロ波回線などの無線通信システムにおける固体増幅器としての電力増幅器として使用される。このp-HEMT10は内部整合型高周波ハイパワーFETであり、主に14GHz以上で使用され、ゲート幅1mm当たり0.5W以上の出力を有する素子である。ここで内部整合型というのはパッケージ内の高周波半導体素子の外側に内部整合基板を設けたものである。

図1及び図2においてp-HEMT10は、素子領域12の周りを不活性領域14が取り囲んでいる。

【0014】

素子領域12はチャネル層30（図2において説明する）を含む活性領域16の上にゲート電極18が配設され、活性領域16上においてゲート電極18を挟んでソース電極20とドレイン電極22とが互いに対向して配置されている。

なお図1においては、図2において示されているコンタクト層38が省略されとともに、ゲート電極18はT型電極の上層部分が省略され、活性領域16に接合されているT型の脚部の下層部分のみが表示されている。この表示方法は以降の各平面図においても同様である。

10

また図1においてゲート電極18のゲート幅はy方向の長さで、ゲート長 L_g はx方向の長さである。

ゲート電極18とドレイン電極22との間の活性領域は第1の領域としてのドレイン側活性領域16aであり、ゲート電極18とソース電極20との間の活性領域はソース側活性領域16bである。

【0015】

一般に、ゲート・ドレイン間距離 L_{rd} が長いとゲート・ドレイン間の電界が緩和されるので、ゲート・ドレイン間耐圧 V_{gd0} が高くなる。例えばp-HEMT10においては、ゲート・ドレイン間距離 L_{rd} は0.1 μm から数十 μm 程度である。そしてドレイン側活性領域16aとソース側活性領域16bを合わせると、0.3 μm から数十 μm 程度となる。

20

またp-HEMT10においては、例えばゲート長 L_g は0.3 μm 、ゲート幅は60 μm 程度である。

またp-HEMT10においては、ゲート電極18とソース電極20との距離を小さくするとともにゲート電極18とソース電極20との距離よりもゲート電極18とドレイン電極22との間の距離 L_{rd} を大きくすることにより、ソース抵抗を小さくしながらゲート・ドレイン間耐圧 V_{gd0} を高めている。

さらに、この実施の形態においては、ソース側活性領域16bの幅（y方向の長さ）はゲート電極18及びソース電極20の電極幅と同じであるが、ドレイン側活性領域16aの幅（y方向の長さ）は、ゲート電極18からドレイン電極22に向かって、つまりドレイン電極22に接近するに伴って、ゲート電極18の電極幅からドレイン電極22の幅に連続的に拡大している。

30

【0016】

図2においてp-HEMT10の積層構造が示されている。

p-HEMT10は、半導体基板としての半絶縁性のGaAs基板24の上にバッファ層26、n-AlGaAsにより形成された下側電子供給層28、i-InGaAsにより形成されたチャネル層30、n-AlGaAsにより形成された上側電子供給層32、i-AlGaAsで形成されたショットキ層34が順次配設され、このショットキ層34の表面にT型のゲート電極18がショットキ接合されている。

さらにショットキ接合されたゲート電極の脚部下層を埋め込むようにして、ショットキ層34の表面にi-GaAsにより形成されたキャップ層36が配設されている。

40

このキャップ層36の表面上のソース領域及びドレイン領域にそれぞれn-GaAsにより形成されたコンタクト層38が配設され、このコンタクト層38の上にソース電極20及びドレイン電極22が配設されて、ダブルヘテロ型のp-HEMT素子が形成される。

そして素子領域12を残してその周りにプロトン（H）かヘリウム（He）をGaAs基板24の深さまで注入することによって不活性領域14が形成され、素子分離が行われている。

【0017】

これらの各層の厚や不純物濃度は、例えば下側電子供給層28および上側電子供給層3

50

2の層厚は $500\text{ \AA}$ でその $n\text{-AlGaAs}$ の不純物濃度は $1\times 10^{18}\text{ cm}^{-3}$ 、チャネル層30の層厚は $30\sim 500\text{ \AA}$ 、ショットキ層34の層厚は $50\sim 500\text{ \AA}$ 、キャップ層36の層厚は $200\sim 2000\text{ \AA}$ 、コンタクト層38の層厚は $500\sim 2000\text{ \AA}$ でその $n\text{-GaAs}$ の不純物濃度は $1\times 10^{18}\text{ cm}^{-3}$ 程度に形成されている。

これらの各層のうち、活性な半導体領域である活性領域16を構成するのは、この実施の形態においては、下側電子供給層28、チャネル層30、上側電子供給層32、およびショットキ層34である。この活性領域16において、下側電子供給層28とチャネル層30との界面のチャネル層30内及び上側電子供給層32とチャネル層30との界面のチャネル層30内にチャネルが形成され、電子、およびホールが流れてトランジスタ動作を行う。

10

$p\text{-HEMT}$ 10において、ゲート電極18の直下に形成される本来の電界効果トランジスタ、これを第1FETとする。また $p\text{-HEMT}$ 10のようにゲート・ドレイン間耐圧 V_{gd0} を高くするために、ゲート・ドレイン間距離 L_{rd} を長くした場合には、ゲート・ドレイン間のドレイン側活性領域16aにはゲート電極はないがゲート電極18直下と同様のチャネルが存在するために、キャップ層36の中や表面に電荷が滞留（トラップ）されると、第1FETに加えて図2の（A）で示されるような擬似的な電界効果トランジスタ、第2FETが構成される。

【0018】

図3はこの発明の一実施の形態に係る高周波半導体素子の擬似的FETを考慮した $p\text{-HEMT}$ の等価回路である。

20

図3において、第1FET40のゲートはゲート電極18に接続され、ソースはソース電極20を介して接地され、ドレイン電極は第2FET42および抵抗 R_1 及び R_2 により形成される回路を介してドレイン電極22に接続されている。

第2FET42は、普段は空乏化されていないので、ON状態のFETと考えられ、僅かな抵抗がゲート・ドレイン間に付加されるだけである。しかしながら 14 GHz といった高周波における大電力動作では、第1FET40に付随する寄生容量によりDC的な最大電流 I_{max} を大きく越える電流が流れる。

このとき従来の構成、すなわちゲート・ドレイン間の活性領域の幅とゲート・ソース間の活性領域の幅が等しい場合、では、第2FET42は I_{max} を越える電流を供給することができずに抵抗が増加し、流れる電流を抑制し、このために出力電力が大きくなり

30

という現象が起きた。しかしながら $p\text{-HEMT}$ 10においては、ドレイン電極22の電極幅（ y 方向の長さ）をゲート電極18のゲート幅やソース側活性領域16bの幅（ y 方向の長さ）よりも長くし、ドレイン側活性領域16aの幅（ y 方向の長さ）をゲート電極18からドレイン電極22に向かって、ゲート電極18の電極幅からドレイン電極22の幅に連続的に拡大している。

【0019】

活性領域16の層構造はドレイン側活性領域16aにおいてもソース側活性領域16bにおいても同じであるので、活性領域16の幅（ y 方向の長さ）に比例して最大電流が増加する。このためにドレイン側活性領域16aに構成される第2FET42は、第1FET40よりも大きな電流を供給することができる。従って 14 GHz といった高周波における大電力動作においても、第2FET42の抵抗は増加することなく、大電流を第1FET40に供給することができるので、出力電力の低下が抑制される。

40

すなわち、 $p\text{-HEMT}$ 10においては、ゲート・ドレイン間距離 L_{rd} を短くすることなしに、出力電力の低下を抑制することができる。従ってゲート・ドレイン間耐圧 V_{gd0} を低下することなくより大きな出力電力を得ることができる。

【0020】

図4はこの発明の一実施の形態に係る高周波半導体素子の変形例を示す平面図である。

図1においては、素子一つの例を示しているが、図4の高周波半導体素子は複数個の $p\text{-HEMT}$ の素子を有する例である。通常出力電力を大きくするためには、複数個の $p\text{-$

50

HEMTの素子が連続して配設されている。

p-HEMT 46においては、二つのp-HEMT 10の素子のソース電極20またはドレイン電極22を共有するように配置し、ソース電極20を対称軸としてソース側活性領域16bが、またドレイン電極22を対称軸としてドレイン側活性領域16aが配置することにより、複数個のp-HEMT 10の素子が連続して配設されている。

さらにこのp-HEMT 46の場合でも、ゲート電極18とソース電極20との距離を小さくするとともにゲート電極18とソース電極20との距離よりもゲート電極18とドレイン電極22との間の距離 L_{rd} を大きくすることにより、ソース抵抗を小さくしながらゲート・ドレイン間耐圧 V_{gd0} を高めている。

さらに、ソース側活性領域16bの幅(y方向の長さ)はゲート電極18及びソース電極20の電極幅と同じであるが、ドレイン側活性領域16aの幅(y方向の長さ)は、ゲート電極18からドレイン電極22に向かって、ゲート電極18の電極幅からドレイン電極22の幅に連続的に拡大している。

このようにp-HEMT 46はp-HEMT 10の素子を複数個連続して配設することにより、所望の出力電力を有する高周波半導体素子を構成している。

【0021】

p-HEMT 10およびp-HEMT 46においては、ゲート・ソース間距離よりもゲート・ドレイン間距離 L_{rd} を大きくすることにより、ソース抵抗を小さくしながらゲート・ドレイン間耐圧 V_{gd0} を高め、ドレイン側活性領域の幅をゲート電極からドレイン電極に向かって、ゲート電極の電極幅からドレイン電極の電極幅に連続的に拡大することにより、ゲート・ドレイン間耐圧 V_{gd0} を低下することなく、出力電力の低下を抑制することができる。延いては耐圧が高くより大きな出力電力を有する高周波半導体装置を構成することができる。

【0022】

なお、p-HEMT 10およびp-HEMT 46においては、ドレイン側活性領域16aの幅をゲート電極18からドレイン電極22に向かって、ゲート電極18の電極幅からドレイン電極22の幅に連続的に拡大しているが、段階的に拡大してもよい。

以上のように、この発明の一実施の形態に係る高周波半導体装置においては、半絶縁性の半導体基板と、この半導体基板の上に配設され、導電型の半導体層からなるチャンネル層を含む活性領域と、この活性領域の上に配設されたゲート電極と、このゲート電極を介して活性領域の表面上に互いに対向して配設されたソース電極及びドレイン電極とを備え、活性領域のうちゲート電極とドレイン電極との間の第1の領域がゲート電極からドレイン電極に向かって幅広に配設されたもので、この構成により第1の領域のドレイン電極の幅に比例して最大電流が増加し、第1の領域に擬似的なFETが発生したとしても、ゲート電極により構成されるFETに大きな電流が供給されるために出力電力の低下を抑制することができる。延いては耐圧が高くより大きな出力電力を有する高周波半導体装置を構成することができる。

【0023】

また、ソース電極またはドレイン電極を共有し、これらを対称軸としてゲート電極を配置することにより複数のソース電極、ゲート電極及びドレイン電極を連続的に配設したもので、所望の出力電力を有する高周波半導体素子を構成することができる。

【0024】

実施の形態2.

図5はこの発明の一実施の形態に係る高周波半導体素子の平面図である。また図6は図5のV I-V I断面における高周波半導体素子の断面図である。なお図5のV-V断面における高周波半導体素子の断面図は図2と同じである。

図5において示されるように、この実施の形態2に係るp-HEMT 50はソース電極20とドレイン電極22との間に延在する不活性領域52により活性領域16が2箇所分割されている。そして個々のソース側活性領域16b1及び16b2は、ゲート電極18とソース電極20との間において一様な幅(y方向の長さ)でx方向に延長されている

10

20

30

40

50

が、個々のドレイン側活性領域 16 a 1 および 16 a 2 の幅（y 方向の長さ）は、ゲート電極 18 からドレイン電極 22 に向かって、個々のゲート電極 18 1 および 18 2 の電極幅から連続的に拡大している。

【0025】

図 5 の V-V 断面における高周波半導体素子の断面図を示す図 2 に示されるように、p-HEMT 50 の積層構造は実施の形態 1 に係る p-HEMT 10 と同じである。また図 6 に示されるこの実施の形態ではプロトン（H）かヘリウム（He）をキャップ層 36 から GaAs 基板 24 の深さまで注入することによって不活性領域 52 が形成され、活性領域 16 の分割が行われている。

ゲート幅が、例えば 200 μm というような長さを有する場合について考えると、ドレイン側活性領域 16 a の幅がゲート電極 18 からドレイン電極 22 に向かって、ゲート電極 18 の全電極幅からドレイン電極 22 の全幅に連続的に拡大する場合、ゲート電極 18 の全電極幅に対するドレイン電極 22 の全幅の比が大きくなると、ドレイン側活性領域 16 a の幅の辺縁近傍のみに電流が供給されて、ドレイン側活性領域 16 a の幅の中心部への電流供給が行われにくいということが起きる場合がある。

しかし p-HEMT 50 においては、ドレイン側活性領域 16 a を、例えば 2 分割し、ドレイン側活性領域 16 a 1 および 16 a 2 としているので、ゲート電極 18 の直下の各位置からドレイン電極 22 までの距離は、各位置において大きな差が発生しないので、ドレイン側活性領域 16 a にほぼ均等に電流が供給され、ドレイン側活性領域 16 a の幅に比例した最大動作電流が流れることとなる。

このため、実施の形態 1 の p-HEMT 10 の効果に加えて、より大きな出力電力を効率よく得ることができる。なおこの実施の形態では活性領域 16 を 2 分割したがさらに分割を多くしてもかまわない。

【0026】

図 7 はこの発明の一実施の形態に係る高周波半導体素子の変形例の平面図である。なお図 7 の V I I a-V I I a 断面における高周波半導体素子の断面図は図 2 と同じである。また図 7 の V I I b-V I I b 断面における高周波半導体素子の断面図は図 6 と同じである。

図 7 において、p-HEMT 56 は p-HEMT 50 と基本的に同様の構造であるが、ドレイン側活性領域 16 a における不活性領域 14 と接する辺縁及び不活性領域 52 と接する辺縁をゲート電極 18 側からドレイン電極 22 に向かって段階的に拡大している。この構成により個々のドレイン側活性領域 16 a 1 および 16 a 2 の幅（y 方向の長さ）は、ゲート電極 18 からドレイン電極 22 に向かって、個々のゲート電極 18 1 および 18 2 の電極幅から段階的に拡大している。

p-HEMT 56 のドレイン側活性領域 16 a 1 および 16 a 2 の幅（y 方向の長さ）は、例えばここでは 2 段階に拡大している。なお p-HEMT 56 のドレイン側活性領域 16 a 1 および 16 a 2 の幅（y 方向の長さ）は 2 段階に拡大しているが、さらに多くの段階で拡大してもよい。

【0027】

この変形例の p-HEMT 56 においては、p-HEMT 50 のように個々のドレイン側活性領域 16 a 1 および 16 a 2 の幅（y 方向の長さ）がゲート電極 18 からドレイン電極 22 に向かって、個々のゲート電極 18 1 および 18 2 の電極幅から連続的に拡大する場合に比べて、ドレイン側活性領域 16 a 1 および 16 a 2 の外に広がる領域である張出部分 58 が形成され活性領域がそれだけ広がるので、寄生抵抗を減らすことができる。

電流は抵抗の低いところを流れるのでこの外側に広がった張出部分 58 が有効に働き最大動作電流を高めることができ、より大きな出力電力を得ることが可能となる。

以上のように、この発明の一実施の形態に係る高周波半導体装置においては、活性領域の第 1 の領域が、ゲート電極の一部に隣接してゲート電極のゲート長の方向に延在する不活性領域を介して複数に分割されるとともに分割された各々の領域がゲート電極からドレ

10

20

30

40

50

イン電極に向かって幅広に配設されたもので、ゲート幅が大きくなった場合でも、第1の領域の幅方向に均等に電流が供給され、大きな出力電力を効率よく得ることができる。

【0028】

実施の形態3.

図8はこの発明の一実施の形態に係る高周波半導体素子の平面図である。なお図8のV I I I a-V I I I a断面における高周波半導体素子の断面図は図2と同じである。また図8のV I I I b-V I I I b断面における高周波半導体素子の断面図は図6と同じである。

図8において、p-HEMT 60はp-HEMT 56と基本的に同様の構造であるが、p-HEMT 60においてはドレイン側活性領域16a1および16a2の幅(y方向の長さ)は、例えばここでは2段階に拡大しているに加えて、p-HEMT 56とドレイン電極22の形状が異なっている。すなわちゲート電極18に対向しているドレイン電極22が、ゲート電極18に向かってドレイン側活性領域16a全体として凹型をしている。つまりドレイン電極22はゲート電極18に対向して並行する並行直線部分とこの並行直線部分の両端でゲート電極18側に直角に折れ曲がった辺縁を有する凹型の形状をしている。

【0029】

このためにp-HEMT 60では、ドレイン側活性領域16aに接触しているドレイン電極22の辺縁の長さが、より長くなる。従ってドレイン側活性領域16aの横方向からも給電することが可能となり、より大きな電流を供給することができる。

なお、p-HEMT 60はドレイン側活性領域16a1および16a2の幅(y方向の長さ)が段階的に拡大している場合であるが、連続的に拡大する場合において、ゲート電極18に対向しているドレイン電極22が、ゲート電極18に向かってドレイン側活性領域16a全体として凹型をしていてもよい。

またp-HEMT 60はドレイン側活性領域16aが不活性領域52によって分割されている場合であるが、p-HEMT 10のようにドレイン側活性領域16aの幅(y方向の長さ)がドレイン電極22に接近するに伴って不活性領域によって分割されずに全体としてゲート電極18の電極幅からドレイン電極22の幅に連続的に拡大している場合において、ゲート電極18に対向しているドレイン電極22が、ゲート電極18に向かってドレイン側活性領域16a全体として凹型をしていてもよい。

図9はこの発明の一実施の形態に係る高周波半導体素子の変形例の平面図である。なお図9のI X a-I X a断面における高周波半導体素子の断面図は図2と同じである。また図9のI X b-I X b断面における高周波半導体素子の断面図は図6と同じである。

【0030】

図9におけるp-HEMT 64は、p-HEMT 60と基本的に同様の構造であるが、p-HEMT 60との相違点は次のとおりである。

すなわちp-HEMT 60のドレイン電極22がゲート電極に向かってドレイン側活性領域16a全体として凹型をしているのに対して、p-HEMT 64のドレイン電極22は不活性領域52に対向する部分で突起部66を有し、ドレイン電極22a及び22bが、ゲート電極18に向かって個々のドレイン側活性領域16a1および16a2に対応した凹型をしている。

ドレイン電極22a及び22bのゲート電極181及び182に対向する個々の辺縁は、ゲート電極181及び182に対向して並行する並行直線部分とこの並行直線部分の両端でゲート電極181及び182の方に直角に曲がった直線部分とからなる形状を有し、個々の辺縁は突起部66を介してドレイン電極22の全幅方向に接続されている。

このためにp-HEMT 64では、ドレイン側活性領域16aに接触しているドレイン電極22の辺縁の長さが、より長くなり、ドレイン側活性領域16a1および16a2個別に横方向から電流を供給することができる。従ってドレイン側活性領域16a1および16a2それぞれに対して、より大きな電流を供給することができる。延いてはドレイン側活性領域16a全体として、より大きな電流を供給することができるのでさらに大きな

出力電力を得ることができる。

なおこの変形例では突起部 66 を一つ配設した構造になっているが、さらに不活性領域 52 に対向して多くの突起部を設けてもよい。

【0031】

図 10 はこの発明の一実施の形態に係る高周波半導体素子の他の変形例の平面図である。なお図 10 の X a - X a 断面における高周波半導体素子の断面図は図 2 と同じである。また図 10 の X b - X b 断面における高周波半導体素子の断面図は図 6 と同じである。

図 10 における p - H E M T 70 は、個々のドレイン側活性領域 16 a 1 および 16 a 2 の幅 (y 方向の長さ) が、ゲート電極 18 からドレイン電極 22 に向かって、個々のゲート電極 18 1 および 18 2 の電極幅から連続的に拡大している点は実施の形態 2 の p - H E M T 50 と同じであり、ドレイン電極 22 が不活性領域 52 に対向する部分で突起部 66 を有するとともにドレイン電極 22 が、ゲート電極 18 に向かって個々のドレイン側活性領域 16 a 1 および 16 a 2 に対応した凹型をしている点は p - H E M T 64 と同じである。

【0032】

しかしながら p - H E M T 70 のドレイン電極 22 の形状と p - H E M T 60 のそれとの相違点は次のとおりである。

すなわち、p - H E M T 64 においては、ドレイン電極 22 a 及び 22 b のゲート電極 18 1 及び 18 2 に対向する個々の辺縁は、ゲート電極 18 1 及び 18 2 に対向して並行する並行直線部分とこの並行直線部分の両端でゲート電極 18 1 及び 18 2 の方に直角に曲がった直線部分とからなる形状を有し、この個々の辺縁は突起部 66 を介してドレイン電極 22 の全幅方向に接続されている。これに対して、p - H E M T 70 においては、ドレイン電極 22 a 及び 22 b のゲート電極 18 1 及び 18 2 に対向する個々の辺縁は、ゲート電極 18 1 及び 18 2 に正面で対向し並行する並行直線部分 22 1 とこの並行直線部分 22 1 の両端において接続されたゲート電極 18 1 または 18 2 から並行直線部分 22 1 までの距離を半径とする円弧 22 2 とで構成され、この個々の辺縁は突起部 66 を介してドレイン電極 22 の全幅方向に接続されている。

この構成により、p - H E M T 70 においては、ゲート電極 18 1 及び 18 2 の直下の各位置からドレイン電極 22 a 及び 22 b までの距離が、各々一定となりゲート・ドレイン電極間の距離が均一となる。このため、ドレイン電極 22 から均一に電流が供給されるとともに耐圧 V_{gd0} も活性領域 16 内で均一となる。従って活性領域 16 内で均等に電流が供給され、活性領域 16 の幅に比例した最大動作電流を得ることができ、より大きな出力電力を得ることが可能となる。

また耐圧も活性領域 16 内で不均一に劣化する部分がないので、耐圧が高くなり、高電圧の動作が可能となってより大きな出力電力が得られる。

【0033】

図 11 はこの発明の一実施の形態に係る高周波半導体素子の他の変形例の平面図である。

また図 12 は図 11 の X I I - X I I 断面における高周波半導体素子の断面図である。なお図 11 の X I - X I 断面における高周波半導体素子の断面図は図 2 と同じである。

図 11 及び図 12 において、p - H E M T 74 は、p - H E M T 64 と基本的に同様の構造であるが、p - H E M T 64 との相違点は次のとおりである。

すなわち、p - H E M T 64 の不活性領域 52 はゲート電極 18 の両側、つまりドレイン側活性領域 16 a とソース側活性領域 16 b の両側に延在しており、この不活性領域 52 によりドレイン側活性領域 16 a もソース側活性領域 16 b も共に 2 箇所に分割されている。これに対して、p - H E M T 74 においては不活性領域 52 はドレイン側活性領域 16 a のみに延在し、ドレイン側活性領域 16 a をドレイン側活性領域 16 a 1 および 16 a 2 に分割しているが、ソース側活性領域 16 b には不活性領域 52 は配設されておらずソース側活性領域 16 b は分割されていない。

【0034】

このため、 $p-HEMT$ 74においては、ソース側活性領域16bの幅が広がっているので、ゲート・ソース間の寄生抵抗 R_s が低下する。従って $p-HEMT$ 74においては、抵抗による損失が減少し、より大きな出力電力が得られる。

以上のように、この発明の一実施の形態に係る高周波半導体装置においては、ゲート電極に対向する側のドレイン電極の一辺がゲート電極に向かって凹状に形成されたので、ドレイン側活性領域に接触しているドレイン電極の辺縁の長さが、より長くなる。このためにドレイン側活性領域へ、より大きな電流を供給することができる。延いては出力電力の大きい高周波半導体装置を構成することができる。

また、ゲート電極に対向する側のドレイン電極の一辺が活性領域の第1の領域の分割された各々の領域に対応してゲート電極に向かって凹状に形成されたので、ドレイン側活性領域に接触しているドレイン電極の辺縁の長さが、より長くなる。従ってドレイン側活性領域個々により大きな電流を供給することができる。延いてはドレイン側活性領域全体としてより大きな電流を供給することができるので、さらに大きな出力電力を得ることができる。

なお実施の形態2及び3に説明した $p-HEMT$ を、図4に示した $p-HEMT$ 46の様にして、ソース電極またはドレイン電極を共有し、これらを対称軸としてゲート電極を配置することにより複数のソース電極、ゲート電極及びドレイン電極を連続的に配設し、所望の出力電力を有する高周波半導体素子を構成することができる。

【0035】

実施の形態4.

図13はこの発明の一実施の形態に係る高周波半導体素子の平面図である。なお図13の $X-I-I-X$ 断面における高周波半導体素子の断面図は図2と同じである。

図13に示すように、 $p-HEMT$ 80は平面形状が円弧状、この実施の形態では半円の形状を有し、活性領域16の上にソース電極20を中心にして、ソース側活性領域16b、ゲート電極18、ドレイン側活性領域16a、およびドレイン電極22が、順次外周側に向けて同心円状に配設されたものである。 $p-HEMT$ 80においては、既に説明した $p-HEMT$ と同様にゲート電極18とソース電極20との距離を小さくするとともにゲート電極18とソース電極20との距離よりもゲート電極18とドレイン電極22との間の距離 L_{rd} を大きくすることにより、ソース抵抗を小さくしながらゲート・ドレイン間耐圧 V_{gd0} を高める構成となっている。

また $p-HEMT$ 80においては、ドレイン電極22がゲート電極18の外周側に位置しているので、ドレイン電極幅（この実施の形態では、円周方向長さ）がゲート幅（この実施の形態では、円周方向長さ）よりも半径に比例して長く構成される。すなわちドレイン側活性領域16aの幅（円周方向の長さ）は、ゲート電極18からドレイン電極22に向かって、つまりドレイン電極22に接近するに伴って、ゲート電極18の電極幅からドレイン電極22の幅に連続的に拡大している。さらに $p-HEMT$ 80の層構造は、 $p-HEMT$ 10と同じ層構造をなしている。このため実施の形態1で説明したことと同様の効果を有している。

【0036】

さらに $p-HEMT$ 80においては、ゲート直下のドレイン側活性領域16aの各位置においてゲート幅の全ての位置においてゲート端からドレイン電極22までの距離が一定となっている。すなわちゲート端からドレイン電極22までの距離が均一になる。

このためにドレイン電極22からドレイン側活性領域16aに均一に電流が供給され、ドレイン側活性領域16aの幅（すなわち円周方向長さ）に比例した最大動作電流を得ることができ、より大きな出力電力を得ることが可能となる。

さらに耐圧もドレイン側活性領域16a内において劣化する部分がないので高くすることができて、より高電圧での動作が可能となり、延いてはより大きな出力電力を得ることができる。

図14はこの発明の一実施の形態に係る高周波半導体素子の平面図である。

図14で示された $p-HEMT$ 84は、 $p-HEMT$ 80を複数個使用する場合の配置

を示している。p-HEMT80を複数個使用するp-HEMT84の場合には、電極を接続する配線においてはエアブリッジ等の配線を用いて接続することが必要となるが、所望の出力電力を有する高周波半導体素子を構成することができる。

p-HEMT80はこの実施の形態では半円としたが、円弧状であればどのような形状でもかまわない。

【0037】

以上のように、この発明の一実施の形態に係る高周波半導体装置においては、ゲート電極およびドレイン電極の平面形状がそれぞれ円環の部分形状をなして活性領域の上に配設されると共にソース電極、ゲート電極およびドレイン電極がソース電極を中心にして同心的に配設されたもので、この構成により耐圧が高くかつ最大動作電流が大きいことができ、延いては出力電力をより大きくすることができる。

10

なお以上の説明は、一例としてp-HEMTについて説明したが、例えばMESFETなどそのほかの電界効果型トランジスタにおいても同様の効果を奏する。

【産業上の利用可能性】

【0038】

以上のように、この発明に係る高周波半導体装置は、3GHz以上の高周波帯の、例えば衛星通信や地上マイクロ波回線などの無線通信システムにおける電力増幅器に適している。

【図面の簡単な説明】

【0039】

20

【図1】この発明の一実施の形態に係る高周波半導体素子の平面図である。

【図2】図1のI-I断面における高周波半導体素子の断面図である。

【図3】この発明の一実施の形態に係る高周波半導体素子の擬似的FETを考慮したp-HEMTの等価回路である。

【図4】この発明の一実施の形態に係る高周波半導体素子の變形例を示す平面図である。

【図5】この発明の一実施の形態に係る高周波半導体素子の平面図である。

【図6】図5のV-V断面における高周波半導体素子の断面図である。

【図7】この発明の一実施の形態に係る高周波半導体素子の變形例の平面図である。

【図8】この発明の一実施の形態に係る高周波半導体素子の平面図である。

【図9】この発明の一実施の形態に係る高周波半導体素子の變形例の平面図である。

30

【図10】この発明の一実施の形態に係る高周波半導体素子の他の變形例の平面図である。

【図11】この発明の一実施の形態に係る高周波半導体素子の他の變形例の平面図である。

【図12】図11のX-I-X断面における高周波半導体素子の断面図である。

【図13】この発明の一実施の形態に係る高周波半導体素子の平面図である。

【図14】この発明の一実施の形態に係る高周波半導体素子の平面図である。

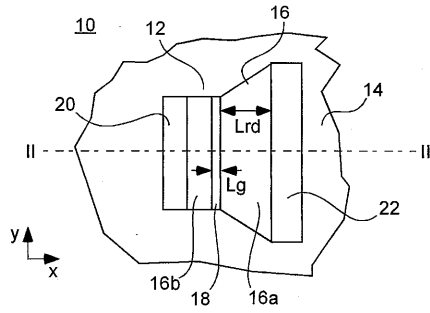
【符号の説明】

【0040】

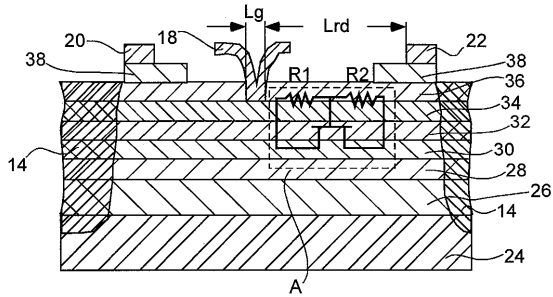
24 GaAs基板、30 チャンネル層、16 活性領域、18 ゲート電極、20 ソース電極、22 ドレイン電極、16a ドレイン側活性領域、52 不活性領域。

40

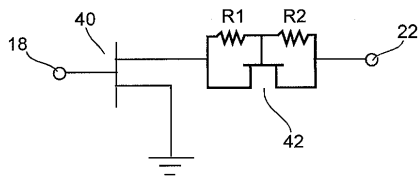
【図 1】



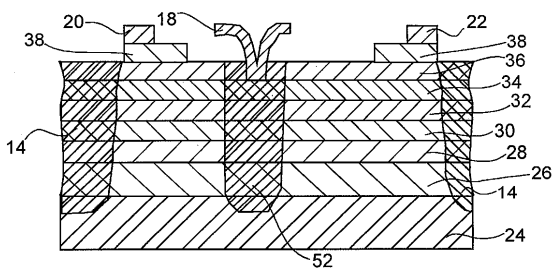
【図 2】



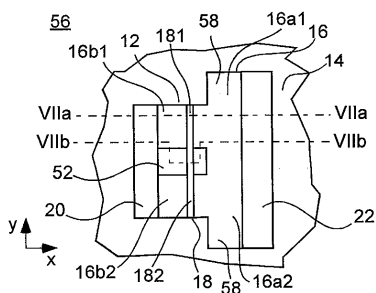
【図 3】



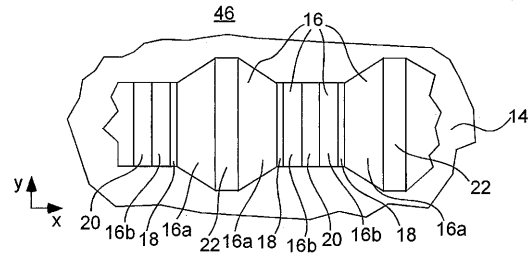
【図 6】



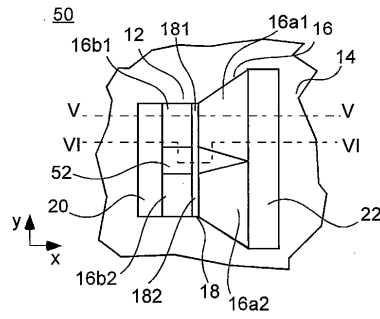
【図 7】



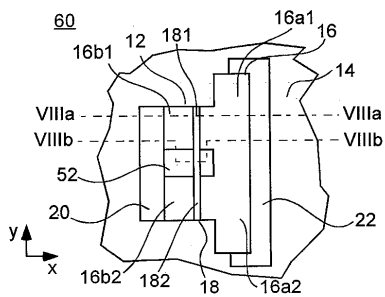
【図 4】



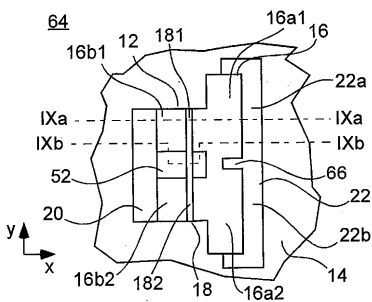
【図 5】



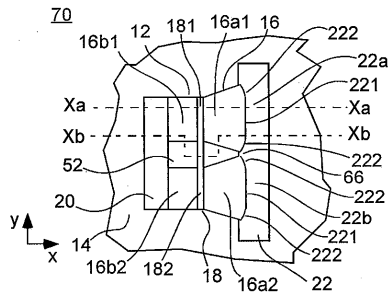
【図 8】



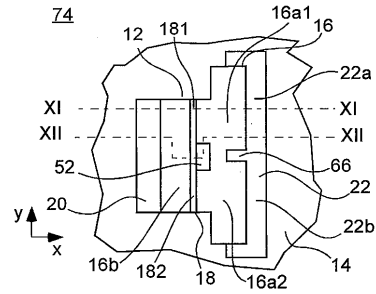
【図 9】



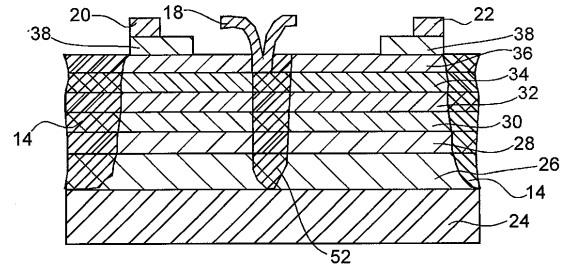
【図 10】



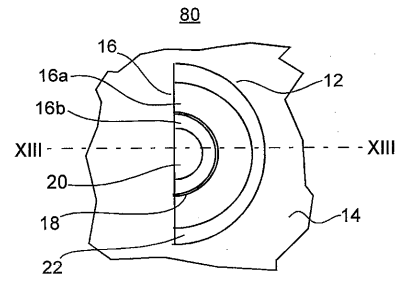
【図 11】



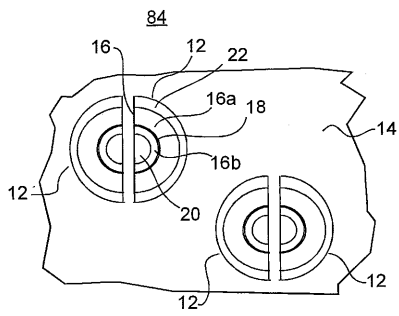
【図 12】



【図 13】



【図 14】



フロントページの続き

(72)発明者 國井 徹郎

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 行武 哲太郎

(56)参考文献 特開平2-262341 (JP, A)

実開昭58-120667 (JP, U)

特開平11-168107 (JP, A)

特開平2-235346 (JP, A)

特開2004-55869 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/80-29/812

H01L 29/778

H01L 21/337-21/338