

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200680023338.2

[51] Int. Cl.

H01L 21/48 (2006.01)

H01L 25/065 (2006.01)

H01L 21/98 (2006.01)

H01L 21/68 (2006.01)

[43] 公开日 2008 年 6 月 25 日

[11] 公开号 CN 101208789A

[22] 申请日 2006.6.23

[21] 申请号 200680023338.2

[30] 优先权

[32] 2005.6.29 [33] EP [31] 05105838.6

[86] 国际申请 PCT/IB2006/052040 2006.6.23

[87] 国际公布 WO2007/000697 英 2007.1.4

[85] 进入国家阶段日期 2007.12.27

[71] 申请人 皇家飞利浦电子股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 R·德克尔 M·A·德桑贝尔

W·H·德哈斯 T·M·米希尔森

F·A·C·M·朔夫斯

N·J·A·范费恩

[74] 专利代理机构 永新专利商标代理有限公司

代理人 王英

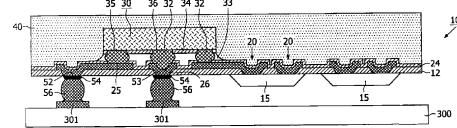
权利要求书 3 页 说明书 22 页 附图 9 页

[54] 发明名称

制造组件的方法及组件

[57] 摘要

组件(100)包括其中限定电元件(20)的横向有限的半导体衬底区(15)。其上，存在互连结构(21)。在其第一侧(101)设有用于耦合到电器件(30)的接触焊盘(25、26)，而在其第二侧(102)设有到电元件(11)的连接(20)。端子(52、53)位于互连结构(21)的第二侧(102)处，并且通过延伸部分(22、23)耦合到互连结构(21)，横向设置所述延伸部分并使其与半导体衬底区(15)隔离。将电器件(30)安装到互连结构(21)的第一侧(101)，并且存在封装体(40)，其在互连结构(21)的第一侧(101)上延伸以便支撑其并封装电器件(30)。



1、一种制造半导体组件的方法，包括以下步骤：

提供载体，其包括具有第一侧和相反的第二侧的半导体衬底，且具有限定在所述衬底中、在所述第一侧处的至少一个电元件，所述载体还包括位于所述衬底的所述第一侧上的互连结构，其中限定多个接触焊盘和至少一个至所述衬底的所述第一侧的延伸部分，以及来自所述至少一个电元件和到所述至少一个电元件的互连；

将有源器件附着并电耦合到所述互连结构中的所述接触焊盘，所述有源器件的表面面积小于所述载体；

封装电器件，

通过从其第二侧选择性地去除所述半导体衬底来形成至少一个由半导体材料构成的岛，以及

限定用于耦合到所述互连结构中的所述延伸部分的外部连接的端子。

2、如权利要求 1 所述的方法，其中以形成台面状岛的这样一种方式去除所述衬底。

3、如权利要求 1 所述的方法，其中所述载体在半导体层的第一侧处设有氧化层，局部去除所述台面状岛周围的所述氧化层。

4、如权利要求 1 或 2 所述的方法，其中所述互连结构包括应力消除电介质层，以允许所述有源器件与所述台面状岛之间的相对移动。

5、如权利要求 1 所述的方法，其中在选择性地去除所述半导体

---

衬底的过程中同时形成所述台面状岛和所述端子，由于衬底在所述延伸部分的区域处被完全去除以便形成所述端子。

6、如权利要求 1 所述的方法，其中所述端子形成在所述台面状岛的表面上并通过所述台面状岛电耦合到所述延伸部分。

7、如权利要求 1 所述的方法，其中对所述衬底的选择性去除将所述互连结构中的所述延伸部分暴露出来，其后将树脂层设置在该第二侧上，在该第二侧面上限定通过延伸穿过所述树脂层的互连而耦合到所述延伸部分的所述端子。

8、如权利要求 1 所述的方法，其中所述有源器件设有接触焊盘，其利用焊球耦合到所述载体的所述接触焊盘。

9、如权利要求 8 所述的方法，其中在对所述衬底的选择性去除之前通过研磨从其第二侧来减薄该衬底，且其中仅在所述减薄步骤之后，将所述焊球施加到所述有源器件的所述接触焊盘并对其进行热处理以便与所述接触焊盘或其上的任何材料形成焊接点。

10、一种半导体组件，包括：

横向有限的半导体衬底区，其中限定电元件；

覆在所述衬底区之上且具有第一侧和第二侧的互连结构，该结构在其第一侧设有用于耦合到电器件的接触焊盘，且在其第二侧设有与所述电元件的连接，

位于所述互连结构的所述第二侧处并通过延伸部分耦合到所述互连结构的端子，横向设置所述延伸部分并使其与所述半导体衬底区隔离，

---

耦合到所述互连结构的所述第一侧的电器件，以及  
在所述互连结构的所述第一侧上延伸以便支撑所述互连结构并  
封装所述电器件的封装体。

11、如权利要求 10 所述的半导体组件，其中所述封装体包括金  
属层，并且所述互连结构的所述延伸部分延伸到所述第一侧并耦合到  
所述金属层。

12、如权利要求 11 所述的半导体组件，其中所述封装体包括绝  
缘层。

13、如权利要求 11 所述的半导体组件，其中所述有源器件包括  
用于所述衬底区中的所述电元件的控制器件。

14、一种载体衬底，包括具有第一侧和相反的第二侧的半导体衬  
底，且具有限定在所述衬底中的所述第一侧处的区域中的至少一个电  
元件，所述载体衬底还包括位于该衬底的所述第一侧上的互连结构，  
其中限定互连结构：

暴露在所述第二侧处的多个接触焊盘，所述接触焊盘对应于将要  
安装到其上的电器件的接触焊盘；

至少一个至所述衬底的所述第一侧的延伸部分，其与所述衬底区  
相邻；

按照预定设计在所述至少一个电元件、延伸部分和接触焊盘之间  
的互连。

## 制造组件的方法及组件

本发明涉及一种制造半导体组件的方法，其包括以下步骤：

提供载体，其包括具有第一侧和相反的第二侧的半导体衬底，且在衬底中、在第一侧处限定有至少一个电元件，还包括多个接触焊盘；将至少一个有源器件附着并电耦合到接触焊盘；以及从其第二侧对半导体衬底进行构图以形成与电元件电绝缘的端子。

本发明还涉及可由此获得的组件。

本发明进一步涉及在所述方法中使用的载体。

可以从 US-A 6075279 尤其是其中的图 12 获知这种方法。其中，载体包括具有多个晶体管的半导体衬底。其还包括通过衬底特别是通过  $n^+$ 掺杂衬底区的导电路径。接触焊盘耦合到晶体管的电极。将第二半导体衬底组装到第一衬底。该第二衬底为布线衬底并且包括适合于形成集成电路的多个晶体管和互连。该集成电路优选作用于限定在载体中的晶体管的控制 IC。第一和第二衬底上的接触焊盘利用焊球相互连接。利用由硅、环氧树脂或聚酰亚胺构成的绝缘粘合树脂填充第一和第二衬底之间的焊球周围的空间。该树脂确保第一和第二衬底的相互粘合。之所以实现，特别是因为树脂层在热处理中是热固性的。该热固性还会导致树脂收缩和硬化。由于第一和第二衬底都包括硅，因此在热膨胀系数上不存在差异，并且防止了由于不同热膨胀导致的应力而产生的焊球的破裂。

此后，通过形成狭缝孔，特别是通过切割，从其第二侧对半导体衬底进行构图。狭缝孔延伸到树脂层中，以便使导电路径与晶体管电

绝缘。狭缝孔将导电路径与晶体管分开，由此允许导电路径的背侧用作器件的端子。又将这些端子固定到封装衬底上的接触焊盘。然而这仅在填充狭缝孔且将衬底切割为单独的产品之后进行。

该公知方法的缺点是，产量损失的风险很大。该产量损失的原因特别在于必须在晶片级上执行第一和第二衬底的组装。因此衬底上的任何一个器件都被组装，即使其不能正常工作。因此如果每一衬底上有 3% 的器件不正常工作，则最终的产量损失将接近 6%。

因此本发明的第一个目的是提供开篇段落中所述类型的制造方法，其具有减小的产量损失。之所以能够实现第一目的，是在于：

载体包括位于衬底的第一侧上的互连结构，其中限定多个接触焊盘和到衬底的第一侧的延伸部分，以及来自至少一个电元件和到所述至少一个电元件的互连，将端子耦合到所述延伸部分，

耦合到载体的有源器件的表面面积小于载体并且被封装，以及

减薄并选择性地去除载体的半导体衬底以便制造由半导体材料构成的岛。

由此实现第二个目的。

本发明解决了产量损失的问题，这是因为将单个器件组装到载体，该载体横向延伸超过单个器件。且然后将单个器件封装。然而，这种片上片组件 (chip on chip) 产生其他问题。首先，在封装体和载体衬底之间趋向于存在热膨胀系数上的差异。在热循环期间由这些差异引起的应力必须在某处释放。因此对载体衬底与有源器件之间的硬化热固性树脂的使用可能不是十分充分。然而，在没有这种硬化树脂的情况下似乎很难利用切割技术对载体衬底进行切割。

现在这些相关的问题在本发明中得到了解决。其方法是载体衬底仅在组装期间是载体。一旦施加封装体，这可以取代载体的作用。然后直到半导体衬底不在起作用，将其去除。这种去除至此扩展到仅留

下由半导体材料构成的岛；并且这种岛的产生导致可以适当地耐受热循环的应力的组件。

在热循环期间，将组件附着到印刷电路板。在有源器件或者载体衬底中产生的热量将会消散。随着相应的膨胀和随后的收缩将产生特定的热流。此外，整体温度可能与组件温度不同，导致内在应力。

在本发明的组件中，随着附着到印刷电路板，可以区分四个部件：有源器件、封装体、由载体衬底产生的岛和印刷电路板。为了清楚起见，这里假设互连结构为封装体的一部分。通过将载体衬底构图为岛，只有印刷电路板和封装体在整个表面区域上横向延伸。这是合适的，因为封装体具有与印刷电路板的热膨胀系数—也被称为 CTE—匹配最好的热膨胀系数。优选地，封装体的 CTE 小于印刷电路板的 CTE，最优先地，其在横向方向上处在 10 和 15 ppm/K 之间，而印刷电路板的 CTE 在横向方向上为 17 ppm/K。如果需要，在二者之间可以存在用于应力释放的部件，例如由顺应性材料构成的层。相对于在单一载体上的情形，有源器件的热特性相对于封装体来说至少在一阶上没有不同。

如果由半导体材料构成的岛没有连接到印刷电路板，则唯一相关的界面是岛与封装体之间的界面。这里，差小于与印刷电路板的差。此外，岛具有几毫米或更小的尺寸。因此限制了应力的积累。此外，由于封装体的较大 CTE，而使岛在制造期间受到压应力。该压应力是防止裂缝形成的固有屏障。

如果岛也连接到印刷电路板，则有两个相关界面。于是应力取决于封装体与印刷电路板之间的热膨胀之差。然而，用于印刷电路板与这些岛之间的连接的装置，例如焊球和底层填料，本质上也是应力释放的。另外，由半导体材料构成的岛的有限厚度使得其相对较有顺应性，从而岛可以使其自身变形到一定程度以便消除应力。

为了优化载体衬底的岛结构，可以去除通常位于载体衬底顶部上

的氧化层以便形成环绕岛的沟槽。因此，随之而来的，不只是载体衬底而且其顶部上的氧化层也不是连续的。取代沟槽状结构，可以应用任何其它的构图结构，从而将氧化层分割成多个岛。适合地，在对氧化物的构图之后，施加额外的钝化层。即使这为氧化物或氮化物，其形状也将使得氧化物岛至少在一定程度上可相对于另一个氧化物岛移动。

在另一实施例中，互连结构包括顺应性电介质材料。已知顺应性材料由于其高变形性的程度而释放应力。特别地，有机电介质层优选在无机层上以用作在组件的整个表面区域上延伸的层。

将载体衬底构造到其中的岛优选为台面（mesa）状。即，垂直于衬底表面的横截面于是基本上呈梯形形状。之所以获得台面结构，是因为首先将衬底减薄，然后按照期望的图案对其进行湿法化学蚀刻。在平行于衬底表面的平面中，岛可以具有任意形状。然而，优选地它们的周边无拐角，且最优先地它们的周边为圆形。

可以在将有源器件安装到载体之前和之后执行对载体衬底的减薄。虽然适合将有源器件安装在厚且刚性的载体上，但是焊接连接易受到任何机械力的影响且因此也易受到由于研磨而产生的振动的影响。因此在组装步骤之前至少在一定程度上将载体衬底减薄。在一个适当的实施例中，在组装步骤之前且在减薄步骤之后，载体衬底还在其第二侧上设有掩模。适当的掩模例如为 Ni、Au、Pd、TiW 或这些材料的组合，而且也可以使用箔状光刻胶。

特别地，如果在组装之后执行减薄，则可以将底填材料施加到在平稳加热时熔化的载体衬底上。这种平稳加热导致有源器件穿过底填材料的下沉，且因此导致载体与有源器件的机械连接。在减薄步骤之后则可以执行提供电连接的步骤，例如，使焊料与相反表面上的金属发生化学反应以形成焊接连接。

可以将封装体选择为金属衬底、利用粘合剂附着的玻璃衬底或者

包覆成型封装体。很清楚对封装体的选择将影响组件的热特性。

包覆成型封装体的热膨胀系数在硅衬底的热膨胀系数与印刷电路板的热膨胀系数之间。可以通过填充物的量来调节其特定系数。更为适当地，将该系数选择为处在 10 和 15 ppm/K 之间的范围内。这允许与印刷电路板相匹配，而且与组件内的半导体材料的差并未变得太大。

然而大表面区域例如晶片的包覆成型具有在组装期间产生翘曲的趋势。于是对所得到的弯曲的载体衬底的处理是困难的。然而，如果在包覆成型步骤之前减薄衬底，则在包覆成型之前可以在载体衬底的第二侧施加蚀刻掩模。即使组件不是平面的，也可以执行蚀刻，尤其是湿法蚀刻。作为蚀刻步骤的结果，将基本上减小翘曲效应。或者，可以在载体衬底上的两个或更多的区域（通常被称为图（map））中实施包覆成型。载体衬底的第一侧上的表面修正有助于防止包覆成型材料沉积在期望图之外。

更为适当地，电器件或整个载体衬底设置有弹性材料（杨氏模量低于包覆成型材料）的涂层。这种涂层被称为晶片涂层或芯片涂层。然而，在本文中，还可以将其施加在电器件的背侧上。该涂层的目的是，特别是在电器件和模塑化合物之间的横向范围内，释放应力。

金属衬底实际上所具有的热膨胀系数至少在平行于衬底表面的方向上可与印刷电路的热膨胀系数相比。其具有实现散热的优点。这种改善的散热有效地导致热循环的较低频率和较小幅度。对于具体的应用，可以选择金属衬底、有源器件和载体之间的热绝缘和电绝缘。这里一个具体的选择是产生带状线，其中信号线夹在第一与第二接地面之间。这种带状线非常适合于在超高频下工作的器件。

具有粘合剂的玻璃衬底实际上是两层乃至多层的封装体。粘合剂可以用作应力释放层。适当地选择玻璃衬底使其的热膨胀系数在其横向方向上相对比较接近印刷电路板的热膨胀系数。这可以通过适当地

选择玻璃成分来实现。

在另一实施例中，封装体设有一个或多个通孔。在电绝缘封装体的情况下，随后将通孔金属化。该操作本身是公知的，特别是对于玻璃衬底。以这种方式，还可以在组件的第一侧提供接触。这允许器件的进一步叠置。

在制造期间的组装步骤通常包括提供焊接连接。然而，同样对于向外部板提供端子，适合使用焊球。因此优选地，用于电器件和载体衬底的连接的焊球与用于载体衬底到印刷电路板的连接的焊球相比具有更高的熔点。与用于印刷电路板的连接的 Sn-Ag-Cu 焊料结合的例子例如为 Pb-Sn 和 Au-Sn。于是，防止首先提及的焊料的再熔化。这种再熔化会导致稳定性问题，例如焊球和载体衬底的变形。在其中叠置焊球的构造中这是特别的风险。于是，仅有将两个焊球分开的金属键合焊盘。

还可以实现在内侧提供焊接连接，这在于使焊球下沉穿过在加热时液化的绝缘层。同样地，不需要施加单独的底填材料。另外，可以将焊接连接的形成推迟到制造中的随后步骤。

为了使组件的高度最小化，可以利用焊料盖实施电器件与载体衬底之间的焊接连接。例如可以将这种盖用作浸没式焊料突起。

更为适当地，用于电器件与载体衬底之间的连接的焊接材料是具有作为第二相的颗粒的两相焊接材料，所述颗粒是热力亚稳定的。在未公开的申请 PCT/IB2005/051547 (PHNL040567) 中描述的该焊接材料允许在氧化的表面上提供焊料，而不需要首先去除氧化物。其特别适合于铝。因此，在该组件中，允许使用铝或铝合金，例如 Al-Si、Al-Cu，用于互连结构中的导电迹线。这具有 Al 和其普通合金相对柔软的优点。

本发明的第二个目的是提供可以根据本发明制造的产量损失有限且可以耐受热循环的应力的组件。

该目的可以实现，在于该组件包括：

横向有限的半导体衬底区，其中限定电元件；

覆在衬底区之上且具有第一侧和第二侧的互连结构，该结构在其第一侧设有用于耦合到电器件的接触焊盘，且在其第二侧设有与电元件的连接；

位于互连结构的第二侧处并通过延伸部分耦合到互连结构的端子，横向设置延伸部分并使其与所述半导体衬底区隔离；

耦合到互连结构的第一侧的电器件，以及在互连结构的第一侧上延伸并封装电器件的封装体。

如参考方法所述的那样，由于半导体区域为封装体和互连结构上的岛的事实，而使所得到的器件耐受热循环。这里封装体用作支撑体。

限定在载体衬底中的器件，至少部分地，例如为沟槽电容器、沟槽电池、晶体管、二极管、变容二极管。对于 RF 应用而言，沟槽电容器由于其高电容密度是适合的，并且变容二极管由于其可保持的性质是适合的。pin 二极管（pin-diode）适合用作开关。在台面结构中使用 pin 二极管另外还具有如下优点：防止通过衬底的 pin 二极管之间的任何相互影响。pin 二极管优选为横向 pin 二极管。可以容易地将这些从顶侧连接。同样，横向 pin 二极管具有如下优点：可以在一个衬底上集成具有不同尺寸的 pin 二极管。不同尺寸导致不同的特性，例如击穿、绝缘和导通电阻等。在包括功率放大器、波段开关和阻抗匹配以及任选的收发器的移动电话的一个前端内，具有不同尺寸的 pin 二极管是非常优选的。

为了保护有源器件免受静电放电（ESD）脉冲的影响，可以将诸如齐纳二极管和背对背二极管的二极管适当地集成到载体衬底中。这里，适当地对载体衬底进行掺杂以使其导电。为了除去在放电期间产生的电荷和热量，也使岛适当地与印刷电路板连接。在与作为有源器件的集成电路的结合中特别需要 ESD 保护器件，且其特别适用于诸

如移动电话的移动应用。此外，集成电路尺寸的缩小使得这些更易受到损坏，且因此增加了静电放电器件和电路的重要性。电容器和电阻器可以存在于用于对信号进行滤波的互连结构中。

为了识别有源器件，由半导体材料构成的岛可以包含识别电路以及用于信号的无线传输的电路。天线可以存在于互连结构中。

对于电源应用，功率晶体管可以位于载体衬底中。同样在该应用中，岛适当地与印刷电路板电连接。在本文中有源器件例如为用于单个功率晶体管的控制的控制 IC。

对于光电子应用，发光二极管和/或光电二极管可以位于载体衬底中。任选地，载体衬底另外包含 III-V 半导体衬底材料来代替硅。在该实施例中有源器件适合为驱动器 IC。

将参考附图进一步说明方法和组件的这些以及其他方案，附图是概略的而且不是按比例绘制的，并且其中在不同附图中的相同数字表示相同或等效的部件，其中：

图 1-6 示出组装方法的第一实施例中的几个阶段的截面图；

图 7-9 示出组装方法的第二实施例中的几个阶段的截面图；以及

图 10-14 示出组装方法的第三实施例中的几个阶段的截面图。

图 1-6 概略地示出用于获得封装内系统的本发明的方法的第一实施例的截面图。虽然这种步骤顺序是优选的，但是并不排除另一种顺序。虽然仅示出一个单独的部件，但应该理解的是工艺适合在晶片级上执行。这些和以下附图未按比例绘制。

图 1 示出载体 10。在该实例中，载体 10 包括具有第一侧 101 和相反的第二侧 102 的硅衬底 11。其设有多个设置在衬底 11 的区域 15 中的元件 20，将所述区域 15 设计成台面。元件 20 例如为电容器和/或开关以及传感器。用于 RF 应用的实例包括沟槽电容器、pin

二极管和绝缘的电路块，例如 VCO。在该实施例中部件优选为具有低功耗的部件，因为没有与地的直接连接。而且它们存在于台面 15 中还提供优良的绝缘，这可以充分应用在对于通过衬底 11 的寄生的相互作用敏感的部件中。虽然这里未示出，但是元件 20 还可以部分或全部位于衬底表面 12 上。关于此的实例为 LC 电路、具有铁电电介质（dielectricum）的电容器以及可调电容器和开关，例如特别是 MEMS 元件。另外，组合是有利的，例如具有高电容的沟槽电容器，以及可调的 MEMS 元件。RF 应用之外的实例例如包括传感器，以及单个或多个晶体管。对于 RF 应用，使用高欧姆衬底是非常有利的。可以通过粒子注入或利用 e-光束进行照射来制备这种衬底 11。此外，在其第一侧 101 附近将衬底 11 制成是非晶的。

在衬底 11 的第一侧 101 存在氧化层 12。这适合为热氧化物。在氧化物层 12 中形成孔以提供至电元件 20 的互连 21，而且还提供用于提供外部连接的延伸部分 22、23。在部分去除衬底 11 之后将它们暴露出来以形成端子 52、53。虽然这里示出互连 21 为单层，但是作为选择可以使用多层。当在该互连（结构）21 内限定诸如电阻器、薄膜电容器和电感的电元件时，这特别适合。互连（结构）21 覆盖有例如由氮化硅构成的钝化层 24。在所选择的位置处将钝化层 24 开口以形成顶侧键合焊盘 25、26。虽然在该附图中示出所有的键合焊盘 22、23、25、26 以及至电元件 20 的互连具有相同的尺寸，但这不需要是实际设计的精确表示。

适当地，将顶侧键合焊盘 25、26 中的至少一个设计为测试焊盘，即连接到下层测试结构。这允许在将任何其它部件安装到载体衬底 10 之前测试载体衬底 10。不必每一个单元都设有测试结构。要执行的测试主要是常规的电测试。

对于 RF 应用，需要具有高品质因数的电感器。如果使用铝或铝合金作为金属，则这可以通过使用相对较厚的金属层来实现，所述相

对较厚的金属层例如处在 0.5 微米或更高的数量级上，尤其处在 1.0 微米或更高的数量级上。该同一层同时非常适用于对键合焊盘的支撑。

虽然在该附图中未示出，但是顶侧键合焊盘 25、26 可以设有附加的支撑物和粘合覆盖物，例如在封装领域中公知的作为突起下金属化。该金属化例如包括 NiPdAu 的叠层。然而叠层取决于下层金属。如果互连 21 由铜制成，则可能需要阻挡层来防止铜的扩散。然而，在非常适合与铝或铝合金的互连 21 结合的适当修改中，不需要这种附加的突起下金属化。相反，可以将设置在互连 21 上的焊料突起材料选择为包括亚稳态粒子。在加热时，这种粒子会减少被氧化的铝并与之形成稳定的合金。在未公开的专利申请 PCT/IB2005/051547 (PHNL040567) 中描述了该原理，将该申请并入本文中作为参考。该焊料的使用最适合与其中还集成电感器的厚金属层结合。适当地，一些区域不被任何金属化覆盖并且被限定为绝缘狭带。

图 2 示出在将有源器件 30 设置在载体 10 上之后产生的组件 100。将有源器件 30 沿倒装片的方向安装到载体 10，使得其键合焊盘 35、36 面对载体 10 中的顶侧键合焊盘 25、26，并且键合焊盘可以与焊料突起 32 相互连接。为了保护的目的，存在钝化层 34，例如在本领域中公知的那样。取代焊料突起 32，可以使用具有减小高度的焊料盖。例如，在本身被称为浸没式焊接突起的工艺中可以应用这种焊料盖。对载体 10 上的有源器件 30 的高度限制有利于随后工艺的可靠性。在这点上，进一步优选地有源器件 30 具有减薄的衬底 31。

有源器件 30 可以包括以下功能中的一个或多个：其可以是声学器件，例如体声滤波器。其可以是阻抗匹配器件，包括 LC 滤波器以及开关，尤其是 MEMS 部件。可以是收发器或其至少一部分。其可以是或包括功率晶体管，并且可以用作功率放大器或功率管理单元。显然，还可以沿面朝上的方向施加有源器件 30 并利用引线键合将其

连接到顶侧键合焊盘 25、26。然而，采用倒装片方向的本构造是非常适当的，因为可以形成从有源器件 30 到外部板的非常直接的连接，这将从工艺的稍后阶段中变得显而易见。需要该直接连接用于接地，如在收发器或功率放大器等中那样，或者用于从电池中提供功率，例如在功率管理单元中，或用于散热。虽然仅示出一个有源器件 30，但是在组件的一个单元中可以存在几个有源器件。这允许制造如所期望的任意功能系统，例如具有功率放大器、收发器和匹配功能的移动电话的完全前端。

将底层填料 33 设置在有源器件 30 与载体 10 之间。虽然这里未示出，但是可以使用在将有源器件 30 安装到载体 10 之前设置在该载体 10 上的底层填料 30。如果不限制底层填料的流动，则其存在于整个载体上。适当地，将其设置为箔，然而这不是必需的。通常，其由丙烯酸脂或聚酰亚胺类材料制成。例如通过加热至大约 100°C，可以将该类填充材料软化。软化使得其在机械上是脆弱的，并且焊料突起由于其重量会下沉穿过该底层填料层。

使用这种材料的另一个优点是在工艺的该阶段不必电连接焊料突起 32，在所述阶段将焊料突起设置在载体 10 上；或者更明确地说：焊料突起不必与载体 10 的键合焊盘 22、23 反应以形成金属间化合物。这对于制造的所有阶段中的结构可靠性来说是优点。在组件 100 中焊球 32 是固有的在机械上脆弱的区域。它们需要在组装的所有步骤期间以及在使用期间释放应力，该应力源自组件中的不同部件之间的热膨胀之差。如果这是不可能的，则在焊球中会形成裂缝，或者会发生焊球与任意键合焊盘的层离。这导致组件出故障。虽然可以使用额外的焊球来充当次要路径，但这通常是不期望的。然而，在本工艺中，焊球 32 还需要承受由于另外的工艺步骤而产生的机械力。这些步骤可以包括对载体衬底的研磨和蚀刻。虽然研磨涉及强振动力，但是蚀刻可能导致载体 10 的弯曲，例如翘曲。如果焊球 32 已经在化学和电

学上连接到载体 10，则它们需要承受这些机械力。如果仅设置在载体上，则这是不需要的。

图 3 示出在另一工艺步骤之后的组件 100，在该工艺步骤中提供封装体 40。除了对现存的任一引线键合以及有源器件 30 提供化学和机械保护之外，封装体 40 还应具有基本平坦的顶表面 41。平坦度应该足于将组件通过其布置在设备上且在载体 10 的衬底 11 上执行操作。在该实施例中，封装体 40 为环氧树脂包覆成型物。或者，可以使用金属包覆成型物或粘合剂和玻璃层。另一选择是使用具有适当载体的保护包覆成型物，例如类似引线框架的构造。在另一变形中，封装体 40 包括多层，其中第一层具有平坦化效应。最为适当地，该平坦化层的热膨胀系数与有源器件 30 的热膨胀系数匹配或相似。此外，可以在包覆成型物之前使用具有低杨氏模量的用于释放应力的层。

图 4 示出在另两个工艺步骤之后的器件，其中将部分去除衬底 11。在第一步骤中，衬底 11 被减薄至厚度处在 30-100 微米的数量级上，并且优选为大约 50-60 微米。因此研磨是最广泛公知的选择。然而，在工艺的修改例中，已经在将有源器件 30 安装到载体 10 之前执行研磨。适当地，然后将支撑层附着到载体衬底 11 以便稳定载体 10。例如通过溶解支撑层与载体衬底 11 之间的粘合剂，通过溶解整个支撑层，通过剥离支撑层，在工艺的该阶段又去除支撑层。或者可以使用其它方法以及组合。在例如通过研磨去除支撑物之后是另一湿法化学蚀刻步骤。其后，选择性蚀刻载体衬底 11，以便保持具有电元件 20 的台面 15，而去除别处的衬底 11 以暴露互连结构 21 的延伸部分 22、23，并以其形成端子 52、53。或者，可以将封装层设置在第二侧上，并对其进行构图以暴露延伸部分 22、23。然后在该封装层上形成端子。适当的材料例如为聚酰亚胺等。这具有如下效果：可以使载体衬底处于来自第一侧和来自第二侧的压应力之下。

在该阶段，在衬底去除之后并在向端子提供焊料之前，可以执行

最终的测试。这种最终测试的目的具体是检验在载体衬底上的接触焊盘与有源器件 30 之间的所有焊接连接是否允许电耦合。此外，可以执行一些测试以检验组件是否经受得住弯曲。

图 5 示出最终的组装步骤之后的组件。这里，端子 52、53 于此设有金属化 54 以便加强结构并提高键合能力。其后，通过丝网印刷来提供焊剂 55。最后，将焊球 56 附着于其。这里，焊剂 55 确保焊球不散布在载体衬底 10 的整个第二侧上。适当地，焊球 56 的间距大于焊球 32 的间距，以便可以使在小表面区域上具有许多接触焊盘 25 的有源器件 30 与通常具有较低分辨率的印刷电路板结合。

图 6 示出处于其在板 300 上的位置处的组件 100。这里，焊球 56 将端子 52、53 耦合到板的相应接触焊盘 301。板 300 通常为印刷电路板，例如由 FR4 材料制成，但是作为选择，也可以是诸如带的柔性载体。此外，板 300 还可以是封装内系统的一部分。于是其可以包括诸如无源部件和互连的功能性，并且该其可以由有机或陶瓷材料构成。这似乎为特别适合于 RF 应用的系统。从设计角度来讲，其优点是不必将端子 52、53 按阵列布置。

如果板不是系统的一部分，则最优先地将端子 52、53 按阵列布置。于是优先将组件 100 设计成使得向有源器件 30 提供直接连接的端子 52、53 设置在组件第一边缘的附近。优先地向台面状岛 15 中的电元件提供连接的端子 52、53 位于组件的相对边缘附近。以这种方式，有效地将组件 100 分割成若干区域。

图 7-9 概略地示出本法明的组装方法的第二实施例的截面图和最终的组件。该实施例的组件包括功率器件，尤其是垂直 MOS 型的功率器件。将这种功率器件设计成尽可能地减小导通电阻。这意味着器件形成在用作漏极或集电极接触的重掺杂、n 型硅衬底中。然而，该方法的缺点是每个管芯仅可以存在一个晶体管；否则现存的晶体管的漏极或集电极会被连接。

减少这种问题的一个解决方案是将衬底构造成台面。这本身可以从 US5753537 中获知。虽然可以使用该技术来创造较高的集成度，但是不会产生具有形成功能实体的多个元件的封装内系统。在 US6075279 中公开了另一方法。该方法建议第一和第二晶片相互组装以产生垂直集成。随后，对第一晶片进行机械构图。这里，重要的是最终的狭缝穿过第一晶片延伸到晶片之间的用树脂填充的区域。否则，会导致第一晶片中的相邻电极的不充分绝缘。这些狭缝随后被绝缘树脂填充。

然而，该方法的缺点是必须组裝晶片，这迅速导致产量损失，就无法工作而言，晶体管中有一个不充分工作就足够了。此外，对穿过晶片的孔的干法蚀刻是费时的工艺，其因此也是昂贵的。

在本发明中，将单独的器件集成在设有互连结构的第一晶片上。随后将第一晶片减薄并利用湿法蚀刻技术对其进行构图，由此将第一晶片减少至几个岛，所述岛是从它们所附着的组件结构而不是从它们自身来获得它们的机械特性。这里，岛不对应于一个晶体管，如在 US6075279 中的器件那样，而对应于一个接触焊盘。

为了在组裝的所有阶段期间以及在使用期间提供所需的机械稳定性，可以将单独的器件封装。此外，在该实施例中在第一晶片的顶部上存在柔性层且优选为顺应性层。通孔延伸穿过该柔性层，并且单独器件耦合到其上的接触焊盘仅存在于该柔性层上。以这种方式，布置机械去耦。

图 7 示出载体 10 的截面图。其包括具有为 n 型重掺杂的第一层 111 的硅衬底 11。掺杂剂浓度处在  $10^{19}/\text{cm}^3$  的数量级上。在衬底 11 的 n<sup>++</sup> 层 111 上存在基本未掺杂的衬底层 112。该本征层 112 用作晶体管的沟道。深扩散 113 从 n<sup>++</sup> 层 111 延伸穿过未掺杂层 112 至互连结构 21 中的一个或多个延伸部分 22。另外，将电元件 20 限定在衬底中，在该实例中其为垂直 MOS 器件。这里，衬底 111 用作漏极，而

源极和栅极位于顶侧。这些垂直 MOS 器件是常规的。或者，可以应用沟槽 MOS 器件或双极性器件。通过互连 21 将延伸部分或接触焊盘 22 电耦合到元件 20 中的第一个（或实际上是同一个）。第二元件 20 也设置有这种互连，然而对于另一个，未示出延伸部分 22。

元件 20 和具有其延伸部分 22 的互连结构被电介质层 120 覆盖。这优选为顺应性层，例如聚酰亚胺。适当的顺应性层为具有小杨氏模量和低玻璃转变温度的有机材料。这种类型的材料应用于封装工业中，其用于芯片级封装中的晶片涂层、再布线层以及用于球栅阵列封装中的集成电路的管芯附着材料。如果在将有源器件 30 安装到载体之后执行研磨，则优选使用玻璃转变温度在室温之上的材料。这确保在室温下进行研磨期间载体衬底与封装体的组装在机械上足够硬。另外，室温下的相对硬度似乎适合于组装步骤其自身。电介质层 120 的厚度优选处在 0.5-20 微米的范围内，最为优选地处在 1-5 微米的数量级上。这是允许足够柔性的厚度，同时可以适当地制造垂直互连区域 121。实际上，电介质层 120 还在相邻的元件 20 之间形成电绝缘。垂直互连区域 121 延伸穿过电介质层 120。互连 122 位于电介质层 120 上且延伸到接触焊盘 25。这些接触焊盘 25 设有适合于键合的材料 125，例如 NiAu。可以通过无电镀生长来施加还被称为突起下金属化的该材料 125。虽然这里仅作为突起下金属化示出，但是不排除还应用焊料突起。该结构最后被钝化层 24 覆盖，例如为其选择  $\text{Si}_3\text{N}_4$ 。

图 8 示出在安装器件 30 并提供封装体 40 之后的组件 100。通过倒装片技术利用在安装之前已经设置在器件 30 上的焊球 32，将器件 30 安装到载体 10。优选地，使用底填材料 33。可以在安装之后或之前施加该底层填料 33，如之前关于第一实施例所论述的那样。可以使用焊料盖来代替焊球 32。可以采用可选择的连接技术，例如各向异性导电胶。器件 30 优选具有减薄的衬底 31。在加热步骤中，将有源器件 30 上的焊球 32 和突起下金属化 125 结合到焊接连接 32。

这里，特别设计器件 30 以控制电元件 20，且优选为集成电路。这种控制 IC 本身对于本领域技术人员来说是公知的。显而易见地，集成到单个封装中的一个优点是可以简化将组件 100 设置到其上的板。在控制 IC 与受控元件之间不需要提供互连，并且可以减少组件 100 的端子的数量。该结构的另一优点是控制 IC 与电元件之间的距离相对较短且简单。这在简单通信协议的使用中被充分利用。另外，集成允许提供额外的从元件 20 到控制 IC 30 的反馈机制，以便改善控制。

封装体 40 在该实例中包括粘合剂 41 和覆盖整个组件的玻璃衬底 43。或者可以使用例如在第一实例中使用的环氧树脂包覆成型物。粘合剂 41 和玻璃衬底 43 的应用显得非常适合于其中预期有大的温差的组件，例如功率晶体管。粘合剂主要存在于有源器件 30 之间并且可以将其选择为可高度变形。以此可以适当地释放局部的和相对少量的应力。

图 9 示出对载体的衬底 11 进行减薄和构图之后的组件 100。这与第一实施例的不同之处在于：使用台面 15 以及至用于耦合到外部部件的端子 52、53 的互连。每一台面 15 限定一个以上的端子 52、53，但是其也许不必用于同一个信号或接地连接。提供多个端子以便获得来自用作功率晶体管和板的电元件 20 的优良的热传递。接触焊盘 22 通过深扩散 113 耦合到端子 52。将端子 53 耦合到功率晶体管 20 的漏极。虽然这里未示出，但是可以存在另一深扩散以减少高掺杂层 112 与衬底中用作源极的区域之间的接触电阻。通常将功率晶体管的栅极耦合到控制 IC 30，并且分离的端子可用于至控制 IC 30 的输入和输出。将接触焊盘 52（且所有分别至控制 IC 的接触焊盘）设置在接触焊盘 53 周围被认为是有利的。这对于其上安装组件 100 的板的简单布图是有利的。如果希望，可以对氧化层 12 进行构图以便增大岛 15 的相互可移动性。此后可以施加另一钝化层。台面 15 可以

用作用于对氧化层 12 进行构图的掩模。然而，观察到氧化层 12 适合为厚度为大约 500nm 的热氧化物并且其自身构成优良的钝化。

在该实施例中，仅在对载体衬底 10 进行构图之后，且因此仅在有源器件 30 的安装之后，可以执行组件和载体衬底中的元件的测试。适当地，在将焊料设置在焊球上之前执行该测试。为了限制产量损失，优选在相对较大的规模上并且利用公知的工艺技术制造载体衬底 10 中的元件，和/或双重提供相对脆弱的互连。此外，提供特定的测试焊盘作为互连 122 的一部分（或连接到其）以便使得能够在蚀刻步骤之前对到有源器件 30 的焊接连接 32 进行测试。

图 10-15 示出本发明第三实施例中的不同阶段的截面概略图，其未按比例绘制。该实施例针对 BICMOS 或 CMOS 电路与 III-V 衬底中的半导体器件的集成。III-V 衬底中的半导体器件例如为功率放大器、低噪声放大器或者甚至是光电子器件，例如发光二极管。附图所示的实例包括具有 BICMOS 电路的载体 10 且另外包括带状线、以及作为半导体器件 30 的 InP 双极性晶体管。

在机械上，该第三实施例的组件 100 结合了第一和第二实施例的两个概念，并且引入了另外一个概念。如在第一实施例中那样，在载体的互连结构 21 中设置用于至外部板的连接的接触焊盘。换言之，在接触焊盘 22 的区域处完全去除衬底 11。如在第二实施例中那样，在载体 10 的顶部上使用柔性层。该柔性层允许被减薄的并被部分去除的衬底 11 与半导体器件 30 的机械去耦。该实施例的另一特征是提供金属封装体，其同时用作有效的散热器。

图 10 示出组装之前的载体 10。其设有具有第一侧 101 和相反的第二侧 102 的衬底 11。氧化层 12 位于第一侧 101 上。在衬底 11 中将电元件 20 限定在该相同的第一侧 101 处。电元件 20 在该实例中形成集成电路。特别将其设计为收发器集成电路。为此，优选地电路包括双极性和 CMOS 晶体管。将互连结构 21 限定在元件 20 的顶部上。

其包括至衬底 11 的第一侧 101 的延伸部分 22、23。该结构 21 可以与集成电路 20 所需的常规互连结构集成，尽管这不是必需的。互连结构 21 至少包括第一层 211 和第二层 212。第一层 211 用作用于端子 52、53 的互连，所述端子 52、53 将由衬底 11 的第一侧 101 处的延伸部分 22、23 形成。第二层 212 用作用于顶侧接触焊盘 25、26 的互连。利用一个或多个绝缘层 213 使这些层 211、212 相互分离。优选地，该绝缘层 213 包括具有低介电常数的材料，例如从 Dow Corning 可获得的 SilK<sup>TM</sup>。另外，可以使用材料的叠层用作绝缘层 213。通孔 214 延伸穿过绝缘层 213 并位于第一和第二层 211、212 之间，或者接触焊盘 22、23、25、26 之间。另外，在该设计中，在层 211、212 中都限定带状线 215。这可以实现，是因为互连结构的第一层 211，达到耦合到延伸部分 22 的程度，用作接地面。在互连结构 21 完全与集成电路 20 的互连结构集成的情况下，第一层 211 优选为互连结构的底层。然而，带状线不是唯一可行的构造。以相同的方式可以形成电容器，而且还可以获得具有屏蔽的电感器或多层电感器。特别对于电容器，适合将第一和第二层 211、212 设置得彼此较近。

以构图的方式将钝化层 24 沉积在结构 21 的顶部上，以便仅覆盖接触焊盘 26。如稍后所述，接触焊盘 26 连接到热沉，而接触焊盘 25 连接到另一半导体器件 30。因此，额外的金属化 125 适合仅沉积在接触焊盘 25 上。钝化层 24 优选包括氮化物。另一绝缘构图层 216 存在于该结构上。该层 216 用作间隔物并限定用作接触焊盘 25、26 的区域，其中例如可以将感光苯并环丁烷（BCB）或感光聚酰亚胺或丙烯酸脂用于所述层 216。

图 11 示出在工艺过程中的第二阶段的组件 100。这里已采用倒装片技术组装有源器件 30 和载体 10，并且利用在限定在载体 10 中的集成电路 20 的接触焊盘 25 与限定在有源器件中的接触焊盘 35 之间的焊球 32 形成电接触。提供底层填料 33 以保护焊球 32 以及改善

机械可靠性。在该实例中有源器件 30 为由 III-V 半导体材料、特别是由 InP 构成的衬底 31 上的放大器。或者，其可以为低噪声放大器、诸如光耦合器、光电二极管或发光二极管的光电子元件、另一集成电路、MEMS 部件或滤声器。衬底 31 包括衬底层 231、蚀刻停止层 232（在该实例中由 InGaAs 构成）、间隔层 233（在该情况下为 InP I 间隔物）。在具有层结构 231-233 的该衬底 31 的顶部上，限定几个被构图的层，即 InGaAs n<sup>++</sup>掩埋集电极接触 234、InP n 集电极 235、InGaAs p 基极 236 和 InP n<sup>++</sup>发射极 237。虽未示出但实际存在的是基极 236 和集电极 237 之间的 InP n<sup>-</sup>间隔物、以及 InGaAs n<sup>++</sup>发射极接触。金属化 238 在集电极和发射极的接触与接触焊盘 35 之间提供电耦合，所述金属化 238 例如由具有诸如 TiN 的适当阻挡层的 Au 构成。金属化 39 和层 234-237 掩埋在电介质材料 239 中。

图 12 示出在工艺过程中的第三阶段的组件。这里，通过蚀刻去除有源器件 30 的衬底。首先，去除 InP 衬底 231。在 HCl 中的蚀刻在 InGaAs 蚀刻停止层 232 上停止。然后，朝向间隔物 233 选择性地去除蚀刻停止层 232。这在其中导致将间隔物 233 暴露出来。另外，将顶侧接触焊盘 26 上的钝化层 24 开口以便暴露该接触焊盘 26。虽然这里未示出，但是可以在另一绝缘层 216 和底层填料 33 上提供诸如氮化硅或氧化硅的额外保护层。这种保护层保护下面的层不受用于去除有源器件 30 的衬底的抗蚀剂的影响。

图 13 示出在工艺过程中的第四阶段的组件 100。已经将封装体 40 施加到组件上。在该情况下，使用金属封装体 40。虽然这种金属封装体最适合由铜制成，但是也可以用其它材料制成，例如 Al、Ni、Au 或合金。另外，金属封装体 40 包括不止一层，例如可以将由 Au 构成的粘合层施加到铜金属化 40 的顶部上。如果想要透明层，可以使用 ITO。适合通过电镀来施加金属化。对此，首先，例如通过溅射将电镀基材 42 设置在另一绝缘层 216 上以及半导体器件 30 的暴露的

表面上。由于已经去除半导体器件 30 的衬底 231、232，所以其排除焊球 32 的厚度处在 1-5 微米的数量级上，优选为约 1 微米。可以任意选择焊球的尺寸。适当地，它们在另一绝缘层 216 上仅延伸 5 到 15 微米。因此，在另一绝缘层 216 与暴露的间隔物层 233 之间的最终高度差优选在 5-20 微米的数量级上，且适当地大约为 10 微米。这种距离不会引起电镀工艺中的问题，特别是当所预见的厚度处在 50-100 微米的数量级上时。

该封装体的效果具有两个优点。首先，带状线 215 在这里为全带状线，因为信号传输线（即第二层 212）在两侧（即第一层 211 与封装体 40）上设置有接地面。

第二个优点是散热。存在从半导体器件 30 到热沉的短路径，使得能够容易地散热。此外，热沉在整个表面上的延伸允许在器件中产生均匀的温度。以此，可以优化器件的操作。

图 14 示出最终的组件 100。在提供封装体 40 之后，通过研磨并向下蚀刻至 20-50  $\mu\text{m}$ ，来减薄载体的衬底 11。铜封装体 40 在这里使结构机械稳定。此后，选择性地蚀刻衬底 11 以通过暴露到互连结构 21 的延伸部分 22、23 来形成端子 52、53，并产生具有集成电路 20 的台面 15。可以对氧化层 12 进行构图。

最后，底侧接触焊盘 22、23 设有适当的金属化 241 和用于设置到外部板上的焊球 242。可以将封装体 40 设置在热沉上，或连接到任何其它的散热机构，例如热导管。或者，可以将封装体 40 用于承载组件 100。于是底侧接触焊盘 22、23 可以设有键合引线或箔，例如柔性箔（flexfoil）。

## 参考标记列表

- 10: 载体
- 11: 载体的半导体衬底
- 12: 半导体衬底 11 上的氧化层
- 15: 限定在衬底 11 中的台面结构
- 20: 电元件
- 21: 互连 (结构)
- 22、23: 互连结构的延伸部分
- 24: 钝化层
- 25、26: 顶侧接触焊盘
- 30: 有源器件
- 31: 有源器件 30 的衬底
- 32: 载体与有源器件之间的焊球
- 33: 底层填料
- 34: 有源器件 30 的钝化层
- 35、36: 有源器件 30 的接触焊盘
- 40: 封装体
- 41: 粘合剂
- 42: 用于封装体的电镀基材
- 43: 玻璃衬底
- 52、53: 端子
- 54: 端子上的金属化
- 55: 焊剂
- 56: 焊球
- 100: 组件
- 101: 衬底 11 的第一侧
- 102: 衬底 11 的第二侧

- 111: 半导体衬底（高掺杂 n<sup>++</sup>）的第一层
- 112: 衬底 11 中的本征层
- 113: 衬底 11 中的深扩散
- 120: 电介质层
- 121: 垂直互连区域
- 122: 互连
- 125: 突起下金属化
- 211: 互连结构 21 的第一金属层
- 212: 互连结构 21 的第二金属层
- 213: 互连结构 21 的绝缘层
- 214: 穿过绝缘层 213 的通孔
- 215: 限定在第一&第二金属层 211、212 中的带状线
- 216: 另一绝缘层
- 231: 有源器件 30 的衬底 31 的衬底层
- 232: 衬底 31 的蚀刻停止层
- 233: 衬底 31 的间隔物层
- 234: 掩埋的集电极接触
- 235: 集电极
- 236: 基极
- 237: 发射极
- 238: 金属化
- 239: 电介质材料
- 241: 用于底侧接触焊盘 22、23 的金属化
- 242: 附着到底侧接触焊盘 22、23 的焊球
- 300: 印刷电路板
- 301: 印刷电路板上的接触焊盘

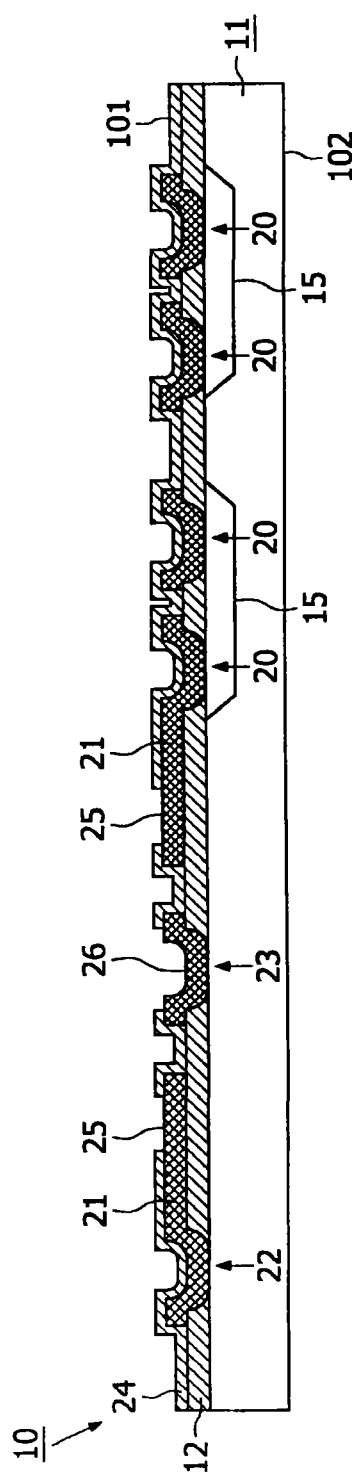


图1

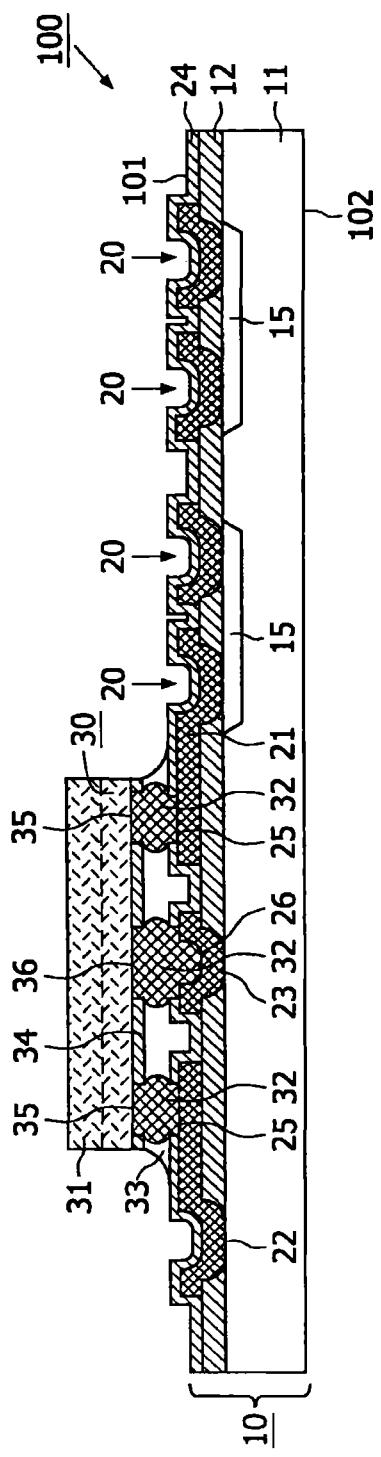


图2

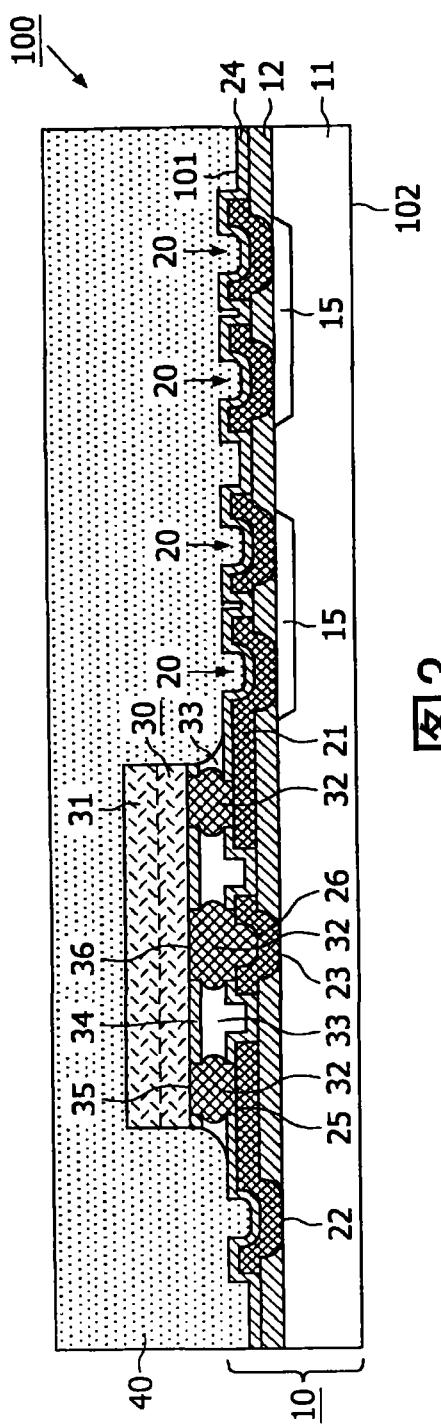


图3

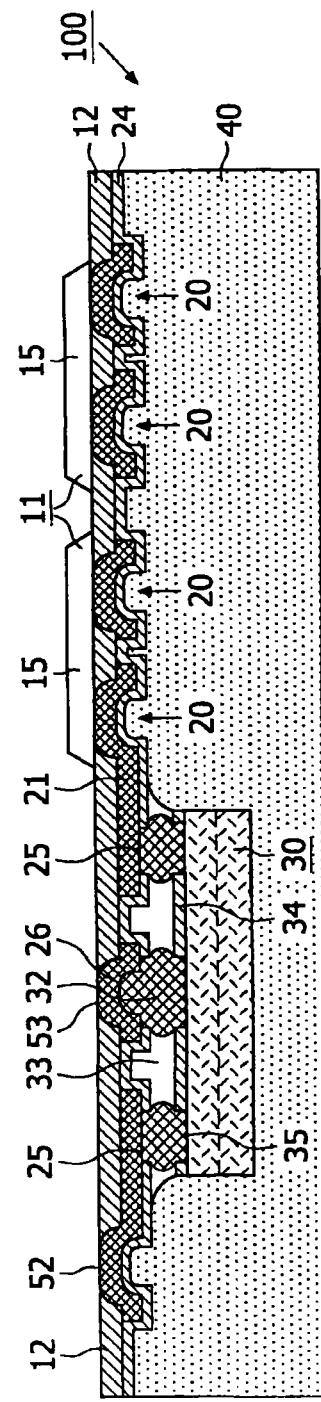


图4

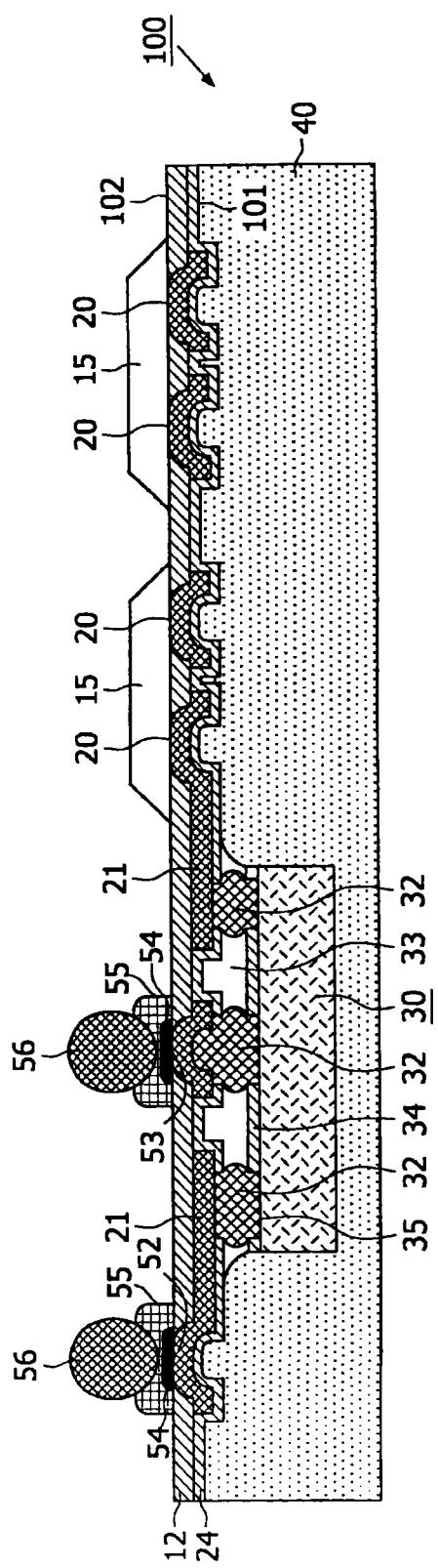


图 5

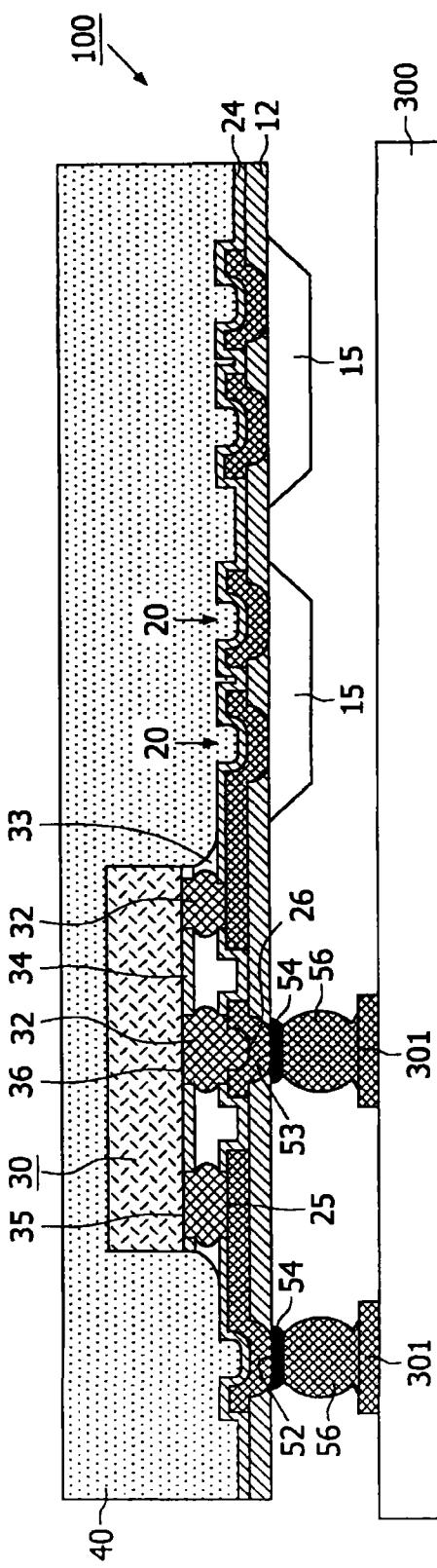
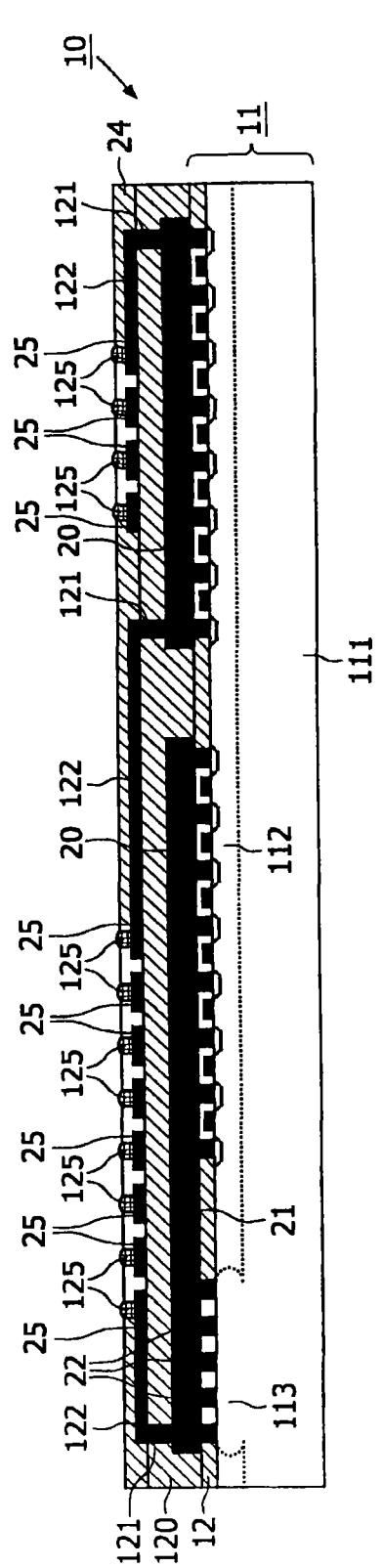
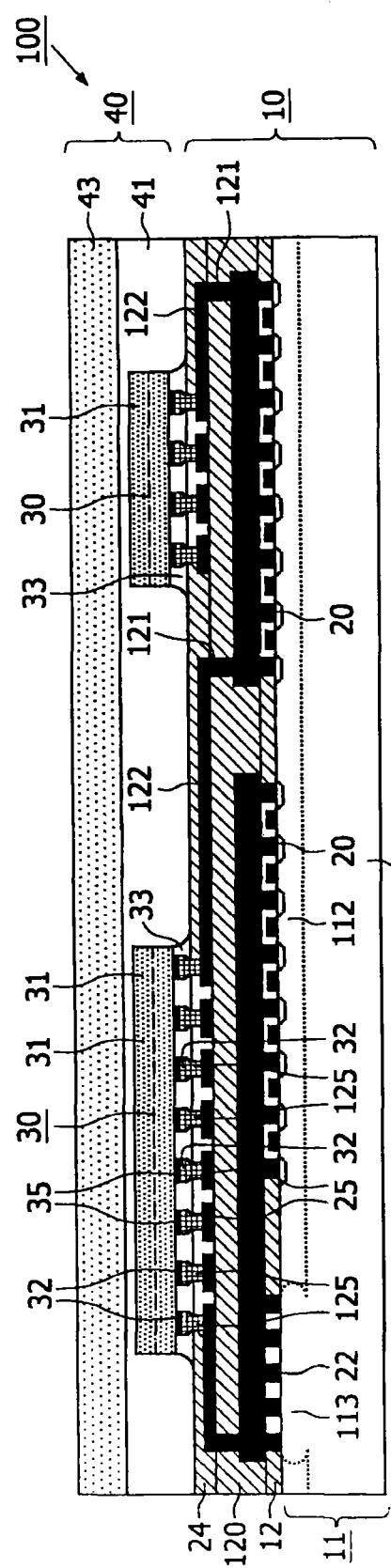


图 6



7



8

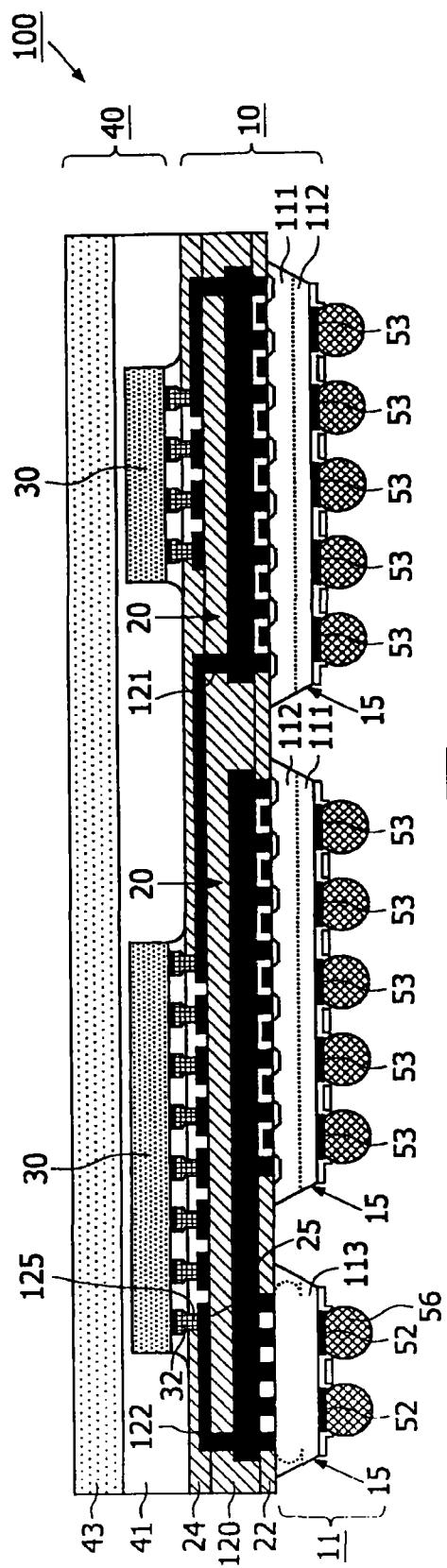


图9

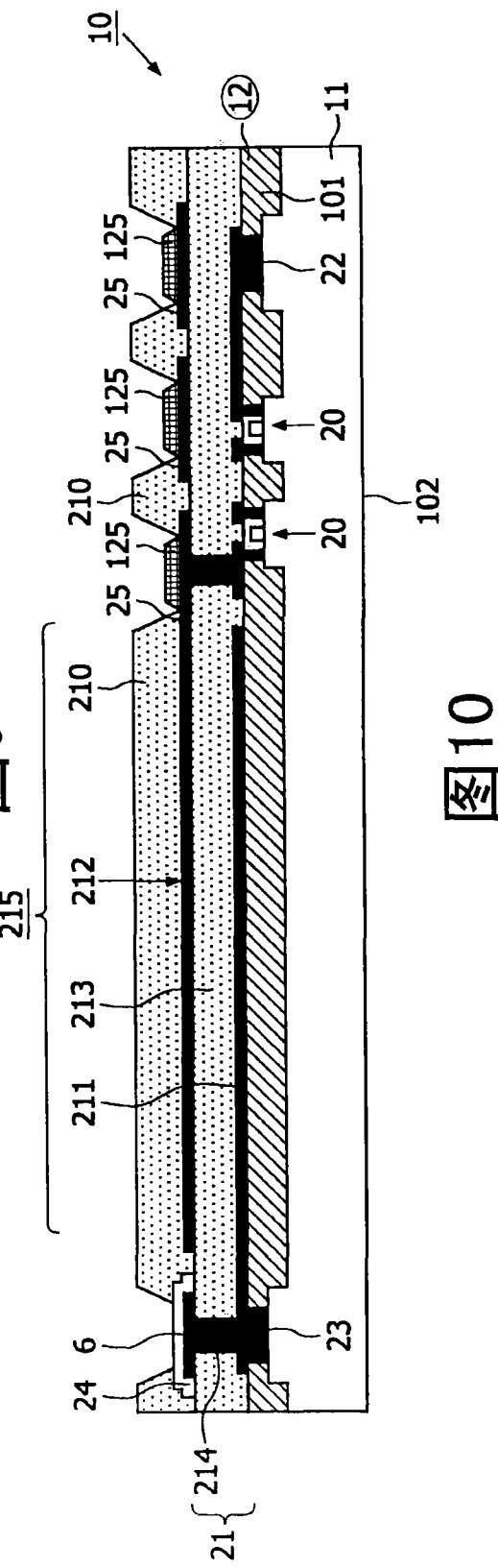


图10

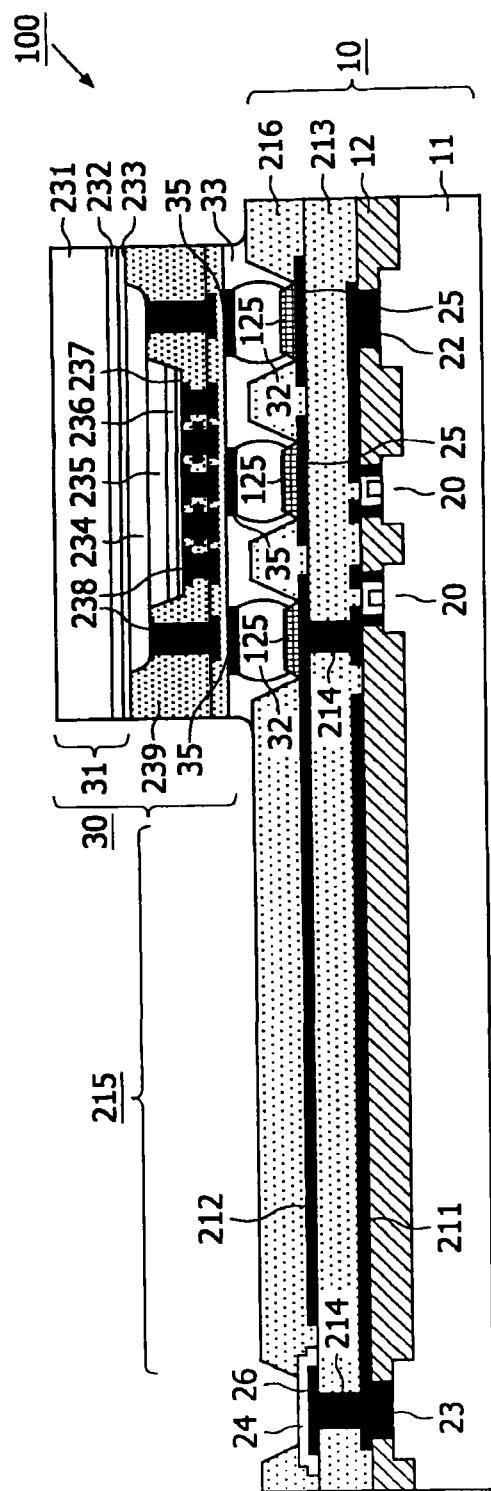


图11

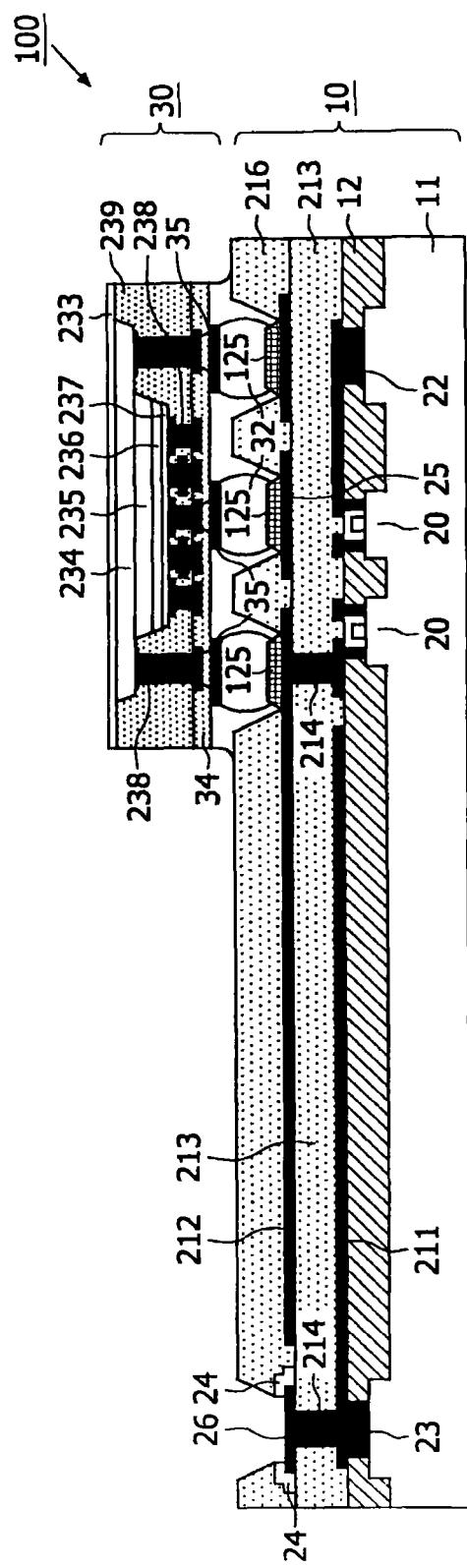


图12

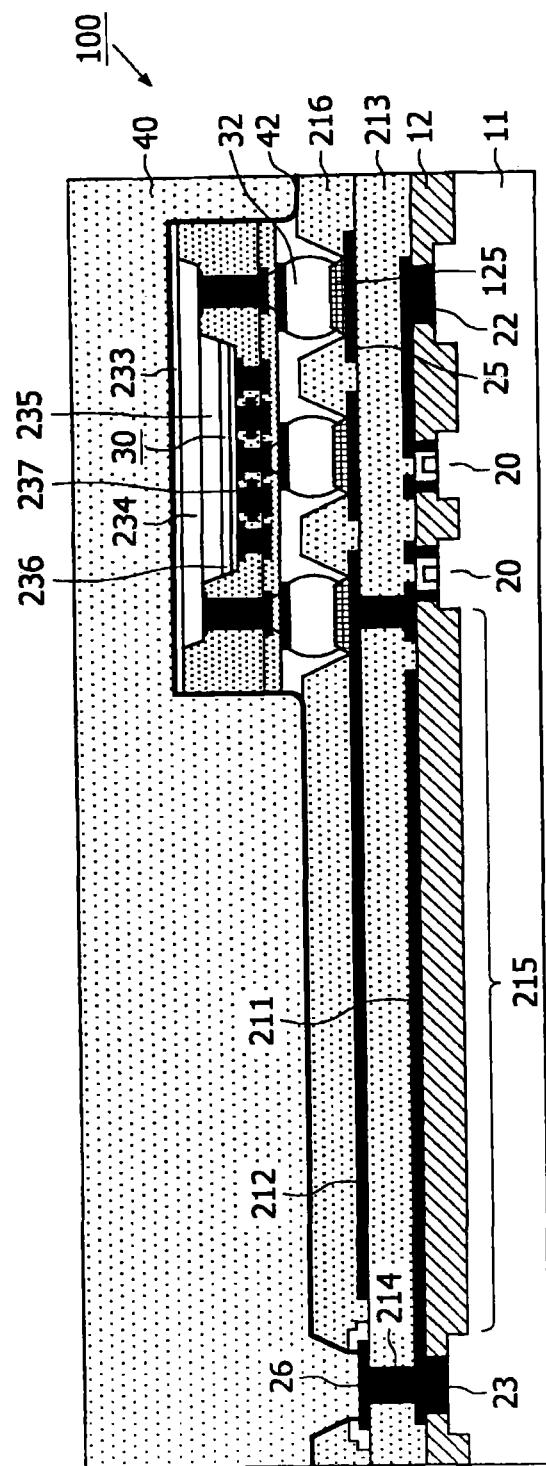


图13

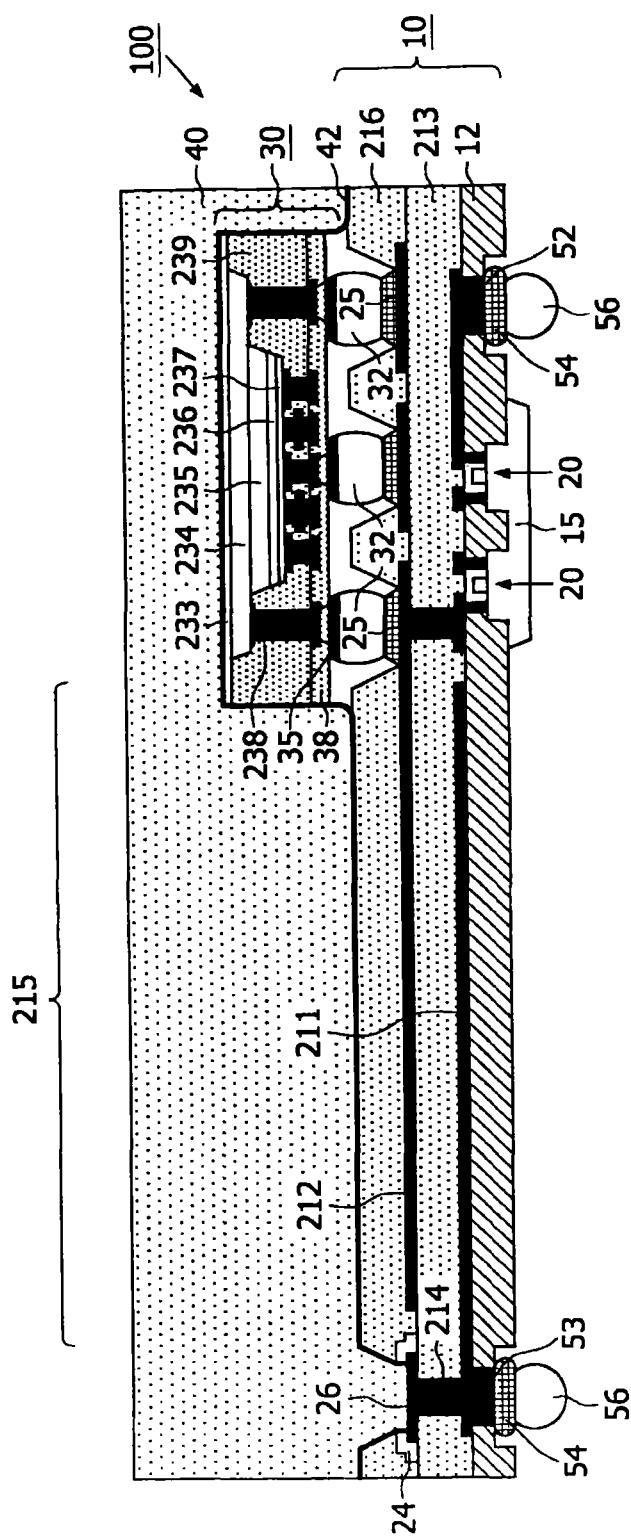


图 14