



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl.

*H01L 21/66* (2006.01)

(45) 공고일자

2006년11월23일

(11) 등록번호

10-0648275

(24) 등록일자

2006년11월14일

(21) 출원번호

10-2004-0103526

(65) 공개번호

10-2006-0064855

(22) 출원일자

2004년12월09일

(43) 공개일자

2006년06월14일

심사청구일자

2004년12월09일

(73) 특허권자

삼성전자주식회사  
 경기도 수원시 영통구 매탄동 416

(72) 발명자

최승철  
 경기 용인시 풍덕천2동 삼성5차아파트 524동 304호

안상배  
 경기 수원시 영통동 신나무실 신안아파트 534동 101호

이규정  
 경기 용인시 기흥읍 상갈리 금화마을주공아파트 306동 504호

윤명희  
 경기 용인시 기흥읍 상갈리 금화마을주공아파트 310동 1406호

변도훈  
 경기 수원시 영통구 영통동 우성아파트 822동 1101호

서기명  
 경기 용인시 기흥읍 상갈리 481번지 금화마을 주공그린빌 301동 706호

(74) 대리인

임창현  
 권혁수  
 오세준  
 송윤호

(56) 선행기술조사문헌

06194404 \*

JP06194404 A

KR1020000047045 A

KR1020000049745 A

\* 심사관에 의하여 인용된 문헌

**심사관 : 맹성재**

전체 청구항 수 : 총 3 항

**(54) 반도체 테스트 장치**

## (57) 요약

본 발명에 따른 반도체 디바이스를 테스트 하는 장치는 테스트 컨트롤러의 제어에 응답하여 상기 반도체 디바이스에 공급 될 전원을 발생하는 전원 공급부와; 상기 테스트 컨트롤러의 제어에 응답하여 상기 전원을 상기 반도체 디바이스로 전달하는 전압 전달부와 그리고 상기 전원 공급부와 출력에서 과도하게 전류가 공급되는 지의 여부를 검출하는 과전류 검출부를 포함한다. 특히, 상기 전압 전달부는 상기 과전류 검출부의 출력에 응답하여 상기 테스트 컨트롤러의 개입 없이 상기 반도체 디바이스로의 전원공급을 차단하도록 구성된다.

## 내용

도 3

### 특허청구의 범위

#### 청구항 1.

테스트 컨트롤러와 연결되며, 상기 테스트 컨트롤러의 제어에 따라 반도체 디바이스를 테스트하는 반도체 테스트 장치에 있어서:

상기 테스트 컨트롤러의 제어에 응답하여 상기 반도체 디바이스에 공급될 전원을 발생하는 전원 공급부;

상기 전원 공급부의 출력에서 과전류가 공급되는 지의 여부를 검출하는 과전류 검출부;

상기 반도체 디바이스와 상기 반도체 테스트 장치를 접속되도록 하는 프로브 카드; 및

상기 전원 공급부와 상기 프로브 카드 사이에 연결되며, 상기 과전류 검출부의 검출 결과에 따라 상기 전원 공급부로부터의 전원을 상기 반도체 디바이스로 전달하기 위한 릴레이를 포함하는 반도체 테스트 장치.

#### 청구항 2.

제 1 항에 있어서,

상기 테스트 컨트롤러의 출력 또는 상기 과전류 검출부의 출력에 따라 상기 릴레이의 스위치 동작을 제어하는 릴레이 제어부를 더 포함하는 것을 특징으로 하는 반도체 테스트 장치.

#### 청구항 3.

제 2 항에 있어서,

상기 전원 공급부의 출력에서 과도하게 전류가 공급될 때, 상기 릴레이 제어부는 상기 과전류 검출부의 출력에 응답하여 상기 릴레이를 차단하는 반도체 테스트 장치.

#### 청구항 4.

삭제

#### 청구항 5.

삭제

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체의 테스트 장치에 관한 것으로, 세부적으로는 반도체 테스터 내에서 테스트할 소자에 전원을 공급하는 디바이스 파워 서플라이(Device Power Supply)의 전원 제어 방식에 관한 것이다.

일반적으로 주문형 반도체(ASIC)나 싱크로너스 다이나믹 랜덤 억세스 메모리(SDRAM) 또는 스탠티 랜덤 억세스 메모리(SRAM) 등과 같은 소자의 제조과정에 있어서, 웨이퍼 제조공정을 종료한 후에 다이 소트 테스트(Die Sort Test)를 통해서 회로의 각종 특성이나, 회로의 신뢰성을 검사하고 양품과 불량품을 선별하여 표시하는 방법으로 테스트가 진행된다. 이 단계에서 테스트 할 소자에 공급되는 테스트 전원은 디바이스 파워 서플라이(Device Power Supply)를 이용하여 인가되고 있다. 이 디바이스 파워 서플라이에서는 테스트 될 소자에 사용 조건에 맞도록 실장 환경에 가까운 전압으로 인가하고 차 다양한 전압을 가변하여 공급하고, 이에 반응하는 소자의 전기적 특성을 검사함으로 테스트 공정이 이루어졌다.

도 1은 종래의 기술에 따른 반도체 테스터를 개략적으로 보여주는 블럭도이다. 도 1을 참조하면, 반도체 테스터는 개인용 컴퓨터(PC) 혹은 워크스테이션(Workstation)으로 구성된 테스트 컨트롤러(10), 디바이스에 전원을 공급하는 전원 공급부(30), 필요에 따라 전원공급 및 차단을 담당하는 릴레이 제어부(20), 공급전원의 과전류를 검출하기 위한 과전류 검출부(40)와 릴레이(50), 그리고 테스트 될 디바이스로 전원을 제공하는 프로브 카드(80)로 구성된다.

과전류 검출부(40)는 테스트 하고자 하는 해당 반도체 디바이스(60)에서 정상적인 제품보다 훨씬 많은 양의 과전류가 발생하였는지의 여부를 감지하고, 감지결과로서 테스트 컨트롤러(10)로 발생되는 과전류 발생신호를 전송하게 된다. 테스트 컨트롤러(10)는 이 과전류 발생신호를 전달받아 릴레이 제어부(20)에 전원을 차단하도록 명령을 내리고, 릴레이 제어부(20)는 이 명령에 응답하여 릴레이(50)를 차단하여 해당 디바이스로 공급되는 과전류를 차단하는 방식으로 동작이 이루어졌다.

이와 같은 종래의 방식에서는 과전류 검출부(40)에서 발생하는 과전류 발생 신호를 다시 테스트 컨트롤러(10)로 전송하고, 테스트 컨트롤러(10)는 이 검출신호를 과전류 발생신호로 판단하는 연산과정을 거쳐 다시 릴레이 제어부(20)에 차단 명령을 내리는 처리 과정을 거쳐야 했다. 이 때 과전류 검출부(40)와 테스트 컨트롤러(10), 릴레이 제어부(20)간의 해당 인터페이스를 통한 과전류 검출신호의 전달 시간, 그리고 PC나 워크스테이션에 해당되는 테스트 컨트롤러(10)의 연산 시간이 소모될 동안에도 과전류는 전원 공급부(30)에서 계속 공급되고 있음을 알 수 있다. 이 때 소요되는 시간 동안, 도 2에서 도시한 바와 같이 테스트하는 소자와 접촉하여 전원을 공급하는 경로인 프로브 카드 팁(Probe Card Tip)(810)의 과전류로 인한 번트(Burnt)현상과 전원 공급부의 과전류로 인한 고장을 야기, 고가의 장비의 효율을 저하시켜 제조비용의 상승과 그에 따르는 기업의 가격경쟁력을 낮추는 요인이 되어왔다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은 상술한 문제점을 해결하기 위하여 제안된 것으로, 본 발명의 목적은 과전류 감지 후에 테스트 컨트롤러 명령에 의하지 않고서도 신속히 릴레이 제어부에 전원 차단 동작신호를 인가할 수 있도록 함으로써, 전원공급부에 과전류가 흐르는 시간을 단축하고, 더불어 고가의 반도체 테스터 장비를 보호하기 위한 제어방법과 장치를 제공하는 데 있다.

#### 발명의 구성

상기한 제반 목적을 달성하기 위한 본 발명의 특징에 따르면, 반도체 디바이스를 테스트하는 반도체 테스터 장치는 테스트 컨트롤러의 제어에 응답하여 상기 반도체 디바이스에 공급될 전원을 발생하는 전원 공급부; 상기 전원 공급부의 출력력에서 과전류가 공급되는 지의 여부를 검출하는 과전류 검출부; 상기 반도체 디바이스와 상기 반도체 테스트 장치를 접속되도록 하는 프로브 카드; 및 상기 전원 공급부와 상기 프로브 카드 사이에 연결되며, 상기 과전류 검출부의 검출 결과에 따라 상기 전원 공급부로부터의 전원을 상기 반도체 디바이스로 전달하기 위한 릴레이를 포함한다.

바람직한 실시 예에 있어서, 상기 반도체 테스트 장치는 상기 테스트 컨트롤러의 출력 또는 상기 과전류 검출부의 출력에 따라 상기 릴레이의 스위치 동작을 제어하는 릴레이 제어부를 더 포함한다.

바람직한 실시 예에 있어서, 상기 전원 공급부의 출력에서 과도하게 전류가 공급될 때, 상기 릴레이 제어부는 상기 과전류 검출부의 출력에 응답하여 상기 릴레이를 제어한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시 예를 첨부된 도면을 참조하여 설명하기로 한다.

#### 삭제

#### 삭제

도 3은 본 발명의 실시예에 따른 반도체 테스터를 개략적으로 보여주는 블록도이다.

도 3을 참조하면, 본 발명에 따른 반도체 테스터는 웨이퍼 레벨의 반도체 디바이스(160)를 테스트하기 위한 것으로, 테스트 컨트롤러(110)와 디바이스 파워 서플라이(170)를 포함한다. 테스트 컨트롤러(110)는 테스트 모드에 진입할 때 디바이스 파워 서플라이(170)를 제어하도록 구성되며, 예를 들면, 개인용 컴퓨터 또는 워크스테이션으로 구성될 수 있다. 하지만, 테스트 컨트롤러(110)가 여기의 개시에 국한되지 않음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 디바이스 파워 서플라이(170)는 테스트 컨트롤러에 의해서 제어되고, 반도체 디바이스로 전원을 공급한다. 디바이스 파워 서플라이(170)는 릴레이 제어부(120), 전원 공급부(130), 과전류 검출부(140), 릴레이(150), 프로브 카드(180)를 포함한다. 여기서, 릴레이 제어부(120), 릴레이(150) 그리고 프로브 카드(180)는 전원 공급부(130)에 의해서 생성된 전원을 테스트 디바이스로 전달하기 위한 전압 전달부를 구성한다.

상기 전원 공급부(120)는 테스트 컨트롤러(110)의 제어를 통해서 테스트 할 반도체 디바이스(160)에 전원을 공급하도록 구성된다. 반도체 디바이스(160)가 완제품으로 판매되어 사용될 실장 환경과 같은 전압조건을 인위적으로 조성하기 위해 테스트 컨트롤러(110)의 전원제어 신호에 따라 일정 레벨로 조정하여 다양한 전압을 출력하게 된다. 또한 반도체 디바이스(160)의 주파수 특성이나, 시간 지연특성 등을 정확히 검출하기 위해서, 인가되는 직류 전압에서 미세한 잡음을 제거하는 필터회로, 부하의 변화에도 안정적인 전압을 공급하기 위한 정전압 회로 등을 포함하게 된다.

상기 과전류 검출부(140)는 전원 공급부(130)의 출력단에 전기적으로 연결되어 있다. 불량 반도체 디바이스에 의한 과전류 발생시에 정상적인 전류치와 비교하여 일정값 이상의 전류일 때에는 과전류 발생신호를 출력하는 장치로서 과전류 검출부(140)가 제공된다. 본 발명에서는 과전류의 검출 시에 해당하는 과전류 발생 신호를 릴레이 제어부(120)에 직접 전달하도록 추가적인 과전류 발생신호 전달경로(190)를 설치하였다. 또한 이와 동시에 과전류 발생신호를 일시 저장하고, 이를 테스트 컨트롤러(110)로 전송하여 불량품에 대한 마킹과 처리를 위한 정보로 사용하도록 출력경로를 구성하였다.

상기 릴레이 제어부(120)는 먼저 테스트 컨트롤러(110)의 명령에 따라서 릴레이(150)의 동작을 제어한다. 테스트의 시작과 종료 시, 상기 릴레이 제어부는 불량품 발생 시에 반도체 디바이스(160)에 공급되는 전원을 공급하거나 차단하는 동작 신호를 릴레이(150)에 공급한다. 특히, 본 발명의 실시 예로서 도 3에 도시했듯이 과전류 검출부(140)에서 출력되는 과전류 발생신호를 적절한 입력수단을 통해 받게 된다. 따라서 본 발명에서 릴레이 제어부(120)가 테스트 컨트롤러(110)의 명령과, 과전류 검출부(140)의 검출 결과에 의해 제어가 이루어지는 회로 구조를 갖도록 구성될 것이다.

상기 릴레이(180)는 릴레이 제어부(120)에서 출력되는 릴레이 제어신호에 따라서 전원 공급부에서 해당 테스트 디바이스로 공급되는 전원의 공급과 차단을 행하는 스위치로써 동작한다.

상기 프로브 카드(180)는 전원 공급부(130)에서 공급되는 테스트 전원을 웨이퍼 상의 각 소자에 공급하는 장치이다. 이를 위해 도 2와 같이 프로브 카드 텁(810)을 테스트하고자 하는 반도체 디바이스(160)의 페드(Pad)에 접촉시킨 후, 전원 공급부(130)에서 공급되는 전기적 신호를 칩 상에 전해주는 장치이다. 특히 프로브 카드의 텁(810)은 접촉저항, 마모도, 수명에 따라서 웨이퍼 수율에 큰 영향력을 미치는 부분으로 프로브 카드(180)의 핵심이다.

이러한 회로 구성에 따르면, 테스트 컨트롤러(110)의 개입 없이 과전류가 검출되자마자 바로 릴레이(150)를 차단시킴으로써 불량인 반도체 디바이스를 통해 흐르는 과전류로 인한 프로브 카드 텁(810)과 전원 공급부 (130)의 손상을 방지할 수 있다.

도 4는 본 발명에 의한 디바이스 파워 서플라이(170)를 제어하는 방법을 설명하기 위한 흐름도이다. 이하 본 발명에 따른 디바이스 파워 서플라이(170)의 전압 제어 동작이 참조 도면들에 의거하여 상세히 설명될 것이다.

테스트 동작이 시작되면, 테스트 컨트롤러(110)는 테스트 될 반도체 디바이스(160)로 공급될 전원이 생성되도록, 그리고 그렇게 생성된 전원이 테스트 될 반도체 디바이스(160)로 공급되도록 디바이스 파워 서플라이(170)를 제어한다. 좀 더 구체적으로 설명하면 다음과 같다.

테스트 컨트롤러(110)가 전원 공급부(130)로 전원 공급 명령을 출력함에 따라 테스트 동작이 개시된다. 전원 공급부(130)는 전원 공급 명령에 응답하여 반도체 디바이스(160)에 인가될 테스트 전원을 발생한다(S10). 다음은 테스트 컨트롤러(110)는 릴레이 온 명령을 릴레이 제어부(120)로 출력하며, 릴레이 제어부(120)는 릴레이 온 명령에 응답하여 릴레이(150)를 스위치-온 시킨다. 따라서, 전원 공급부(130)에 의해서 생성된 테스트 전원은 스위치-온된 릴레이(150) 및 프로브 카드(180)를 통해서 반도체 디바이스(160)로 공급된다. 이러한 조건하에서, 반도체 디바이스(160)에 대한 테스트 동작이 수행될 것이다. 예를 들면, 해당 반도체 디바이스에 대한 전압, 주파수 등의 특성들이 테스트 될 것이다.

테스트 동작이 수행되는 동안, 과전류 검출부(140)는 전원 공급부(130)의 출력으로부터 과도하게 전류가 흐르는 지의 여부를 검출한다(S30). 만약 반도체 디바이스(160)가 불량 디바이스라면, 과전류가 흐르게 될 것이다. 과전류 검출부(140)는 이 전류를 검출하여 과전류 발생신호를 테스트 컨트롤러(110)에 전송함과 아울러, 또한 릴레이 제어부(120)에도 전송하게 된다. 릴레이 제어부(120)는 테스트 컨트롤러(110)의 개입 없이 과전류 발생신호에 응답하여 릴레이(150)를 스위치 오프시킨다(S40). 이는 전원 공급부(130)에서 불량 반도체 디바이스(160)로의 전원 공급이 차단되게 한다. 또한 과전류 검출부(140)로부터 과전류 발생신호를 받은 테스트 컨트롤러(110)는 릴레이(150)의 차단 이후에 테스트 된 반도체 디바이스를 불량품으로 처리한다. 이 과정이 완료되면, 다음에 테스트 할 반도체 디바이스로 프로브 카드를 이동하여 동일한 테스트 과정을 시작하게 된다.

이상의 본 발명은 불량 반도체 디바이스에 의해 과전류가 발생하게 되면, 해당 디바이스로 공급되는 전원이 테스트 컨트롤러(110)를 거치지 않고, 곧바로 릴레이 제어부(120)에 릴레이 차단 동작을 실행을 하도록 디바이스 파워 서플라이(170)가 구성되어졌다. 기존의 방법에 비해서 테스트 컨트롤러(110)가 수행하는 과전류 발생 감지와 판단, 릴레이 차단 명령의 실행과정 등의 연산과정이 생략되어, 과전류를 보다 신속히 차단하고 디바이스 파워 서플라이(170)내의 프로브 카드의 텁(810)과 전원 공급부(130) 회로들을 과전류로 인한 충격으로부터 보호하도록 구성하였다

한편, 본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구범위 뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

### 발명의 효과

상술한 바와 같이 본 발명은 반도체 테스트를 위한 디바이스 파워 서플라이에서 불량 제품에 의한 과전류 발생 시, 과전류의 감지 후 테스트 컨트롤러 명령에 의하지 않고서도 해당 디바이스의 전원 릴레이를 차단하도록 제어 방법을 변경함으로서 테스트 소요 시간을 절감하고, 이와 더불어 과전류를 보다 신속히 차단하기 때문에 고가의 테스트 장비를 보호할 수 있다.

### 도면의 간단한 설명

도 1은 종래 기술에 따른 디바이스 파워 서플라이 장치부의 구성도이다.

도 2는 일반적인 반도체 테스터의 프로브 카드의 구성도이다.

도 3은 본 발명에 따른 디바이스 파워 서플라이 장치부의 구성도이다.

도 4는 본 발명에 관계된 디바이스 파워 서플라이 제어 방법에 대한 흐름도이다.

<도면의 주요부분에 대한 부호의 설명>

10, 110 : 테스트 컨트롤러 20, 120 : 릴레이 제어부

30, 130 : 전원 공급부 40, 140 : 과전류 검출부

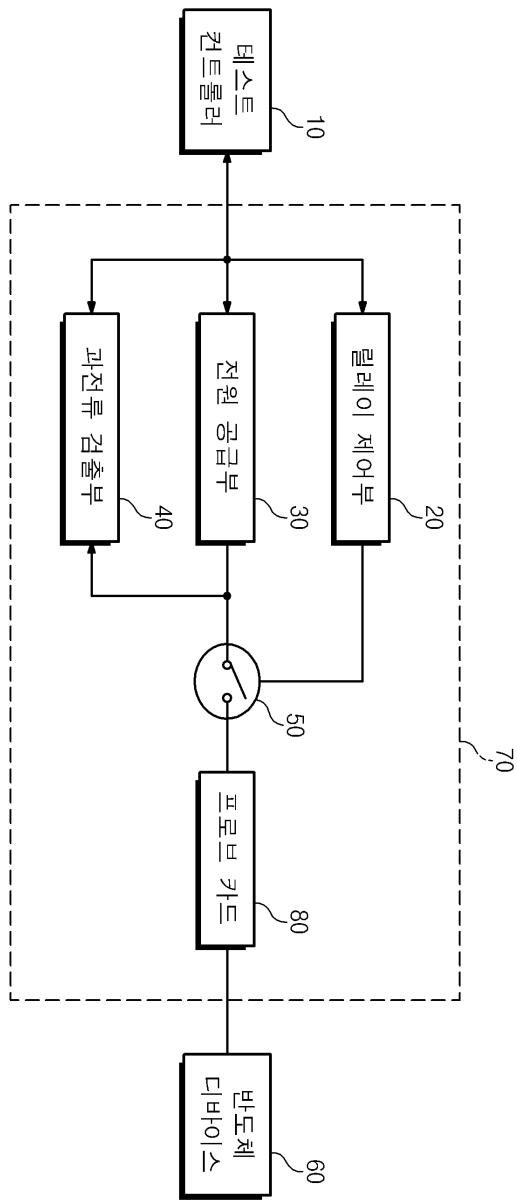
50, 150 : 릴레이 60, 160 : 반도체 소자

70, 170 : 디바이스 파워 서플라이 80, 180 : 프로브 카드(Probe Card)

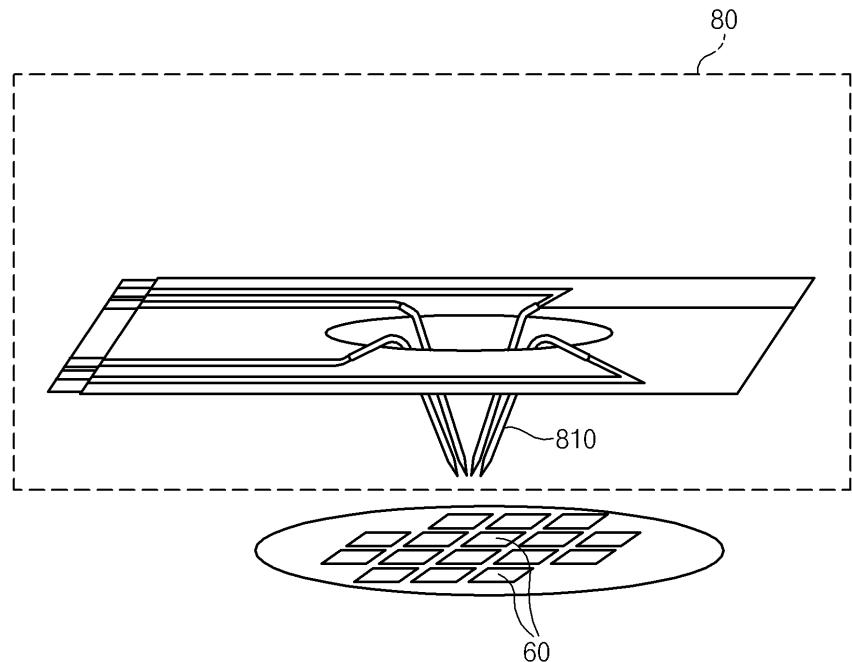
810 : 프로브 카드 팁(Probe Card Tip) 190 : 과전류 발생신호 전달 경로

**도면**

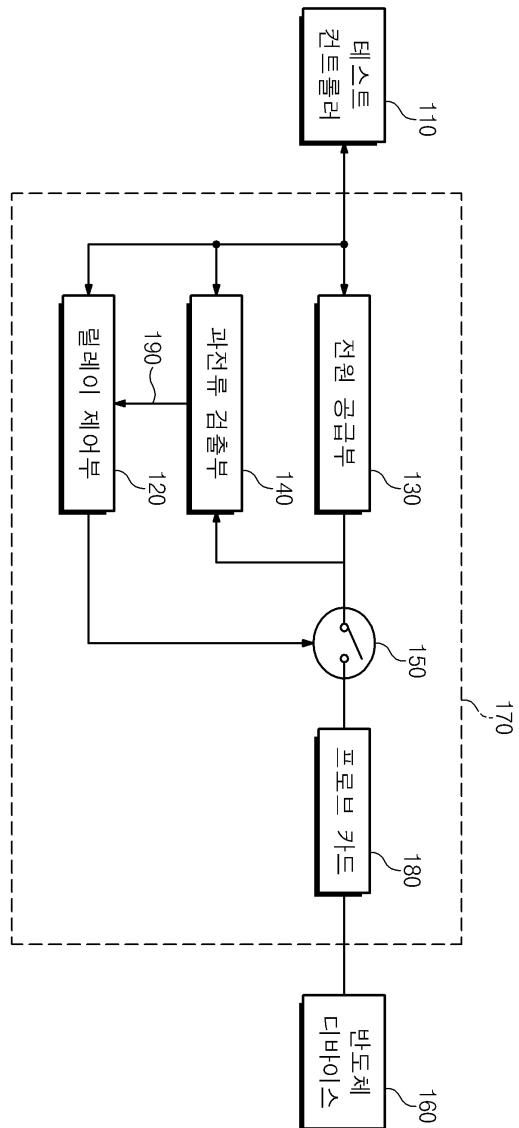
**도면1**



도면2



도면3



## 도면4

