

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成20年7月3日(2008.7.3)

【公開番号】特開2004-288355(P2004-288355A)

【公開日】平成16年10月14日(2004.10.14)

【年通号数】公開・登録公報2004-040

【出願番号】特願2004-71574(P2004-71574)

【国際特許分類】

G 1 1 C 11/41 (2006.01)

【F I】

G 1 1 C 11/34 K

【誤訳訂正書】

【提出日】平成20年5月16日(2008.5.16)

【誤訳訂正 1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項 1】

a) メモリアレイと、

b) 外部のシリアルデータを n ビットのパラレルデータへ変換し、内部の n ビットのパラレルデータを外部の受信部へ送信するためにシリアルデータへ変換するように構成された複数のポートと、

c) 複数のポートバッファと

を備えているマルチポートメモリアーキテクチャであって、

前記複数のポートバッファのそれぞれは、

前記複数のポートの一つ以上に前記 n ビットのパラレルデータを送信するように構成された第一の読み出しラインを有する読み出し部、および前記ポートの一つ以上から前記 n ビットのパラレルデータを受信するように構成された第一の書き込みラインを有する書き込み部を有しており、

前記第一の書き込みラインと前記第一の読み出しラインのそれぞれは k 個のエントリを有し、

前記 k 個は複数であり、前記複数のポートバッファの全ては、(i) 第一の共通バス上で前記メモリアレイに $k * n$ ビットの前記データの第一のブロックを送信し、(i i) 第二の共通バス上で前記メモリアレイから $k * n$ ビットの前記データの第二のブロックを受信するように構成されているマルチポートメモリアーキテクチャ。

【請求項 2】

前記メモリアレイは複数のページを備えており、前記ページのそれぞれは、固有のメモリページアドレスによって識別可能および / あるいはアクセス可能であり、前記データの第一のブロックおよび第二のブロックのそれぞれは、前記データの $\frac{1}{k}$ ページを含んでいる請求項 1 に記載のマルチポートメモリアーキテクチャ。

【請求項 3】

前記読み出し部は前記第一の読み出しラインおよび第二の読み出しラインを備え、前記読み出しラインのそれぞれは、前記 n ビットのパラレルデータを前記複数のポートの 1 つ以上に送信するように構成され、

前記書き込み部は前記第一の書き込みラインおよび第二の書き込みラインを備え、前記書き込みラインのそれぞれは、前記 n ビットのパラレルデータを前記複数のポートの 1 つ

以上から受信するように構成されている

請求項 1 に記載のマルチポートメモリアーキテクチャ。

【請求項 4】

前記メモリアレイは、前記第一の共通バスに結合された単一のデータ書き込みポートおよび前記第二の共通バスに結合された単一のデータ読み出しポートを有している

請求項 1 に記載のマルチポートメモリアーキテクチャ。

【請求項 5】

請求項 1 に記載のマルチポートメモリアーキテクチャを備えたネットワークスイッチであって、

前記複数のポートバッファのそれぞれが、(i) 第一のデータバスに沿って前記データを複数の前記ポートへ送信し、(ii) 第二のデータバスに沿って前記データを複数の前記ポートから受信し、かつ前記第一のデータバス及び前記第二のデータバスが先入れ先出し(FIFO)メモリを有さないネットワークスイッチ。

【請求項 6】

メモリにデータを書き込む方法であって、

a) 複数のポートの 1 つでシリアルデータを n ビット幅の平行データに変換するステップであって、n ビットのデータは 1 ワードを構成するステップと、

b) 複数のポートバッファの 1 つで前記 n ビット幅の平行データの k ワード長のブロックをバッファリングするステップであって、前記複数のポートバッファのそれぞれは k 個のエントリを有する第一の書き込みラインを有し、ここで k は複数個であり、前記複数のポートバッファのそれぞれは、前記複数のポートの一つ以上から前記 n ビット幅の平行データを受信し、第一の共通バス上で前記メモリへ $k * n$ ビットのデータの第 1 のブロックを送信するように構成されたステップと、

c) 前記 $k * n$ ビットのデータを前記メモリに実質的に同時に書き込むステップとを包含する方法。

【請求項 7】

$k * n$ ビットのデータ全てを前記メモリに実質的に同時に書き込むために、複数のメモリアドレスのうちの一つを特定するステップをさらに包含している請求項 6 に記載の方法。

【請求項 8】

前記シリアルデータを前記 n ビット幅の平行データに変換する処理は第一の周波数で行われ、前記バッファリングの処理は第二の周波数で行われ、前記 $k * n$ ビットのデータを実質的に同時に書き込む処理は第三の周波数で行われ、前記第一の周波数は前記第三の周波数とは異なっている請求項 7 に記載の方法。

【請求項 9】

メモリからデータを読み出す方法であって、

a) k は複数であり、前記メモリから $k * n$ ビットのデータを $k * n$ ビット幅のバス上に実質的に同時に出力するステップと、

b) 前記 $k * n$ ビットのデータを n ビット幅の k ワードの平行データとして複数のポートバッファの 1 つにバッファリングするステップであって、前記複数のポートバッファのそれぞれは、第 1 の読み出しラインを有する読み出し部を備え、前記第 1 の読み出しラインは k 個のエントリを有し、前記複数のポートバッファのそれぞれは前記 n ビット幅の平行データを前記複数のポートの 1 つ以上に送信するように構成され、n ビットのデータが 1 つのワードを形成するステップと、

c) 前記 n ビット幅の平行データを、前記 n ビット幅の平行データを受信する前記複数のポートの 1 つ以上において、前記メモリから外的に読み出されるシリアルデータに変換するステップとを包含している方法。

【請求項 10】

前記 $k * n$ ビットのデータを実質的に同時に読み出す処理は第 1 の周波数で行われ、前

記 $k * n$ ビットのデータを n ビット幅のデータの k 個のワードとしてバッファリングする処理は第 2 の周波数で行われ、前記 n ビットのデータを前記シリアルデータへ変換する処理は第 3 の周波数で行われ、前記第 1 の周波数は前記第 3 の周波数とは異なる請求項 9 に記載の方法。

【請求項 1 1】

前記複数のポートバッファが前記メモリアレイと密に連結されている請求項 1 に記載のマルチポートメモリアーキテクチャ。

【請求項 1 2】

前記メモリアレイに書き込まれるべきデータのコピーを記憶する読み出し専用レジスタを更に備える請求項 1 に記載のマルチポートメモリアーキテクチャ。

【請求項 1 3】

前記複数のポートのそれぞれが互いに独立して動作し、かつ前記メモリアレイ及び前記複数のポートバッファに対して非同期に動作する請求項 1 に記載のマルチポートメモリアーキテクチャ。

【請求項 1 4】

前記複数のポートバッファは、前記メモリアレイよりも高い周波数で動作する請求項 1 3 に記載のマルチポートメモリアーキテクチャ。

【請求項 1 5】

前記複数のポートのそれぞれが互いに独立して動作し、かつ前記メモリ及び前記複数のポートバッファに対して非同期に動作する請求項 6 に記載の方法。

【請求項 1 6】

前記複数のポートバッファは、前記メモリよりも高い周波数で動作する請求項 1 5 に記載の方法。

【請求項 1 7】

前記複数のポートのそれぞれが互いに独立して動作し、かつ前記メモリ及び前記複数のポートバッファに対して非同期に動作する請求項 9 に記載の方法。

【請求項 1 8】

前記複数のポートバッファは、前記メモリよりも高い周波数で動作する請求項 1 7 に記載の方法。

【誤訳訂正 2】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 2 9

【訂正方法】変更

【訂正の内容】

【0 0 2 9】

本アーキテクチャは、さまざまなレートで、および／あるいは時間領域にわたってデータを処理および／あるいは転送することを可能にする。例えば、メモリアレイは第一の周波数で動作し、ポートのそれぞれは、第一の周波数よりも大きい、または小さい第二の周波数で独立して動作してもよい。例えば、図 2 に戻ると、ポート 1 3 0 ~ 1 4 4 の受信部あるいは送信部は、約 1 0 M H z、1 0 0 M H z、1 G H z、約 2 G H z、あるいは約 3 . 1 2 5 G H z のレートでデータを受信あるいは送信してもよい。また、各ポートは、他のポートの動作周波数とは独立した周波数で動作してもよい。しかしながら、メモリアレイ 1 1 0 およびポートバッファ 1 2 0 ~ 1 2 7 は、一般的には 1 0 0 M H z から 4 0 0 M H z の周波数で動作するが、ポートバッファ 1 2 0 ~ 1 2 7 は、メモリアレイ 1 1 0 と必ずしも同じ周波数で動作しない。さらに、メモリアレイ 1 1 0 およびポートバッファ 1 2 0 ~ 1 2 7 は互いに同期して動作してもよく、ポート 1 3 0 ~ 1 4 4 のそれぞれは、(i) メモリアレイ 1 1 0 およびポートバッファ 1 2 0 ~ 1 2 7 および (i i) 他のポートに対して非同期に動作する。したがって、ポートバッファ 1 2 0 ~ 1 2 7 は、ポート領域のそれぞれとメモリ領域との間での時間領域バッファ（あるいはスイッチ）として独立して機能する。