



## (12) 发明专利

(10) 授权公告号 CN 102244098 B

(45) 授权公告日 2014.07.30

(21) 申请号 201010541608.7

(22) 申请日 2010.11.08

## (30) 优先权数据

12/780,124 2010.05.14 US

(73) 专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

(72) 发明人 郑铭龙 林彦君 林大文

(74) 专利代理机构 隆天国际知识产权代理有限公司 72003

代理人 姜燕 陈晨

## (51) Int. Cl.

H01L 29/78(2006.01)

H01L 29/49(2006.01)

H01L 29/06(2006.01)

H01L 21/336(2006.01)

H01L 27/092(2006.01)

H01L 21/8238(2006.01)

## (56) 对比文件

CN 101584038 A, 2009.11.08, 全文 .

US 2004/0048424 A1, 2004.03.11, 全文 .

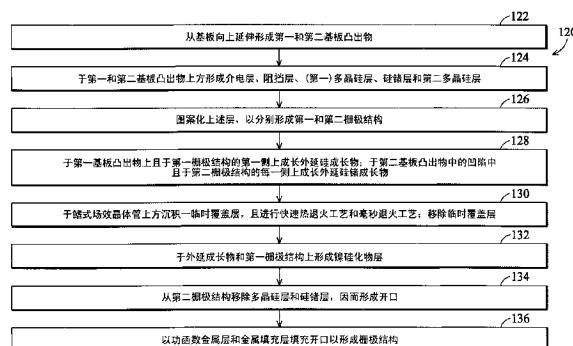
权利要求书2页 说明书10页 附图13页

## (54) 发明名称

半导体装置及其制造方法

## (57) 摘要

本发明提供一种半导体装置及其制造方法，上述半导体装置包括一基板，其中具有一应力沟道区；一介电层，设置于至少部分的上述应力沟道区的上方；第一和第二导电层，设置于上述介电层的上方，且具有一第一数值的一特性；一导入应力导电层，设置于上述第一导电层的上方，且具有一第二数值的上述特性，其中上述第二数值不同于上述第一数值。本发明的实施例中使得在沟道区中的硅晶格被压缩，而导致较高的空穴迁移率，从而能够降低起始电压且会增加效能。



1. 一种半导体装置,包括:

一基板;

一第一鳍状结构和一第二鳍状结构,从该基板向上延伸,该第一鳍状结构中具有一第一拉伸应力沟道区,且该第二鳍状结构中具有一第二压缩应力沟道区;以及

一第一栅极结构和一第二栅极结构,分别位于该第一鳍状结构和该第二鳍状结构上;

其中该第一栅极结构包括:

一介电层,设置于至少部分的该第一拉伸应力沟道区的上方;

一第一导电层,设置于该介电层的上方,且具有一第一数值的一特性;

一导入应力导电层,设置于该第一导电层的上方,且具有一第二数值的该特性,其中该第二数值不同于该第一数值,其中该导入应力导电层的一热膨胀系数大于该第一导电层的一热膨胀系数;以及

一第二导电层,设置于该导入应力导电层的上方,且具有该第一数值的该特性,其中该第一导电层为一多晶硅层,且其中该导入应力导电层的厚度介于300Å至450Å之间;以及

其中该第二栅极结构包括:

一高介电常数介电层,邻近于该第二压缩应力沟道区;以及

一金属层,设置于该高介电常数介电层的上方。

2. 如权利要求1所述的半导体装置,其中该特性为一晶格常数;以及其中该第一导电层的热膨胀系数相同于该第二导电层的一热膨胀系数。

3. 如权利要求2所述的半导体装置,其中该第一导电层和该第二导电层为掺杂多晶硅,且该导入应力导电层为硅锗。

4. 一种半导体装置的制造方法,包括下列步骤:

提供一基板;

从该基板向上延伸形成一第一鳍状结构,该鳍状结构中具有一第一拉伸应力沟道区;

从该基板向上延伸形成一第二鳍状结构,该第二鳍状结构中具一第二压缩应力沟道区;

形成一第一栅极结构,位于该第一鳍状结构上,该第一栅极结构具有隔开的一第一导电层、一第二导电层和设置于该第一导电层和该第二导电层之间的一导入应力导电层,其中该导入应力导电层的一热膨胀系数大于该第一导电层的一热膨胀系数,该第一导电层为一多晶硅层,且其中该导入应力导电层的厚度介于300Å至450Å之间;

形成一第二栅极结构,位于该第二鳍状结构上,该第二栅极结构具有一虚设电极;

于该第一和第二栅极结构上方形成一覆盖层;

对该第一拉伸应力沟道区给予应力,包括于该第一栅极结构上进行一热处理工艺;以及

移除该覆盖层;

移除该覆盖层之后,于该基板、该第一鳍状结构、该第二鳍状结构、该第一栅极结构和该第二栅极结构上方形成一层间介电层;

于该层间介电层上进行一研磨工艺,以暴露出该第一和第二栅极结构两者的顶端;

形成一保护层以保护该第一栅极结构；

从该第二栅极结构移除该虚设电极，因此形成一开口；

移除该保护层；以及

于该第二栅极结构中的该开口中沉积一金属。

5. 如权利要求 4 所述的半导体装置的制造方法，

其中进行该热处理工艺包括进行一快速退火工艺和一毫秒退火工艺。

6. 如权利要求 5 所述的半导体装置的制造方法，

其中于 990°C 和 1010°C 之间的温度下进行该快速退火工艺；以及

其中于 1250°C 的温度下进行该毫秒退火工艺。

7. 如权利要求 4 所述的半导体装置的制造方法，其中形成该第一栅极结构包括：

形成一介电层；

于该介电层上方形成由掺杂多晶硅形成的该第一导电层；

于该第一导电层上方形成由硅锗形成的该导入应力导电层；以及

于该导入应力导电层上方形成由掺杂多晶硅形成的该第二导电层。

## 半导体装置及其制造方法

### 技术领域

[0001] 本发明涉及一种半导体装置及其制造方法,特别涉及一种用以增强沟道应力的半导体装置及其制造方法。

### 背景技术

[0002] 半导体工艺致力于提高元件密度、提高元件性能以及降低成本,然而半导体元件和设计会遭遇到问题。解决这些问题的一个方法为制造鳍式场效晶体管(以下简称FinFET)。一公知的FinFET包括的薄的、垂直的一鳍状物,其借由蚀刻于基板中出隔开的凹陷的方式形成。而源极区、漏极区和沟道区定义于上述鳍状物内。晶体管的栅极包围鳍状物的沟道区,上述栅极占据鳍状物的顶部和侧边。这种构造允许栅极于鳍状物的三侧边的沟道中感应出电流。因此,FinFET具有高电流和降低短沟道效应的优点。

[0003] 在集成电路材料方面,工艺的发展已持续地降低FinFET和其他金属氧化物半导体场效晶体管(以下简称MOSFET)的尺寸。然而,此尺寸微缩的趋势因为集成电路材料的物理极限而趋缓。因此,发展增加元件性能的其他工艺。上述工艺的一包括对MOSFET元件的沟道区施加应力以改善电子和空穴迁移率。对MOSFET元件的沟道区施加应力的上述工艺的成效大体而言可令人接受,但是得到的沟道应力仍无法完全令人满意。

[0004] 另外,半导体工艺的一发展趋势是利用一高介电常数(high-k)栅极电介质和金属栅极取代公知栅极氧化物和多晶硅栅极,以改善元件性能。举例来说,是发展取代栅极工艺以制造具有双重金属栅极FinFET元件的互补式金属氧化物半导体晶体管(以下简称CMOS)元件。然而,上述高成本和复杂的工艺使得双重金属栅极元件仍无法完全令人满意。

[0005] 因此,在此技术领域中,有需要一种半导体装置及其制造方法,以克服公知技术的缺点。

### 发明内容

[0006] 有鉴于此,本发明一实施例提供一种半导体装置,包括一基板,其中具有一应力沟道区;一介电层,设置于至少部分的上述应力沟道区的上方;一第一导电层,设置于上述介电层的上方,且具有一第一数值的一特性;一导入应力导电层,设置于上述第一导电层的上方,且具有一第二数值的上述特性,其中上述第二数值不同于上述第一数值;以及一第二导电层,设置于上述导入应力导电层的上方,且具有上述第一数值的上述特性。

[0007] 本发明另一实施例提供一种半导体装置,包括一基板;一第一投影和一第二投影,从上述基板向上延伸,上述第一投影具有位于其中的一拉伸应力第一沟道区,且上述第二投影具有位于其中的一压缩应力第二沟道区;以及一第一栅极结构和一第二栅极结构,分别占用邻近于上述第一沟道区和上述第二沟道区的上述第一投影和上述第二投影;其中上述第一栅极结构包括一介电层,邻近于上述第一沟道区;一第一导电层,设置于上述介电层的上方;一导入应力导电层,设置于上述第一导电层的上方;以及一第二导电层,设置于上述导入应力导电层的上方;以及其中上述第二栅极结构包括:一高介电常数介电层,邻近

于上述第二沟道区；以及一金属层，设置于上述高介电常数介电层的上方。

[0008] 本发明又另一实施例提供一种半导体装置的制造方法，包括提供一基板；从上述基板向上延伸形成一投影，上述投影具有位于其中的一沟道区；形成一栅极结构，占用邻近于上述沟道区的上述投影，上述栅极结构具有隔开的第一导电层、一第二导电层和介于上述第一导电层和上述第二导电层之间的一导入应力导电层；于上述栅极结构上方形成一覆盖层；对上述沟道区给予应力，包括于上述栅极结构上进行一热处理工艺；以及移除上述覆盖层。

[0009] 本发明的实施例中使得在沟道区中的硅晶格被压缩，而导致较高的空穴迁移率，从而能够降低起始电压且会增加效能。

## 附图说明

- [0010] 图 1 为本发明实施例的 CMOS 半导体装置的透视图。
- [0011] 图 2 为沿图 1 的本发明实施例的 CMOS 半导体装置的 2-2 切线的剖面图。
- [0012] 图 3 为沿图 1 的本发明实施例的 CMOS 半导体装置的 3-3 切线的剖面图。
- [0013] 图 4 为沿图 1 的本发明实施例的 CMOS 半导体装置的 4-4 切线的剖面图。
- [0014] 图 5 至图 12 为类似于图 4 的剖面图，其显示本发明实施例的 CMOS 半导体装置的工艺剖面图。
- [0015] 图 13 为如图 5 至图 12 所示的本发明实施例的 CMOS 半导体装置的工艺流程图。
- [0016] 主要附图标记说明：
- [0017] 10 ~ 半导体装置；
- [0018] 11 ~ 鳍式 n 型沟道金属氧化物半导体场效应晶体管；
- [0019] 12 ~ 鳍式 p 型沟道金属氧化物半导体场效应晶体管；
- [0020] 13 ~ 基板；
- [0021] 14、16 ~ 鳍状结构；
- [0022] 18 ~ 浅沟槽绝缘区；
- [0023] 20、22 ~ 栅极结构；
- [0024] 24 ~ 外延硅成长物；
- [0025] 25、72 ~ 基板凸出物；
- [0026] 26 ~ 外延硅锗成长物；
- [0027] 30、34 ~ 源极区；
- [0028] 32、36 ~ 漏极区；
- [0029] 38、59 ~ 应力沟道区；
- [0030] 39、50、60 ~ 虚线箭头；
- [0031] 42、64、80 ~ 介电层；
- [0032] 44、66、82 ~ 阻挡层；
- [0033] 46、53、84、88 ~ 多晶硅层；
- [0034] 48 ~ 导入应力导电层；
- [0035] 28、54 ~ 镍硅化物层；
- [0036] 56 ~ 密封间隙壁；

- [0037] 58 ~ 虚设间隙壁；
- [0038] 68 ~ 功函数金属层；
- [0039] 69 ~ 开口；
- [0040] 70 ~ 金属填充层；
- [0041] 74、97 ~ 凹陷；
- [0042] 86 ~ 硅锗层；
- [0043] 89 ~ 光致刻蚀剂层；
- [0044] 90 ~ 临时栅极结构；
- [0045] 92、96 ~ 虚设多晶硅层；
- [0046] 94 ~ 虚设硅锗层；
- [0047] 98、100 ~ 硬掩模层；
- [0048] 102 ~ 临时覆盖层；
- [0049] 104 ~ 层间介电层；
- [0050] 106 ~ 图案化光致刻蚀剂层；
- [0051] 120 ~ 工艺；
- [0052] 122、124、126、128、130、132、134、136 ~ 步骤。

### 具体实施方式

[0053] 以下以各实施例详细说明并伴随着附图说明的范例，作为本发明的参考依据。在附图或说明书描述中，相似或相同的部分皆使用相同的图号。且在附图中，实施例的形状或是厚度可扩大，并以简化或是方便标示。另外，附图中各元件的部分将以分别描述说明之，值得注意的是，图中未绘示或描述的元件，为所属技术领域中普通技术人员所知的形式。

[0054] 图1为本发明实施例的互补式金属氧化物半导体晶体管（以下简称CMOS）半导体装置10的透视图。半导体装置10为包括一鳍状n型沟道金属氧化物半导体场效晶体管（以下简称NMOS FinFET）11和一鳍状p型沟道金属氧化物半导体场效晶体管（以下简称PMOS FinFET）12的一集成电路。在其他实施例中，NMOS FinFET 11和PMOS FinFET 12可为任何导电类型鳍状晶体管。NMOS FinFET 11和PMOS FinFET 12可为微处理器、内存（例如SRAM）和/或其他集成电路的一部分。

[0055] NMOS FinFET 11和PMOS FinFET 12形成于硅半导体基板13上。在其他实施例中，基板13可包括例如锗的其他元素半导体，或包括例如碳化硅（silicon carbide）、砷化镓（gallium arsenic）、砷化铟（indium arsenide）或磷化铟（indium phosphide）的一化合物半导体。在其他实施例中，基板13可为一绝缘层上覆硅（SOI）基板。在本实施例中，可利用包括例如氧注入隔离法（SIMOX）、晶片接合（wafer bonding）和/或其他适当方法形成上述绝缘层上覆硅（SOI）基板。

[0056] 半导体装置10可包括鳍状结构（或投影）14和16，上述鳍状结构14和16从基板13向上延伸且分别形成NMOS FinFET 11和PMOS FinFET 12的一部分。浅沟槽隔绝结构（以下简称STI）区域18围绕上述鳍状结构（或投影）14和16的底部以防止电性干扰或串音。STI区域18可由氧化硅构成。在其他实施例中，STI区域18可为氮化硅、氮氧化硅、其他适当材料和/或上述组合。可以了解的是，虽然附图显示两个鳍状结构，然而可以

类似的方式,从基板 13 形成额外的鳍状结构。

[0057] 半导体装置 10 也可包括栅极结构 20 和 22,与上述鳍状结构(或投影)14 和 16 部分重叠。栅极结构 20 形成 NMOS FinFET 11 的一部分,而栅极结构 22 形成 PMOS FinFET 12 的一部分。此外,每一个栅极结构 20 和 22 包括多层,且会详述如后。每一个栅极结构 20 和 22 会占用各鳍状结构(或投影)14 和 16 的三个表面 - 顶面和两相邻侧面。鳍状结构(或投影)14 可包括位于栅极结构 20 的每一侧的外延硅成长物 24。外延硅成长物 24 形成于一基板凸出物 25 上。上述基板凸出物 25 上为从基板 13 延伸的一部分,且形成鳍状结构(或投影)14 的核心。栅极结构 20 占用上述基板凸出物 25 的中心部分,上述基板凸出物 25 的中心部分没有外延硅成长物 24。鳍状结构(或投影)16 可包括位于栅极结构 20 的每一侧的外延硅锗成长物 26。鳍状结构(或投影)16 也可包括一基板凸出物(未显示于图 1 中),上述基板凸出物只邻近于栅极结构 22 且介于外延硅锗成长物 26 之间。此外,镍硅化物(NiSi)层 28 设置于延伸于 STI 区域 18 上方的外延硅成长物 24 和外延硅锗成长物 26 上方。在其他实施例中,硅化物层可为例如钛化硅的其他类型的硅化物。可借由一层间介电层(ILD)围绕半导体装置 10 的鳍状结构(或投影)14 和 16 以及栅极结构 20 和 22。但为了清楚起见,图 1 中绘示的半导体装置 10 不包括此一层间介电层(ILD)。

[0058] 图 2- 图 4 分别为沿图 1 的本发明实施例的 CMOS 半导体装置的 2-2、3-3 和 4-4 切线的剖面图。图 2 绘示形成 NMOS FinFET 11 的部分的鳍状结构(或投影)14 以及栅极结构 20 的剖面图。图 3 绘示形成 PMOS FinFET 12 的部分的鳍状结构(或投影)16 以及栅极结构 22 的剖面图。因为 4-4 切线为非线性路径,图 4 显示 NMOS FinFET 11 的外延硅成长物 24 和栅极结构 20 两者的剖面图,即使这些剖面图不位于相同平面上。

[0059] 请参考图 1 和图 2,鳍状结构(或投影)14 也包括一源极区 30 和一漏极区 32,上述源极区 30 和漏极区 32 分别被定义于栅极结构 20 的相对侧。每一个上述源极区 30 和漏极区 32 包括延伸于 STI 区域 18 上方的部分外延硅成长物 24 和部分基板凸出物 25。这些源极区 30 和漏极区 32 可为掺杂区,且具有一掺质注入于其中,上述掺质适于 NMOS FinFET 11 的设计要求。在此,因为鳍状结构(或投影)14 为一 NMOS 元件的一部分,源极区 30 和漏极区 32 掺杂例如磷(P)、砷(As)或上述组合的一 n 型掺质。请参考图 1 和图 3,鳍状结构(或投影)16 可包括一源极区 34 和一漏极区 36,上述源极区 34 和漏极区 36 分别被定义于栅极结构 22 的相对侧。每一个上述源极区 30 和漏极区 32 包括延伸于 STI 区域 18 上方的部分外延硅锗成长物 26。鳍状结构(或投影)16 为一 PMOS 元件的一部分,所以源极区 34 和漏极区 36 掺杂例如硼(B)、BF<sub>2</sub> 或上述组合的一 P 型掺质。

[0060] 请参考图 1 和图 2,鳍状结构(或投影)14 包括一应力沟道区 38,上述应力沟道区 38 被定义于部分鳍状结构(或投影)14 中,且栅极结构 20 围绕上述部分鳍状结构(或投影)14 的三个侧边。应力沟道区 38 介于鳍状结构(或投影)14 内部的源极区 30 和漏极区 32 之间。此外,应力沟道区 38 为拉伸应力的沟道区。意即,在沟道区中的硅晶格被拉长,导致操作 NMOS FinFET 11 期间有较高电子迁移率。在图 2 中,一虚线箭头 39 概略代表给予应力沟道区 38 的拉伸应力。借由位于应力沟道区 38 的各侧边上的外延硅成长物 24 导入上述应力的一部分。外延硅成长物 24 具有不同于应力沟道区 38 中的硅的晶格常数。在其他实施例中,外延硅成长物 24 可为碳化硅(Si:C)以代替外延硅。

[0061] 如上所述,栅极结构 20 可包括形成部分 NMOS FinFET 11 的多层。在栅极结构 20

的最低部分中,一介电层 42 占用鳍状结构(或投影)14 的三个侧边上。在此,介电层 42 可由例如  $\text{HfO}_x$  的一高介电常数材料构成。在其他实施例中,介电层 42 可由例如  $\text{HfSiO}$  或  $\text{HfSiON}$  的一或多个高介电常数材料构成,或者可由例如氧化硅的具有标准介电常数的一材料构成。介电层 42 的厚度可介于  $1\text{\AA}$  至  $200\text{\AA}$  之间。虽然介电层 42 可为如图 2 所示的单一层,其可选择性包括例如氧化硅界面层的介于鳍状结构(或投影)14 的硅和介电层 42 的剩余部分之间的额外层。一阻挡层 44(也可视为一覆盖层、一扩散层或一蚀刻停止层),设置于介电层 42 的上方。阻挡层 44 可由氮化钛(TiN)构成,且其厚度可介于  $5\text{\AA}$  至  $1000\text{\AA}$  之间。在其他实施例中,阻挡层 44 可包括氮化钽(TaN)或其他材料,上述材料适合降低或消除介电层 42 中的高介电常数材料和相邻的多晶硅层之间的费米能阶钉扎(Fermi level pinning)的风险。一掺杂且导电的多晶硅层 46 设置于阻挡层 44 上。上述多晶硅层 46 的厚度可介于  $50\text{\AA}$  至  $200\text{\AA}$  之间。

[0062] 棚极结构 20 可还包括一导入应力导电层 48。上述导入应力导电层 48 可包括一材料,其热膨胀系数大于位于其下的多晶硅层 46。此外,导入应力导电层的晶格常数不同于多晶硅层 46,会导致晶格不匹配。导入应力导电层 48 和多晶硅材料的热膨胀系数和晶格常数的不同,在完成工艺之后,会使位于棚极结构 20 下方的应力沟道区 38 为拉伸应力的沟道区。在本实施例中,导入应力导电层 48 由硅锗构成,且其厚度可介于  $300\text{\AA}$  至  $450\text{\AA}$  之间。在图 2 中,一虚线箭头 50 概略代表导入应力导电层 48 的导入应力特性。

[0063] 棚极结构 20 可包括一第二掺杂导电多晶硅层 53,设置于应力导电层 48 的上方。多晶硅层 53 的厚度可约为  $100\text{\AA}$ 。一镍硅化物层 54,设置于第二多晶硅层 53 的上方,且为棚极结构 20 的最上层。如上所述,可使用其他硅化物材料代替镍硅化物层 54。半导体装置 10 也可包括密封间隙壁 56,设置于棚极结构 20 的侧壁上。可由氧化硅形成密封间隙壁 56,但在其他实施例中,密封间隙壁 56 也可选择性包括氮化硅,或由其他适当的介电材料形成密封间隙壁 56。NMOS FinFET 11 可还包括虚设间隙壁 58,设置于密封间隙壁 56 上。每一个虚设间隙壁 58 可为一多层次结构,上述多层次结构由氧化硅和氮化硅两者构成,但在其他实施例中,虚设间隙壁 58 可为积集结构。

[0064] 请参考图 3 和图 4,如上所述,图 3 绘示形成 PMOS FinFET 12 的部分的鳍状结构(或投影)16 以及棚极结构 22 的剖面图。由于 4-4 切线为非线性路径,图 4 显示 NMOS FinFET 11 的外延硅成长物 24 和棚极结构 20 两者的剖面图。鳍状结构(或投影)16 可包括一应力沟道区 59,上述应力沟道区 59 被定义于部分鳍状结构(或投影)16 中,且上述部分鳍状结构(或投影)16 被棚极结构 22 围绕三侧。应力沟道区 59 介于鳍状结构(或投影)16 内部的源极区 34 和漏极区 36 之间。此外,应力沟道区 59 为压缩应力的沟道区。意即,在沟道区中的硅晶格被压缩,而导致较高的空穴迁移率。在 PMOS 晶体管元件中,较高的空穴迁移率降低起始电压且会增加效能。在图 2 中,一虚线箭头 60 概略代表应力沟道区 59 中的压缩应力。如图 1 的叙述,鳍状结构(或投影)16 可包括外延硅锗成长物 26。外延硅锗成长物 26 的晶格常数大于其邻近鳍状结构(或投影)16 的硅。因此,外延硅锗成长物 26 会压缩外延硅锗成长物 26 之间的应力沟道区 59,因而导致压缩的沟道应力。虚线箭头 62 概略代表外延硅锗成长物的导入应力特性。

[0065] 棚极结构 22 与鳍状结构(或投影)16 部分重叠,且设置在定义于鳍状结构(或投影)16 中的应力沟道区 59 的上方和侧边上。在棚极结构 22 的底部,由一高介电常数材料构

成的介电层 64 占用应力沟道区 59。在本实施例中，介电层 64 可由  $\text{HfO}_x$  构成。在其他实施例中，介电层 64 可由  $\text{HfO}_2$ 、 $\text{HfSiO}$ 、 $\text{HfSiON}$ 、 $\text{HfTaO}$ 、 $\text{HfTiO}$ 、 $\text{HfZrO}$ 、 $\text{AlO}$ 、 $\text{ZrO}$ 、 $\text{TiO}$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{Y}_2\text{O}_3$ 、 $\text{SrTiO}_3$ (STO)、 $\text{BaTiO}_3$ (BTO)、 $\text{BaZrO}$ 、 $\text{HfLaO}$ 、 $\text{LaSiO}$ 、 $\text{AlSiO}$ 、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST)、 $\text{Al}_2\text{O}_3$ 、 $\text{Si}_3\text{N}_4$ 、氮氧化硅、其他适当材料的其他高介电常数介电材料和 / 或上述组合构成。类似于栅极结构 20 中的介电层 42，介电层 64 可选择性包括介于沟道区和介电层 64 的剩余部分之间的氧化硅或其他氧化材料的界面层。一阻挡层 66，设置于介电层 64 的上方，且类似于阻挡层 44。

[0066] 一 U 型功函数金属层 68，形成于位于栅极结构 22 中的阻挡层 66 的上方，且部分填充一开口 69。因为栅极结构 22 为一 PMOS 元件的一部分，功函数金属层 68 可由例如氮化钛 (TiN) 的 p 型功函数金属材料 (P-metal) 构成。在其他实施例中，功函数金属层 68 可包括例如钌 (Ru)、钼 (Mo)、铝 (Al)、氮化钨 (WN) 或上述组合的其他金属。此外，在其他实施例中，功函数金属层 68 可包括一多层结构，其具有适于 PMOS 元件性能的够高的功函数 (EWF) 值。举例来说，功函数金属层 68 可包括一氮化钛 (TiN) 层和一氮化钽 (TaN) 层的两者。栅极结构 22 可包括一金属填充层 70，其填充未被功函数金属层 68 占据的部分开口 69 中。金属填充层 70 可由一导电材料构成，其特别为铝 (Al)。在其他实施例中，金属填充层 70 可包括铜、钨、钛、其他适当材料和 / 或上述组合。PMOS FinFET 12 可还包括位于栅极结构 22 的侧壁上的密封间隙壁 56 和虚设间隙壁 58，上述密封间隙壁 56 和虚设间隙壁 58 与栅极结构 20 上的密封间隙壁 56 和虚设间隙壁 58 相同。

[0067] 图 5 至图 12 为类似于图 4 的剖面图，其显示本发明实施例的 CMOS 半导体装置 10 的工艺剖面图。图 5 至图 12 为描述的工艺步骤相应于使用一 CMOS 工艺流程的半导体装置 10 的制造方法。应了解的是，可于如图 5 至图 12 所示的步骤之前、之中和 / 或之后提供额外的工艺，且如果一些选择的工艺为本领域常用工艺的话，则上述选择的工艺可以简洁方式表示。

[0068] 请参考图 5，提供硅半导体基板 13。可利用包括光刻工艺和蚀刻工艺的适当工艺，从基板 13 形成基板凸出物 25 和一基板凸出物 72。上述光刻工艺可包括于基板 13 上形成一光致刻蚀剂层，对上述光致刻蚀剂层曝光为一图案化光致刻蚀剂，进行曝光后烘烤工艺，对上述图案化光致刻蚀剂以形成包括上述图案化光致刻蚀剂的掩模元件。然后，蚀刻上述掩模元件为基板 13 里的凹陷 74，且留下基板凸出物 25 和基板凸出物 72。可利用离子反应蚀刻和 / 或其他适当工艺来蚀刻形成基板凸出物 25 和基板凸出物 72 的上述凹陷。在其他实施例中，可利用双重图案化光刻 (以下简称 DPL) 工艺形成上述基板凸出物。DPL 工艺允许用于提高物体 (例如鳍状物) 密度。不同的 DPL 工艺可使用包括双重曝光 (例如使用两个掩模组)、形成邻接物体的间隙壁和移除上述物体以提供间隙壁图案、光致刻蚀剂冻结和 / 或其他适当工艺。形成基板凸出物 25 和基板凸出物 72 之后，沉积和蚀刻二氧化硅或其他适当电介质以形成浅沟槽绝缘 (STI) 区 18，上述浅沟槽绝缘 (STI) 区 18 围绕且隔绝上述基板凸出物。可利用任何适当的工艺，其可包括干蚀刻法、湿蚀刻法和一化学气相沉积 (CVD) 法形成上述浅沟槽绝缘 (STI) 区 18。

[0069] 接着，可于基板凸出物 25、基板凸出物 72 和浅沟槽绝缘 (STI) 区 18 上方形成厚度可介于  $1\text{\AA}$  至  $200\text{\AA}$  之间的一介电层 80。介电层 80 可由例如  $\text{HfO}_x$  的一高介电常数 (high k) 介电材料构成，且可利用化学气相沉积 (CVD) 法形成上述介电层 80。于位于浅沟槽绝缘 (STI) 区 18 上方的全部基板凸出物 25 和基板凸出物 72 上沉积高介电常数 (high k) 介电

材料的介电层 80，包括沉积于基板凸出物 25 和基板凸出物 72 的顶部和侧边。然后，可利用化学气相沉积 (CVD) 法，于介电层 80 上方沉积一氮化钛 (TiN) 阻挡层 82，其厚度可介于 5Å 至 1000Å 之间。之后，可利用化学气相沉积 (CVD) 法，于阻挡层 82 上方沉积一（第一）多晶硅层 84。沉积的（第一）多晶硅层 84 的厚度可介于 50Å 至 200Å 之间。接着，可利用化学气相沉积 (CVD) 法，于多晶硅层 84 上方形成厚度可介于 300Å 至 450Å 之间的一硅锗层 86。最后，可利用化学气相沉积 (CVD) 法，于硅锗层 86 上方沉积厚度约为 100Å 的一第二多晶硅层 88。可利用任何适当工艺，例如物理气相沉积 (PVD) 法、原子层沉积 (ALD) 法、高密度等离子体化学气相沉积 (HDPCVD) 法、有机金属化学气相沉积 (MOCVD) 法、遥控等离子体化学气相沉积 (RPCVD) 法、等离子体增强型化学气相沉积 (PECVD) 法、电镀法、其他适合的方式和 / 或上述方式组合形成每一个上述介电层 80、阻挡层 82、(第一) 多晶硅层 84、硅锗层 86 和第二多晶硅层 88。并且，于第二多晶硅层 88 上方沉积一光致刻蚀剂层 89，且以常用方法图案化上述光致刻蚀剂层 89，以留下光致刻蚀剂层部分 89，其易于在后续步骤中移除部分上述叠层结构。

[0070] 请参考图 6，可使用光刻图案化工艺，利用移除未被光致刻蚀剂层部分 89（图 5）保护的部分介电层 80、阻挡层 82、(第一) 多晶硅层 84、硅锗层 86 和第二多晶硅层 88 的方式，以形成栅极结构 20 和临时栅极结构 90。光刻图案化工艺之后，介电层 42（介电层 80 的一部分）、阻挡层 44（阻挡层 82 的一部分）、(第一) 多晶硅层 46((第一) 多晶硅层 84 的一部分)、导入应力导电层 48（硅锗层 86 的一部分）和多晶硅层 53（第二多晶硅层 88 的一部分）会留在基板凸出物 25 上方，且会形成栅极结构 20。且介电层 64（介电层 80 的一部分）、阻挡层 66（阻挡层 82 的一部分）、一虚设多晶硅层 92((第一) 多晶硅层 84 的一部分)、一虚设硅锗层 94（硅锗层 86 的一部分）和第二虚设多晶硅层 96（第二多晶硅层 88 的一部分）会留在基板凸出物 72 上方，且会形成临时栅极结构 90。用以形成栅极结构的光刻图案化工艺可包括任何适当的步骤，例如光致刻蚀剂涂布（例如旋转涂布）、软烤、光掩模对准、曝光、曝光后烘烤、光致刻蚀剂显影、浸润、烘干（例如硬烤）、其他适合的方式和 / 或上述方式组合。此外，可使用例如无光掩模光刻工艺、电子束写入法或离子束写入法等方式应用或完全取代上述光刻曝光工艺。上述蚀刻工艺可为干蚀刻、湿蚀刻和 / 或其他蚀刻方法。可以了解的是，上述实施例并非用以限制形成上述层所使用的工艺。

[0071] 于基板凸出物 25 和基板凸出物 72 上方图案化上述层之后，可使用常用的工艺，沿着栅极结构 20 和临时栅极结构 90 的侧壁形成密封间隙壁 56 和虚设间隙壁 58。在沉积工艺和蚀刻工艺之后，密封间隙壁 56 保护每一个栅极结构 20 和 22 的四个接近垂直侧壁。接着，进行一工艺，以于基板凸出物 72（图 5）里蚀刻出两个凹陷 97（图 3 和图 6），并于临时栅极结构 90 的每一侧壁蚀刻出一凹陷。当进行上述工艺的一部分时，会先形成一保护层（图未显示）以保护基板凸出物 25。然后，可使用干蚀刻法以蚀刻去除基板凸出物 72 的暴露部分。也可使用湿蚀刻法或一些其他适当蚀刻方法形成凹陷 97。在蚀刻工艺之后，可选择性利用氢氟酸 (HF) 或其他适当溶液进行一清洁工艺，以清洁凹陷 97。

[0072] 请参考图 7，可形成 NMOS FinFET 11 和 PMOS FinFET 12 的源极区和漏极区 30、32、34、36，图 7 可以看见上述源极区和漏极区 30、32、34、36 的其中两个。首先可于基板凸出物 25 上，且于栅极结构 20 的相对侧上成长外延硅生长物 24。外延成长工艺可包括 CVD 沉积工艺（例如气相外延法 (VPE)）和 / 或超高真空 CVD (UHV-CVD) 法、分子束外延法和 / 或其

他任何适合的工艺。上述外延工艺可使用与基板凸出物 25(例如硅)的成分反应的气态及 / 液态前驱物。于外延硅成长物 24 之间沉积应力沟道区 38(图 2), 且于成长外延硅成长物时, 会因为晶格不匹配于沟道区导入拉伸应力。在其他实施例中, 可成长碳化硅(Si:C)以代替外延硅。然后, 以例如磷或砷的 n 型掺质掺杂基板凸出物 25 和新形成的外延硅成长物 24, 以形成 NMOS FinFET 11 的源极区和漏极区 30、32。之后, 使用外延成长工艺于基板凸出物 72 内的凹陷 97 中形成外延硅锗成长物 26。于凹陷 97 之间沉积应力沟道区 59(图 3), 且于成长外延硅锗成长物时, 会因为晶格不匹配于沟道区导入压缩应力。然后, 以例如硼的 p 型掺质掺杂外延硅锗成长物 26, 以形成 PMOS FinFET 12 的源极区和漏极区 34、36。在形成源极区和漏极区 30、32、34、36 之前, 可选择性于鳍状物中例如轻掺杂源 / 漏极(LDD)区和 / 或重掺杂源 / 漏极(HDD)的其他源极区和漏极区。另外, 在工艺期间, 可分别于栅极结构 20 和临时栅极结构 90 的顶面上形成硬掩模层 98 和 100。在本实施例中, 硬掩模层 98 和 100 可为氮化硅。然而, 硬掩模层 98 和 100 也可为 SiON、SiC 或其他适合的材料。

[0073] 请参考图 8, 对半导体装置 10 进行工艺, 以增强 NMOS FinFET 11 的应力沟道区 38 中的拉伸应力。特别地, 可进行应力记忆工艺(SMT)。首先, 于全部的半导体装置 10 上方, 包括栅极结构 20 和临时栅极结构 90, 沉积由氧化硅和氮化硅构成的一临时覆盖层 102。上述氧化硅的厚度可介于 50Å 至 100Å 之间。上述氮化硅的厚度可介于 50Å 至 250Å 之间。接着, 对半导体装置 10 进行一快速热退火工艺(RTA)和一毫秒退火工艺(MSA)。可于尖峰温度约为 990 至 1010°C, 压力约为 760torr 且持续时间介于 1 至 4 秒之间的条件下进行上述快速热退火工艺(RTA)。可于尖峰温度约为 1250°C, 压力约为 760torr 且持续时间介于 0.4 至 0.8 毫秒之间的条件下进行上述毫秒退火工艺(MSA)。上述应力记忆工艺(SMT)可在快速热退火工艺(RTA)和毫秒退火工艺(MSA)期间, 利用“冻结”栅极结构 20 的与温度相关的应力条件的方式于应力沟道区 38 中形成拉伸应力。意即在快速热退火工艺(RTA)和毫秒退火工艺(MSA)期间, 具有较大的热膨胀系数的硅锗导入应力导电层会迫使其下的多晶硅层 46 的晶格常数不规则地扩张。然后, 在高温退火工艺之后, 多晶硅晶格再结晶的期间, 多晶硅层 46 会保留或“记忆”在退火工艺期间导入的拉伸应力条件。此拉伸应力会向下传导穿过栅极结构 20 且进入应力沟道区 38。在进行上述应力记忆工艺(SMT)之后, 移除临时覆盖层 102 且继续进行工艺。

[0074] 请参考图 9, 于半导体装置 10 上进行一硅化工艺。首先, 从栅极结构 20 移除硬掩模层 98, 以暴露出多晶硅层 53 同时在适当的地方留下硬掩模层 100。接着, 可进行例如自对准硅化物工艺(self-aligned silicide process)的一硅化物工艺, 以于任何暴露出来的硅基(silicon-based)表面上成长一硅化物层。特别地, 可于 NMOS FinFET 11 和 PMOS FinFET 12 的上方沉积例如镍的一金属材料, 沉积金属材料之后, 可在一高温下使镍和任何暴露于镍的硅区域之间产生反应, 之后蚀刻移除未反应的镍。在硅化物工艺期间, 是于外延硅成长物 24 和外延硅锗成长物 26 上形成镍硅化物层 28, 且于栅极结构 20 中的多晶硅层 53 上方形成镍硅化物层 54。在硅化物工艺期间, 硬掩模层 100 仍留在临时栅极结构 90 上, 以防止虚设多晶硅层上形成的硅化物, 且于硅化物工艺之后移除硬掩模层 100。于外延成长物上形成硅化物之后, 完成鳍状结构(或投影)14 和 16。

[0075] 请参考图 10, 之后, 于包括栅极结构 20、临时栅极结构 90 和鳍状结构(或投影)14 和 16 的半导体装置 10 上方形成一层间介电层(ILD)104。层间介电层(ILD)104 可由例如

氧化硅的一电介质构成。沉积层间介电层 (ILD) 104 之后, 进行一化学机械研磨 (CMP) 工艺直到暴露出每一个栅极结构 20 和临时栅极结构 90 的顶部为止。接着, 可于半导体装置 10 上方沉积一图案化光致刻蚀剂层 106, 以保护栅极结构 20。

[0076] 请参考图 11 和图 12, 进行一栅极取代 (gate replacement) 工艺, 其中移除临时栅极结构 90 的顶部三层且以一金属栅极取代。特别地, 图 11 显示移除虚设多晶硅层 92、96 和虚设硅锗层 94 之后的临时栅极结构 90。移除上述虚设层期间, 图案化光致刻蚀剂层 106 保护栅极结构 20。可利用例如干蚀刻法和 / 或湿蚀刻法的任何适合的工艺, 同时移除或个别移除临时栅极结构 90 的上述虚设多晶硅层 92、96 和虚设硅锗层 94。蚀刻移除上述虚设多晶硅层 92、96 和虚设硅锗层 94 之后, 阻挡层 66 的顶面和密封间隙壁 56 的内表分别定义为开口 69 的低面和侧面。接着, 如图 12 所示, 移除图案化光致刻蚀剂层 106, 且以包括功函数金属层 68 和金属填充层 70 的一金属栅极填充开口 69, 以因此形成最终的栅极结构 22。接着, 填充开口 69 的方式特别包括于阻挡层 42 上方和密封间隙壁 56 的侧壁上沉积功函数金属层 68, 且在剩余开口 69 中沉积金属填充层 70。在本实施例中, 功函数金属层 68 可由例如氮化钛 (TiN) 的 p 型功函数金属材料 (P-metal) 构成, 且其厚度可介于 10 Å 至 200 Å 之间。并且, 金属填充层 70 可由铝或例如铜、钨、钛的其他适当材料构成。在其他实施例中, 可以其他常用方式来调整栅极结构 22 以具有一适当功函数值。形成栅极结构 22 之后, 可进行一化学机械研磨 (CMP) 工艺以平坦化栅极结构 20、22 和层间介电层 (ILD) 104 的顶部。

[0077] 可以了解的是, 可对半导体装置 10 进行更进一步的工艺以完成半导体装置 10 的造。举例来说, 可于鳍状结构 (或投影) 14、16 和栅极结构 20、22 的上方, 依序形成包括金属层 (例如 M1、M2 等) 和金属层间介电层 (IMD) 的一未显示的多层内连线 (MLI), 以电性耦接至装置的不同部分以形成一集成电路。上述多层内连线 (MLI) 可包括例如常用的介层孔或接触插塞的垂直内连线, 和例如金属线的水平内连线。可用包括铜、钨和硅化物的各种导电材料形成上述各种内连线。在一实施例中, 可使用镶嵌工艺以形成铜内连线结构。

[0078] 图 13 为如图 5 至图 12 所示的本发明实施例的 CMOS 半导体装置的工艺 120 的流程图。工艺 120 起始于步骤 122, 从基板 13 形成基板凸出物 25 和 72。于形成基板凸出物之后形成浅沟槽绝缘 (STI) 区 18。接着进行步骤 124, 于基板凸出物 25 和 72 上方形成介电层 80、阻挡层 82、(第一) 多晶硅层 84、硅锗层 86 和第二多晶硅层 88。然后, 在步骤 126 中, 图案化于步骤 124 中形成的上述层, 以形成栅极结构 20 和临时栅极结构 90。上述栅极结构 20 与鳍状结构 (或投影) 14 的应力沟道区 38 部分重叠, 且临时栅极结构 90 与鳍状结构 (或投影) 16 的应力沟道区 59 部分重叠。接着进行步骤 128, 于基板凸出物 25 上, 且于栅极结构 20 的每一侧上成长外延硅成长物 24。并且于基板凸出物 72 上, 且于临时栅极结构 90 的每一侧上成长外延硅锗成长物 26。另外, 对外延硅成长物 24 和基板凸出物 25 掺杂 n 型掺质以形成源极区 30 和漏极区 32。并且, 对外延硅锗成长物 26 掺杂 p 型掺质以形成源极区 34 和漏极区 36。此外, 于栅极结构 20 和临时栅极结构 90 的顶部上形成硬掩模层 98 和 100。然后, 在步骤 130 中, 于半导体装置 10 上方沉积一临时覆盖层 102。接着, 进行快速热退火工艺 (RTA) 和毫秒退火工艺 (MSA), 以在应力沟道区 38 中导入拉伸应力, 且移除临时覆盖层 102。然后, 在步骤 132 中, 于栅极结构 20 上方形成镍硅化物层 54, 且于外延成长物上形成镍硅化物层 28。之后, 步骤 134 和 136 依序进行一栅极取代工艺。特别地, 在步骤 134 中, 从临时栅极结构 90 移除虚设多晶硅层 92、96 和虚设硅锗层 94, 以于阻挡层 66

上方形成开口 69。接着在步骤 136 中,以功函数金属层 68 和金属填充层 70 填充开口 69,以形成栅极结构 22。

[0079] 半导体装置 10 并非用以限制上述的集成电路结构的实施例。举例来说,一单一积集的栅极结构可与鳍状结构(或投影)14 和 16 两者部分重叠,且可视为 NMOS FinFET 11 和 PMOS FinFET 12 两者的栅极结构。在此一实施例中,如图 11 和图 12 所述的栅极取代工艺期间,与鳍状结构(或投影)14 部分重叠的部分积集的栅极结构会被保护,同时会以一金属栅极取代与鳍状结构(或投影)16 部分重叠的部分积集的栅极结构。另外,半导体装置 10 的集成电路也可包括例如电阻、电容、电感和 / 或保险丝的无源元件、例如包括 P 型沟道场效晶体管(PFET)、N 型沟道场效晶体管(NFET)的金属氧化物半导体场效晶体管(MOSFET)、互补式金属氧化物半导体晶体管(CMOS)、高压元件和 / 或高频晶体管的主动元件、其他适当的元件和 / 或上述组合。

[0080] 虽然本发明已以实施例揭示如上,然而其并非用以限定本发明,任何本领域普通技术人员,在不脱离本发明的精神和范围内,当可作些许的改变与润饰,因此本发明的保护范围当视随附的权利要求所界定的范围为准。

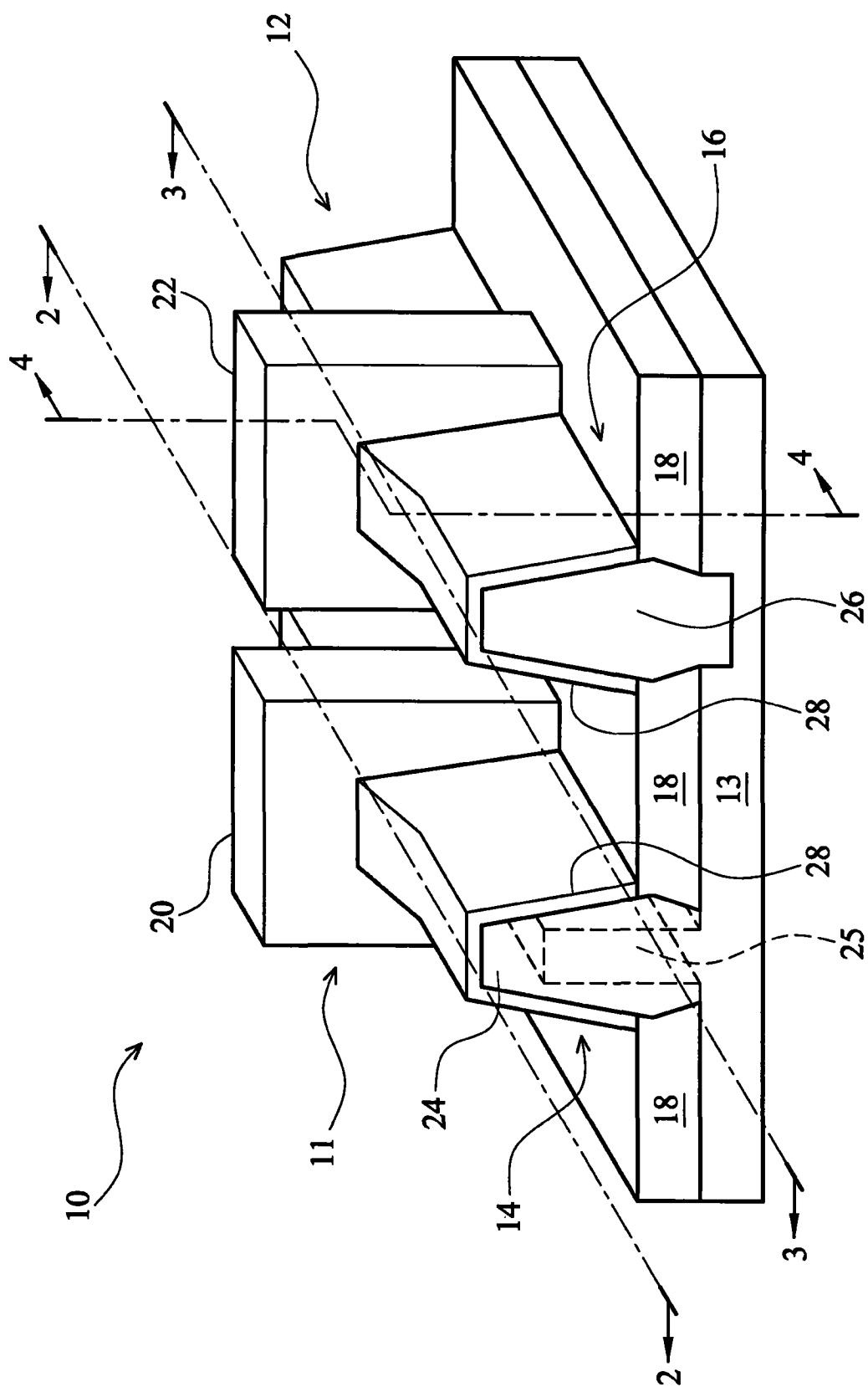


图 1

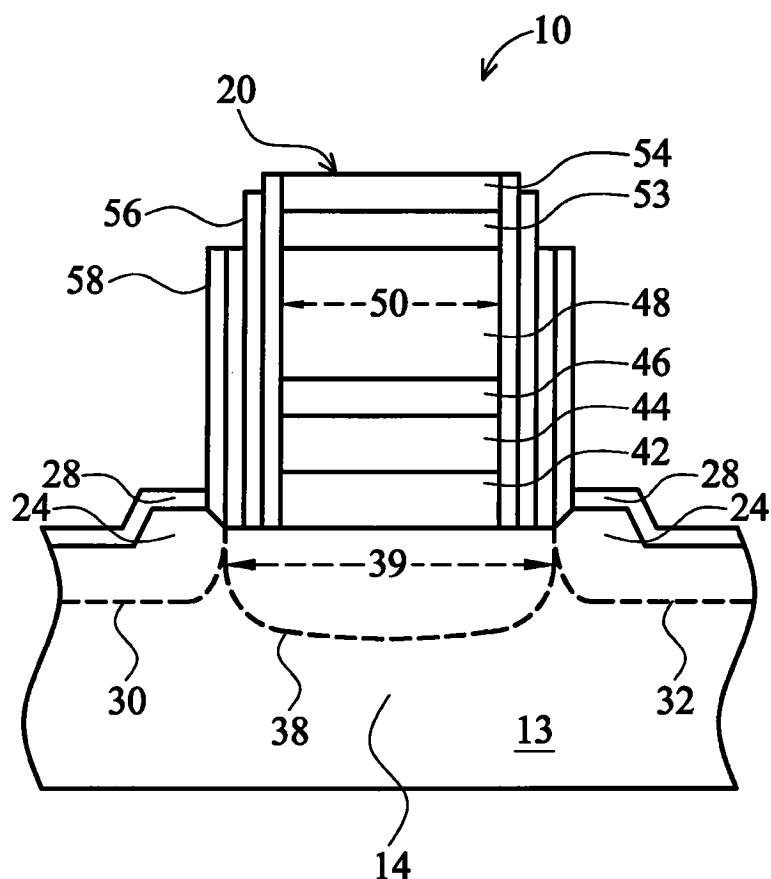


图 2

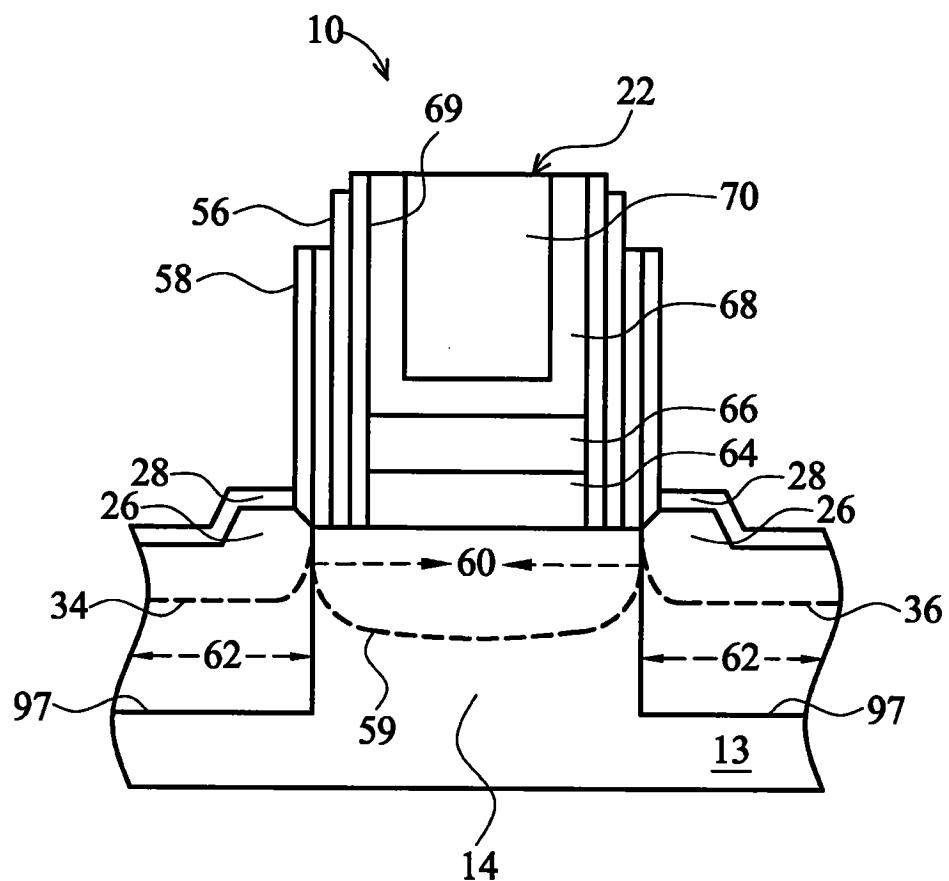


图 3

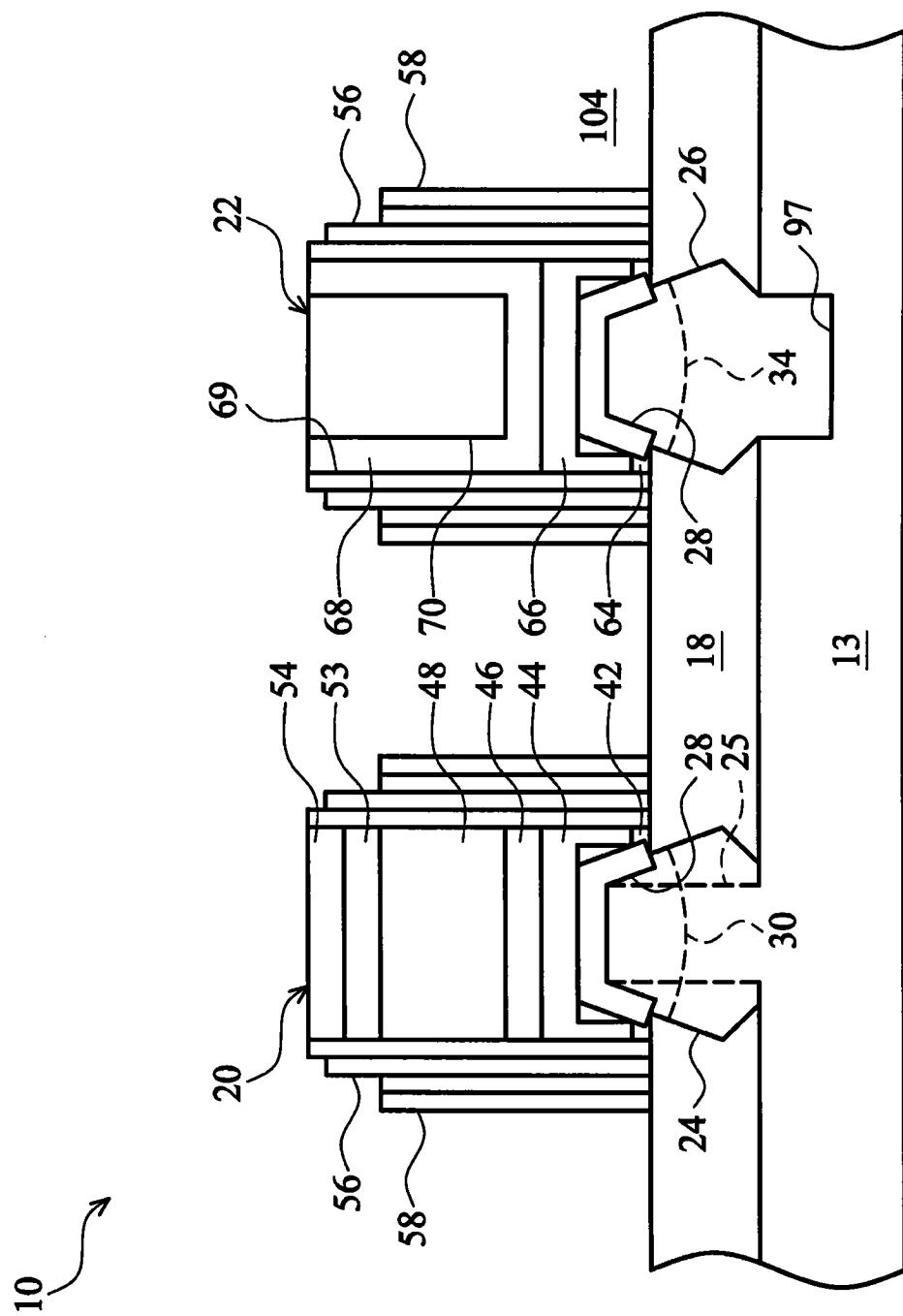


图 4

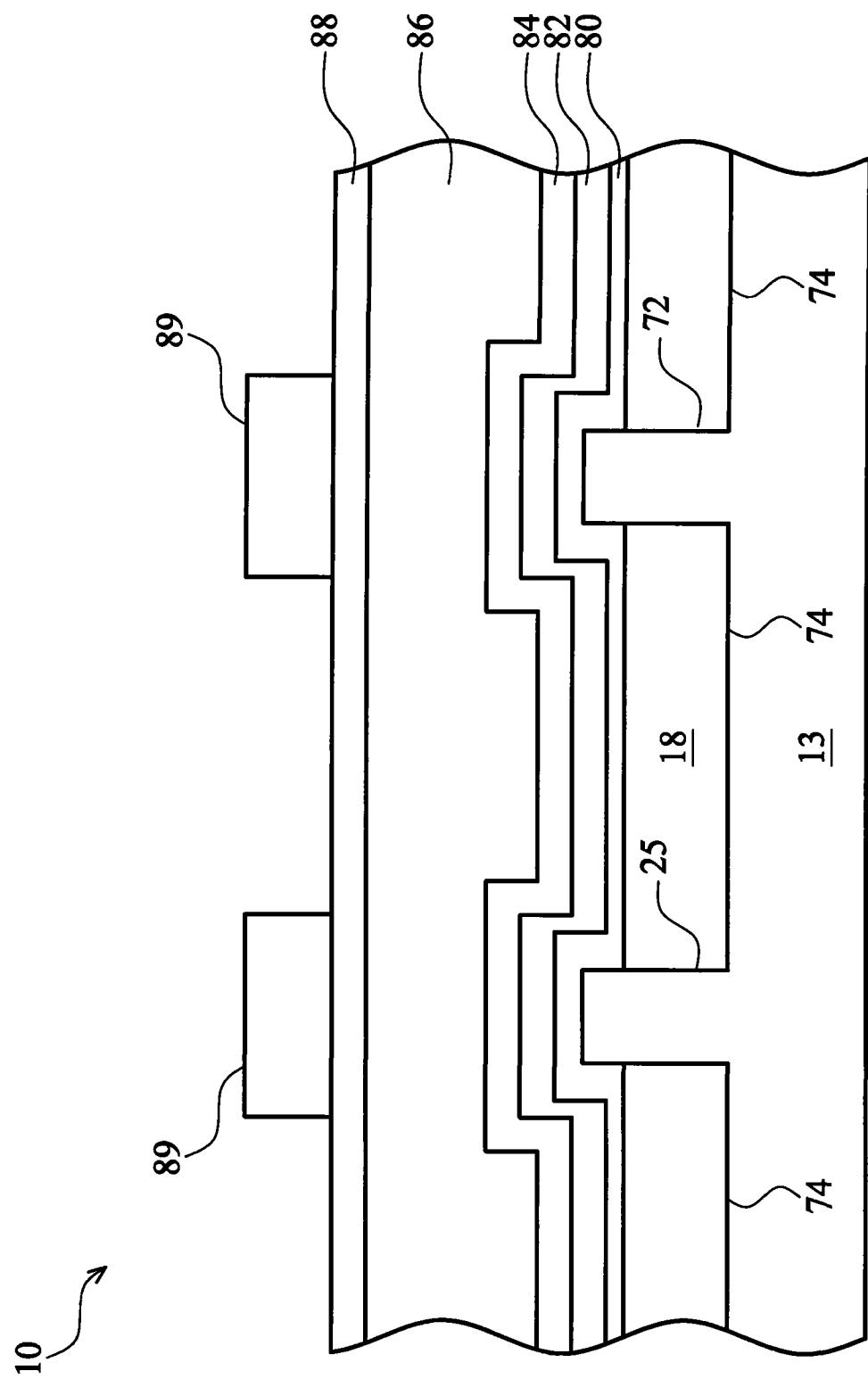


图 5

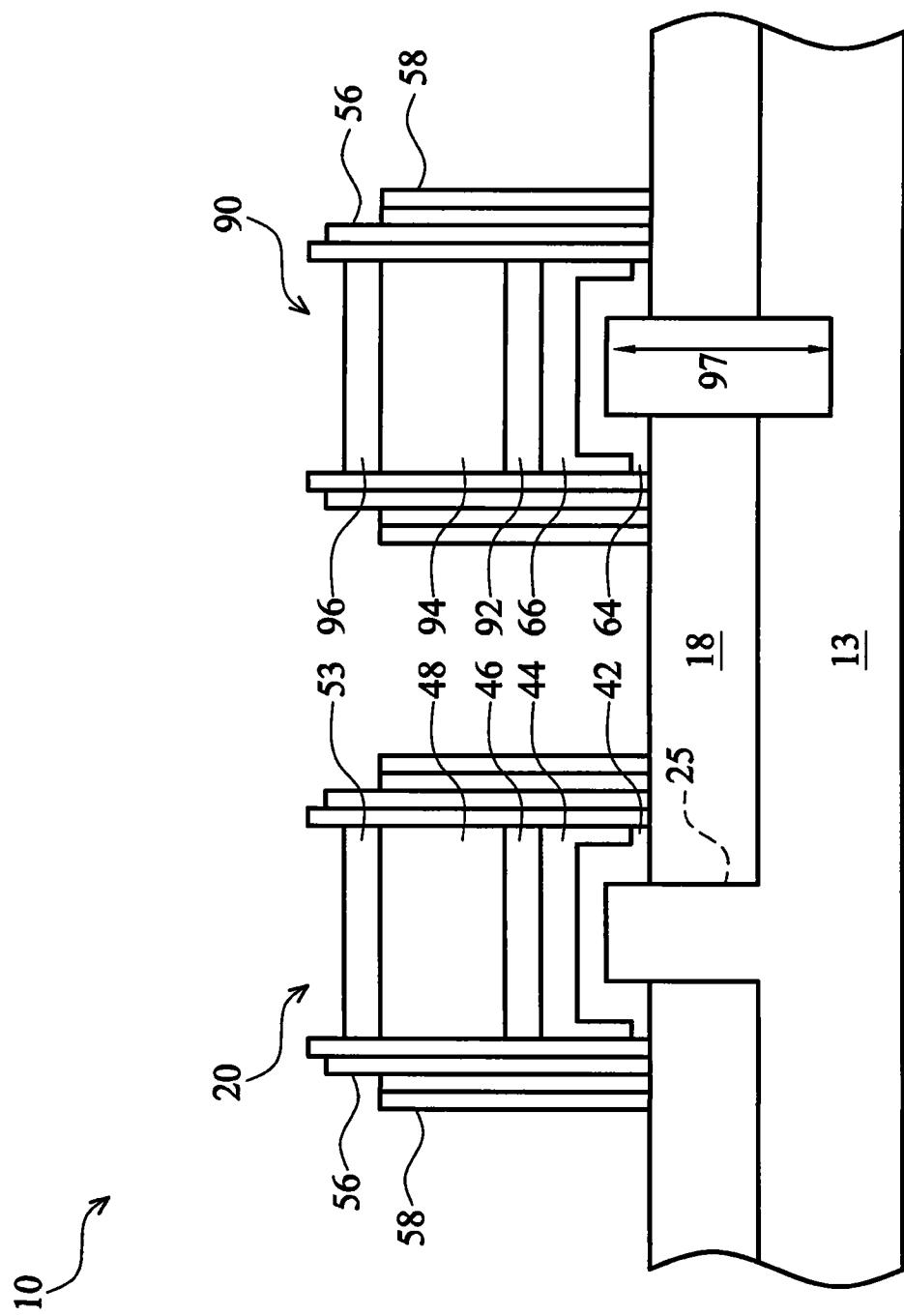


图 6

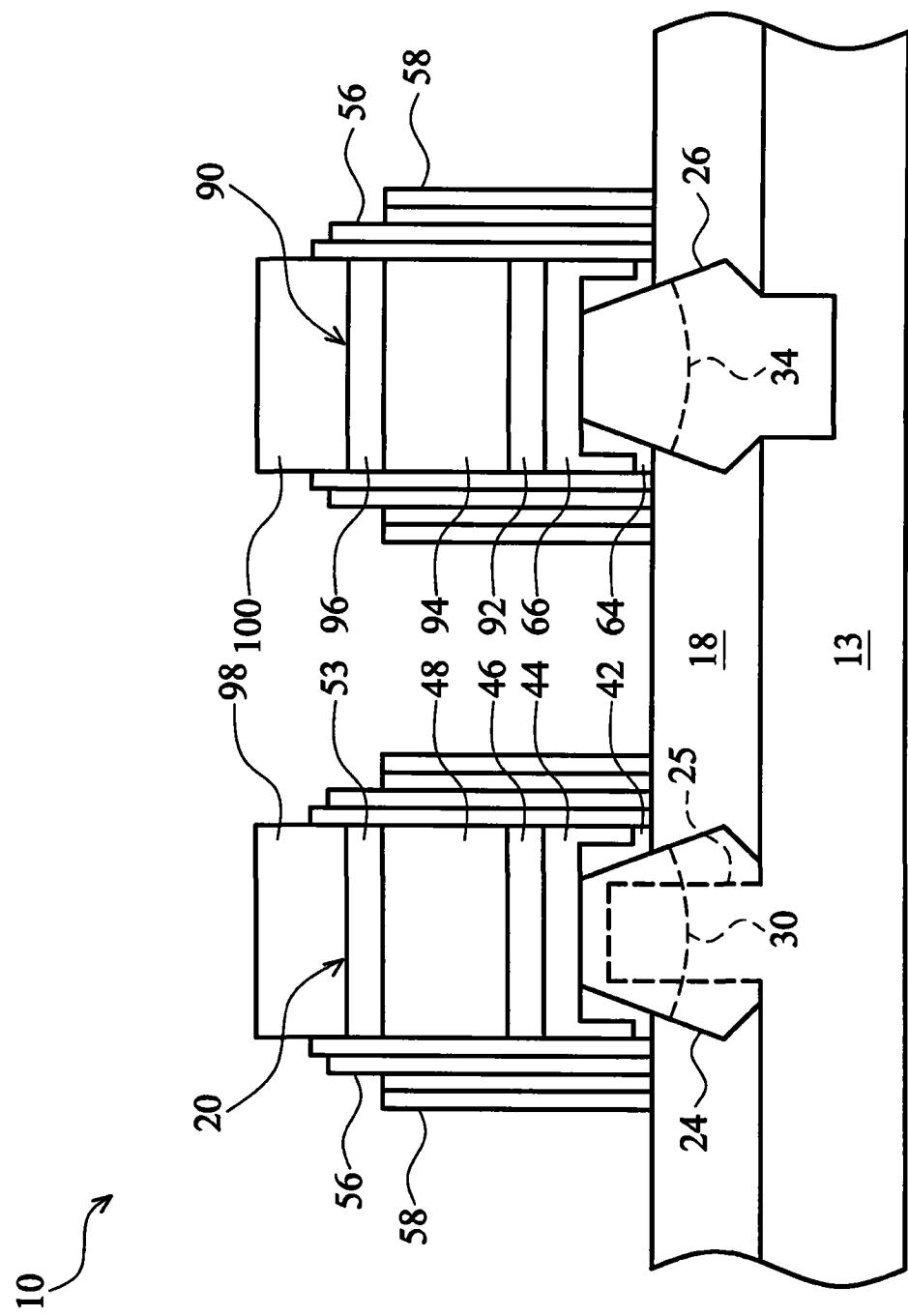


图 7

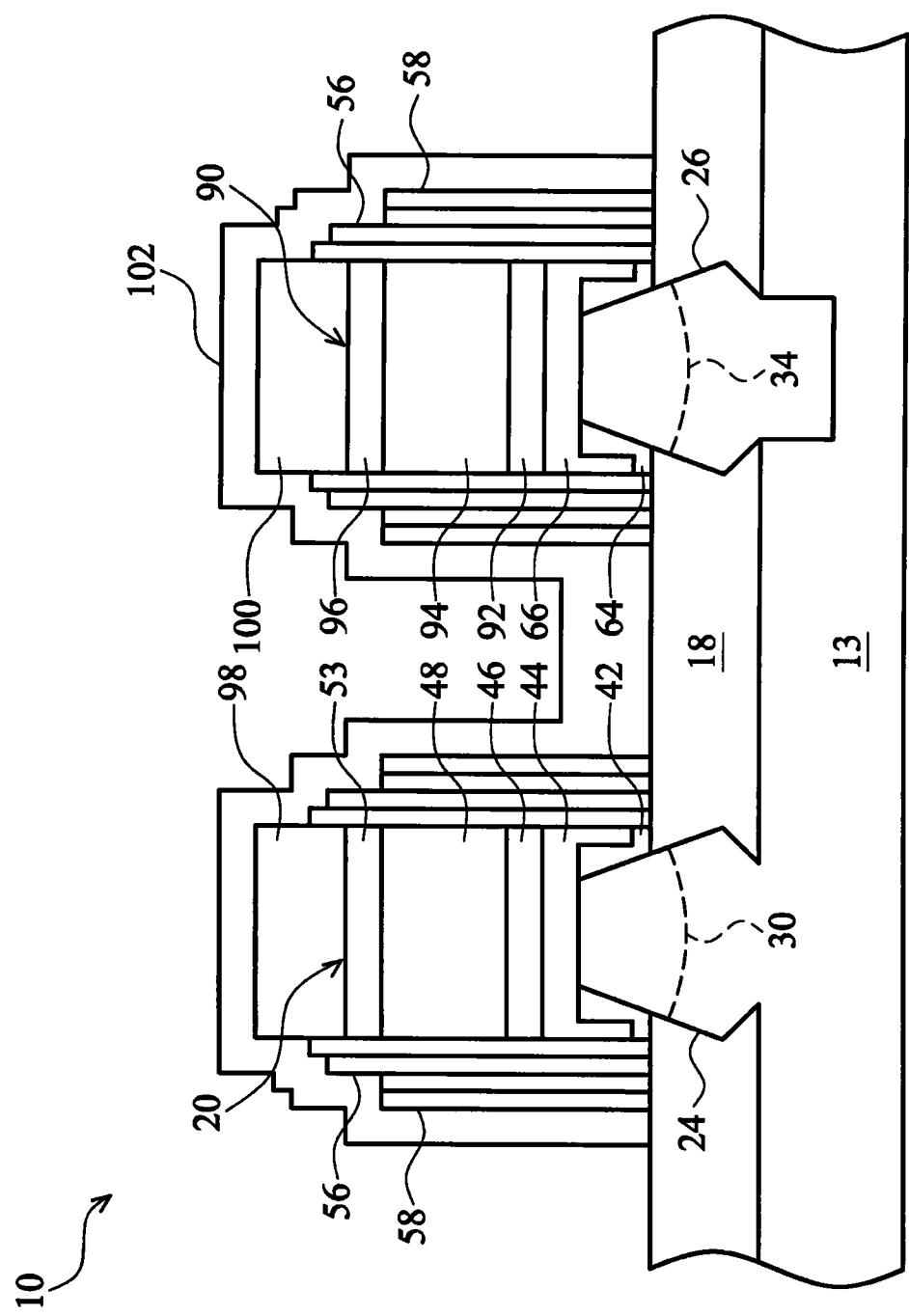


图 8

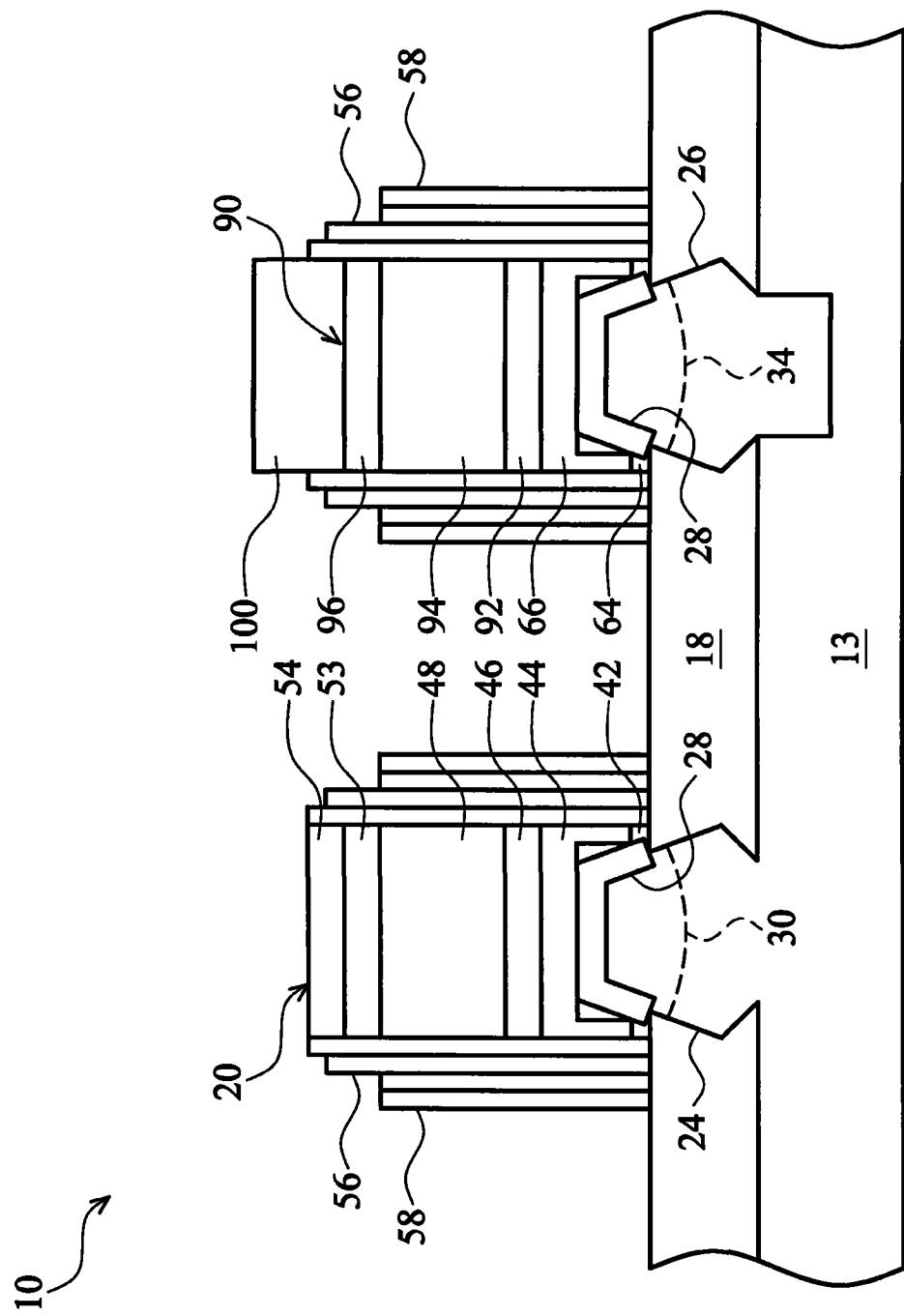


图 9

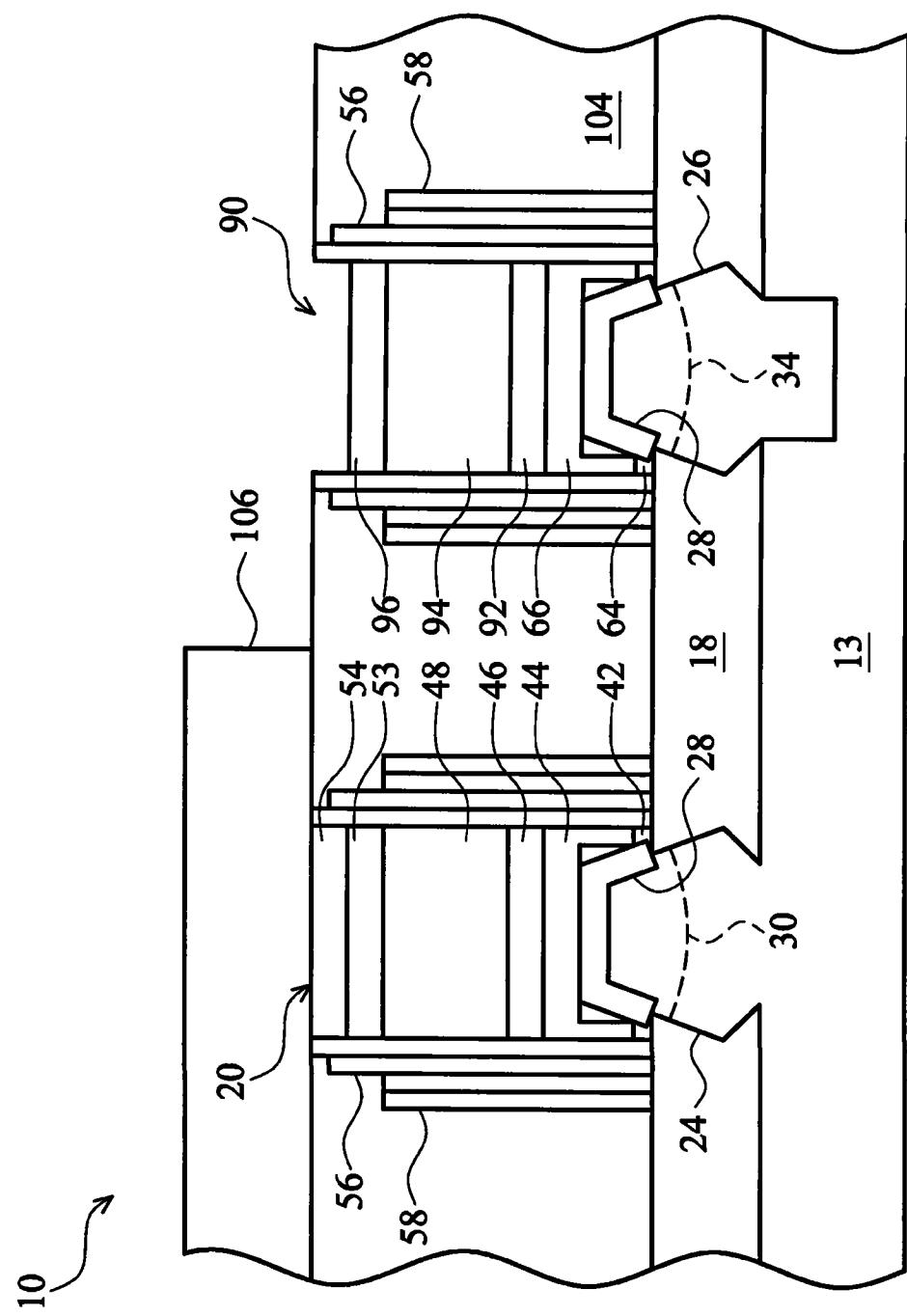


图 10

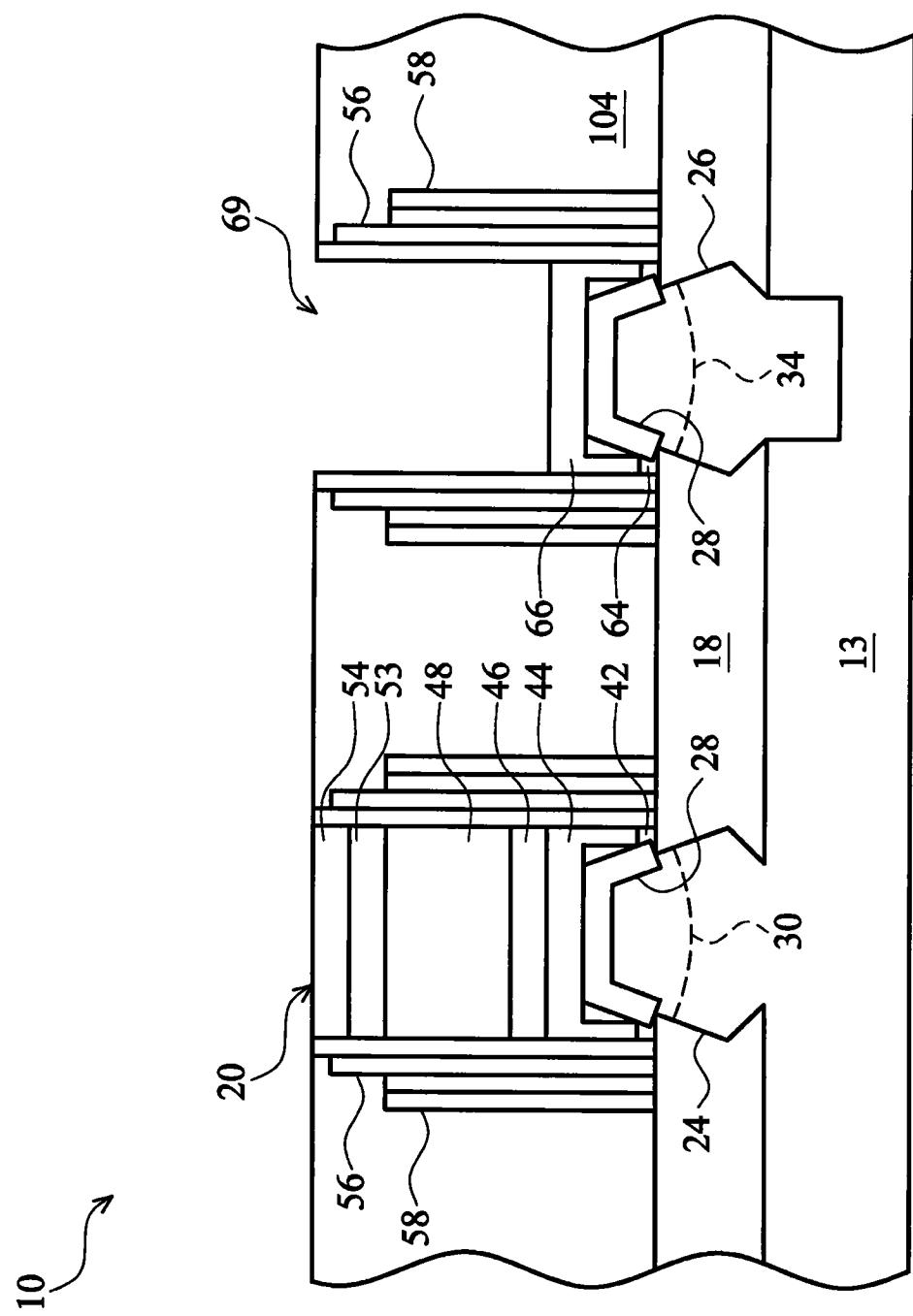


图 11

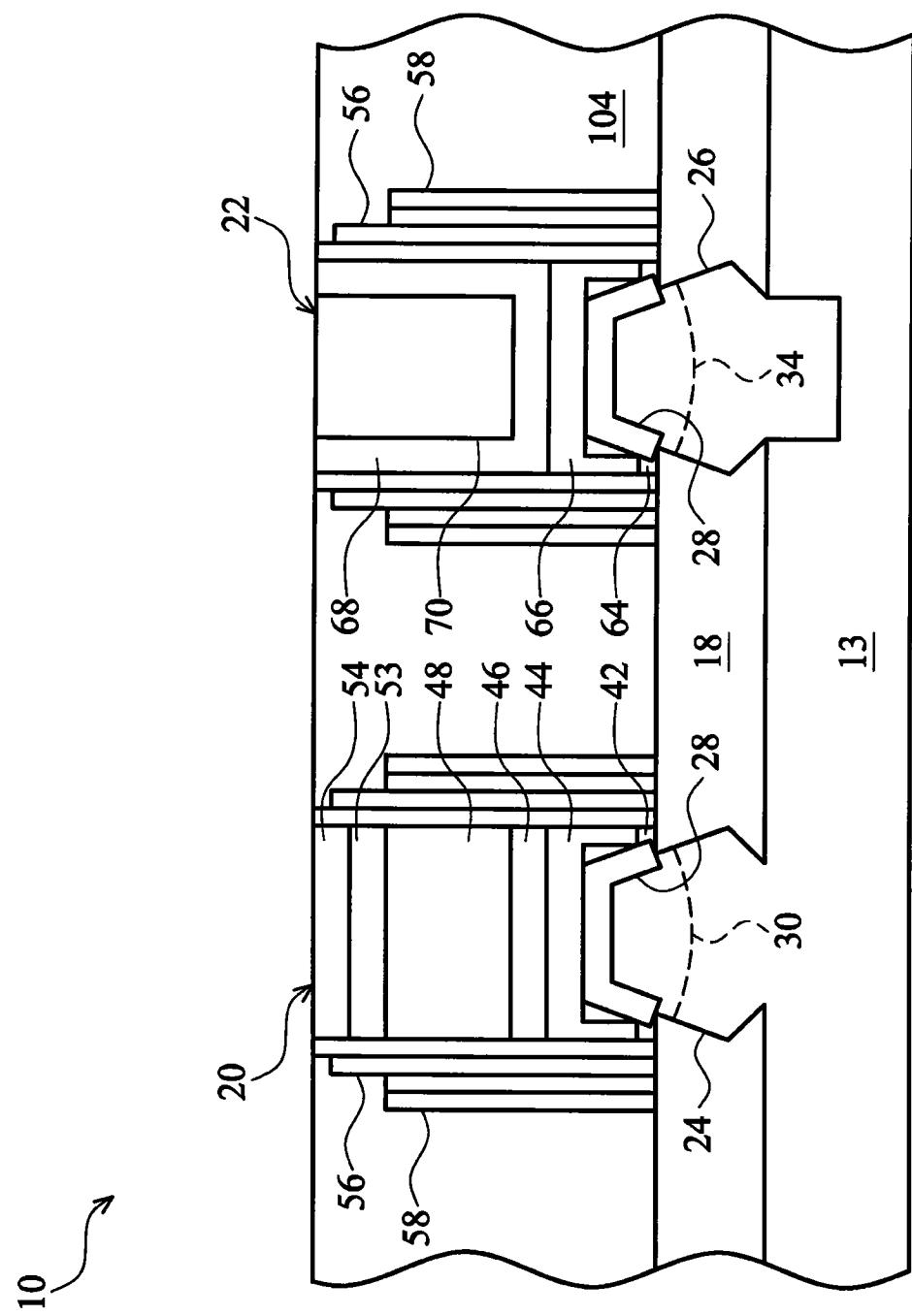


图 12

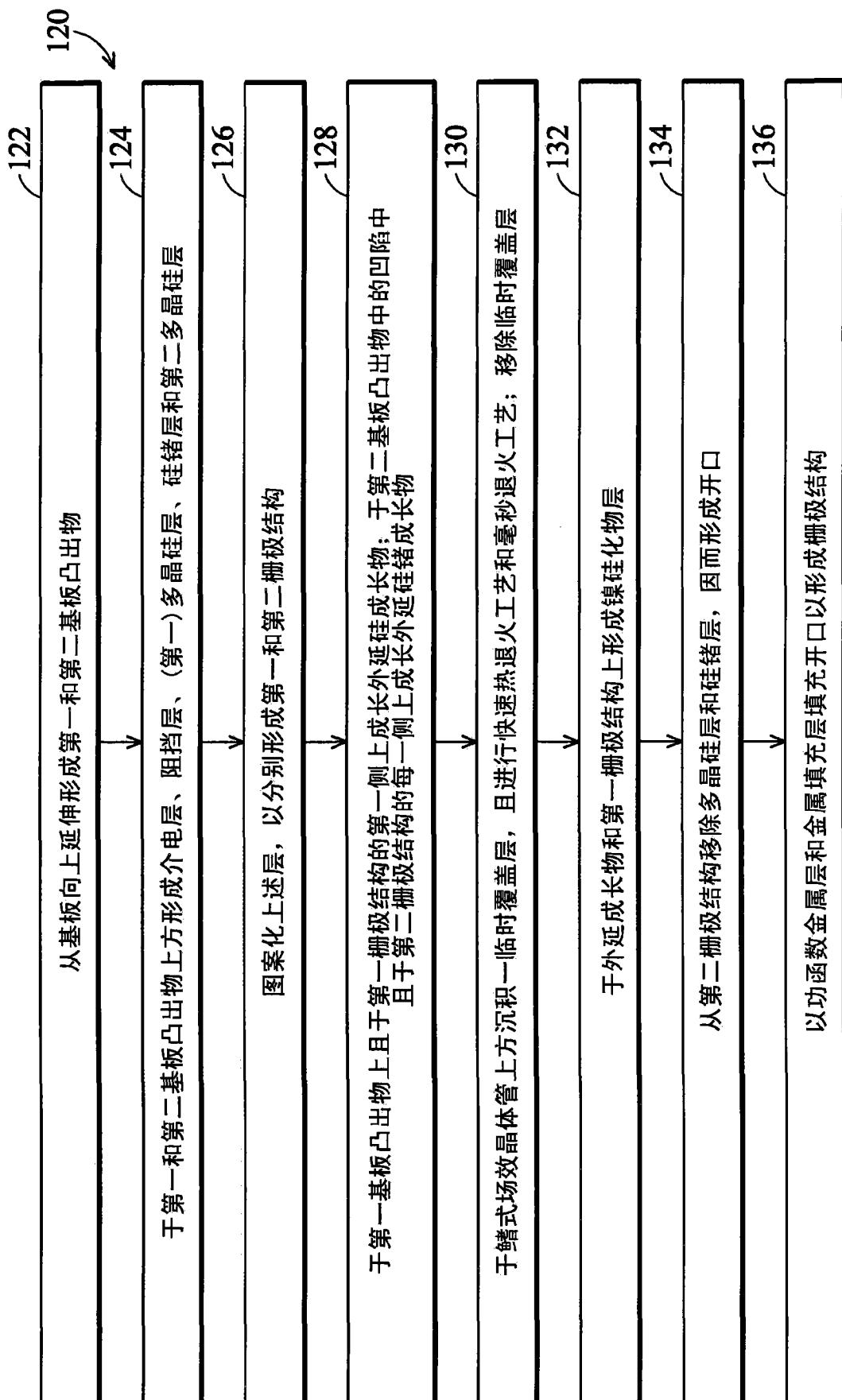


图 13