

⑤④ Capteur de lumière ambiante.

②② Date de dépôt : 22.02.22.

③③ Priorité :

⑥⑥ Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

⑦① Demandeur(s) : *STMICROELECTRONICS
(GRENOBLE 2) SAS Société par actions simplifiée —
FR et STMICROELECTRONICS (ALPS) SAS Société
par actions simplifiée — FR.*

④③ Date de mise à la disposition du public
de la demande : 25.08.23 Bulletin 23/34.

④⑤ Date de la mise à disposition du public du
brevet d'invention : 23.02.24 Bulletin 24/08.

⑦② Inventeur(s) : MOENECLAËY Nicolas et
VACCARIELLO Laurent.

⑤⑥ Liste des documents cités dans le rapport de
recherche :

Se reporter à la fin du présent fascicule

⑦③ Titulaire(s) : STMICROELECTRONICS
(GRENOBLE 2) SAS Société par actions simplifiée,
STMICROELECTRONICS (ALPS) SAS Société par
actions simplifiée.

⑦④ Mandataire(s) : CABINET BEAUMONT.



Description

Titre de l'invention : *Capteur de lumière ambiante*

Domaine technique

- [0001] La présente description concerne de façon générale les circuits ou dispositifs électroniques, et, plus particulièrement, les capteurs de lumière ambiante.

Technique antérieure

- [0002] Les capteurs connus de lumière ambiante comprennent plusieurs pixels, chaque pixel comprenant un élément de photoconversion tel qu'une photodiode. Dans un tel capteur, lors de la phase d'intégration d'une capture de lumière ambiante, des charges sont photogénérées dans les éléments de photoconversion du capteur et s'y accumulent. Lors de la phase de lecture de la capture de lumière ambiante, un signal analogique (AC) représentatif de la quantité de charges photogénérées accumulées dans les éléments de photoconversion du capteur est obtenu. Ce signal est ensuite converti en un signal numérique correspondant, par exemple pour que ce signal numérique puisse être traité par un circuit de traitement numérique.

Résumé de l'invention

- [0003] Il existe un besoin de pallier tout ou partie des inconvénients des capteurs connus de lumière ambiante.
- [0004] Par exemple, il existe un besoin de pallier tout ou partie des inconvénients des capteurs connus de lumière qui sont liés à l'étape de conversion analogique numérique décrite précédemment.
- [0005] Un mode de réalisation pallie tout ou partie des inconvénients des capteurs connus de lumière ambiante, par exemple tout ou partie des inconvénients qui sont liés à l'étape de conversion analogique numérique décrite ci-dessus.
- [0006] Un mode de réalisation prévoit un capteur de lumière ambiante comprenant une pluralité de pixels. Chaque pixel de la pluralité de pixels comprend : un premier caisson isolé dopé d'un premier type de conductivité, une photodiode pincée disposée dans le premier caisson, une première région dopée d'un deuxième type de conductivité disposée dans le premier caisson, une première grille de transfert couplant la photodiode à la première région, et un premier circuit configuré pour appliquer sélectivement un premier potentiel ou un deuxième potentiel au premier caisson. Le capteur comprend en outre un convertisseur analogique-numérique à approximations successives comprenant un premier noeud connecté aux premières régions de tous les pixels de la pluralité de pixels, un premier interrupteur configuré pour appliquer sélectivement un troisième potentiel au premier noeud, un comparateur ayant une première entrée couplée au premier noeud, et un deuxième circuit configuré pour recevoir une

sortie du comparateur et pour commander les premiers circuits. De plus, le capteur comprend un circuit de commande configuré pour commander les premières grilles de transfert et le premier interrupteur.

- [0007] Selon un mode de réalisation, une deuxième entrée du comparateur est couplée à un potentiel de comparaison.
- [0008] Selon un mode de réalisation, le potentiel de comparaison est déterminé, au moins en partie, par le troisième potentiel.
- [0009] Selon un mode de réalisation, chaque pixel de la pluralité de pixels comprend en outre un deuxième caisson isolé dopé du premier type de conductivité et configuré pour recevoir le premier potentiel, une deuxième région dopée du deuxième type de conductivité disposée dans le deuxième caisson, et une deuxième grille de transfert couplée à la deuxième région semiconductrice. Le convertisseur comprend en outre un deuxième noeud connecté aux deuxièmes régions de tous les pixels de la pluralité de pixels, et un deuxième interrupteur configuré pour appliquer sélectivement le troisième potentiel au deuxième noeud. Le deuxième noeud est couplé à la deuxième entrée du comparateur.
- [0010] Selon un mode de réalisation, le convertisseur comprend en outre un premier tampon analogique ayant une entrée connectée au premier noeud et une sortie couplée à la première entrée du comparateur, et un deuxième tampon analogique ayant une entrée connectée au deuxième noeud et une sortie couplée à la deuxième entrée du comparateur. Les premier et deuxième tampons analogiques sont de préférence identiques.
- [0011] Selon un mode de réalisation, le circuit de commande est en outre configuré pour commander le deuxième interrupteur de manière identique au premier interrupteur.
- [0012] Selon un mode de réalisation, le circuit de commande est en outre configuré pour :
commander les deuxièmes grilles de transfert ; et
maintenir les deuxièmes grilles de transfert à l'état bloqué pendant toute la durée de chaque phase de capture de lumière ambiante par le capteur.
- [0013] Selon un mode de réalisation, pendant chaque phase de conversion analogique-numérique d'un potentiel du premier noeud, le deuxième circuit est configuré pour commander les premiers circuits sur la base de la sortie du comparateur.
- [0014] Selon un mode de réalisation, pendant chaque phase de conversion analogique-numérique d'un potentiel du premier noeud, le circuit de commande est configuré pour maintenir ouvert le premier interrupteur.
- [0015] Selon un mode de réalisation :
les pixels de la pluralité de pixels sont répartis en plusieurs groupes de pixels ;
chaque pixel de la pluralité de pixels appartient à un unique groupe parmi lesdits plusieurs groupes de pixels ; et
le deuxième circuit est configuré, pendant chaque phase de conversion analogique-

numérique d'un potentiel du premier noeud et pour chaque groupe de pixels, pour commander de manière identique les premiers circuits des pixels dudit groupe.

- [0016] Selon un mode de réalisation, le deuxième circuit est configuré, à chacune des approximations successives du convertisseur, pour commuter le potentiel appliqué aux premiers caissons des pixels d'au moins un groupe par les premiers circuits correspondants.
- [0017] Selon un mode de réalisation, pendant chaque phase d'initialisation des photodiodes, le circuit de commande est configuré pour commuter à l'état passant les premières grilles de transfert de tous les pixels de la pluralité de pixels et commander une fermeture du premier interrupteur.
- [0018] Selon un mode de réalisation, pendant chaque phase d'intégration, le circuit de commande est configuré pour maintenir à l'état bloqué les premières grilles de transfert de tous les pixels de la pluralité de pixels pendant toute la durée de la phase d'intégration, et, de préférence, pour maintenir le premier interrupteur à l'état passant.
- [0019] Selon un mode de réalisation, pendant chaque phase de lecture :
 - le circuit de commande est configuré pour commuter à l'état passant les premières grilles de transfert d'au moins certains pixels de la pluralité de pixels, un nombre desdits au moins certains pixels déterminant, par exemple, un gain du capteur ; et
 - le circuit de commande est configuré pour maintenir ouvert le premier interrupteur pendant toute la durée de la phase de lecture.
- [0020] Selon un mode de réalisation, pendant toute la durée de chaque phase d'initialisation des photodiodes, chaque phase d'intégration et chaque phase de lecture, le deuxième circuit est configuré pour que les premiers circuits appliquent le premier potentiel aux premiers caissons de tous les pixels de la pluralité de pixels.

Brève description des dessins

- [0021] Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :
- [0022] la [Fig.1] représente de manière schématique un mode de réalisation d'un capteur de lumière ambiante ;
- [0023] la [Fig.2] illustre, par une vue en coupe, un mode de réalisation d'un pixel du capteur de la [Fig.1] ;
- [0024] la [Fig.3] représente de manière schématique un circuit équivalent au capteur de la [Fig.1] ; et
- [0025] la [Fig.4] représente un chronogramme illustrant un mode de mise en œuvre du fonctionnement du capteur de la [Fig.1].

Description des modes de réalisation

- [0026] De mêmes éléments ont été désignés par de mêmes références dans les différentes figures. En particulier, les éléments structurels et/ou fonctionnels communs aux différents modes de réalisation peuvent présenter les mêmes références et peuvent disposer de propriétés structurelles, dimensionnelles et matérielles identiques.
- [0027] Par souci de clarté, seuls les étapes et éléments utiles à la compréhension des modes de réalisation décrits ont été représentés et sont détaillés.
- [0028] Sauf précision contraire, lorsque l'on fait référence à deux éléments connectés entre eux, cela signifie directement connectés sans éléments intermédiaires autres que des conducteurs, et lorsque l'on fait référence à deux éléments reliés (en anglais "coupled") entre eux, cela signifie que ces deux éléments peuvent être connectés ou être reliés par l'intermédiaire d'un ou plusieurs autres éléments.
- [0029] Dans la description qui suit, lorsque l'on fait référence à des qualificatifs de position absolue, tels que les termes "avant", "arrière", "haut", "bas", "gauche", "droite", etc., ou relative, tels que les termes "dessus", "dessous", "supérieur", "inférieur", etc., ou à des qualificatifs d'orientation, tels que les termes "horizontal", "vertical", etc., il est fait référence sauf précision contraire à l'orientation des figures.
- [0030] Sauf précision contraire, les expressions "environ", "approximativement", "sensiblement", et "de l'ordre de" signifient à 10 % près, de préférence à 5 % près.
- [0031] Un capteur de lumière ambiante comprenant des pixels ayant chacun une grille de transfert entre une photodiode du pixel et une région de lecture est ici considéré. Dans ce capteur, les régions de lecture de plusieurs pixels du capteur sont reliées à un même noeud de lecture.
- [0032] Des modes de réalisation prévoient d'utiliser les capacités des régions de lecture de ces pixels pour mettre en œuvre une banque de capacités d'un convertisseur analogique-numérique à approximations successives connecté au noeud de lecture.
- [0033] En particulier, des modes de réalisation prévoient que chaque pixel dont la région de lecture est connectée au noeud de lecture soit configuré pour qu'un premier potentiel ou un deuxième potentiel puisse être sélectivement appliqué à un caisson semi-conducteur du pixel dans lequel sont disposés la photodiode et la région de lecture du pixel. Ainsi, le potentiel appliqué au caisson de chacun de ces pixels peut être modifié, de manière à mettre en œuvre les approximations successives du convertisseur analogique-numérique.
- [0034] Un tel capteur ne nécessite pas d'amplificateur trans-impédance (TIA de l'anglais "Transimpedance amplifier") pour lire les pixels.
- [0035] En outre, un tel capteur est moins encombrant qu'un capteur similaire comprenant un convertisseur analogique-numérique à approximations successives dans lequel les capacités du convertisseur seraient mises en œuvre au moyen de condensateurs comprenant chacun deux électrodes conductrices en vis-à-vis et séparées l'une de

l'autre par une couche isolante.

- [0036] Selon un mode de réalisation, le capteur est mis en œuvre sous un écran d'un dispositif électronique, par exemple sous un écran à diodes électroluminescentes organiques (OLED de l'anglais "Organic Light Emitting Diode"). De préférence, l'écran est commandé en alternant des phases d'émission de lumière et des phases où aucune lumière n'est émise, avec une fréquence telle que les phases où aucune lumière n'est émise ne sont pas perceptibles pour l'œil humain. De préférence, chaque étape d'intégration de la lumière ambiante par le capteur est alors mise en œuvre pendant une phase sans émission de lumière.
- [0037] La [Fig.1] représente de manière schématique un mode de réalisation d'un capteur de lumière ambiante 1.
- [0038] Le capteur de lumière comprend des pixels P1. Les pixels P1 sont, par exemple, organisés en matrice comprenant des lignes et des colonnes de pixels P1. Dans l'exemple de la [Fig.1], le capteur 1 comprend 16 pixels P1 bien que, dans d'autres exemples non illustrés, le nombre de pixels P1 puisse être différent de 16, par exemple supérieur à 16, par exemple égal à 512.
- [0039] La [Fig.2] illustre, par une vue en coupe, un mode de réalisation d'un pixel P1 du capteur 1 de la [Fig.1], étant entendu que les autres pixels P1 sont mis en œuvre de manière identique au pixel P1 décrit en relation avec [Fig.2].
- [0040] Le pixel P1 comprend un caisson isolé 200. Le caisson 200 est dopé d'un premier type de conductivité, dans cet exemple le type P. Le caisson 200 est disposé, ou s'étend, dans une couche semiconductrice 202, par exemple en silicium. Dans cet exemple, le caisson 200 s'étend sur toute l'épaisseur de la couche 202, à partir d'une face 204 de la couche 202 jusqu'à une face 206 de la couche 202.
- [0041] Le caisson 200 est dit isolé en ce qu'il est isolé électriquement d'autres régions et/ou caissons formés dans la couche 202 et en dehors du caisson 200.
- [0042] Dans cet exemple, le caisson 200 est isolé latéralement par des tranchées d'isolation profondes 208 (DTI de l'anglais "Deep Trench Insulation"), par exemple des tranchées d'isolation profondes capacitives 208 (CDTI de l'anglais "Capacitive DTI"). Dans cet exemple, les tranchées 208 traversent la couche 202 sur toute son épaisseur.
- [0043] Dans des exemples non illustrés, le caisson 200 s'étend sur une partie seulement de l'épaisseur de la couche 202, à partir de la face 204 de la couche (la face supérieure en [Fig.2]). Dans ce cas, une couche enterrée dopée d'un type de conductivité opposé à celui du caisson ou une couche semiconductrice enterrée non dopée peut être prévue dans la couche 202 pour délimiter le fond du caisson 200. Dans ce cas, si le caisson 200 est délimité et isolé latéralement par des tranchées d'isolation 208, ces dernières pénètrent dans la couche 202 jusqu'à la couche enterrée et peuvent pénétrer, voir traverser, la couche enterrée.

- [0044] Dans des exemples non illustrés, les tranchées d'isolation 208 sont remplacées par des régions dopées du type de conductivité opposé à celui du caisson 200 ou par des régions semiconductrices non dopées, ces régions bordant latéralement le caisson 200 sur toute sa périphérie.
- [0045] Le pixel P1 comprend une région de photoconversion PD de la lumière en paires électron-trou, typiquement une photodiode. La photodiode PD, de préférence une photodiode pincée ("pinned photodiode" en anglais), s'étend dans le caisson 200, à partir de la face 204 et sur une partie seulement de l'épaisseur du caisson 200.
- [0046] La photodiode PD comprend un caisson ou région 210 dopée du type de conductivité N opposé au type P du caisson 200. Cette région 210 s'étend dans le caisson 200, à partir de la face 204 et sur une partie seulement de l'épaisseur du caisson 200.
- [0047] Le pixel P1 comprend en outre une région 212, dopée du type N opposé au type P du caisson 200. De préférence, la région 212 est plus fortement dopée (N+) que la région 210, c'est-à-dire que le niveau de dopage de la région 212 est plus élevée que le niveau de dopage de la région 210. La région 212 est séparée de la région 210, ou, dit autrement, n'est pas en contact avec la région 210. La région 212 s'étend dans le caisson 200, à partir de la face 204 et sur une partie seulement de l'épaisseur du caisson 200. Par exemple, la région 212 pénètre dans le caisson 200 sur une profondeur plus faible que la région 210. La région 212 correspond, par exemple, à une région de lecture du pixel P1.
- [0048] Comme cela se voit en [Fig.1], les régions 212 de tous les pixels P1 sont connectées entre elles et à un même noeud SN1. Dans l'exemple illustré, le capteur 1 ne comprend que des pixels P1, et les régions 212 de tous les pixels du capteur 1 sont donc connectées au noeud SN1.
- [0049] Une grille de transfert 214 couple la photodiode PD à la région 212, c'est-à-dire la région 210 à la région 212. Plus particulièrement, la grille 214 est configurée pour coupler électriquement les régions 210 et 212 l'une avec l'autre à l'état passant, et pour isoler électriquement les régions 210 et 212 l'une de l'autre à l'état bloqué. En particulier, lorsque la grille 214 est passante, les charges photogénérées et accumulées dans la photodiode PD sont transférées dans la région 212, et le potentiel de la région 212 suite à ce transfert dépend du nombre de charges transférées. La région 212 constitue la région de drain de la grille 214.
- [0050] La grille 214 repose sur face 204 de la couche 202, sur une portion du caisson 200 séparant les régions 210 et 214 l'une de l'autre.
- [0051] La grille 214 est commandée par un signal TG. Le signal TG de chaque pixel P1 est fourni par un circuit CTRL du capteur 1, comme cela est illustré en [Fig.1]. Dit autrement, le circuit CTRL est configuré pour commander les grilles TG des pixels P1. Comme cela sera décrit plus en détail dans la suite, le circuit CTRL peut être configuré

pour fournir le même signal TG à tous les pixels P1, c'est-à-dire pour commander tous les pixels P1 de manière identique, ou peut-être configuré pour commander différemment une partie des pixels P1 et une autre partie des pixels P1.

- [0052] Le pixel P1 comprend en outre un circuit, ou commutateur, 216 configuré appliquer sélectivement un potentiel V1 ou un deuxième potentiel V2 au caisson 200. Dit autrement, le circuit 216 a une première borne d'entrée couplée, par exemple connectée, à un noeud 218 configuré pour recevoir le potentiel V1, une deuxième borne d'entrée couplée, par exemple connectée, à un noeud 220 configuré pour recevoir le potentiel V2, et une borne de sortie couplée, par exemple connectée, au caisson 200, et est configuré pour coupler sa borne de sortie sélectivement à sa première borne d'entrée ou à sa deuxième borne d'entrée.
- [0053] A titre d'exemple, le caisson 200 comprend une région de prise de contact 222 plus fortement dopée du type P (P+) que le caisson 200, et le circuit 216 est couplée au caisson 200 par la région 222.
- [0054] Lorsque le caisson 200 est dopé du type P comme c'est le cas dans l'exemple décrit, le potentiel V2 est supérieur au potentiel V1. Par exemple, le potentiel V2 est positif et référencé au potentiel V1. Par exemple, le potentiel V1 est le potentiel de masse GND, et le potentiel V2 est sensiblement égal à 100 mV, par exemple égal à 100 mV.
- [0055] Le circuit 216 du pixel P1 est commandé par un signal sel. Le signal sel de chaque pixel P1 est fourni par un circuit SAR du capteur 1 comme cela est illustré en [Fig.1]. Dit autrement, le circuit SAR est configuré pour commander les circuits 216 des pixels P1. Le circuit SAR met en œuvre une fonction de registre à approximations successives. Comme cela sera décrit plus en détail dans la suite, les pixels P1 sont répartis en plusieurs groupes de P1, et le circuit SAR est configuré pour fournir le même signal sel à tous les pixels P1 d'un même groupe de pixels P1, le signal sel pouvant être différent entre deux groupes de pixels P1.
- [0056] Selon un mode de réalisation, par exemple illustré par la [Fig.2], le pixel 1 comprend en outre un caisson isolé 224 similaire au caisson 200. En particulier, le caisson 224 s'étend dans la couche 202 et est dopé du même type de conductivité que le caisson 200, à savoir le type P dans cet exemple. Le caisson 224 est isolé des régions et/ou caissons disposés à l'extérieur du caisson 224, de la même façon que le caisson 200 est isolé des régions et/ou caissons disposés à l'extérieur du caisson 200. Plus particulièrement, dans l'exemple de la [Fig.2], le caisson 224 s'étend à partir de la face 204 jusqu'à la face 206 et est délimité latéralement par des tranchées d'isolation 208.
- [0057] Le caisson 224 est configuré pour recevoir le potentiel V1. Plus particulièrement, le caisson 222 est configuré pour être maintenu au potentiel V1 pendant toute la durée de chaque phase de capture de la lumière ambiante par le capteur 1.
- [0058] Selon un mode de réalisation, le pixel P1 comprend un circuit, ou commutateur, 224

configuré appliquer sélectivement un potentiel V1 ou un deuxième potentiel V2 au caisson 224, le circuit 226 étant de préférence identique au circuit 216. Le circuit 224 est alors configuré pour maintenir le potentiel V1 sur le caisson 224 pendant toute la durée de chaque phase de capture de la lumière ambiante par le capteur 1. Par exemple, le circuit 224 est commandé par le circuit SAR ([Fig.1]). A titre d'exemple, le caisson 224 comprend une région de prise de contact 228 plus fortement dopée du type P (P+) que le caisson 224, et le circuit 226 est couplée au caisson 224 par la région 228.

[0059] En variante, le potentiel V1 est directement appliqué au caisson 224, en connectant le noeud 218 au caisson 224, par exemple à la région 228 du caisson 224.

[0060] Le caisson 224 comprend une région 230 similaire ou identique à la région 212, et une grille de transfert 232 similaire ou identique à la grille 214. En particulier, la grille 232 est couplée à la région 230 de la même façon que la grille 214 est couplée à la région 212. Dit autrement, la disposition de la grille 232 et de la région 230 l'une par rapport à l'autre est identique à la disposition de la grille 214 et de la région 212 l'une par rapport à l'autre. La région 230 est dopée du type N, par exemple fortement dopée de type N (N+). De préférence, le niveau de dopage de la région 230 est le même que celui de la région 212, le niveau de dopage du caisson 224 étant le même que celui du caisson 200.

[0061] La grille 232 est configurée pour être maintenue à l'état bloqué pendant toute la durée de chaque phase de capture de la lumière ambiante par le capteur 1. A titre d'exemple, la grille 232 est maintenue à l'état bloqué par un signal OFF appliqué à la grille 232. A titre d'exemple, le signal OFF fournit à chaque grille 232 par le circuit CTRL ([Fig.1]).

[0062] A la différence du caisson 200, aucune photodiode PD n'est formée dans le caisson 224 qui peut donc être plus petit que le caisson 200. De préférence, le caisson 224 a des dimensions latérales, c'est-à-dire des dimensions prises dans un plan parallèle à la face 204, qui sont plus petite que celles du caisson 200.

[0063] Comme cela se voit en [Fig.1], les régions 230 de tous les pixels P1 sont connectées entre elles et à un même noeud SN1init. Ainsi, dans cet exemple où le capteur 1 ne comprend que des pixels P1, les régions 230 de tous les pixels du capteur 1 sont connectées au noeud SN1init.

[0064] En se référant de nouveau à la [Fig.1], le capteur 1 comprend en outre un convertisseur analogique-numérique 100. Le convertisseur 100 comprend le noeud SN1.

[0065] Plus particulièrement, le noeud SN1 correspond à une entrée du convertisseur 100 sur laquelle est présente un potentiel que le convertisseur 100 est configuré pour convertir en un mot binaire représentatif de la valeur de ce potentiel.

[0066] Le convertisseur 100 comprend aussi un interrupteur IT1, par exemple un transistor MOS, configuré pour appliquer sélectivement un potentiel V3 au noeud SN1. Plus par-

ticulièrement, l'interrupteur IT1 est configuré pour appliquer le potentiel V3 au noeud SN1 uniquement lorsque l'interrupteur IT1 est passant. Dit autrement, l'interrupteur IT1 a une borne de conduction reliée, par exemple connectée, à un noeud 102 configuré pour recevoir le potentiel V3, et une borne de conduction couplée, par exemple connectée, au noeud SN1. Le circuit CTRL du convertisseur 1 est configuré pour commander l'interrupteur IT1, par exemple via un signal IT1ctrl

- [0067] Lorsque le caisson 200 est dopé du type P comme c'est le cas dans l'exemple décrit, le potentiel V3 est supérieur au potentiel V1. Par exemple, le potentiel V3 est positif et référencé au potentiel V1. Par exemple, le potentiel V3 est supérieur au potentiel V2. A titre d'exemple, le potentiel V3 est déterminé pour qu'un potentiel de commande, par exemple un potentiel d'alimentation haut du capteur, appliqué sur une grille 214 ayant sa région 212 au potentiel V3 rende la grille 214 passante, tout en maximisant la dynamique de conversion du convertisseur 100. La détermination du potentiel V3 est à la portée de la personne du métier à partir des indications fonctionnelles données dans la présente description. A titre d'exemple, le potentiel V3 est sensiblement égal à 1,5 V, par exemple égal à 1,5 V.
- [0068] Le convertisseur 100 comprend en outre un comparateur 104, par exemple un amplificateur opérationnel monté en comparateur. Le comparateur 104 a une entrée 106 couplée au noeud SN1.
- [0069] Selon un mode de réalisation, le noeud SN1 est couplé à l'entrée 106 par un circuit tampon analogique 107. Le circuit 107 est configuré pour recevoir le potentiel du noeud SN1 et pour fournir ce potentiel ou un potentiel correspondant à l'entrée 108 du comparateur 104. Par exemple, le circuit 107 comprend une entrée couplée, de préférence connectée, au noeud SN1, et une sortie couplée, de préférence connectée, à l'entrée 106.
- [0070] A titre d'exemple de mise en œuvre, le circuit 107 comprend un transistor MOS T1 et une source de courant S1 connectés en série. Le transistor T1 est configuré en source suiveuse, et a sa grille correspondant à l'entrée du circuit 107 et sa source correspondant à la sortie du circuit 107.
- [0071] Le comparateur 100 est configuré pour comparer le potentiel du noeud SN1 avec un potentiel de comparaison, et pour fournir un signal binaire COMP dont l'état binaire indique si le potentiel du noeud SN1 est supérieur ou inférieur à ce potentiel de référence.
- [0072] Selon un mode de réalisation, le potentiel de comparaison est déterminé par le potentiel V3. Par exemple, le potentiel de comparaison est configuré pour être égal au potentiel du noeud SN1 après que l'interrupteur IT1 ait été commuté à l'état passant puis à l'état bloqué, c'est-à-dire après une initialisation du noeud SN1 au potentiel V3 par l'interrupteur IT1, et avant qu'une ou plusieurs grilles de transfert 214 n'ait été

commutées à l'état passant.

- [0073] Selon un mode de réalisation où chaque pixel P1 comprend un caisson 224, une région 230 et une grille 232 comme cela a été décrit en relation avec la [Fig.2], le convertisseur 100 comprend en outre le noeud SN1init et un interrupteur IT2. L'interrupteur IT2, par exemple un transistor MOS, est configuré pour appliquer sélectivement le potentiel V3 au noeud SN1init. De préférence, la mise en œuvre de l'interrupteur IT2 est identique celle de l'interrupteur IT1. Le circuit CTRL du convertisseur 1 est configuré pour commander l'interrupteur IT2 de manière identique à l'interrupteur IT1, par exemple via le même signal IT1ctrl. Dans ce cas, le potentiel de comparaison auquel est comparé le potentiel du noeud SN1 pendant une conversion analogique-numérique est disponible sur le noeud SN1init. Une entrée 108 du comparateur est alors couplée au noeud SN1init.
- [0074] Selon un mode de réalisation où le noeud SN1 est couplé à l'entrée 106 du comparateur par le circuit 107, le noeud SN1init est couplée à l'entrée 108 du comparateur par un circuit tampon analogique 110. Par exemple, le circuit 110 comprend une entrée couplée, de préférence connectée, au noeud SN1init, et une sortie couplée, de préférence connectée, à l'entrée 108.
- [0075] De préférence, la mise en œuvre du circuit 110 est identique à celle du circuit 107. Par exemple, le circuit 110 comprend un transistor MOS T2 et une source de courant S2 connectés en série. Le transistor MOS T2 est configuré en source suiveuse, et a sa grille correspondant à l'entrée du circuit 110 et sa source correspondant à la sortie du circuit 110.
- [0076] Le convertisseur 100 comprend, en outre, le circuit SAR. Le circuit SAR est configuré pour recevoir le signal COMP de sortie du comparateur 104. Lors d'une phase de conversion analogique-numérique du potentiel du noeud SN1, le circuit SAR est configuré pour commander les circuits 216 des pixels P1 à partir du signal COMP.
- [0077] Le circuit SAR est en outre configuré pour déterminer un mot binaire correspondant au résultat de la conversion analogique-numérique du potentiel du noeud SN1, sur la base du signal COMP obtenu à chacune des approximations successives mises en œuvre par le convertisseur 100.
- [0078] En pratique, vu du convertisseur 100 du capteur 1, chaque pixel P1 correspond à un premier élément capacitif C0 ayant une borne connectée au noeud SN1 et une borne couplée sélectivement au noeud 218 ou 220 par le circuit 216 de ce pixel P1. Plus particulièrement, dans chaque pixel P1, ce premier élément capacitif C0 correspond à la capacité sur le drain de la grille 214, c'est-à-dire à la capacité de drain de la grille 214. Les premiers éléments capacitifs C0 et les circuits 216 des pixels mettent en œuvre une banque d'éléments capacitifs utilisée lors des phases d'approximations successives d'une conversion analogique-numérique par le convertisseur 1. Dit autrement, les

éléments capacitifs C0 et les circuits 216 des pixels P1 mettent en œuvre un convertisseur numérique-analogique commandé par les signaux sel du circuit SAR.

- [0079] En outre, selon un mode de réalisation où chaque pixel P1 comprend un caisson 224, une région 230 et une grille 232 comme cela a été décrit en relation avec la [Fig.2], vu du convertisseur 100 du capteur 1, chaque pixel P1 correspond alors également à un deuxième élément capacitif C1 ayant une borne connectée au noeud SN1init et une borne couplée au noeud 220, par exemple par le circuit 226 de ce pixel P1. Plus particulièrement, dans chaque pixel P1, ce deuxième élément capacitif C1 correspond à la capacité sur le drain de la grille 232, étant entendu que cette grille 232 n'a pas de source.
- [0080] La [Fig.3] représente un circuit équivalent au capteur 1 de la [Fig.1]. En [Fig.3], les circuits SAR et CTRL ne sont pas représentés.
- [0081] Comme cela a été indiqué précédemment, chaque pixel P1 correspond à un premier élément capacitif C0 connecté entre le noeud SN1 et le circuit 216 du pixel.
- [0082] Par ailleurs, dans l'exemple de la [Fig.3], on considère un mode de réalisation chaque pixel P1 comprend un caisson 222, une grille 232 et une région 230 (voir [Fig.2]) et où les région 230 de tous les pixels P1 sont connectées au noeud SN1init. Le convertisseur 100 comprend alors le noeud SN1init et l'interrupteur IT2. En outre, chaque pixel P1 correspond également à un deuxième élément capacitif C1 couplant le noeud SN1init au potentiel V1, par exemple via le circuit 226 du pixel.
- [0083] Selon un mode de réalisation, comme cela est illustré en [Fig.3], les pixels P1 sont répartis en plusieurs groupes. Chaque pixel P1 n'appartient qu'à un seul des groupes.
- [0084] Dans chaque groupe de pixels P1, les éléments capacitifs C1 des pixels P1 du groupe correspondent alors à un élément capacitif d'un convertisseur numérique-analogique 300 du convertisseur 1. La valeur de chaque élément capacitif du convertisseur 1 est alors un multiple de la valeur capacitive d'un élément capacitif C0.
- [0085] En outre, dans chaque groupe de pixels P1, les circuits 216 de tous les pixels P1 du groupe sont commandés de la même façon par le circuit SAR. Dit autrement, tous les pixels P1 d'un groupe Gi donné reçoivent le même signal sel, ce signal sel pouvant être différent de celui reçu par tous les pixels P1 d'un autre groupe Gi de pixels P1.
- [0086] Dans cet exemple où chaque pixel P1 correspond en outre à un deuxième élément capacitif C1, dans chaque groupe de pixels P1, les éléments capacitifs C1 des pixels P1 du groupe correspondent alors à un élément capacitif d'un circuit 302 fournissant le potentiel de comparaison à l'entrée 108 du comparateur 104. La valeur de chaque élément capacitif du convertisseur 1 est alors un multiple de la valeur capacitive d'un élément capacitif C1.
- [0087] La répartition des pixels P1 en plusieurs groupes est configurée pour mettre en œuvre le convertisseur numérique-analogique 300 du convertisseur analogique-numérique à

approximations successives 100. Le convertisseur 300 est commandé par l'ensemble des signaux sel fournis aux pixels P1 par le circuit SAR du convertisseur 100, et, plus exactement par l'ensemble des signaux sel fournis aux groupes Gi de pixels P1.

[0088] Selon un mode de réalisation, le convertisseur 100 comprend K groupes Gi de pixels P1, avec i indice entier allant de 0 à K-1, et chaque groupe Gi comprend 2^i exposant i pixels P1.

[0089] Ainsi, chaque groupe Gi de pixels P1 est équivalent à un élément capacitif du convertisseur 300 de valeur $2^i \cdot C0$. Dans l'exemple de la [Fig.3], le capteur 1 comprend K égal 6 groupes G0, G1, G2, G3, G4 et G5 correspondant des éléments capacitifs du convertisseur 300 de valeurs respectives C0, $2 \cdot C0$, $4 \cdot C0$, $8 \cdot C0$, $16 \cdot C0$ et $32 \cdot C0$. Dans cet exemple, chaque Gi de pixels P1 est également équivalent à un élément capacitif du circuit 302 de valeur $2^i \cdot C1$. Plus particulièrement, les groupes G0, G1, G2, G3, G4 et G5 correspondent à des éléments capacitifs du circuit 302 de valeurs respectives C1, $2 \cdot C1$, $4 \cdot C1$, $8 \cdot C1$, $16 \cdot C1$ et $32 \cdot C1$.

[0090] Dans d'autres exemples, non illustrés, le nombre K de groupes de pixels P1 est différent, par exemple plus petit ou plus grand que 6, par exemple égal à 8 lorsque le capteur comprend 512 pixels P1.

[0091] Dans le cas où le nombre de pixels P1 du capteur 1 est tel que les pixels P1 du capteur 1 ne peuvent pas tous être répartis dans des groupes Gi tels que définis ci-dessus, les pixels P1 qui ne font pas partis d'un des groupes Gi sont répartis dans un groupe supplémentaire de pixels P1 qui ne sera pas utilisé pour mettre en œuvre un élément capacitif du convertisseur numérique-analogique 300 du convertisseur 100, ni un élément capacitif du circuit 302. Dit autrement, les circuits 216 des pixels P1 de ce groupe supplémentaire sont commandés de manière à ce que le même potentiel V1 ou V2, de préférence le potentiel V1, reste appliqué aux caissons 200 de ces pixels pendant toute la durée de fonctionnement du capteur 1. Ces pixels P1 correspondent alors à une capacité intrinsèque du noeud SN1. Les pixels P1 du groupe supplémentaire ne sont donc pas utilisés pour mettre en œuvre un élément capacitif du convertisseur 300 mais les charges qui sont photogénérées dans les photodiodes de ces pixels P1 du groupe supplémentaire peuvent par exemple être transférées vers le noeud SN1 pour participer au gain du capteur 1.

[0092] Dans le capteur 1 décrit en relation avec les figures 1 à 3, après que le noeuds SN1 et SN1init ait été initialisés au potentiel V3 par les interrupteurs IT1 et IT2 à l'état passant, ces derniers sont commutés à l'état bloqué. On appelle "potentiel d'initialisation du noeud SN1" le potentiel du noeud SN1 après cette commutation à l'état bloqué de l'interrupteur IT1. L'initialisation du potentiel des noeuds SN1 et SN1init est suivie de la mise à l'état passant des grilles de transfert 214 d'au moins certains pixels P1, ce entraîne une modification du potentiel du noeud SN1 par rapport

à son potentiel d'initialisation, par exemple une diminution du potentiel du noeud SN1 par rapport à son potentiel d'initialisation dans cet exemple où les caissons 200 sont dopés de type P.

- [0093] La conversion analogique-numérique du potentiel du noeud SN1 à la fin d'un transfert de charges vers le noeud SN1 consiste à commander les circuits 216 des groupes Gi pour déterminer, par dichotomie ou approximations successives, la combinaison des signaux de commande sel des groupes Gi pour laquelle le potentiel du noeud SN1 est ramené au plus proche du potentiel d'initialisation du noeud SN1, c'est-à-dire au plus proche du potentiel du noeud SN1init dans cet exemple où le convertisseur 100 comprend le circuit 302.
- [0094] Dit autrement, la conversion analogique-numérique du potentiel du noeud SN1 après un transfert de charges vers le noeud SN1 consiste à déterminer pour chaque groupe Gi de pixels P1, par approximations successives, si les caissons 200 des pixels P1 du groupe Gi doivent tous recevoir le potentiel V1 ou tous recevoir le potentiel V2 pour que le potentiel du noeud SN1 soit ramené le plus proche possible du potentiel d'initialisation du noeud SN1.
- [0095] A partir de la combinaison des signaux sel ainsi déterminée, on en déduit le mot binaire correspondant à la valeur du potentiel du noeud SN1 après le transfert de charges. Ce mot binaire indique alors la quantité de charges transférées, et donc la quantité de lumière reçue par le capteur 1.
- [0096] La [Fig.4] illustre par un chronogramme un mode de fonctionnement du capteur 1 décrit précédemment. Dans l'exemple de la [Fig.4], une seule phase de capture CAP de la lumière ambiante par le capteur 1 est illustrée, étant entendu que plusieurs phases CAP peuvent être mises en œuvre les unes après les autres.
- [0097] A un instant t0, la phase de capture CAP débute. L'instant t0 correspond par exemple à la fin d'une phase de capture CAP précédente ou à la fin d'une période de temporisation séparant chaque deux phases de capture CAP successive.
- [0098] L'instant t0 correspond au début d'une phase RST d'initialisation des photodiodes PD des pixels P1. Pour cela, les grilles de transfert 214 des pixels P1 et l'interrupteur IT1 sont commutés à l'état passant par le circuit CTRL. Il en résulte que les photodiodes PD sont initialisées au potentiel V3.
- [0099] Pendant toute la durée de la phase RST, le potentiel V1 est appliqué aux caissons 200 des pixels P1.
- [0100] La phase RST se termine à un instant t1 postérieur à l'instant t0. A l'instant t1, les grilles de transfert 214 sont commutées à l'état bloqué par le circuit CTRL.
- [0101] L'instant t1 marque donc le début d'une phase d'intégration INT, pendant laquelle la lumière reçue par chaque photodiode PD est convertie en charges qui s'accumulent dans la photodiode.

- [0102] Pendant toute la durée de la phase INT, le potentiel V1 est appliqué aux caissons 200 des pixels P1.
- [0103] De préférence, pendant toute la durée de la phase INT, l'interrupteur IT1 est maintenu à l'état passant.
- [0104] La phase d'intégration INT se termine à un instant t2 postérieur à l'instant t1. L'instant t2 correspond au début d'une phase de lecture LECT d'au moins une partie des pixels P1.
- [0105] A l'instant t2, l'interrupteur IT1 est commuté à l'état bloqué. Après la commutation à l'état bloqué de l'interrupteur IT1, le noeud SN1 est à son potentiel d'initialisation. L'interrupteur IT1 est ensuite maintenu à l'état bloqué pendant toute la durée de la phase de lecture LECT. Dans cet exemple, on considère en outre que le convertisseur 100 comprend le circuit 302. Ainsi, à l'instant t2, l'interrupteur IT2 est également commuté à l'état passant et le noeud SN1init est alors à un potentiel égal au potentiel d'initialisation du noeud SN1.
- [0106] Après la commutation à l'état bloqué de l'interrupteur IT1, et donc de l'interrupteur IT2 dans cet exemple, les grilles de transfert 214 d'au moins certains des pixels P1 sont commutées à l'état passant par le circuit CTRL.
- [0107] Selon un mode de réalisation, les grilles de transfert 214 de tous les pixels P1 sont commutées à l'état passant par le circuit CTRL. Dans un tel mode de réalisation, le gain du capteur 1 sera maximal.
- [0108] Selon une variante de réalisation, les grilles de transfert 214 d'une partie seulement des pixels P1 sont commutées à l'état passant par le circuit CTRL, les grilles de transfert 214 des autres pixels P1 étant maintenues à l'état bloqué par le circuit CTRL. Il en résulte qu'une partie seulement des charges photogénérées dans toutes les photodiodes PD des pixels P1 du capteur 1 sont transférées vers le noeud SN1, ce qui revient à réduire le gain du capteur 1 par rapport à son gain maximal. Par exemple, en commutant à l'état passant les grilles de transfert 214 de la moitié seulement des pixels P1, le gain du capteur 1 est réduit de moitié par rapport à son gain maximal.
- [0109] La mise à l'état passant des grilles 214 d'au moins certains pixels P1 entraîne un transfert des charges photogénérées dans les photodiodes de ces pixels P1 vers le noeud SN1, d'où il résulte une modification du potentiel du noeud SN1 représentative du nombre de charges transférées. Par exemple, lorsque les caissons 200 des pixels P1 sont dopés de type P, le potentiel du noeud SN1 diminue. En revanche, le potentiel du noeud SN1init reste inchangé.
- [0110] Pendant toute la durée de la phase LECT, le potentiel V1 est appliqué aux caissons 200 des pixels P1.
- [0111] A un instant t3 correspondant à la fin de la phase LECT, les grilles 214 de tous les pixels P1 sont commutées à l'état bloqué par le circuit CTRL.

- [0112] Après l'instant t_3 ou, comme c'est le cas en [Fig.4], à l'instant t_3 , une phase CONV de conversion analogique-numérique du potentiel du noeud SN1 par le convertisseur 100 débute.
- [0113] La phase CONV comprend plusieurs étapes successives correspondant à des approximations successives du potentiel noeud SN1 à la fin du transfert de charges, c'est-à-dire à la fin de la phase de lecture.
- [0114] A chacune de ces étapes, ou approximations, successives, le circuit SAR commute, pour au moins un des groupes G_i de pixels P1, le potentiel qui est appliqué aux caissons 200 de ces pixels P1 par leurs circuits 216. Dit autrement, à chaque approximation, le circuit SAR commute, pour au moins un groupe G_i de pixels P1, l'état du signal sel fourni aux pixels P1 de ce groupe. Le circuit SAR observe alors l'état de la sortie COMP pour déterminer les commandes sel de l'approximation successive suivante.
- [0115] La phase de conversion par approximations successives est à la portée de la personne du métier à partir des indications fonctionnelles décrites ci-dessus et de ces connaissances générales dans le domaine des convertisseurs analogique-numérique à approximations successives.
- [0116] Par exemple, au début de la phase CONV, lors de la première approximation, le circuit SAR commande les circuits 216 des pixels P1 du groupe GK-1 (G5 dans l'exemple de la [Fig.3]) pour que le potentiel V2 soit appliqué à leurs caissons 200, en maintenant le potentiel V1 sur les caissons 200 des autres pixels P1. Si le potentiel du noeud SN1 devient supérieur au potentiel de comparaison reçu par l'entrée 108 du comparateur 104, le circuit SAR fixe son bit de poids fort à une première valeur, et, à l'approximation suivante, le circuit SAR appliquera le potentiel V2 sur les caissons des pixels P1 du groupes GK-2 (G4 dans l'exemple de la [Fig.3]), et le potentiel V1 sur les caissons des pixels P1 de tous les autres groupes G_i . A l'inverse, si le potentiel du noeud SN1 reste inférieur au potentiel de comparaison, le circuit SAR fixe son bit de poids fort à une deuxième valeur, et, à l'approximation suivante, le circuit SAR le potentiel V2 sur les caissons des pixels P1 des groupes GK-1 et GK-2, et le potentiel V1 sur les caissons des pixels P1 de tous les autres groupes. Cette approximation suivante permet de déterminer quel est la valeur du bit de poids immédiatement inférieur au bit de poids fort. Les approximations se succèdent jusqu'à déterminer, pour chaque bit du circuit SAR, c'est-à-dire pour chaque bit du mot binaire de sortie du convertisseur 100, si le bit est à la première valeur ou à la deuxième valeur.
- [0117] A un instant t_4 correspondant à la fin de la phase CONV et de la phase CAP, le circuit SAR fournit le mot binaire correspondant au résultat de la conversion analogique-numérique du potentiel du noeud SN1 à l'instant t_3 .
- [0118] La phase de capture CAP peut être immédiatement suivie du début d'une phase de

capture CAP suivante, ou, comme cela est illustré en [Fig.4], une période de temporisation TEMP peut être prévue entre chaque deux phases CAP successives. A titre d'exemple, une période de temporisation TEMP est prévue entre chaque deux phases CAP successives lorsque le capteur 1 est disposé sous un écran alternant des phases d'émission de lumière et des phases sans émission de lumière et où chaque phase d'intégration INT est mise en œuvre pendant une phase correspondante où l'écran n'émet pas de lumière.

- [0119] A titre d'exemple, dans un capteur 1 tel que décrit précédemment en relation avec les figures 1 à 4, chaque élément capacitif C0 à une valeur sensiblement égale à 0,5 fF.
- [0120] A titre d'exemple, chaque élément capacitif C0 correspond à la somme de la capacité entre la région 212 et le caisson 200 du pixel P1 correspondant et de la capacité des pistes de connexion électrique reliant la région 212 du pixel P1 au noeud SN1. Du fait que ces pistes de connexions sont différentes d'un pixel P1 à un autre, la valeur C0 peut présenter des dispersions d'un pixel P1 à l'autre.
- [0121] La prévision du circuit 302 permet qu'une erreur ou un décalage de conversion résultant de la chute de tension aux bornes de l'interrupteur IT1 soit compensée par la chute de tension aux bornes de l'interrupteur.
- [0122] En outre, le fait que le noeud SN1init du circuit 302 soit couplé à l'entrée 108 du comparateur 104 par un circuit tampon 110 identique au circuit tampon 107 couplant le noeud SN1 du circuit 300 à l'entrée 106 du comparateur 104 permet de compenser une erreur ou un décalage de conversion résultant du circuit 107.
- [0123] On a décrit ci-dessus en relation avec les figures 1 à 4 des exemples de modes de réalisation dans lesquels le convertisseur 100 comprend le circuit 302 et chaque pixel P1 comprend un caisson 224, une région 230 et une grille 232. Dans des variantes de réalisation, le circuit 302 est remplacé par un autre circuit configuré pour fournir le potentiel de comparaison au comparateur 104, et, dans chaque pixel P1, le caisson 224, la région 230 et la grille 232 sont supprimés. Par exemple, le circuit 302 peut être remplacé par une source de tension configurée pour fournir le potentiel de comparaison, cette source de tension étant, par exemple, couplée à l'entrée 108 du comparateur 104 par le circuit 110, voir directement connectée à l'entrée 108. A titre d'exemple, le potentiel de comparaison délivré par la source de tension est alors égal à V3 moins la chute de tension aux bornes de l'interrupteur IT1 lorsque la source de tension est couplée au comparateur 104 par le circuit 110 et que le circuit 300 est couplé au comparateur 104 par le circuit 107. A titre d'exemple alternatif, le potentiel de comparaison délivré par la source de tension est alors égal à V3 moins la chute de tension aux bornes de l'interrupteur IT1 moins la chute de tension dans le circuit 107 lorsque la source de tension est directement connectée au comparateur 104 et que le circuit 300 est couplé au comparateur 104 par le circuit 107.

- [0124] On a décrit ci-dessus en relation avec les figures 1 et 3 un exemple de mise en œuvre des circuits tampon analogique 107 et 110. La personne du métier est en mesure de prévoir d'autres mises en œuvre pour ces circuits.
- [0125] On a décrit ci-dessus en relation avec les figures 1 à 4, des exemples de modes de réalisation dans lequel le capteur 1 ne comprend que des pixels P1.
- [0126] Dans des variantes de réalisation, le capteur 1 peut en outre comprendre plusieurs pixels P2 implémenter de manière identique aux pixels P1, à la différence que les régions 212 des pixels P2 sont toutes connectées à un noeud SN2, et, dans le cas où les pixels P2 comprennent chacun un caisson 224, une région 230 et une grille 232, les régions 230 des pixels P2 sont toutes connectées à un noeud SN2init. Un convertisseur analogique-numérique supplémentaire similaire au convertisseur 100 est alors prévu, à la différence que, dans ce convertisseur supplémentaire, les noeuds SN1 et SN1init sont remplacés par les noeuds respectif SN2 et SN2init et les circuits 216 commandés par ce convertisseur analogique-numérique supplémentaire sont ceux des pixels P2.
- [0127] Une telle variante de réalisation permet que les pixels P1 soient configurés pour recevoir de la lumière dans une plage de longueur d'onde différente de celle de la lumière reçue par les pixels P2, de sorte que le niveau de lumière ambiante dans chacune de ces deux plages peut être déterminé par le capteur 1.
- [0128] Plus généralement, on peut prévoir un capteur 1 comprenant un nombre quelconque non nul d'ensembles comportant chacun plusieurs pixels tels que décrits précédemment et un convertisseur analogique-numérique relié à ces pixels, dans lequel chaque convertisseur analogique-numérique est du type décrit précédemment et utilise les capacités de drain des grilles de transfert des pixels auxquels il est relié pour mettre en œuvre son convertisseur numérique-analogique, c'est-à-dire pour mettre en œuvre ses approximations successives. Dans ce cas, le comparateur 104 et/ou le circuit SAR peuvent être communs à tous ces convertisseurs analogique-numérique et partagés par tous ces convertisseurs. Par exemple, dans le cas où le comparateur est commun à tous ces convertisseurs analogique-numérique et est partagé par tous ces convertisseur analogique-numérique, un circuit de multiplexage peut être prévu entre chaque convertisseur numérique-analogique et le comparateur 104, ce circuit de multiplexage pouvant même être interne au comparateur 104.
- [0129] Divers modes de réalisation et variantes ont été décrits. La personne du métier comprendra que certaines caractéristiques de ces divers modes de réalisation et variantes pourraient être combinées, et d'autres variantes apparaîtront à la personne du métier. En particulier, la personne du métier est en mesure d'adapter les modes de réalisation et variantes décrites précédemment au cas le type de conductivité P, respectivement N, est remplacé par le type de conductivité N, respectivement P, par exemple en adaptant les valeurs des potentiels V1, V2, et V3, par exemple en inversant le signe

des potentiels V1, V2 et V3.

- [0130] Enfin, la mise en oeuvre pratique des modes de réalisation et variantes décrits est à la portée de la personne du métier à partir des indications fonctionnelles données ci-dessus.

Revendications

[Revendication 1]

Capteur de lumière ambiante (1) comprenant :

une pluralité de pixels (P1) comportant chacun :

- un premier caisson isolé (200) dopé d'un premier type de conductivité,
- une photodiode pincée (PD) disposée dans le premier caisson (200),
- une première région (212) dopée d'un deuxième type de conductivité disposée dans le premier caisson (200),
- une première grille de transfert (214) couplant la photodiode (PD) à la première région (212), et

- un premier circuit (216) configuré pour appliquer sélectivement un premier potentiel (V1) ou un deuxième potentiel (V2) au premier caisson (200) ;

un convertisseur analogique-numérique à approximations successives (100) comprenant :

- un premier noeud (SN1) connecté aux premières régions (212) de tous les pixels de la pluralité de pixels (P1),
 - un premier interrupteur (IT1) configuré pour appliquer sélectivement un troisième potentiel (V3) au premier noeud (SN1),
 - un comparateur (104) ayant une première entrée (106) couplée au premier noeud (SN1), et
 - un deuxième circuit (SAR) configuré pour recevoir une sortie (COMP) du comparateur (104) et pour commander les premiers circuits (216) ; et
- un circuit de commande (CTRL) configuré pour commander les premières grilles de transfert (214) et le premier interrupteur (IT1).

[Revendication 2]

Capteur selon la revendication 1, dans lequel une deuxième entrée (108) du comparateur (104) est couplée à un potentiel de comparaison.

[Revendication 3]

Capteur selon la revendication 2, dans lequel le potentiel de comparaison est déterminé, au moins en partie, par le troisième potentiel (V3).

[Revendication 4]

Capteur selon la revendication 2 ou 3, dans lequel :

chaque pixel (P1) de la pluralité de pixels comprend en outre :

- un deuxième caisson isolé (224) dopé du premier type de conductivité et configuré pour recevoir le premier potentiel (V1),
- une deuxième région (230) dopée du deuxième type de conductivité disposée dans le deuxième caisson (224), et
- une deuxième grille de transfert (232) couplée à la deuxième région semiconductrice (230) ;

le convertisseur (100) comprend en outre :

- un deuxième noeud (SN1init) connecté aux deuxièmes régions (230) de tous les pixels de la pluralité de pixels (P1), et
 - un deuxième interrupteur (IT2) configuré pour appliquer sélectivement le troisième potentiel (V3) au deuxième noeud (SN1init) ; et
- le deuxième noeud (SN1init) est couplé à la deuxième entrée (108) du comparateur (104).

- [Revendication 5] Capteur selon la revendication 4, dans lequel le convertisseur (100) comprend en outre un premier tampon analogique (107) ayant une entrée connectée au premier noeud (SN1) et une sortie couplée à la première entrée (106) du comparateur (104), et un deuxième tampon analogique (110) ayant une entrée connectée au deuxième noeud (SN1init) et une sortie couplée à la deuxième entrée (108) du comparateur (104), les premier et deuxième tampons analogiques (107, 110) étant de préférence identiques.
- [Revendication 6] Capteur selon la revendication 4 ou 5, dans lequel le circuit de commande (CTRL) est en outre configuré pour commander le deuxième interrupteur (IT2) de manière identique au premier interrupteur (IT1).
- [Revendication 7] Capteur selon l'une quelconque des revendications 4 à 6, dans lequel le circuit de commande (CTRL) est en outre configuré pour :
- commander les deuxièmes grilles de transfert (232) ; et
 - maintenir les deuxièmes grilles de transfert (232) à l'état bloqué pendant toute la durée de chaque phase de capture (CAP) de lumière ambiante par le capteur (1).
- [Revendication 8] Capteur selon l'une quelconque des revendications 1 à 7, dans lequel, pendant chaque phase de conversion analogique-numérique (CONV) d'un potentiel du premier noeud (SN1), le deuxième circuit (SAR) est configuré pour commander les premiers circuits (216) sur la base de la sortie (COMP) du comparateur (104).
- [Revendication 9] Capteur selon l'une quelconque des revendications 1 à 8, dans lequel, pendant chaque phase de conversion analogique-numérique (CONV) d'un potentiel du premier noeud (SN1), le circuit de commande (CTRL) est configuré pour maintenir ouvert le premier interrupteur (IT1).
- [Revendication 10] Capteur selon l'une quelconque des revendications 1 à 9, dans lequel :
- les pixels de la pluralité de pixels (P1) sont répartis en plusieurs groupes (G0, G1, G2, G3, G4, G5) de pixels ;
 - chaque pixel de la pluralité de pixels (P1) appartient à un unique groupe parmi lesdits plusieurs groupes de pixels ; et

le deuxième circuit (SAR) est configuré, pendant chaque phase de conversion analogique-numérique (CONV) d'un potentiel du premier noeud (SN1) et pour chaque groupe de pixels (P1), pour commander de manière identique les premiers circuits (216) des pixels dudit groupe.

- [Revendication 11] Capteur selon la revendication 10, dans lequel le deuxième circuit (SAR) est configuré, à chacune des approximations successives du convertisseur (100), pour commuter le potentiel (V1, V2) appliqué aux premiers caissons (200) des pixels (P1) d'au moins un groupe (G0, G1, G2, G3, G4, G5) par les premiers circuits (216) correspondants.
- [Revendication 12] Capteur selon l'une quelconque des revendications 1 à 11, dans lequel, pendant chaque phase d'initialisation (RST) des photodiodes, le circuit de commande (CTRL) est configuré pour commuter à l'état passant les premières grilles de transfert (214) de tous les pixels de la pluralité de pixels (P1) et commander une fermeture du premier interrupteur (IT1).
- [Revendication 13] Capteur selon l'une quelconque des revendications 1 à 12, dans lequel, pendant chaque phase d'intégration (INT), le circuit de commande (CTRL) est configuré pour maintenir à l'état bloqué les premières grilles de transfert (214) de tous les pixels de la pluralité de pixels (P1) pendant toute la durée de la phase d'intégration (INT), et, de préférence, pour maintenir le premier interrupteur (IT1) à l'état passant.
- [Revendication 14] Capteur selon l'une quelconque des revendications 1 à 13, dans lequel, pendant chaque phase de lecture (LECT) :
- le circuit de commande (CTRL) est configuré pour commuter à l'état passant les premières grilles de transfert (214) d'au moins certains pixels de la pluralité de pixels (P1), un nombre desdits au moins certains pixels (P1) déterminant, par exemple, un gain du capteur (1) ; et
 - le circuit de commande (CTRL) est configuré pour maintenir ouvert le premier interrupteur (IT1) pendant toute la durée de la phase de lecture (LECT).
- [Revendication 15] Capteur selon l'une quelconque des revendications 1 à 14, dans lequel, pendant toute la durée de chaque phase d'initialisation (RST) des photodiodes (PD), chaque phase d'intégration (INT) et chaque phase de lecture (LECT), le deuxième circuit (SAR) est configuré pour que les premiers circuits (216) appliquent le premier potentiel (V1) aux premiers caissons (200) de tous les pixels de la pluralité de pixels (P1).

[Fig. 1]

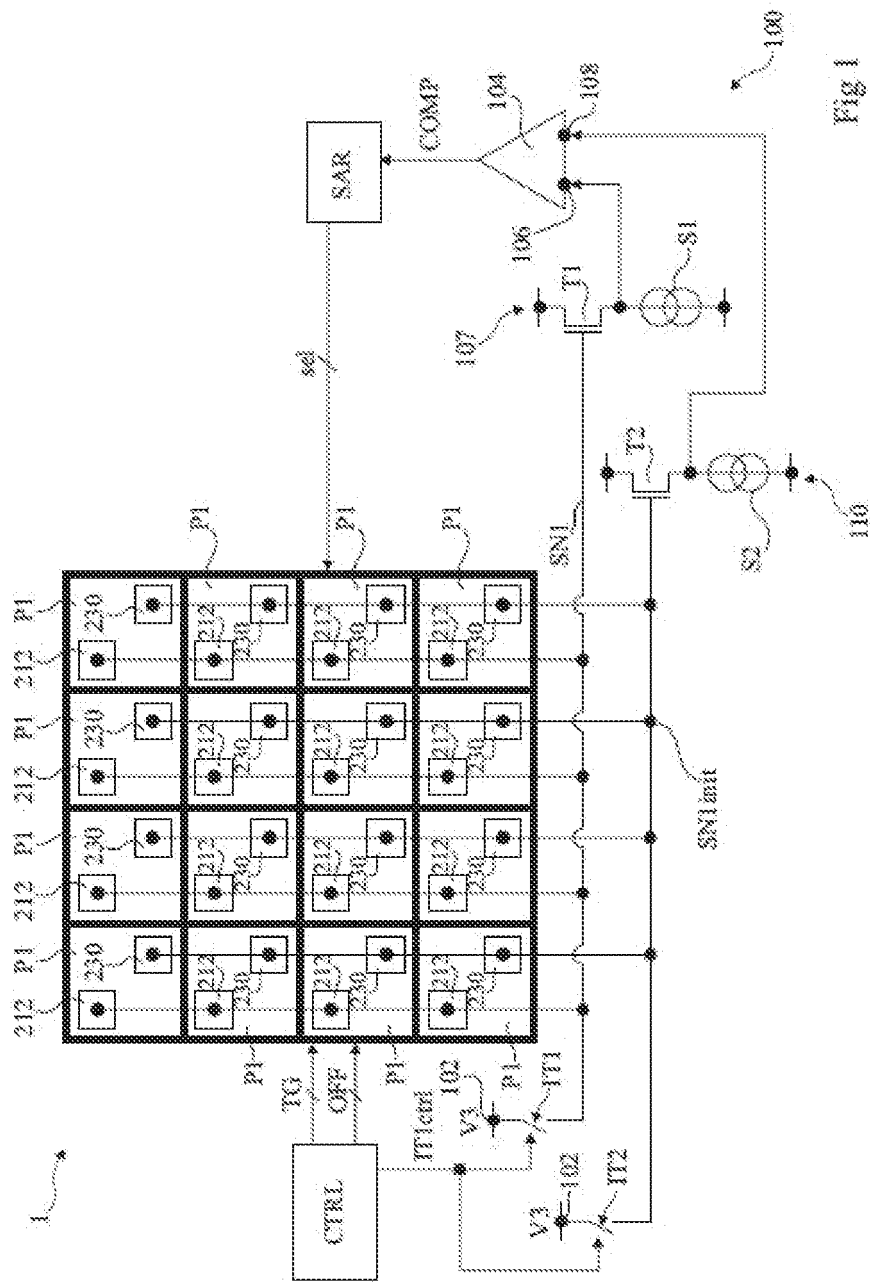


Fig. 1

[Fig. 2]

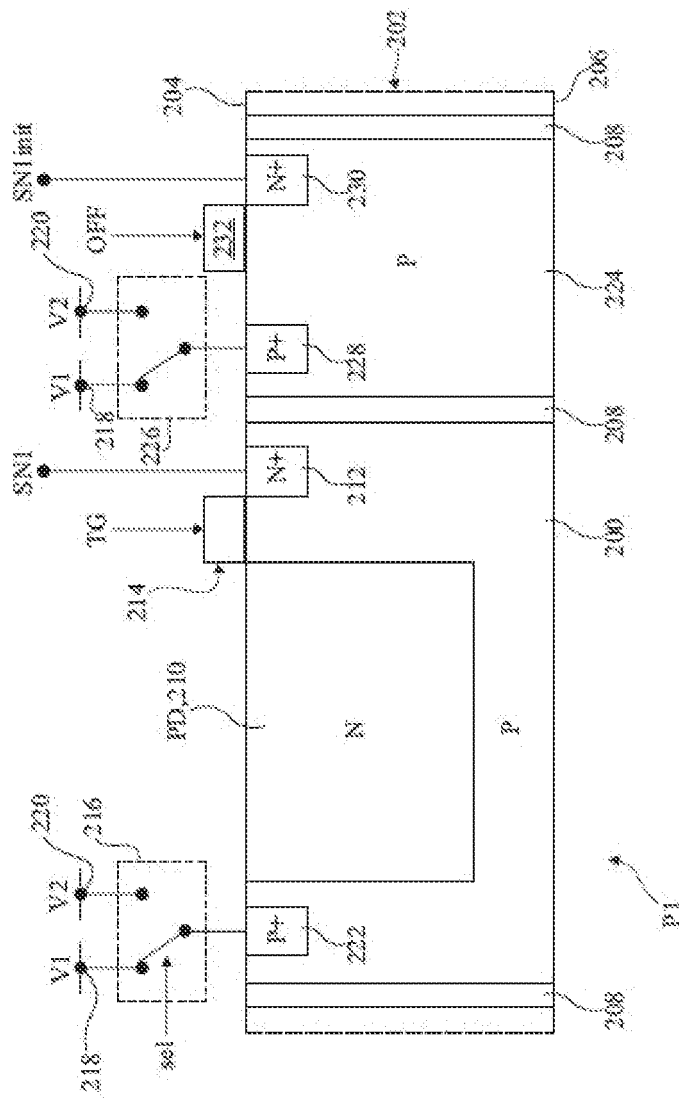


Fig. 2

[Fig. 3]

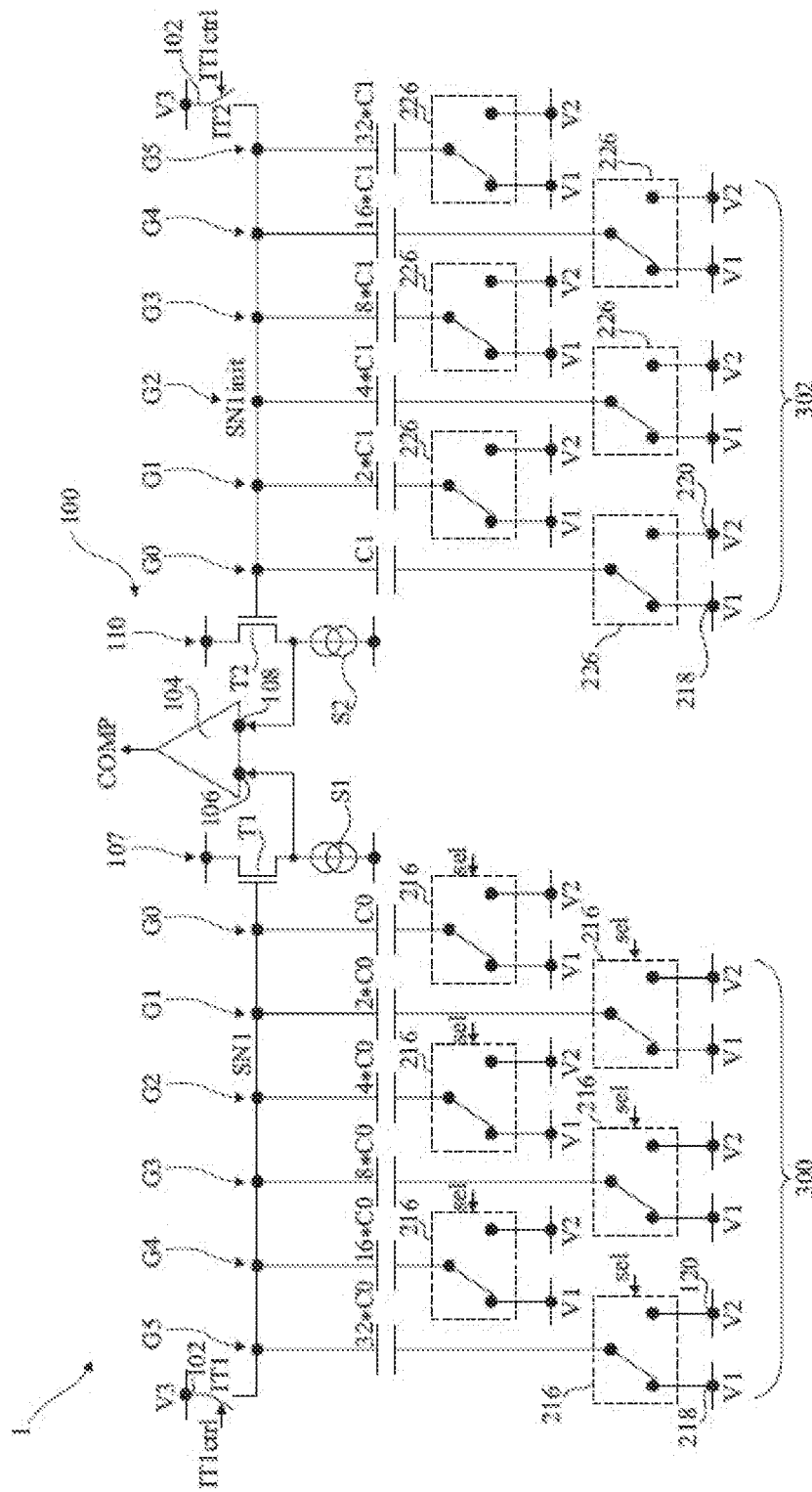


Fig. 3

[Fig. 4]

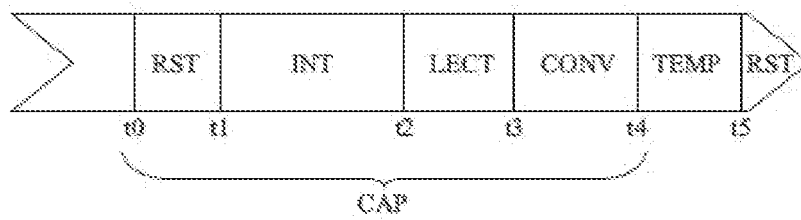


Fig 4

RAPPORT DE RECHERCHE

articles L.612-14, L.612-53 à 69 du code de la propriété intellectuelle

OBJET DU RAPPORT DE RECHERCHE

L'I.N.P.I. annexe à chaque brevet un "RAPPORT DE RECHERCHE" citant les éléments de l'état de la technique qui peuvent être pris en considération pour apprécier la brevetabilité de l'invention, au sens des articles L. 611-11 (nouveau) et L. 611-14 (activité inventive) du code de la propriété intellectuelle. Ce rapport porte sur les revendications du brevet qui définissent l'objet de l'invention et délimitent l'étendue de la protection.

Après délivrance, l'I.N.P.I. peut, à la requête de toute personne intéressée, formuler un "AVIS DOCUMENTAIRE" sur la base des documents cités dans ce rapport de recherche et de tout autre document que le requérant souhaite voir prendre en considération.

CONDITIONS D'ETABLISSEMENT DU PRESENT RAPPORT DE RECHERCHE

☐ Le demandeur a présenté des observations en réponse au rapport de recherche préliminaire.

☒ Le demandeur a maintenu les revendications.

☐ Le demandeur a modifié les revendications.

☐ Le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.

☐ Les tiers ont présenté des observations après publication du rapport de recherche préliminaire.

☐ Un rapport de recherche préliminaire complémentaire a été établi.

DOCUMENTS CITES DANS LE PRESENT RAPPORT DE RECHERCHE

La répartition des documents entre les rubriques 1, 2 et 3 tient compte, le cas échéant, des revendications déposées en dernier lieu et/ou des observations présentées.

☐ Les documents énumérés à la rubrique 1 ci-après sont susceptibles d'être pris en considération pour apprécier la brevetabilité de l'invention.

☒ Les documents énumérés à la rubrique 2 ci-après illustrent l'arrière-plan technologique général.

☐ Les documents énumérés à la rubrique 3 ci-après ont été cités en cours de procédure, mais leur pertinence dépend de la validité des priorités revendiquées.

☐ Aucun document n'a été cité en cours de procédure.

1. ELEMENTS DE L'ETAT DE LA TECHNIQUE SUSCEPTIBLES D'ETRE PRIS EN CONSIDERATION POUR APPRECIER LA BREVETABILITE DE L'INVENTION

NEANT

2. ELEMENTS DE L'ETAT DE LA TECHNIQUE ILLUSTRANT L'ARRIERE-PLAN TECHNOLOGIQUE GENERAL

CHEN CHENG-FU ET AL: "Current-mode ambient light sensor for ultralow- power applications",
JPN. J. APPL. PHYS, [Online]
vol. 53, 1 janvier 2014 (2014-01-01),
pages 4-21, XP055952626,
Extrait de l'Internet:
URL:<https://iopscience.iop.org/article/10.7567/JJAP.53.04EC21/pdf>>
[extrait le 2022-08-18]

SCOTT M.D. ET AL: "An ultralow-energy adc for smart dust",
IEEE JOURNAL OF SOLID-STATE CIRCUITS, [Online]
vol. 38, no. 7,
1 juillet 2003 (2003-07-01), pages 1123-1129, XP055952630,
USA
ISSN: 0018-9200, DOI:
10.1109/JSSC.2003.813296
Extrait de l'Internet:
URL:<https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=1208460>>
[extrait le 2022-08-18]

YUN KEAN WOON ET AL: "Optional CMOS based Monolithic Light Sensor for Detection of Light Intensity",
INTERNATIONAL JOURNAL OF INTEGRATED ENGINEERING VOL, [Online]
vol. 13, 1 janvier 2021 (2021-01-01),
pages 72-81, XP055952634,
DOI: 10.30880/ijie.2021.13.02.009
Extrait de l'Internet:
URL:<https://penerbit.uthm.edu.my/ojs/index.php/ijie/article/view/6494/3908>>
[extrait le 2022-08-18]

3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND DE LA VALIDITE DES PRIORITES

NEANT

