



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I552153 B

(45)公告日：中華民國 105 (2016) 年 10 月 01 日

(21)申請案號：100119850

(22)申請日：中華民國 100 (2011) 年 06 月 07 日

(51)Int. Cl. : **G11C15/00 (2006.01)**

(30)優先權：2010/12/20 美國 61/424,701

2011/04/08 美國 13/083,394

(71)申請人：安華高科技通用 I P (新加坡) 公司 (新加坡) AVAGO TECHNOLOGIES
GENERAL IP (SINGAPORE) PTE. LTD. (SG)

新加坡

(72)發明人：鍾 彼德 B CHON, PETER B. (US) ; 于 詹姆士 YU, JAMES (US) ; 歐森 大衛
M OLSON, DAVID M. (US) ; 霍格朗 提摩西 E HOGLUND, TIMOTHY E. (US) ;
皮西里歐 蓋瑞 J PICCIRILLO, GARY J. (US)

(74)代理人：陳長文

(56)參考文獻：

TW 200633462A

JP H04-42496A

US 7954006B1

US 2006/0139069A1

US 2010/0138672A1

WO 2009/098776A1

審查人員：鄧嘉琳

申請專利範圍項數：16 項 圖式數：6 共 36 頁

(54)名稱

電源故障之資料調處

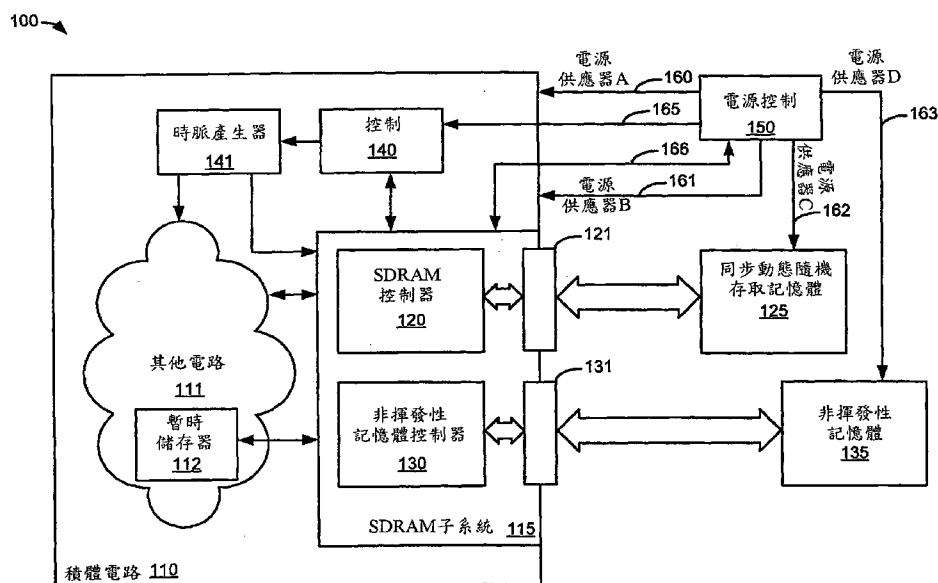
DATA MANIPULATION OF POWER FAIL

(57)摘要

本發明揭示一種電源隔離及備份系統。當偵測到一電源故障條件時，將暫時儲存器清空至一 SDRAM。在該清空之後，停止介面，且自晶片之除 SDRAM 子系統以外之大多數組件移除電源。該 SDRAM 子系統將資料自一 SDRAM 複製至一快閃記憶體。在過程中，可加密該資料，及/或計算一資料完整性簽名。為了還原資料，該 SDRAM 子系統將資料自該快閃記憶體複製至該 SDRAM。在過程中，可解密所還原之該資料，及/或檢查一資料完整性簽名。

Disclosed is a power isolation and backup system. When a power fail condition is detected, temporary storage is flushed to an SDRAM. After the flush, interfaces are halted, and power is removed from most of the chip except the SDRAM subsystem. The SDRAM subsystem copies data from an SDRAM to a flash memory. On the way, the data may be encrypted, and/or a data integrity signature calculated. To restore data, the SDRAM subsystem copies data from the flash memory to the SDRAM. On the way, the data being restored may be decrypted, and/or a data integrity signature checked.

指定代表圖：



符號簡單說明：

100 · · · 隔離及備份
系統

110 · · · 積體電路

111 · · · 其他電路

112 · · · 暫時儲存器

115 · · · SDRAM 子系統

120 · · · SDRAM 控制器

121 · · · 介面

125 · · · 同步動態隨
機存取記憶體

130 · · · 非揮發性記憶體控制器

131 · · · 介面

135 · · · 非揮發性記憶體

140 · · · 控制

141 · · · 時脈產生器

150 · · · 電源控制/
電源控制邏輯

160 · · · 電源供應器
A(PWRA)

161 · · · 電源供應器
B(PWRB)

162 · · · 電源供應器
C(PWRC)

163 · · · 電源供應器
D(PWRD)

165 · · · 電源故障信號

166 · · · 信號

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100119850

※申請日：100.6.7

※IPC 分類：G11C15/00 2006.01

一、發明名稱：(中文/英文)

電源故障之資料調處

DATA MANIPULATION OF POWER FAIL

二、中文發明摘要：

本發明揭示一種電源隔離及備份系統。當偵測到一電源故障條件時，將暫時儲存器清空至一SDRAM。在該清空之後，停止介面，且自晶片之除SDRAM子系統以外之大多數組件移除電源。該SDRAM子系統將資料自一SDRAM複製至一快閃記憶體。在過程中，可加密該資料，及/或計算一資料完整性簽名。為了還原資料，該SDRAM子系統將資料自該快閃記憶體複製至該SDRAM。在過程中，可解密所還原之該資料，及/或檢查一資料完整性簽名。

三、英文發明摘要：

Disclosed is a power isolation and backup system. When a power fail condition is detected, temporary storage is flushed to an SDRAM. After the flush, interfaces are halted, and power is removed from most of the chip except the SDRAM subsystem. The SDRAM subsystem copies data from an SDRAM to a flash memory. On the way, the data may be encrypted, and/or a data integrity signature calculated. To restore data, the SDRAM subsystem copies data from the flash memory to the SDRAM. On the way, the data being restored may be decrypted, and/or a data integrity signature checked.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100	隔離及備份系統
110	積體電路
111	其他電路
112	暫時儲存器
115	SDRAM子系統
120	SDRAM控制器
121	介面
125	同步動態隨機存取記憶體
130	非揮發性記憶體控制器
131	介面
135	非揮發性記憶體
140	控制
141	時脈產生器
150	電源控制/電源控制邏輯
160	電源供應器A(PWRA)
161	電源供應器B(PWRB)
162	電源供應器C(PWRC)
163	電源供應器D(PWRD)
165	電源故障信號
166	信號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

本專利申請案係基於由Peter B. Chon在2010年12月20日申請之名為「Low Power Hardware Controlled Memory Backup that includes Encryption and Signature Generation」之美國臨時專利申請案第61/424,701號且主張其權利，該申請案為其揭示及教示之所有內容特此以引用的方式特定地併入本文中。

【先前技術】

所有或大多數電腦組件或其他電子系統組件可整合至單一積體電路(晶片)中。晶片可含有數位、類比、混頻信號及射頻功能之各種組合。此等積體電路可被稱為系統單晶片(SoC或SOC)。典型應用係在嵌入式系統之領域中。系統單晶片之變體為單一晶片上之許多RAID功能的整合。此變體可被稱為晶片上RAID(ROC)。

RAID陣列可以提供冗餘及錯誤復原而無任何資料損失之方式來組態。RAID陣列亦可經組態以藉由允許同時自多個磁碟機讀取資料或寫入資料至多個磁碟機而增大讀取及寫入效能。RAID陣列亦可經組態以允許「熱交換」，該「熱交換」允許替換損壞磁碟而不中斷陣列之儲存服務。來自University of California at Berkeley之David A. Patterson等人之名為「A Case for Redundant Arrays of Inexpensive Disks (RAID)」的1987公開案論述RAID技術之基本概念及地位(level)。

RAID儲存系統通常利用為使用者或主機系統屏蔽管理

儲存陣列之細節的控制器。該控制器使儲存陣列表現為一或多個磁碟機(或磁碟區)。不管可跨越多個磁碟機來展佈特定磁碟區之資料(或冗餘資料)的事實，此情形得以實現。

【發明內容】

因此，本發明之一實施例可包含一種備份資料之方法，其包含：接收電源以用於一第一晶片上子系統；接收一電源故障條件之一指示符；基於該電源故障條件之該指示符，在硬體之控制下，隔離一晶片上揮發性記憶體備份子系統；在隔離該揮發性記憶體備份子系統之後，自該第一晶片上子系統移除該電源；及，在自該第一晶片上子系統移除該電源之後，在硬體之該控制下，接收具有指示一資料調處(data manipulation)之複數個位元的一命令資料區塊；基於該所指示之資料調處，選擇用於待發送至該非揮發性記憶體之資料的一來源；將資料自一揮發性記憶體傳送至該來源；自該來源接收所調處之資料；及，將該所調處之資料傳送至該非揮發性記憶體。

因此，本發明之一實施例可進一步包含一種在一非揮發性記憶體與一揮發性記憶體之間傳送資料的方法，其包含：回應於接收到電源供應器關機指示符，接收具有指示一資料調處之複數個位元的一命令資料區塊；基於該電源供應器關機指示符，起始一晶片上狀態機以隔離一揮發性記憶體備份控制器；基於隔離該揮發性記憶體備份控制器之一指示符，自該積體電路之並非該揮發性記憶體備份控

制器的至少一部分移除一第一電源供應器；基於該所指示之資料調處，選擇用於待發送至該非揮發性記憶體之資料的一來源；將資料自一揮發性記憶體傳送至該來源；自該來源接收所調處之資料；及，將該所調處之資料傳送至該非揮發性記憶體。

因此，本發明之一實施例可進一步包含一種積體電路，其包含：一資料調處控制器，其接收指示一資料調處之複數個位元，基於該所指示之資料調處，該資料調處控制器選擇用於待發送至一非揮發性記憶體之資料的一來源；一揮發性記憶體備份控制器，其待耦接至一揮發性記憶體，回應於一電源供應器關機指示符，該揮發性記憶體備份控制器促進資料自該揮發性記憶體至該來源之傳送；及，一非揮發性記憶體控制器，其待耦接至該非揮發性記憶體，該非揮發性記憶體控制器自該來源接收所調處之資料且將該所調處之資料傳送至該非揮發性記憶體。

【實施方式】

圖1為電源隔離及備份系統之方塊圖。在圖1中，隔離及備份系統100包含：積體電路110、電源控制150、SDRAM 125及非揮發性記憶體(例如，快閃)135。積體電路(IC)110包括SDRAM子系統115、控制140、時脈產生器141及其他電路111。SDRAM子系統115包括SDRAM控制器120及非揮發性記憶體控制器130。其他電路111可包括暫時儲存器112(例如，快取記憶體、緩衝器等)。SDRAM控制器120經由介面121與SDRAM 125介接且控制SDRAM 125。非揮發

性記憶體控制器130經由介面131與非揮發性記憶體135介接且控制非揮發性記憶體135。SDRAM子系統115(及由此SDRAM控制器120及非揮發性記憶體控制器130)操作性地耦接至控制140、時脈產生器141、其他電路111及暫時儲存器112。時脈產生器141操作性地耦接至控制140及其他電路111。

電源控制150將電源供應器A(PWRA)160提供至IC 110。電源控制150將電源供應器B(PWRB)161提供至SDRAM子系統115。電源控制150將電源供應器C(PWRC)162提供至SDRAM 125。電源控制150將電源供應器D(PWRD)163提供至非揮發性記憶體135。電源控制150將電源故障信號165提供至控制140。電源控制150亦藉由信號166操作性地耦接至SDRAM子系統。

應理解，如在此申請案中所使用，SDRAM(同步動態隨機存取記憶體)意欲包括所有揮發性記憶體技術。因此，在一實施例中，SDRAM子系統115可包含靜態隨機存取記憶體(SRAM)控制器且SDRAM 125可包含SRAM裝置。

在一實施例中，當電源控制150偵測到電源故障條件(即將發生之電源故障或現有電源故障)時，電源控制150經由電源故障信號165將該條件通知給IC 110。此情形將開始用以隔離SDRAM子系統115與IC 110之其餘部分(且詳言之，其他電路111)之電源隔離序列。在一實施例中，整個電源隔離序列係由硬體(例如，控制140、SDRAM子系統115或兩者)控制而無來自軟體之互動。

在接收到電源故障條件之通知後，將停止連接至SDRAM子系統115之所有介面(例如，至其他電路111之介面)。將清空晶片上暫時儲存器112。應理解，儘管在圖1中，暫時儲存器112展示於SDRAM子系統115之外部，但暫時儲存器112可為SDRAM子系統115之部分。在一實例中，暫時儲存器112可為快取記憶體(例如，第1級快取記憶體、第2級快取記憶體、第3級快取記憶體)、公佈緩衝器(posting buffer)或其類似者。

一旦已清空暫時儲存器112，則連接至SDRAM子系統115之邏輯指示何時已停止用於清空之介面。一旦被停止，則此等介面不會接受任何新的循環。一旦停止所有介面，則鎖存針對外部裝置及內部核心邏輯(亦即，其他電路111)所需要之輸入，使得在發生隔離時將不會丟失其狀態。斷開在鎖存輸入之後不需要之時脈。SDRAM子系統將切換至內部產生之時脈，或切換至由與SDRAM子系統115共用電源之時脈產生器(例如，時脈產生器141)所產生的時脈。在此情形之後，隔離針對記憶體備份不需要之對SDRAM子系統115的輸入。在一實施例中，將此等輸入驅動成非作用中狀態。

在輸入之隔離完成之後，SDRAM子系統115(或控制140)用信號通知(例如，使用信號166)電源控制150以移除PWRA 160。此情形導致對IC 110中除SDRAM子系統115以外之所有組件斷開電源。SDRAM子系統115係在與至少其他電路111分離之電源平面上。此情形允許維持(亦即，藉

由PWRB 161)電源至SDRAM子系統，直至電源對隔離及備份系統100完全丟失為止。

除控制至除SDRAM子系統115(及SDRAM子系統115所需要之任何其他邏輯)外之其餘者之電源的隔離及移除之外，一旦已停止介面且已清空暫時儲存器112，則內部記憶體備份邏輯將開始將資料自SDRAM 125移動至非揮發性記憶體135。在一實施例中，一旦已移除PWRA，則此等情形係執行於整個晶片上之僅有循環。

圖1說明IC 110晶片與外部邏輯之間的連接連同可用於電源隔離及後續記憶體備份之內部連接中的一些內部連接。當電源控制150偵測到電源故障時，電源控制150經由電源故障信號165來通知IC 110。控制140監視電源故障信號165。當控制140發現電源故障信號165被確證，且使電源隔離能夠進行時，控制140藉由確證power_iso_begin信號(未明確展示於圖1中)來通知SDRAM子系統115開始隔離序列。SDRAM子系統115接著執行針對電源隔離序列所需要之步驟。稍後在本說明書中更詳細地解釋在電源隔離序列中所包括之步驟。

一旦已完成電源隔離序列，則確證MSS_core_iso_ready信號(未明確展示於圖1中)以指示可移除至少PWRA 160。電源控制150停用PWRA 160，但將保持PWRB 161、PWRC 162及PWRD 163啟用。停用PWRA 160自IC 110除連接至PWRB 161之電路以外之部分移除電源。SDRAM子系統115連同相關聯之鎖相迴路(例如，在時脈產生器141之內

部)及IO之介面(例如，介面121及介面131)係在與IC 110之其餘者不同的電源平面上。此平面係由PWRB 161供電且將保持啟用。在一實例中，電路之至少一部分在此單獨電源平面上的功能區塊係控制140、時脈產生器141及SDRAM子系統115。在一實施例中，外部SDRAM 125保持由PWRC 162供電，且外部非揮發性記憶體保持由PWRD 163供電。此情形係必須保持供電以便執行記憶體備份之減小量的邏輯。

在電源隔離序列期間，SDRAM子系統115在適當時間開始SDRAM 125記憶體備份。此備份將所需要(或所請求)資料自SDRAM 125移動至非揮發性記憶體135。在一實施例中，在無軟體介入之情況下執行整個記憶體備份。

應理解，用於供應電源供應器160至163之上文所論述且由圖1部分說明的方法係用於將電源供應至隔離及備份系統100之一或多個組件(及移除電源)之例示性方式。在所說明實例中，在IC 110之外部執行所有電源供應器160至163且對各種電源域/平面進行控制。然而，存在用於將電源供應至隔離及備份系統100之一或多個組件(及移除電源)之其他方法。一方法可使用每電壓之單一外部電源且接著使用在IC 110之內部之切換來產生不同的電源域/平面。另一方法可減少外部電壓之數目，且使用在隔離及備份系統100之一或多個組件(例如，IC 110)內部的調節器來得到各種電壓連同在IC 110之內部的切換以控制不同之電源域/平面。藉由此等方法，以近似相同之方式來進行電源隔離。

不同之處在於需要被通知以保持電源供應器 161 至 163 啟用之電源控制邏輯 150 可位於內部或外部。

圖 2 為電源隔離方法之流程圖。可藉由隔離及備份系統 100 之一或多個元件執行圖 2 中所說明之步驟。接收電源以用於第一晶片上子系統(202)。舉例而言，可藉由 IC 110 接收對其他電路 111 供電之 PWRA 160。接收電源故障條件之指示符(204)。舉例而言，可藉由 IC 110 接收電源故障信號 165。此情形可引起在確證 power_iso_begin 信號時，電源隔離序列開始。

停止至 SDRAM 子系統之介面(206)。將暫時儲存器清空至 SDRAM(208)。舉例而言，可清空第 3 級快取記憶體、第 2 級快取記憶體、公佈緩衝器，或用以暫時儲存至/來自 SDRAM 125 之資料之複本的任何其他類型之記憶體儲存器。連接至介面中之每一者的邏輯可在該等介面已完成所有未處理循環且已停止接受任何新的循環時傳回停止指示。

在硬體控制下，隔離晶片上 SDRAM 子系統(210)。舉例而言，當 SDRAM 介面(或暫時儲存器 112)已指示其已停止接受循環時，其輸入將藉由將該等輸入設定成非作用中狀態來隔離。一旦接收到來自其他介面之停止，則鎖存需要保留以用於外部核心裝置及內部邏輯之輸入。此等輸入包括諸如重設、用於 PLL 之信號及搭接輸入(strap input)之物。在此時間點，可斷開不再由 SDRAM 子系統需要之任何時脈，以輔助減少電源消耗。在某一時間量之後，可確

證信號(例如，MSS_core_iso_enable)，其將指示隔離對SDRAM子系統之所有輸入且將該等輸入設定成其非作用中狀態。

斷開藉由第一晶片上子系統所使用之時脈及電源(212)。舉例而言，可將去往暫時儲存器112之時脈切換成內部產生之時脈。一旦已隔離輸入，則可確證信號(例如，MSS_core_iso_ready)。對電源控制邏輯150而言，此情形指示(例如)現可停用連接至IC 110之PWRA 160。

產生供SDRAM子系統使用之時脈(214)。舉例而言，時脈產生器141可產生供SDRAM子系統使用之時脈以在PWRA 160斷開時使用。將資料自SDRAM複製至非揮發性記憶體(216)。舉例而言，自SDRAM 125至非揮發性記憶體135之記憶體備份可藉由確證信號(例如，flash_offload_begin)而開始。自SDRAM子系統、SDRAM及非揮發性記憶體移除電源(218)。舉例而言，在電源控制150之控制下在記憶體備份完成後，或僅因為至整個隔離及備份系統100之電源已出故障，自SDRAM子系統115、SDRAM 125及非揮發性記憶體135移除電源。

在備份期間隔離SDRAM子系統115之電源的一優點係消耗減少量之電源。僅對處置記憶體備份之在IC 110之內部的邏輯、外部SDRAM 125及非揮發性記憶體135供電。藉由減少電源消耗，其增大可用以在消耗所有剩餘電源之前執行記憶體備份的時間量。除需要較少外部邏輯來維持電源直至完成備份為止之外，具有更多時間亦允許備份更多

記憶體。因為正進行電源隔離，所以在內部移動快閃控制器以減少進行記憶體備份所需要之電源消耗及總的系統成本可為有利的。

在一實施例中，隨著將SDRAM 125中之資料移動至非揮發性記憶體135，藉由執行加密及/或資料完整性簽名計算而為所備份之資料提供額外資料保護。資料之加密提供儲存資料之安全方法。資料完整性簽名計算防止大多數資料錯誤可能發生。

當需要記憶體備份或還原時，SDRAM子系統115在SDRAM 125與非揮發性記憶體135之間移動資料。SDRAM子系統115可使用CDB(命令描述符區塊)之一清單以用於指示所請求之資料移動。此等CDB之格式通常為預定義的。CDB中之欄位中之一者為指示在SDRAM 125中何處讀取或寫入資料的記憶體位址欄位。在一實施例中，此欄位中所提供之位址位元之數目超過定址所有SDRAM 125所需要的數目。不需要之此等位址位元中的一些可用以編碼關於隨著自SDRAM 125移動資料/移動資料至SDRAM 125應調處資料之方式的資訊。可在執行記憶體備份或還原時或在其他時間發生此移動。未使用之位址位元之編碼可指示是否應加密/解密資料，是否需要簽名產生，是否應卸載或重設簽名，及使用哪個簽名引擎。

當接收來自非揮發性記憶體控制器130之請求以讀取/寫入SDRAM 125時，上述未使用之位址位元可經解譯以判定隨著資料經由SDRAM子系統115在SDRAM 125與非揮發性

記憶體 135 之間移動執行何資料調處。

在一實施例中，圖 3A 及圖 3B 為資料調處系統組態之方塊圖。在圖 3A 中，資料調處系統 300 包含：SDRAM 控制器 310、快閃控制器 320、控制 330、簽名引擎 340、加密/解密引擎 350，及多工器 (MUX) 360。控制 330 操作性地耦接至 SDRAM 控制器 310、快閃控制器 320、簽名引擎 340，及加密/解密引擎 350，及 MUX 360。因此，控制 330 可自快閃控制器 320 接收命令、信號、CDB 等，執行仲裁，且以其他方式管理資料調處系統 300 之資料流程 (data flow) 及組態。

在圖 3A 中，SDRAM 310 經組態以經由耦接 371 將自 SDRAM (未在圖 3A 中展示) 所讀取之資料發送至簽名引擎 340、加密/解密引擎 350，及 MUX 360 之第一輸入端。加密/解密引擎 350 經組態以經由耦接 372 將經加密之資料發送至 MUX 360 之第二輸入端。簽名引擎 340 經組態以經由耦接 373 將資料完整性簽名發送至 MUX 360 之第三輸入端。MUX 係由控制 330 控制以將自 SDRAM 所讀取之未修改資料、經加密之資料或資料完整性簽名中之一者發送至快閃控制器 320。快閃控制器 320 可將自 SDRAM 所讀取之未修改資料、經加密之資料或資料完整性簽名儲存於快閃記憶體 (未在圖 3A 中展示) 中。

圖 3A 說明資料流及對何時藉由控制 330 自快閃控制器 320 接收來自 SDRAM (例如，SDRAM 125) 之讀取請求之控制的組態。在一實施例中，當需要 SDRAM 記憶體之備份時使

用此組態及流。在一實施例中，簽名引擎340及加密/解密引擎350用於讀取請求及寫入請求兩者。在圖3A中說明針對快閃寫入請求(其對應於SDRAM讀取)之資料連接及資料流。在圖3B中說明針對快閃讀取請求(其對應於SDRAM寫入)之資料連接。

快閃控制器320將讀取請求發送至控制330。藉由控制330檢驗請求之經編碼之位址行(或專用欄位)，以判定自該處向何處投送自SDRAM控制器310所傳回的讀取資料及需要何資料調處(若有的話)。在一實施例中，位址位元[46:40]含有編碼及如下文之映射：位元40至42(SES[0:2])規定8個簽名引擎340中之哪一者應採取由編碼之其他位元所規定(若有的話)的動作；位元43(SG)判定所規定之簽名引擎是否應使用讀取資料作為輸入來產生資料完整性簽名；位元44(SO)告知所規定之簽名引擎輸出資料完整性簽名(可取決於MUX 360之狀態而將該資料完整性簽名發送至快閃控制器320以用於儲存)；位元45(SR)重設所規定之簽名引擎的資料完整性簽名；及位元46(E/D)判定是否應將來自加密/解密引擎350之輸出之經加密的資料發送至快閃控制器320。

圖4為命令資料區塊(CDB)之說明。在圖4中，說明位址位元0至46之位址欄位。亦說明規定所使用之SDRAM位址位元(A[0:39])之在SDRAM位址位元中的欄位，及經編碼之位址位元(A[40:46])之欄位。亦說明經編碼之位址位元之個別位元欄位(SES[0:2]、SG、SO、SR及E/D)。

如可理解，基於位址位元40至46之編碼，將會將指示發送至MUX 360，其導致由快閃控制器320使用三個不同來源中之一者。資料將直接來自SDRAM控制器310、加密/解密引擎350，或在簽名自簽名引擎340中之一者卸載之情況下到來。若編碼指示執行加密，則加密/解密引擎350將由控制330控制以自SDRAM控制器310接收讀取資料。一旦加密/解密引擎350自SDRAM控制器310接收到資料，則加密/解密引擎350執行資料加密，將結果發送至MUX 360以用於投送至快閃控制器320，且等待快閃控制器320接受資料。

編碼亦指示是否應對正傳送至快閃記憶體之資料進行簽名產生。如由編碼之簽名引擎選擇($SES[0:2]$)欄位所指示，將通知八個簽名引擎340中之一者，應更新其CRC/總和檢查碼簽名值。與將資料直接發送至快閃控制器320或至加密/解密引擎350並行，亦將資料發送至至少所規定之簽名引擎340。一旦所選擇之簽名引擎340發現SDRAM資料係由彼等區塊中之任一者接受，則使用彼資料來更新當前CRC/總和檢查碼簽名。最後，編碼指示是否應輸出簽名卸載。若需要簽名卸載，則將不會藉由控制330將讀取命令發出至SDRAM控制器310。實情為，控制330將指示所選擇之簽名引擎340將資料完整性簽名資料發送至快閃控制器320。

在圖3B中，快閃控制器320經組態以經由耦接381將自快閃記憶體(未在圖3B中展示)所讀取之資料發送至簽名引擎

340、加密/解密引擎350，及MUX 361之第一輸入端。加密/解密引擎350經組態以經由耦接382將經加密之資料發送至MUX 361之第二輸入端。簽名引擎340經組態以經由耦接383指示所選擇之資料完整性簽名之當前值。MUX 361係由控制330控制，以將自快閃記憶體所讀取之未修改資料(經由快閃控制器320)或經解密之資料中之一者發送至SDRAM控制器310。SDRAM控制器310可將自快閃記憶體所讀取之未修改資料或經解密之資料儲存於SDRAM(未在圖3B中展示)中。

在圖3B中說明針對快閃讀取請求(其對應於SDRAM寫入)之資料連接。在一實施例中，當需要將資料還原回至SDRAM記憶體時使用此流。控制330可自快閃控制器320接收寫入命令。控制330可將寫入請求發出至SDRAM控制器310。檢驗請求之經編碼之位址行，以判定自該處向何處投送被發送至SDRAM控制器(自快閃控制器320)之寫入資料及需要何資料調處(若有的話)。可使用圖3A之論述中所描述之相同編碼。基於編碼，將藉由MUX 361選擇將來自快閃控制器320之未修改資料或來自加密/解密引擎350之經解密的資料發送至SDRAM控制器310。若編碼指示執行解密，則加密/解密引擎350將受控制以接受來自快閃控制器320之資料。一旦加密/解密引擎350接受來自快閃控制器320之資料，則加密/解密引擎350執行資料解密，將結果發送至SDRAM控制器310，且等待SDRAM控制器310接受資料。編碼亦將指示是否需要針對正傳送至SDRAM

之資料進行簽名產生。如由編碼之SES[0:2]欄位所指示，控制八個簽名引擎340中之一者來更新其CRC/總和檢查碼簽名值。總是對經解密之資料進行簽名產生。因此，控制簽名引擎340在來自快閃控制器320之資料或來自加密/解密引擎350之解密結果之間選擇來更新資料完整性簽名值。與將資料自快閃控制器或加密/解密引擎350發送至SDRAM控制器310並行，亦將會將資料發送至所選擇之簽名引擎340。一旦所選擇之簽名引擎340發現資料係由SDRAM控制器310接受，則使用彼資料來更新當前CRC/總和檢查碼簽名。最後，可藉由軟體經由耦接383選擇且讀取八個資料完整性簽名中之一者之當前值。可藉由軟體比較此值與自快閃記憶體還原至SDRAM之備份簽名。可進行此比較以驗證，在備份或還原資料之同時未發生資料錯誤。

圖5為電源隔離及備份系統之方塊圖。在圖5中，隔離及備份系統500包含：積體電路510、電源控制550、SDRAM 525及非揮發性記憶體(例如，快閃)535。積體電路(IC)510包括SDRAM子系統515、控制540、時脈產生器541及其他電路511。SDRAM子系統515包括SDRAM控制器520、非揮發性記憶體控制器530及資料調處570。其他電路511可包括暫時儲存器512(例如，快取記憶體、緩衝器等)。SDRAM控制器520經由介面521與SDRAM 525介接且控制SDRAM 525。非揮發性記憶體控制器530經由介面531與非揮發性記憶體535介接且控制非揮發性記憶體535。

SDRAM子系統515(及由此SDRAM控制器520、非揮發性記憶體控制器530及資料調處570)操作性地耦接至控制540、時脈產生器541、其他電路511及暫時儲存器512。時脈產生器541操作性地耦接至控制540及其他電路511。

電源控制550將電源供應器A(PWRA)560提供至IC 510。電源控制550將電源供應器B(PWRB)561提供至SDRAM子系統515。電源控制550將電源供應器C(PWRC)562提供至SDRAM 525。電源控制550將電源供應器D(PWRD)563提供至非揮發性記憶體535。電源控制550將電源故障信號565提供至控制540。電源控制550亦藉由信號566操作性地耦接至SDRAM子系統。

在一實施例中，當電源控制550偵測到電源故障條件(即將發生之電源故障或現有電源故障)時，電源控制550經由電源故障信號565將該條件通知給IC 510。此情形將開始用以隔離SDRAM子系統515與IC 510之其餘部分(且詳言之，其他電路511)的電源隔離序列。在一實施例中，整個電源隔離序列係由硬體(例如，控制540、SDRAM子系統515或兩者)控制而無來自軟體之互動。

在接收到電源故障條件之通知後，將停止連接至SDRAM子系統515之所有介面(例如，至其他電路511之介面)。將清空晶片上暫時儲存器512。應理解，儘管在圖5中，暫時儲存器512展示於SDRAM子系統515之外部，但暫時儲存器512可為SDRAM子系統515之部分。在一實例中，暫時儲存器512可為快取記憶體(例如，第1級快取記

憶體、第2級快取記憶體、第3級快取記憶體)、公佈緩衝器或其類似者。

一旦已清空暫時儲存器512，則連接至SDRAM子系統515之邏輯指示何時已停止用於清空之介面。一旦被停止，則此等介面不會接受任何新的循環。一旦停止所有介面，則鎖存針對外部裝置及內部核心邏輯(亦即，其他電路511)所需要之輸入，使得在發生隔離時將不會丟失其狀態。斷開在鎖存輸入之後不需要之時脈。SDRAM子系統將切換至內部產生之時脈，或切換至由與SDRAM子系統515共用電源之時脈產生器(例如，時脈產生器541)所產生的時脈。在此情形之後，隔離針對記憶體備份不需要之對SDRAM子系統515的輸入。在一實施例中，將此等輸入驅動成非作用中狀態。

在輸入之隔離完成之後，SDRAM子系統515(或控制540)用信號通知(例如，使用信號566)電源控制550以移除PWRA 560。此情形導致對IC 510中除SDRAM子系統515以外之所有組件斷開電源。SDRAM子系統515係在與至少其他電路511分離之電源平面上。此情形允許維持(亦即，藉由PWRB 561)電源至SDRAM子系統，直至電源對隔離及備份系統500完全丟失為止。

除控制至除SDRAM子系統515(及SDRAM子系統515所需要之任何其他邏輯)外之其餘者之電源的隔離及移除之外，一旦已停止介面且已清空暫時儲存器512，則內部記憶體備份邏輯將開始將資料自SDRAM 525移動至非揮發性

記憶體535。在一實施例中，一旦已移除PWRA，則此等情形係執行於整個晶片上之僅有循環。

在一實施例中，隨著分別將資料自非揮發性記憶體535移動至SDRAM 525或自SDRAM 525移動至非揮發性記憶體535，可藉由資料調處570來調處資料。資料調處570參考圖3A及圖3B之資料調處系統300如以先前所描述之相同方式經組態、調處且起作用。因此，簡言之，資料調處570可經組態以加密/解密資料，及/或計算/檢查資料完整性簽名。在一實施例中，可在PWRA 560斷開之同時執行資料調處570之功能、資料流及組態(例如，為了保存經加密之資料及/或計算且儲存資料完整性簽名)。在另一實施例中，可在PWRA 560接通之同時執行資料調處570之功能、資料流及組態(例如，為了還原經加密之資料及/或計算且儲存資料完整性簽名)。

上文所描述之方法、系統及裝置可以電腦系統來實施或由電腦系統儲存。上文所描述之方法亦可儲存於電腦可讀媒體上。本文中所描述之裝置、電路及系統可使用此項技術中可用之電腦輔助設計工具來實施，且由含有此等電路之軟體描述的電腦可讀檔案來體現。此包括(但不限於)隔離及備份系統100及500、IC 110及510、電源控制150及550、SDRAM子系統115及515，以及其組件。此等軟體描述可為：行為描述、暫存器轉移描述、邏輯組件描述、電晶體描述及佈局幾何級描述。此外，軟體描述可儲存於儲存媒體上或藉由載波傳達。

可實施此等描述之資料格式包括(但不限於)：支援如C之行為語言之格式、支援如Verilog及VHDL之暫存器轉移層次(RTL)語言的格式、支援幾何描述語言(諸如，GDSII、GDSIII、GDSIV、CIF及MEBES)之格式，以及其他合適之格式及語言。此外，可在網際網路上於互異媒體之上或(例如)經由電子郵件以電子方式進行機器可讀媒體上之此等檔案的資料傳送。注意，實體檔案可在機器可讀媒體上實施，該等機器可讀媒體諸如：4 mm磁帶、8 mm磁帶、3-1/2吋軟性媒體、CD、DVD等。

圖6說明電腦系統之方塊圖。電腦系統600包括通信介面620、處理系統630、儲存系統640及使用者介面660。處理系統630操作性地耦接至儲存系統640。儲存系統640儲存軟體650及資料670。處理系統630操作性地耦接至通信介面620及使用者介面660。電腦系統600可包含程式化通用電腦。電腦系統600可包括微處理器。電腦系統600可包含可程式化或專用電路。電腦系統600可散佈於總共包含元件620至670之多個裝置、處理器、儲存器及/或介面當中。

通信介面620可包含網路介面、數據機、埠、匯流排、鏈路、收發器或其他通信裝置。通信介面620可散佈於多個通信裝置當中。處理系統630可包含微處理器、微控制器、邏輯電路或其他處理裝置。處理系統630可散佈於多個處理裝置當中。使用者介面660可包含鍵盤、滑鼠、語音辨識介面、麥克風及揚聲器、圖形顯示器、觸控式螢

幕，或其他類型之使用者介面裝置。使用者介面660可散佈於多個介面裝置當中。儲存系統640可包含磁碟、磁帶、積體電路、RAM、ROM、網路儲存器、伺服器或其他記憶體功能。儲存系統640可為電腦可讀媒體。儲存系統640可散佈於多個記憶體裝置當中。

處理系統630擷取且執行來自儲存系統640之軟體650。處理系統可擷取且儲存資料670。處理系統亦可經由通信介面620來擷取且儲存資料。處理系統630可產生或修改軟體650或資料670以達成有形結果。處理系統可控制通信介面620或使用使用者介面660來達成有形結果。處理系統可經由通信介面620來擷取且執行遠端儲存之軟體。

軟體650及遠端儲存之軟體可包含作業系統、公用程式、驅動程式、網路連接軟體，及通常由電腦系統執行之其他軟體。軟體650可包含應用程式、小應用程式、韌體，或通常由電腦系統執行之其他形式之機器可讀處理指令。如本文中所描述，當藉由處理系統630執行時，軟體650或遠端儲存之軟體可指引電腦系統600進行操作。

已為說明及描述之目的而呈現本發明之前述描述。其不欲為詳盡的或將本發明限於所揭示之精確形式，且依據以上教示，其他修改及變化可為可能的。選擇且描述實施例以便最好地解釋本發明之原理及本發明之實際應用，以藉此使其他熟習此項技術者能夠在適合於所預期之特定用途之各種實施例及各種修改方面最好地利用本發明。預期，所附申請專利範圍被解釋為包括除在由先前技術限制之範

圖內的實施例以外之本發明的其他替代實施例。

【圖式簡單說明】

圖1為電源隔離及備份系統之方塊圖；

圖2為電源隔離方法之流程圖；

圖3A及圖3B為資料調處系統組態之方塊圖；

圖4為命令資料區塊(CDB)之說明；

圖5為電源隔離及備份系統之方塊圖；及

圖6為電腦系統之方塊圖。

【主要元件符號說明】

100	隔離及備份系統
110	積體電路
111	其他電路
112	暫時儲存器
115	SDRAM子系統
120	SDRAM控制器
121	介面
125	同步動態隨機存取記憶體
130	非揮發性記憶體控制器
131	介面
135	非揮發性記憶體
140	控制
141	時脈產生器
150	電源控制/電源控制邏輯
160	電源供應器A(PWRA)

161	電源供應器 B(PWRB)
162	電源供應器 C(PWRC)
163	電源供應器 D(PWRD)
165	電源故障信號
166	信號
300	資料調處系統
310	SDRAM控制器
320	快閃控制器
330	控制
340	簽名引擎
350	加密/解密引擎
360	多工器 (MUX)
361	多工器
371	耦接
372	耦接
373	耦接
381	耦接
382	耦接
383	耦接
500	隔離及備份系統
510	積體電路
511	其他電路
512	暫時儲存器
515	SDRAM子系統

520	SDRAM控制 器
521	介 面
525	同 步 動 態 隨 機 存 取 記 憶 體
530	非 揮 發 性 記 憶 體 控 制 器
531	介 面
535	非 揮 發 性 記 憶 體
540	控 制
541	時 脈 產 生 器
550	電 源 控 制
560	電 源 供 應 器 A(PWRA)
561	電 源 供 應 器 B(PWRB)
562	電 源 供 應 器 C(PWRC)
563	電 源 供 應 器 D(PWRD)
565	電 源 故 障 信 號
566	信 號
570	資 料 調 處
600	電 腦 系 統
620	通 信 介 面
630	處 理 系 統
640	儲 存 系 統
650	軟 體
660	使 用 者 介 面
670	資 料

七、申請專利範圍：

1. 一種備份資料之方法，其包含：

由一第一晶片上子系統接收電源；

由一晶片上揮發性記憶體備份子系統接收一電源故障情況之一指示符；

基於該電源故障情況之該指示符，在硬體之控制下，隔離該晶片上揮發性記憶體備份子系統；

在隔離該揮發性記憶體備份子系統之後，自該第一晶片上子系統移除該電源；及，

在自該第一晶片上子系統移除該電源之後，在硬體之該控制下，接收具有指示一資料調處之複數個位元的一命令資料區塊；

基於該所指示之資料調處，自包括至少一資料調處引擎之複數個來源選擇用於待發送至一非揮發性記憶體之資料的一所選擇之來源，該至少一資料調處引擎包括一資料加密引擎及一簽名引擎之至少一者；

將資料自一揮發性記憶體傳送至該所選擇之來源；

自該所選擇之來源接收所調處之資料；

將該所調處之資料自該所選擇之來源傳送至該非揮發性記憶體；及

將用以儲存待寫入至該揮發性記憶體之資料之一暫時複本的一記憶體之內容寫入至該揮發性記憶體。

2. 如請求項1之方法，其中該至少一資料調處引擎包括該資料加密引擎。

3. 如請求項1之方法，其中該至少一資料調處引擎包括該簽名引擎。
4. 如請求項3之方法，其中該複數個位元指示該簽名引擎將發送一資料完整性簽名。
5. 如請求項1之方法，其中該至少一資料調處引擎包括複數個簽名引擎，且該複數個位元指示該複數個簽名引擎中之一者為該所選擇之來源。
6. 一種在一非揮發性記憶體與一揮發性記憶體之間傳送資料的方法，其包含：

回應於接收到電源供應器關機指示符，由一揮發性記憶體備份控制器接收具有指示一資料調處之複數個位元的一命令資料區塊；

基於該電源供應器關機指示符，由該揮發性記憶體備份控制器起始一晶片上狀態機以隔離該揮發性記憶體備份控制器；

基於已隔離該揮發性記憶體備份控制器之一指示符，自積體電路之並非該揮發性記憶體備份控制器的至少一部分移除一第一電源供應器；

基於該所指示之資料調處，自包括至少一資料調處引擎之複數個來源選擇用於待發送至該非揮發性記憶體之資料的一所選擇之來源，該至少一資料調處引擎包括一資料加密引擎及一簽名引擎之至少一者；

將資料自該揮發性記憶體傳送至該所選擇之來源；

自該所選擇之來源接收所調處之資料；

將該所調處之資料自該所選擇之來源傳送至該非揮發性記憶體；及

將儲存於該積體電路之並非該揮發性記憶體備份控制器之該至少一部分中的資料之一暫時複本清空至該揮發性記憶體。

7. 如請求項6之方法，其中該至少一資料調處引擎包括該資料加密引擎。
8. 如請求項6之方法，其中該至少一資料調處引擎包括該簽名引擎。
9. 如請求項8之方法，其中該複數個位元指示該簽名引擎將發送一資料完整性簽名。
10. 如請求項6之方法，其中該至少一資料調處引擎包括複數個簽名引擎，且該複數個位元指示該複數個簽名引擎中之一者為該所選擇之來源。
11. 一種積體電路，其包含：

一資料調處控制器，其接收指示一資料調處之複數個位元，基於該所指示之資料調處，該資料調處控制器自包括至少一資料調處引擎之複數個來源選擇用於待發送至一非揮發性記憶體之資料的一所選擇之來源，該至少一資料調處引擎包括一資料加密引擎及一簽名引擎之至少一者；

一揮發性記憶體備份控制器，其耦接至一揮發性記憶體，回應於一電源供應器關機指示符，該揮發性記憶體備份控制器促進資料自該揮發性記憶體至該所選擇之來

源之傳送；

一非揮發性記憶體控制器，其耦接至該非揮發性記憶體，該非揮發性記憶體控制器自該所選擇之來源接收所調處之資料且將該所調處之資料自該所選擇之來源傳送至該非揮發性記憶體；及

一記憶體，其用以儲存待寫入至該揮發性記憶體之資料之一暫時複本，其中在資料自該揮發性記憶體之該傳送之前，將用以儲存待寫入至該揮發性記憶體之該資料之該暫時複本的該記憶體之內容寫入至該揮發性記憶體。

12. 如請求項11之積體電路，其進一步包含：

一電源供應器控制器，其在該所調處之資料至該非揮發性記憶體之該傳送完成之後，移除至該揮發性記憶體備份控制器、該資料調處控制器及該非揮發性記憶體控制器之電源。

13. 如請求項12之積體電路，其中該至少一資料調處引擎包括該資料加密引擎。

14. 如請求項12之積體電路，其中該至少一資料調處引擎包括該簽名引擎。

15. 如請求項14之積體電路，其中該複數個位元指示該簽名引擎將發送一資料完整性簽名。

16. 如請求項12之積體電路，其中該至少一資料調處引擎包括複數個簽名引擎，且該複數個位元指示該複數個簽名引擎中之一者為該所選擇之來源。

八、圖式：

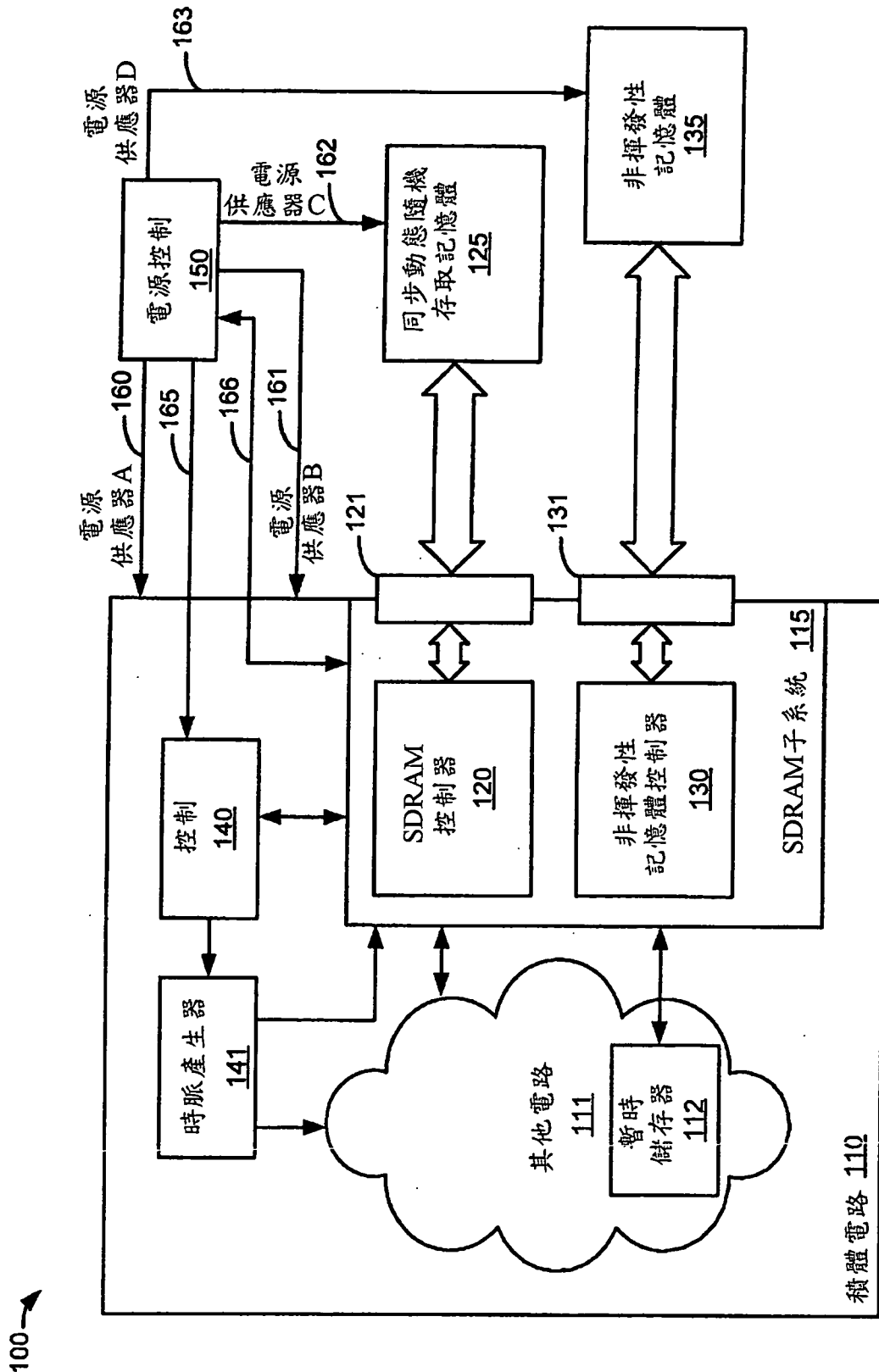


圖1

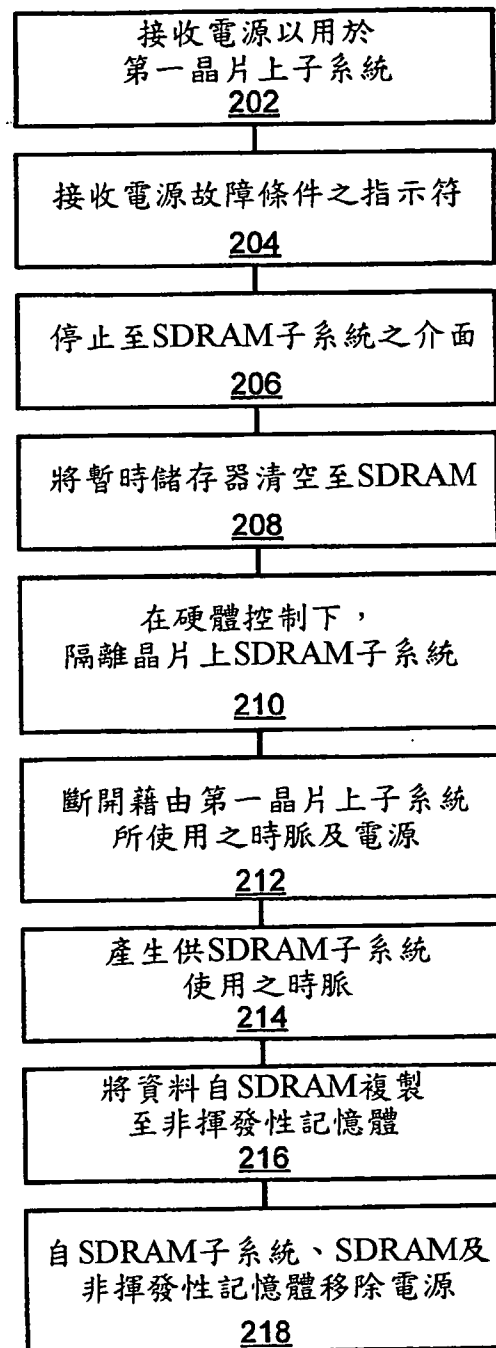


圖2

300 →

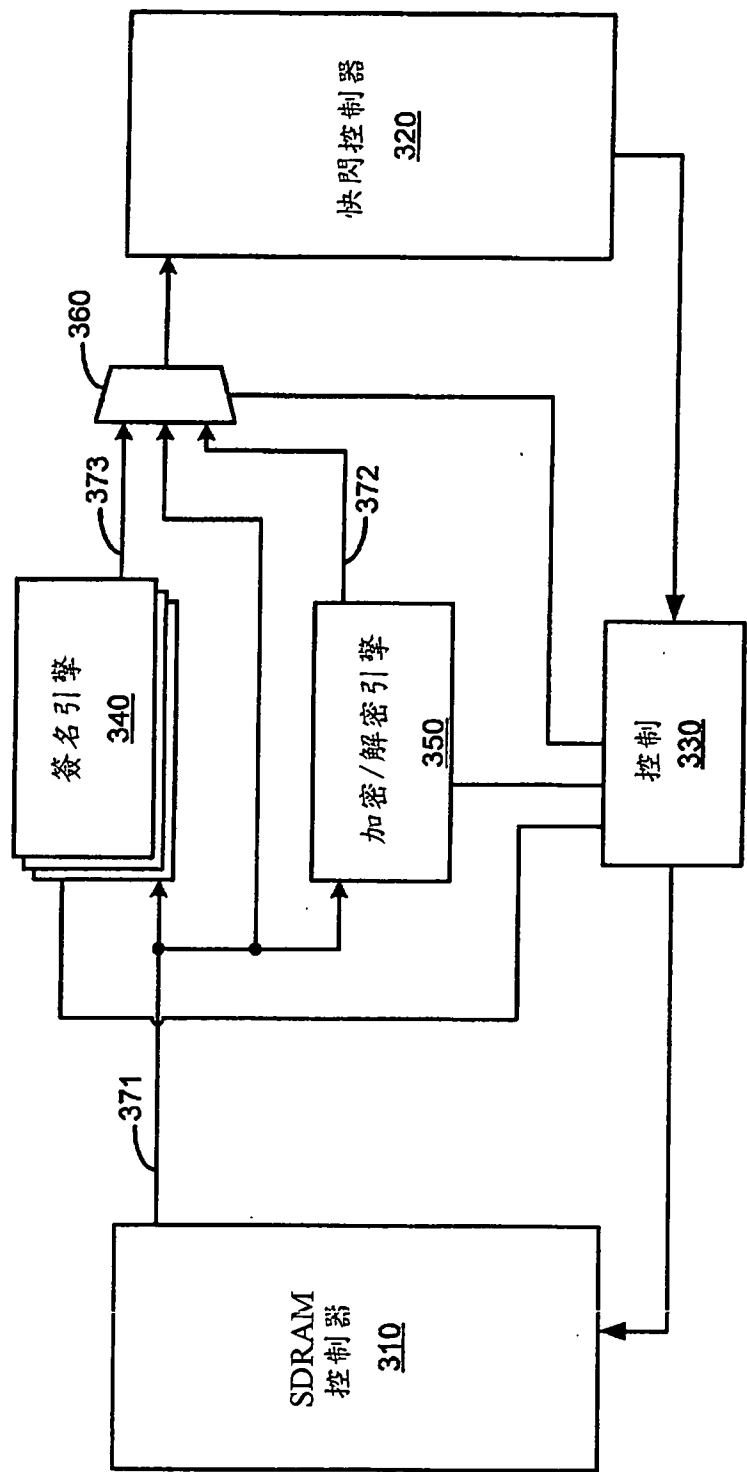


圖3A

300 →

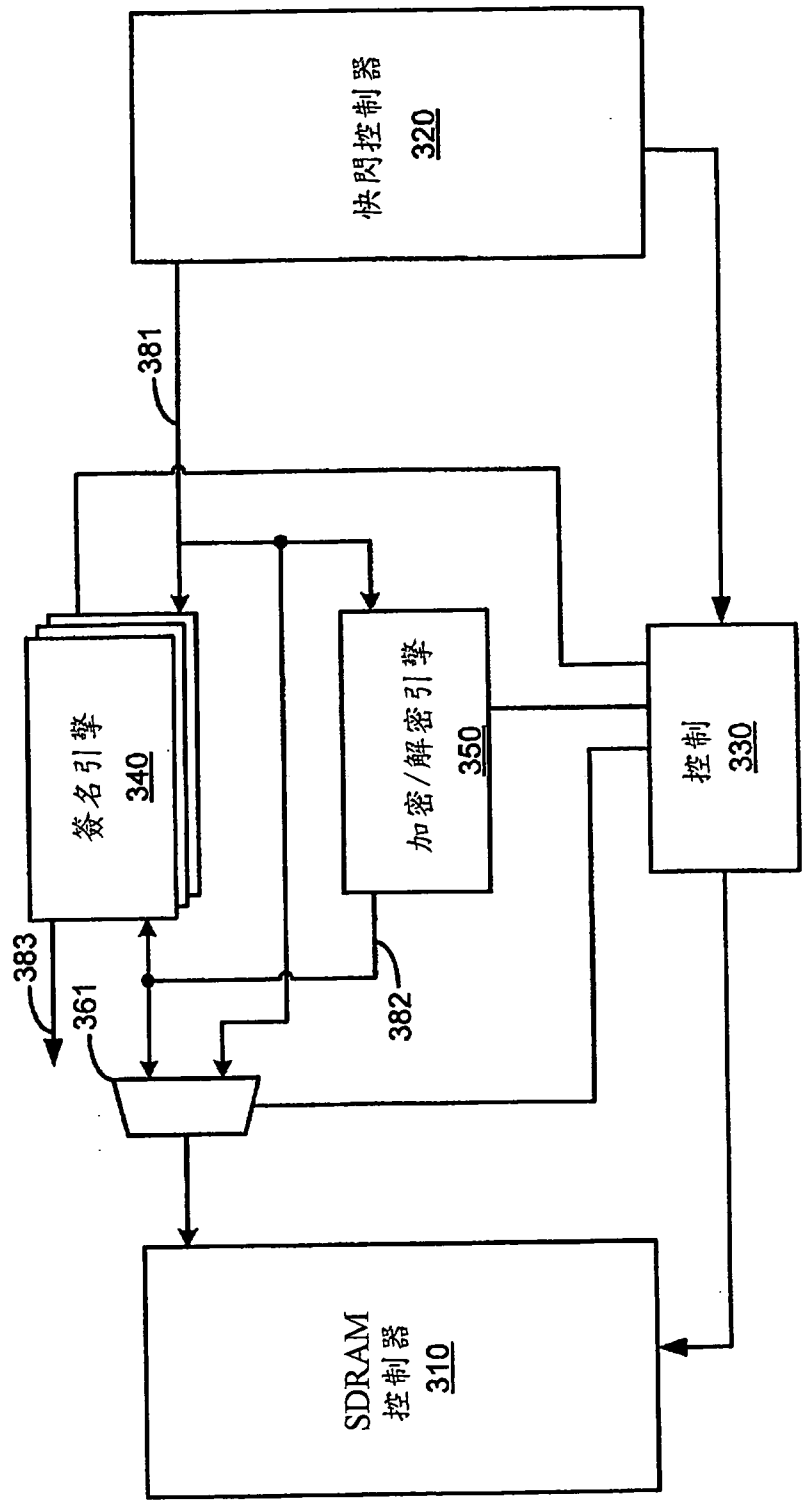


圖 3B

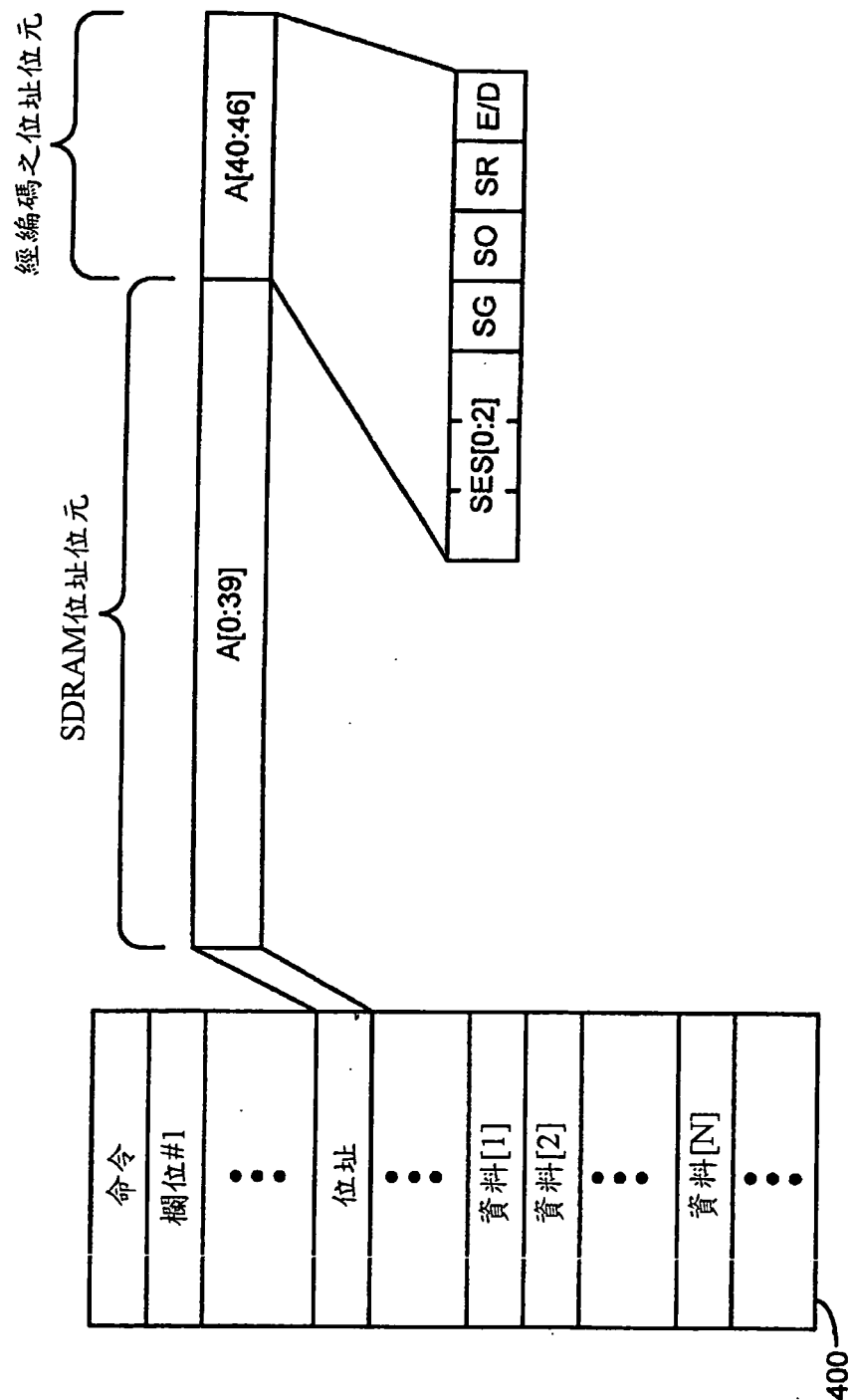


圖4

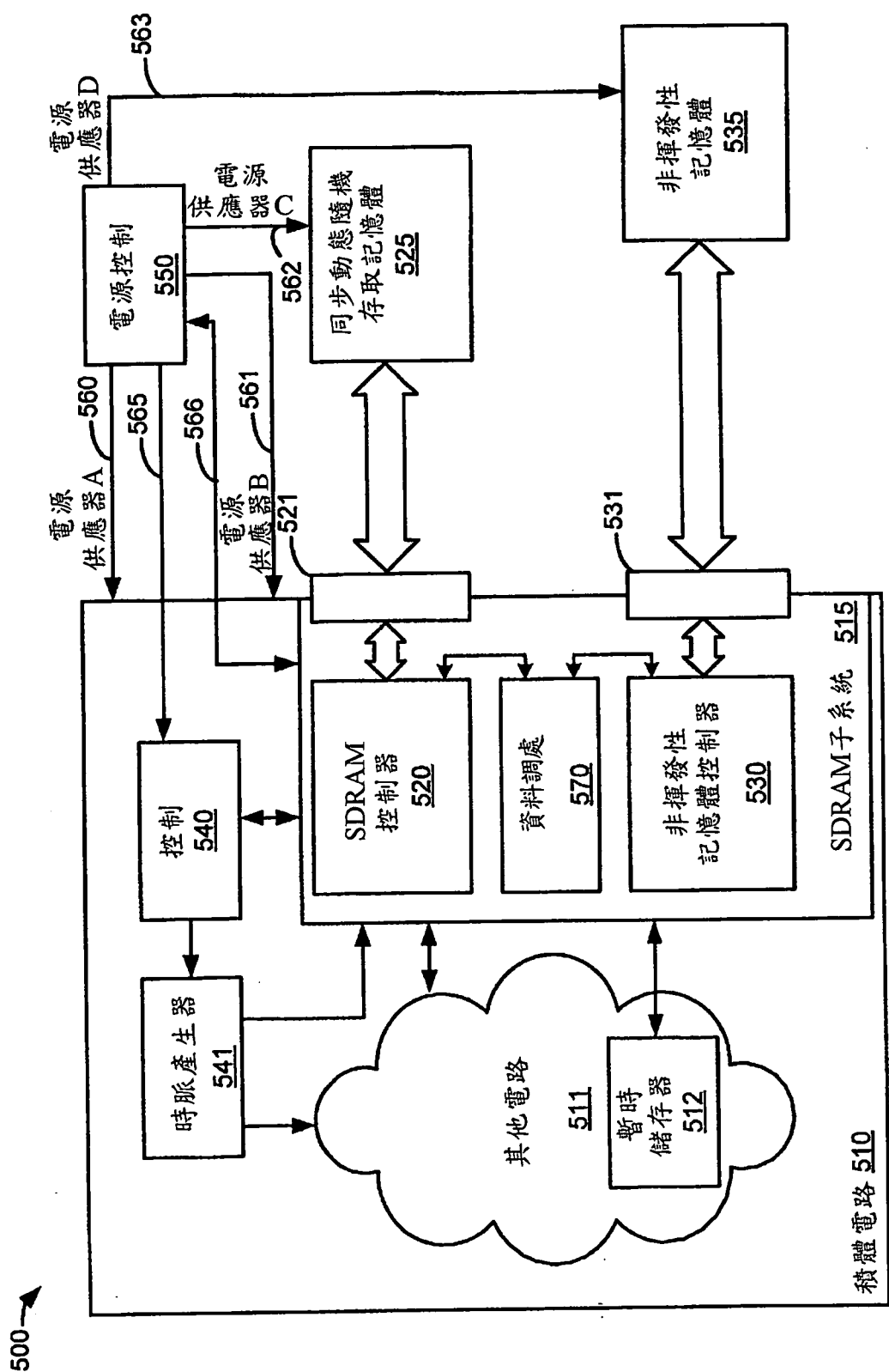


圖5

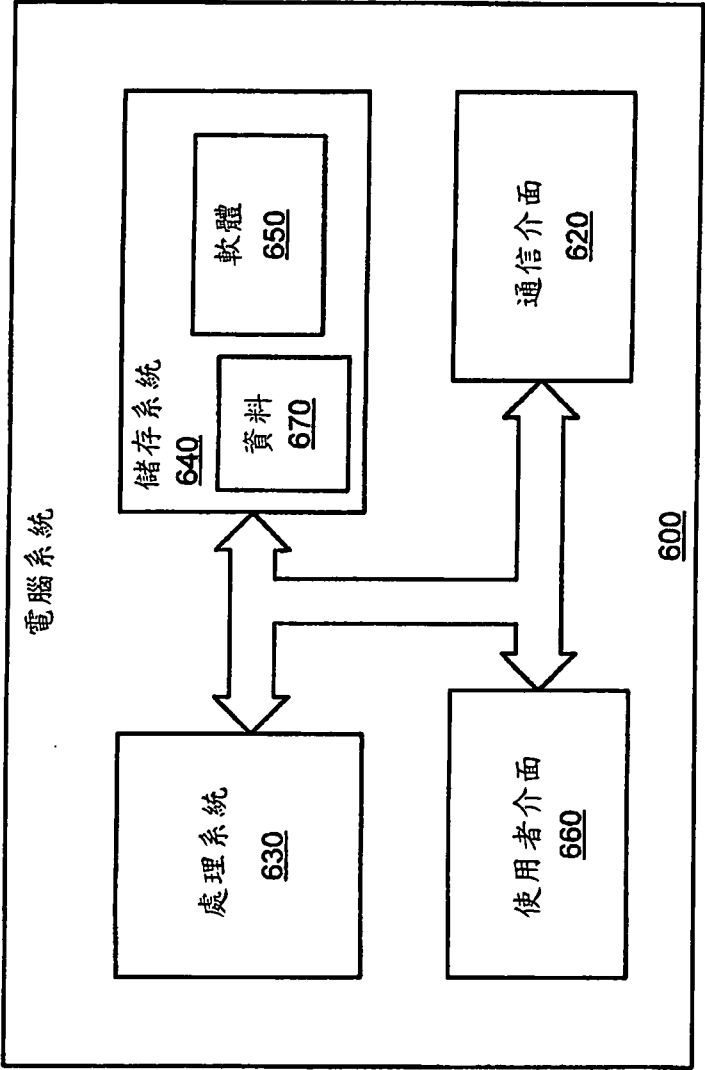


圖6