



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0101136
(43) 공개일자 2012년09월12일

- (51) 국제특허분류(Int. Cl.)
H01L 23/48 (2006.01) *H01L 21/28* (2006.01)
- (21) 출원번호 10-2012-7018759
- (22) 출원일자(국제) 2010년12월17일
심사청구일자 2012년07월17일
- (85) 번역문제출일자 2012년07월17일
- (86) 국제출원번호 PCT/US2010/061143
- (87) 국제공개번호 WO 2011/084706
국제공개일자 2011년07월14일
- (30) 우선권주장
12/640,111 2009년12월17일 미국(US)

- (71) 출원인
퀄콤 인코포레이티드
미국 캘리포니아 샌디에고 모어하우스
드라이브5775 (우 92121-1714)
- (72) 별명자
베이, 쉐
미국 92121 캘리포니아 샌디에고 모어하우스 드라
이브 5775
- 레이, 올리
미국 92121 캘리포니아 샌디에고 모어하우스 드라
이브 5775
- (74) 대리인
남상선

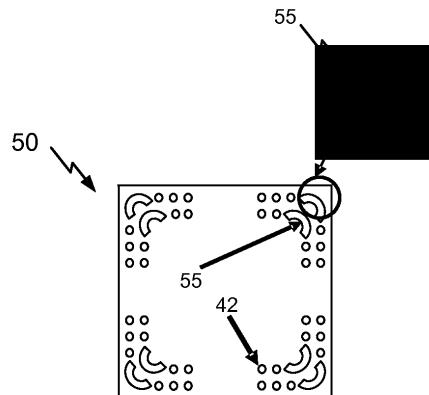
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 반도체 다이 뒤틀림을 제어하기 위한 장치 및 방법

(57) 요 약

반도체 다이는 뒤틀림을 감소시키도록 배열된 실리콘 관통 비아들을 가진다. 실리콘 관통 비아들은 반도체 다이의 열 팽창 계수를 조정하며, 기판 변형을 허용하고, 또한 잔여 응력을 완화시킨다. 실리콘 관통 비아들은 반도체 다이의 에지들 및/또는 코너들에 위치될 수 있다. 실리콘 관통 비아들은 반도체 다이의 뒤틀림을 감소시키기 위해서 라운드 코너 비아들로 보충될 수 있는 응력 완화 비아들이다.

대 표 도 - 도5



특허청구의 범위

청구항 1

반도체 다이로서,

상기 반도체 다이의 주변 영역에 위치되는 복수의 실리콘 관통 비아(through silicon via)들을 포함하고,
상기 실리콘 관통 비아들은 상기 반도체 다이의 뒤틀림(warpage)을 감소시키는,
반도체 다이.

청구항 2

제 1 항에 있어서,

상기 실리콘 관통 비아들은, 비-신호 반송(non-signal carrying) 실리콘 관통 비아들인,
반도체 다이.

청구항 3

제 2 항에 있어서,

상기 반도체 다이의 기능적 블록에 근접한 중앙 영역에 위치된 적어도 하나의 추가적인 비-시그널링 반송 실리콘 관통 비아를 더 포함하는,

반도체 다이.

청구항 4

제 2 항에 있어서,

상기 실리콘 관통 비아들은, 응력 완화 비아들을 포함하는,
반도체 다이.

청구항 5

제 4 항에 있어서,

상기 응력 완화 비아들은, 라운드 코너 비아들을 포함하는,
반도체 다이.

청구항 6

제 5 항에 있어서,

각각의 라운드 코너 비아는, 실리콘 관통 비아들의 어레이를 포함하는,
반도체 다이.

청구항 7

제 2 항에 있어서,

상기 주변 영역은, 상기 반도체 다이의 적어도 하나의 코너를 포함하는,
반도체 다이.

청구항 8

제 2 항에 있어서,

상기 주변 영역은, 상기 반도체 다이의 적어도 하나의 에지를 포함하는,
반도체 다이.

청구항 9

제 1 항에 있어서,
핸드헬드 디바이스 및 개인용 컴퓨터로 구성되는 그룹으로부터 선택되는 아이템으로 통합되는,
반도체 다이.

청구항 10

제 1 항에 있어서,
적층된 IC로 통합되는,
반도체 다이.

청구항 11

반도체 다이를 제조하기 위한 방법으로서,
상기 반도체 다이의 뒤틀림을 감소시키기 위해서 상기 반도체 다이의 주변 영역에서 복수의 비-신호 반송 실리콘 관통 비아들을 제조하는 단계를 포함하는,
반도체 다이를 제조하기 위한 방법.

청구항 12

제 11 항에 있어서,
상기 비-신호 반송 실리콘 관통 비아들을 제조하는 단계와 실질적으로 동시에 신호 반송 실리콘 관통 비아들을 제조하는 단계를 더 포함하는,
반도체 다이를 제조하기 위한 방법.

청구항 13

제 11 항에 있어서,
상기 반도체 다이의 기능적 블록에 근접한 중앙 영역의 적어도 하나의 추가적인 비-시그널링 반송 실리콘 관통 비아를 제조하는 단계를 더 포함하는,
반도체 다이를 제조하기 위한 방법.

청구항 14

제 11 항에 있어서,
상기 제조하는 단계는, 상기 반도체 다이의 코너에서 비-신호 반송 실리콘 관통 비아들의 적어도 하나의 어레이를 제조하는 단계를 포함하는,
반도체 다이를 제조하기 위한 방법.

청구항 15

제 14 항에 있어서,
상기 적어도 하나의 어레이를 제조하는 단계는, 적어도 하나의 라운드 코너 비아를 제조하는 단계를 포함하는,
반도체 다이를 제조하기 위한 방법.

청구항 16

제 11 항에 있어서,

핸드헬드 디바이스 및 개인용 컴퓨터로 구성되는 그룹으로부터 선택되는 아이템으로 상기 반도체 다이를 통합시키는 단계를 더 포함하는,

반도체 다이를 제조하기 위한 방법.

청구항 17

반도체 다이로서,

상기 반도체 다이의 주변 영역에 위치된 상기 반도체 다이의 열 팽창 계수(CTE)를 증가시키기 위한 수단을 포함하고,

상기 CTE 증가 수단은 상기 반도체 다이의 뒤틀림을 감소시키는,

반도체 다이.

청구항 18

반도체 다이를 설계하기 위한 컴퓨터화된 방법으로서,

다이 뒤틀림을 감소시키기 위해서 응력 완화 실리콘 관통 비아들에 대한 위치들을 결정하는 단계를 포함하는,

반도체 다이를 설계하기 위한 컴퓨터화된 방법.

청구항 19

제 18 항에 있어서,

상기 결정하는 단계는, 패키지 기판의 열 팽창 계수에 관련하여 상기 반도체 다이의 열 팽창 계수를 분석하는 단계를 포함하는,

반도체 다이를 설계하기 위한 컴퓨터화된 방법.

명세서

기술 분야

[0001] 본 개시는 일반적으로 반도체 다이 제조에 관한 것이다. 보다 상세하게는, 본 개시는 반도체 다이들을 제조하는 동안 뒤틀림(warpage)을 제어하는 것에 관한 것이다.

배경 기술

[0002] 반도체 웨이퍼들 및 다이들에서의 잔류 응력을 뒤틀림을 야기한다. 예를 들어, 웨이퍼 상에 (예컨대, 트랜지스터들을 생성하기 위해서) 증착된 물질들은 불균형 응력을 초래하는, 기판과 상이한 응력을 가지도록 엔지니어링(engineer)될 수 있다. 다른 경우들에서, 응력들은 엔지니어링되는 것이 아니라, 단지 상이한 물질들로부터 발생한다. 기판과 증착된 물질들 사이의 응력은 불균형하며, 기판은 평형 응력에 도달하도록 뒤틀리거나 또는 구부려질 수 있다.

[0003] 또한, 패키징된 다이에 의해 경험되는 온도의 변화는 뒤틀림을 야기할 수 있다. 패키지의 열 팽창 계수(CTE)는 다이의 CTE와 상이하다. 뒤틀림은 패키지 및 다이의 물질 세트들 사이의 CTE 부정합(mismatch)의 결과로서 발생한다. 뒤틀림은 패키지와 다이 사이에 상당한 두께 차가 존재할 때 악화된다.

[0004] 패키지와 다이 사이의 상당한 두께 차를 가지는 제품의 일례는 적층된 IC이다. 얇은 웨이퍼들은 종래에는 적층된 IC들에서 사용되어, 실리콘 관통 비아(through silicon via)들의 제조를 보조한다. 일부 경우들에서, 다이는 1mm 패키지의 두께를 변화시키지 않고 50 마이크론보다 작게 얇아질 수 있다. 상당한 두께 차의 결과로서, 심각한 뒤틀림이 발생할 수 있다.

[0005] 뒤틀림이 심각할 때, 패키지로의 다이의 부적당한 본딩(bonding)이 발생한다. 다시 말해서, 뒤틀림은 일부 범프들 또는 기둥들이 패키지 어셈블리 프로세스 동안 기판에 부착되는 것을 막는다. 뒤틀림이 어셈블리 이후에 발생하는 경우, 범프들 또는 기둥들은 소비자가 최종 사용자 디바이스를 가지고 있을 때 분리(de-attach)될 수

있다.

[0006] 도 3에 보여지는 바와 같이, 뒤틀린 패키지 기판(310)은 중앙에서 뒤틀린 다이(320)에 커플링(couple)되지 않는 다. 즉, 중앙에 위치된 상호접속부(interconnect)들(330)은 패키지 기판(310)에 접촉하지 않는다. 도시되지 않지만, 열적 부정합은 코너에서 상호접속부들(330)에 응력을 가하여, 패키지 기판(310)이 다이(320)로부터 분리되게 할 수 있다.

[0007] 또한, 상호접속부 피로 수명(fatigue life)은 다이와 패키지 기판 사이의 열 팽창 계수(CTE)가 부정합일 때 감소한다. 온도가 변화할 때, 어셈블리는 팽창에서의 부정합을 수용하도록 구부려진다. 측정들 및 기계 모델들에 기초하여, 뒤틀림은 다이의 주변에서 특히, 코너들에서 발생하는 것으로 나타난다. 칩의 코너에 집중된 스트레인(strain)은 코너로부터 전파되는 크랙(crack)을 초래한다. 크랙이 전파됨에 따라, 칩-언더필(chip-underfill) 인터페이스 또는 다른 약한 인터페이스가 개방되어, 칩 유전체에서의 상호접속 피로 또는 전기적 손상(failure)을 야기한다.

[0008] 다이 유전체 인터페이스들을 포함하는 응력 엔지니어링 솔루션들이 존재하지만, 이러한 솔루션들은 상대적으로 복잡하며 비용이 많이 든다. 따라서, 다이의 뒤틀림을 효율적으로 제어하기 위한 필요성이 존재한다.

발명의 내용

[0009] 본 개시의 양상에 따라, 반도체 다이는 주변 영역에 위치된 실리콘 관통 비아들을 가진다. 실리콘 관통 비아들은 반도체 다이의 뒤틀림을 감소시킨다.

[0010] 또 다른 양상에서, 반도체 다이를 제조하기 위한 방법은, 상기 다이의 뒤틀림을 감소시키기 위해서 상기 반도체 다이의 주변 영역에서 복수의 비-신호 반송 실리콘 관통 비아들을 제조하는 단계를 포함한다.

[0011] 또 다른 양상에서, 반도체 다이는, 상기 반도체 다이의 주변 영역에 위치된 상기 반도체 다이의 열 팽창 계수(CTE)를 증가시키기 위한 수단을 가진다. 상기 CTE 증가 수단은 상기 반도체 다이의 뒤틀림을 감소시킨다.

[0012] 또 다른 양상에서, 반도체 다이를 설계하기 위한 컴퓨터화된 방법은, 다이 뒤틀림을 감소시키기 위해서 응력 완화 실리콘 관통 비아들에 대한 위치들을 결정하는 단계를 포함한다.

[0013] 상기 설명은 다음의 상세한 설명이 더 양호하게 이해될 수 있도록 본 발명의 특징들 및 기술적 이점들을 보다 광범위하게 약술하였다. 본 발명의 청구항들의 요지를 형성하는 추가적인 특징들 및 이점들이 이하에서 설명될 것이다. 개시되는 개념 및 특정 실시예들이 본 발명의 동일한 목적들을 수행하기 위한 다른 구조들을 변형하거나 또는 설계하기 위한 기초로서 용이하게 이용될 수 있다는 것이 당업자들에 의해 인식되어야 한다. 또한, 첨부되는 청구항들에 설명되는 바와 같이, 이러한 동등한 구조들이 본 발명의 기술로부터 벗어나지 않는다는 것이 당업자들에 의해 인지되어야 한다. 그 조직 및 동작 방법 모두에 관하여, 본 발명의 특성으로 여겨지는 신규한 특징들은 추가적인 객체들 및 이점들과 함께, 첨부한 도면들과 관련하여 고려될 때 다음의 설명으로부터 더 양호하게 이해될 것이다. 그러나, 특징들 각각은 단지 예시 및 설명을 목적으로 제공되며 본 발명의 제한들의 정의로서 의도되지 않는다는 것이 명백하게 이해될 것이다.

도면의 간단한 설명

[0014] 본 발명의 더 완전한 이해를 위해서, 첨부한 도면들과 함께 취해지는 다음의 설명에 대한 참조가 이제 이루어진다.

도 1은 본 발명의 실시예가 유리하게 사용될 수 있는 예시적인 무선 통신 시스템을 도시하는 블록도이다.

도 2는 개시되는 반도체 다이의 회로 및 레이아웃 설계에 대한 설계 워크스테이션을 도시하는 블록도이다.

도 3은 뒤틀어진 반도체 다이 및 패키징 기판을 도시하는 블록도이다.

도 4는 응력 완화 비아들을 가지는 반도체 다이의 상면도를 도시하는 블록도이다.

도 5는 응력 완화 비아들 및 라운드 코너 비아(round corner via)들을 가지는 반도체 다이의 상면도를 도시하는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0015] 도 1은 본 개시의 실시예가 유리하게 사용될 수 있는 예시적인 무선 통신 시스템(100)을 도시하는 블록도이다.

예시를 목적으로, 도 1은 3개의 원격 유닛들(120, 130 및 150) 및 2개의 기지국들(140)을 도시한다. 무선 통신 시스템들은 더욱 많은 원격 유닛들 및 기지국들을 가질 수 있다는 것이 인지될 것이다. 원격 유닛들(120, 130 및 150)은 개시되는 반도체 다이를 포함하는 IC 디바이스들(125A, 125B 및 125C)을 포함한다. 기지국들, 스위칭 디바이스들 및 네트워크 장비를 포함하는, IC를 포함하는 임의의 디바이스는 또한 본 명세서에 개시되는 다이를 포함할 수 있다는 것이 인지될 것이다. 도 1은 기지국(140)으로부터 원격 유닛들(120, 130 및 150)로의 순방향 링크 신호들(180) 및 원격 유닛들(120, 130 및 150)로부터 기지국들(140)로의 역방향 링크 신호들(190)을 도시한다.

[0016] 도 1에서, 무선 로컬 루프 시스템에서, 원격 유닛(120)은 모바일 전화로서 도시되고, 원격 유닛(130)은 휴대용 컴퓨터로서 도시되며, 원격 유닛(150)은 고정 위치 원격 유닛으로서 도시된다. 예를 들어, 원격 유닛들은 모바일 전화들, 핸드-헬드 개인용 통신 시스템(PCS) 유닛들, 개인용 데이터 보조기들과 같은 휴대용 데이터 유닛들, GPS 가능한 디바이스들, 내비게이션 디바이스들, 셋탑 박스들, 음악 재생기들, 비디오 재생기들, 엔터테인먼트 유닛들, 미터 판독 장비와 같은 고정 위치 데이터 유닛들, 또는 데이터 또는 컴퓨터 명령들 또는 이들의 임의의 결합을 저장하거나 또는 리트리브(retrieve)하는 임의의 다른 디바이스일 수 있다. 도 1은 본 개시의 교시들에 따라 원격 유닛들을 도시하지만, 본 개시는 이러한 예시적인 도시된 유닛들에 제한되지 않는다. 본 개시의 실시예들은 접적 회로를 포함하는 임의의 디바이스에서 적합하게 사용될 수 있다.

[0017] 도 2는 개시되는 반도체 접적 회로의 회로 및 레이아웃 설계에 대한 설계 워크스테이션을 도시하는 블록도이다. 설계 워크스테이션(200)은 운영 체제 소프트웨어, 지원 파일들, 및 Cadence 또는 OrCAD와 같은 설계 소프트웨어를 포함하는 하드 디스크(201)를 포함한다. 또한, 설계 워크스테이션(200)은 회로 및 레이아웃(210)의 설계를 용이하게 하기 위해서 디스플레이를 포함한다. 아래에서 개시되는 바와 같이, 회로 및 레이아웃(210)은 비아 구성을 포함할 수 있다. 회로 및 레이아웃 설계(210)를 실체적으로(tangibly) 저장하기 위한 저장 매체(204)가 제공된다. 회로 및 레이아웃 설계(210)는 GDSII 또는 GERBER와 같은 파일 포맷으로 저장 매체(204) 상에 저장될 수 있다. 저장 매체(204)는 CD-ROM, DVD, 하드 디스크, 플래쉬 메모리 또는 다른 적절한 디바이스일 수 있다. 또한, 설계 워크스테이션(200)은 저장 매체(204)로부터 입력을 수용하거나 또는 저장 매체(204)에 출력을 기록하기 위한 드라이브 장치(203)를 포함한다.

[0018] 저장 매체(204) 상에 기록된 데이터는 로직 회로 구성들, 포토리소그래피 마스크들에 대한 패턴 데이터, 또는 전자 빔 리소그래피와 같은 직렬 기록 툴들에 대한 마스크 패턴 데이터를 특정할 수 있다. 데이터는 로직 시뮬레이션들과 연관된 타이밍도들 또는 네트 회로들과 같은 로직 검증 데이터를 더 포함할 수 있다. 저장 매체(204) 상에 데이터를 제공하는 것은 반도체 IC들을 설계하기 위한 프로세스들의 수를 감소시킴으로써 회로 및 레이아웃(210)의 설계를 용이하게 한다.

[0019] 본 개시에 따라, 도전성 충진물(conductive fill)(예를 들어, 금속)을 가지는 실리콘 관통 비아들은 뒤틀림을 제어하기 위해서 반도체 다이(또는 웨이퍼) 내에서 제조된다. 실리콘 관통 비아들은 다이/기판 열 팽창 계수(CTE) 정합을 향상시킨다. 따라서, 상호접속부의 피로 수명 및 신뢰도는 증가한다.

[0020] 더욱이, 실리콘 관통 비아들은 잔여 응력을 완화시키며, 변형시키기 위한 기판에 대한 더 많은 공간을 생성하여, 뒤틀림이 완화되게 한다. 일 실시예에서, 실리콘 관통 비아들은 다이의 주변에 제공되는 응력 완화 비아들 및 라운드 코너 비아들이다.

[0021] 도 4에 보여지는 바와 같이, 다이(40)는 응력 완화 비아들(42)을 포함한다. 응력 완화 비아들은 뒤틀림을 제어하고 또한 잔여 응력을 릴리스(release)하기 위해서 다이 코너 주변에 배치되는 실리콘 관통 비아들이다. 또한, 응력 완화 비아들(44)은 잔여 응력을 재분배하기 위해서 중앙에 배치될 수 있다. 응력 완화 비아들(44)은 설계 파라미터들을 충족시키기 위해서 다이(40)의 임계 기능 블록들의 응력을 감소시키거나 또는 증가시키는 것을 보조할 수 있다.

[0022] 일 양상에서, 응력 완화 비아들(42)은 금속으로 채워져, 열 팽창 계수(CTE) 부정합을 향상시키는 것을 보조한다. 예시적인 비-제한 충진 물질들은 구리 및 텅스텐을 포함한다. 적절한 충진 물질의 선택은 원하는 패키지 성능 및 비용에 의존한다. 텅스텐은 더 큰 모듈러스(modulus)를 가지지만, 더 작은 열 팽창 계수(CTE)를 가진다. 예를 들어, 적층된 다이(2개의 계층) 패키지에서, 텅스텐 충진 물질은 비아들에서 더 낮은 응력을 초래하며, 적층물의 계층들 사이의 다이 대 다이 상호접속부들에서 더 높은 응력을 초래한다. 따라서, 충진 물질을 선택할 때 비아들과 상호접속부들 사이에 성능 트레이드 오프가 존재한다.

[0023] 일 실시예에서, 응력 완화 비아들(42, 44)은 신호들을 반송(carry)하지 않는다. 그러나, 또 다른 실시예에서,

응력 완화 비아들(42, 44)은 신호들을 반송한다.

[0024] 응력 완화 비아들(42, 44)의 수 및 정확한 위치들은, 특히, 다이 크기, 비아 지름 및 응력 완화 비아의 충진 물질에 기초하여 다이마다 변경된다. 응력 완화 비아들(42, 44)의 원하는 수 및 응력 완화 비아들(44)의 위치들은 다이(40)의 열 기계 모델을 분석함으로써 반도체 다이 설계 단계 동안 계산될 수 있다. 다이의 코너에 응력 완화 비아들(42)을 위치시키는 하나의 이점은 이 영역이 다이(40)의 기능적 비아들에 대하여 종종 사용되지 않는다는 점이다.

[0025] 도 5에 보여지는 바와 같이, 다이(50)는 응력 완화 비아들(42)에 더하여 라운드 코너 비아들(55)을 포함한다. 일 실시예에서, 응력 완화 비아들(42)은 응력 완화를 위한 1차 메커니즘이다. 응력 완화 비아들이 차발적으로 응력을 완화시키기에 불충분한 경우, 라운드 코너 비아들(55)이 2차 메커니즘으로서 사용된다. 또 다른 실시예에서, 라운드 코너 비아들(55)은 1차 메커니즘이다.

[0026] 또한, 라운드 코너 비아들(55)은 다이(50)의 열 팽창 계수를 증가시키는 것을 보조하기 위해서 금속으로 채워질 수 있다. 다이(50)의 열 팽창 계수를 증가시킴으로써, 다이(50)의 열 팽창 계수는 패키지(미도시됨)의 열 팽창 계수와 더 양호하게 정합하여, 뒤틀림이 감소되게 할 것이다. 더욱이, 추가적인 다이 컷 아웃 영역(cut out area)은 기판 변형을 위한 더 많은 룸(room)을 생성하며, 잔여 응력을 완화시킨다.

[0027] 라운드 코너 비아(55)의 포맷은 변경될 수 있다. 일 실시예에서, 줌 뷰(zoom view)에 보여지는 바와 같이, 포맷은 실리콘 관통 비아들의 어레이이다.

[0028] 라운드 코너 비아들(55) 및 응력 완화 비아들(42)의 특정 배열은 열 기계 모델링 및 예상된 뒤틀림의 양에 기초하여 결정될 수 있다. 뒤틀림이 더 상당한 경우, 라운드 코너 비아들(55)이 제공되어(이는 라운드 코너 비아들(55)이 응력 완화 비아들(42)보다 더 많은 다이 물질을 제거하기 때문임), 다이(50)에 변형시키기 위한 더 많은 공간이 주어질 수 있다. 일반적인 경험 법칙(rule of thumb)에 따라, 비아 영역 대 다이 영역 비가 증가하는 경우, 뒤틀림이 더 많이 제어된다. 다시 말해서, 더 많은 다이 물질을 제거하는 것은 뒤틀림을 더 양호하게 제어한다.

[0029] 일 실시예에서, 다이(50)의 기능에 대하여 사용되지 않는 영역은 응력 완화 비아들(42, 44) 및 라운드 코너 비아들(55)을 어디에 위치시키는지에 대한 결정에 영향을 미친다. 대안적으로, 뒤틀림 문제가 더 중요해질 때, 다이(50)의 기능적 블록들은 응력 완화 비아들(42, 44) 및 라운드 코너 비아들(55)을 수용하도록 설계된다.

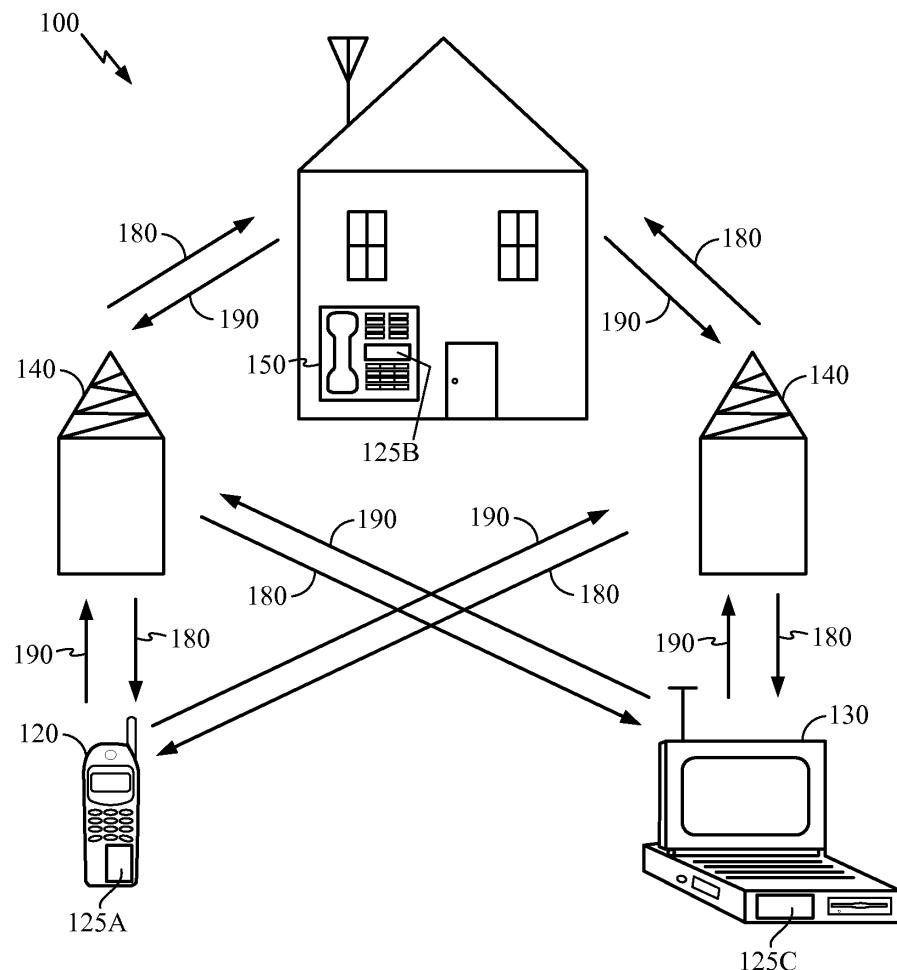
[0030] 응력 완화 비아들(42, 44) 및 라운드 코너 비아들(55)은 종래의 실리콘 관통 비아 형성 프로세스 동안 제조될 수 있다. 따라서, 어떠한 추가적인 제조 프로세스들도 요구되지 않는다. 더욱이, 응력 완화 비아들(42, 44) 및 라운드 코너 비아들(55)은 용이하게 제조되기 때문에, 어떠한 가외의 제조 비용들도 거의 추가되지 않는다. 최종적으로, 응력 완화 비아들(42, 44) 및 라운드 코너 비아들(55)은 CTE 부정합을 감소시킴으로써 패키지 기판 /다이 상호접속부들의 신뢰도를 개선시킨다. 즉, 상호접속부 피로 수명이 증가한다.

[0031] "실리콘 관통 비아"라는 용어는 실리콘이라는 단어를 포함하지만, 실리콘 관통 비아들은 반드시 실리콘으로 구성되는 것이 아니라는 점에 유의하여야 한다. 오히려, 물질은 임의의 디바이스 기판 물질일 수 있다.

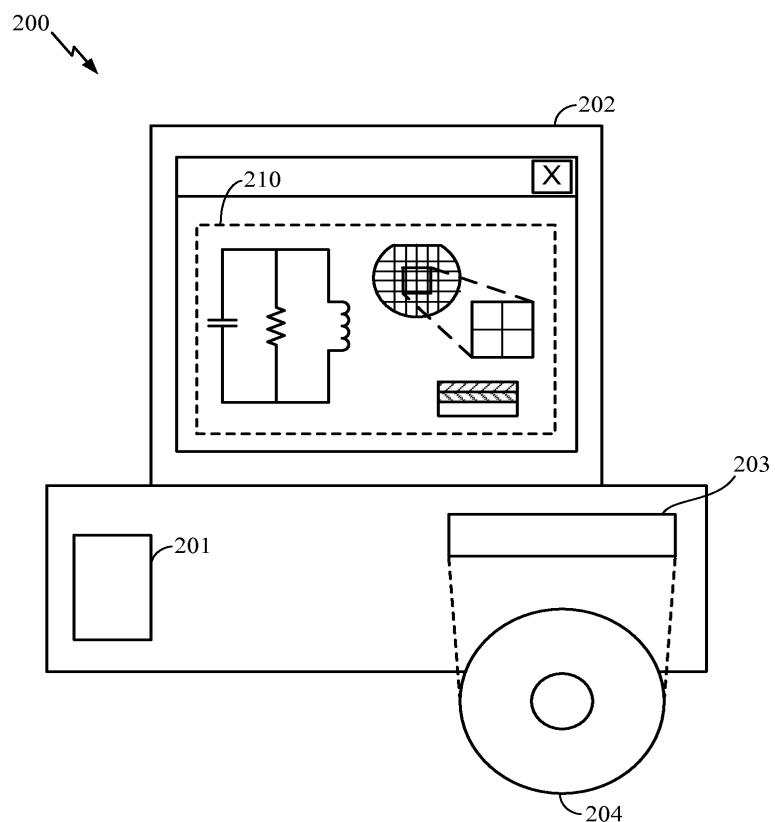
[0032] 본 발명 및 그 이점들이 상세하게 설명되었지만, 다양한 변경들, 치환들 및 대안들이 첨부된 청구항들에 의해 정의되는 바와 같은 본 발명의 기술로부터 벗어나지 않고 본 명세서에서 이루어질 수 있다는 것이 이해되어야 한다. 더욱이, 본 출원의 범위는 명세서에 설명된 프로세스, 기계, 제조, 물질의 구성, 수단, 방법들 및 단계들의 특정 실시예들에 제한되는 것으로 의도되지 않는다. 당업자가 본 개시로부터 용이하게 인식할 바와 같이, 본 명세서에 설명된 대응하는 실시예들과 실질적으로 동일한 기능을 수행하거나 또는 실질적으로 동일한 결과를 달성하는 현재 존재하거나 또는 추후에 개발될 프로세스들, 기계들, 제조, 물질의 구성들, 수단, 방법들 또는 단계들이 본 발명에 따라 이용될 수 있다. 따라서, 첨부된 청구항들은 이러한 프로세스들, 기계들, 제조, 물질의 구성들, 수단, 방법들 또는 단계들을 그 범위 내에 포함하는 것으로 의도된다.

도면

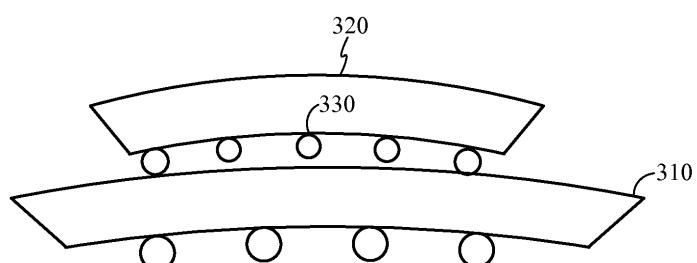
도면1



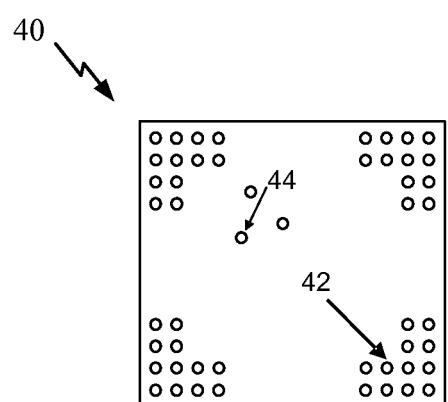
도면2



도면3



도면4



도면5

