

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2012/017507 A1

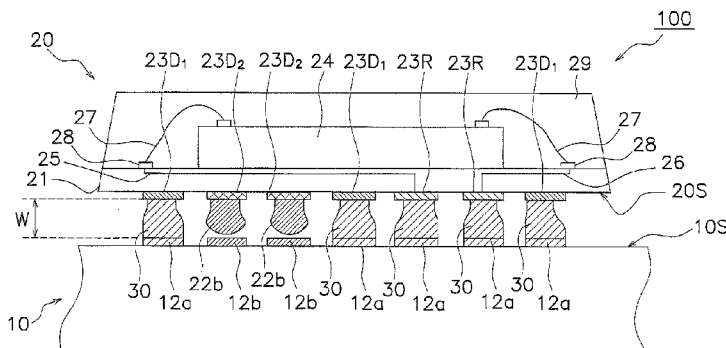
(43) 国際公開日
2012年2月9日(09.02.2012)

- (51) 国際特許分類:
H01L 23/12 (2006.01) H05K 1/18 (2006.01)
H05K 1/02 (2006.01) H05K 3/34 (2006.01)
 - (21) 国際出願番号: PCT/JP2010/007354
 - (22) 国際出願日: 2010年12月20日(20.12.2010)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2010-176990 2010年8月6日(06.08.2010) JP
 - (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人 (米国についてのみ): 佐久間 陽也 (SAKUMA, Haruya). 斎藤 昌孝 (SAITOH, Masataka).
 - (74) 代理人: 新樹グローバル・アイピー特許業務法人 (SHINJYU GLOBAL IP); 〒5300054 大阪府大阪市北区南森町1丁目4番19号 サウスホレストビル Osaka (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: CIRCUIT BOARD AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 回路基板及びその製造方法

[図6]



(57) Abstract: A semiconductor device (20) has a plurality of device-side lands (23) which are asymmetrically disposed with an intersection point (B) as reference. The device-side lands (23) include 45 device-side connecting lands, and four device-side spaced lands. Each of the device-side connecting lands is mechanically connected to a printed board (10) via a connecting section (30). Each of the device-side spaced lands is mechanically spaced apart from the printed board (10).

(57) 要約: 半導体装置 (20) は、交点 B を基準として非対称に配置される複数の装置側ランド (23) を有する。複数の装置側ランド (23) は、45 個の装置側接続ランドと、4 個の装置側離間ランドとを含む。各装置側接続ランドは、接続部 (30) を介して、プリント基板 (10) と機械的に接続される。各装置側離間ランドは、プリント基板 (10) から機械的に離間する。

WO 2012/017507 A1

明 細 書

発明の名称：回路基板及びその製造方法

技術分野

[0001] 本発明は、半導体装置とプリント基板とを備える回路基板、及びその製造方法に関する。

背景技術

[0002] 従来、携帯電話、パーソナルコンピュータ、映像機器等の電子機器では、プリント基板と、プリント基板に実装される半導体装置とを備える回路基板が用いられている。また、半導体装置としては、BGA (Ball Grid Array) 型やLGA (Land Grid Array) 型のCSP (Chip size package) のようなアレイパッケージが広く知られている。このような半導体装置は、半田を介してプリント基板と機械的に接続される複数の装置側ランドを有する。

ここで、搬送ロボットに半導体装置の向きを自動判別させるために、複数の装置側ランドが非対称に配置される場合がある（例えば、特許文献1及び特許文献2参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開平11-132737号公報
特許文献2：特開2006-294670号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、複数の装置側ランドが非対称に配置される場合、複数の装置側ランドをプリント基板に半田付けすると、複数の装置側ランドと半田との境界付近にクラックが発生する場合がある。このような半田付け不良が発生すれば、半導体装置は適切に動作しなくなってしまう。

本発明は、上述の課題を解決するためになされたものであり、半田付け不良を抑制可能な回路基板、及びその製造方法を提供することを目的とする。

課題を解決するための手段

[0005] 本発明に係る回路基板は、プリント基板と、所定の基準点を基準として非対称に配置される複数の装置側ランドを有し、プリント基板に実装される半導体装置とを備え、複数の装置側ランドは、半田を介してプリント基板と機械的に接続される複数の装置側接続ランドと、プリント基板から機械的に離間する装置側離間ランドとを含む。

発明の効果

[0006] 本発明によれば、半田付け不良を抑制可能な回路基板、及びその製造方法を提供することができる。

図面の簡単な説明

- [0007] [図1]実施形態に係るプリント基板10の平面図である。
[図2]実施形態に係る半導体装置20の平面図である。
[図3]実施形態に係る半導体装置20の平面図である。
[図4]図2のX-X線における断面図である。
[図5]実施形態に係る回路基板100の平面図である。
[図6]図5のY-Y線における断面図である。
[図7A]実施形態に係る回路基板100の製造方法を説明するための図である。
。
[図7B]実施形態に係る回路基板100の製造方法を説明するための図である。
。
[図7C]実施形態に係る回路基板100の製造方法を説明するための図である。
。
[図8]実施形態に係る半導体装置20にかかる力のモーメントを示す模式図である。

発明を実施するための形態

[0008] 次に、図面を用いて、本発明の実施形態について説明する。以下の図面の記載において、同一又は類似の部分には、同一又は類似の符号を付している

。ただし、図面は模式的なものであり、各寸法の比率等は現実のものとは異なっている場合がある。従って、具体的な寸法等は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

(概要)

本実施形態では、半導体装置をプリント基板に半田付けする際、所定の軸を基準として半導体装置にかかる力のモーメントを釣り合わせることによって、半導体装置のプリント基板に対する傾きを抑制するものである。

以下、プリント基板、半導体装置、及び回路基板の構成、及び回路基板の製造方法について順に説明する。

[0009] (プリント基板の構成)

実施形態に係るプリント基板の構成について、図面を参照しながら説明する。図1は、実施形態に係るプリント基板10を実装面10S側から見た平面図である。

図1に示すように、プリント基板10は、基板本体11と複数の基板側ランド12とを有する。

基板本体11は、紙フェノールやガラスエポキシなどによって構成される板状部材である。基板本体11は、実装面10Sを有する。実装面10Sには、図示しない電子部品(例えば、CPU、抵抗器、コンデンサーなど)が実装される。本実施形態では、後述するように、半導体装置20が実装面10Sに実装される。

複数の基板側ランド12は、半導体装置20を実装するための端子である。複数の基板側ランド12は、実装面10S上に設けられる。複数の基板側ランド12は、例えば、銅箔などによって構成される。

[0010] 複数の基板側ランド12は、実装面10Sの平面視において、所定の基準点Aを基準として、非対称に配置されている。すなわち、複数の基板側ランド12の配置は、点対称ではない。所定の基準点Aは、例えば、複数の基板側ランド12全体の中心点である。

本実施形態において、複数の基板側ランド12は、45個の基板側接続ランド12aと、4個の基板側離間ランド12bと、を含む。各基板側接続ランド12aは、後述する接続部30（図5参照）を介して、半導体装置20と機械的に接続される。各基板側離間ランド12bは、半導体装置20から機械的に離間する。このように、複数の基板側ランド12の一部である45個の基板側接続ランド12aが半導体装置20の接合に寄与するのに対して、4個の基板側離間ランド12bは半導体装置20の接合に寄与しない。ただし、各基板側接続ランド12aと各基板側離間ランド12bとは、同一の構成を有している。

[0011] なお、後述するように、半導体装置20をプリント基板10に実装する際、45個の基板側接続ランド12a上にはクリーム半田40が塗布されるのに対して、4個の基板側離間ランド12b上にはクリーム半田40が塗布されない。

（半導体装置の構成）

実施形態に係る半導体装置の構成について、図面を参照しながら説明する。図2は、実施形態に係る半導体装置20を対向面20S側から見た平面図である。図3は、複数の半田ボール22が省略された半導体装置20を対向面20S側から見た平面図である。図4は、図2のX-X線における断面図である。

図2に示すように、半導体装置20は、パッケージ基板21と、複数の半田ボール22と、を有する。半導体装置20としては、BGA (Ball Grid Array) 型やLGA (Land Grid Array) 型のCSP (Chip size package) のようなアレイパッケージを用いることができる。

[0012] パッケージ基板21は、絶縁性材料によって構成される板状部材である。パッケージ基板21は、実装面10Sに対向する対向面20Sを有する。

複数の半田ボール22は、対向面20S上に設けられる球状部材である。複数の半田ボール22は、半田（例えば、 $\text{Sn}3\text{Ag}0.5\text{Cu}$ （Agが3wt%、Cuが0.5wt%、残りがSn）の合金）によって構成される。複

数の半田ボール22は、対向面20Sに垂直かつ半導体装置20の重心を通る垂線と対向面20Sとの交点Bを基準として、非対称に配置されている。なお、本実施形態では、交点Bは、対向面20Sの略中心を通る。

複数の半田ボール22は、45個の接続ボール22aと4個の離間ボール22bとを含む。各接続ボール22aは、半導体装置20を実装する際、接続部30（図5参照）の一部を構成することによって、プリント基板10と半導体装置20とを機械的に接続する。各離間ボール22bは、半導体装置20を実装する際、接続部30の一部を構成しないので、プリント基板10と半導体装置20とを機械的に接続しない。このように、複数の半田ボール22の一部である45個の接続ボール22aが半導体装置20の接合に寄与するのに対して、4個の離間ボール22bは半導体装置20の接合に寄与しない。ただし、各接続ボール22aと各離間ボール22bとは、同一の構成を有している。

[0013] 図3に示すように、半導体装置20は、複数の装置側ランド23を有する。複数の装置側ランド23は、交点Bを基準として非対称に配置されている。本実施形態において、複数の装置側ランド23は、42個のリアルランド23Rと、7個のダミーランド23Dとを含む。

42個のリアルランド23Rは、半導体装置20を実装する際、接続部30（図5参照）を介して、プリント基板と機械的に接続される。各リアルランド23Rは、半導体装置20内に配置される半導体素子24（図4参照）と電気的に接続されている。従って、各リアルランド23Rは、半導体装置20の機能に寄与している。42個のリアルランド23Rには、複数の信号端子、複数の電源端子、複数の接地用端子などが含まれている。

7個のダミーランド23Dは、半導体素子24から電気的に離間している（図4参照）。従って、各ダミーランド23Dは、半導体装置20の機能には寄与しない。

[0014] 7個のダミーランド23Dには、3個の第1ダミーランド23D₁と、4個の第2ダミーランド23D₂とが含まれる。第1ダミーランド23D₁は、42個の

リアルランド23Rと同様に、接続部30を介して、プリント基板と機械的に接続される。第2ダミーランド23D₂は、第1ダミーランド23D₁とは異なり、プリント基板から機械的に離間する。

本実施形態において、42個のリアルランド23R及び3個の第1ダミーランド23D₁それぞれは、各基板側接続ランド12aと接続される。このように、42個のリアルランド23R及び3個の第1ダミーランド23D₁は、45個の基板側接続ランド12aに対応して配置された45個の「装置側接続ランド」を構成する。以下の説明では、適宜、リアルランド23Rと第1ダミーランド23D₁とを合わせて「装置側接続ランド」と併称する。なお、45個の装置側接続ランドは、図3に示すように、交点Bを基準として、非対称に配置されている。

[0015] また、本実施形態において、4個の第2ダミーランド23D₂は、4個の基板側離間ランド12bから離間して配置される。これによって、各第2ダミーランド23D₂は、半導体装置20の機能に寄与せず、かつ、プリント基板10と半導体装置20との接合にも寄与しない「装置側離間ランド」を構成する。以下の説明では、適宜、第2ダミーランド23D₂を「装置側離間ランド」と称する。

図4に示すように、半導体装置20は、半導体素子24と、第1内挿配線25と、第2内挿配線26と、ワイヤー27と、電極部28と、外装体29とを有する。

半導体素子24は、トランジスタや集積回路などの能動素子である。半導体素子24は、ワイヤー27を介して、パッケージ基板21の電極部28と電氣的に接続されている。一つのリアルランド23Rは、第1内挿配線25を介して、電極部28と電氣的に接続される。もう一つのリアルランド23Rは、第2内挿配線26を介して、電極部28と電氣的に接続される。これにより、半導体素子24は、2個のリアルランド23Rと電氣的に接続されている。一方で、3個の第1ダミーランド23D₁と2個の第2ダミーランド23D₂とは、半導体素子24から電氣的に離間されている。

[0016] 外装体 29 は、樹脂によって構成される。外装体 29 は、半導体素子 24、導電性接着フィルム 25、半田層 26、及びワイヤー 27 を封止する。

(回路基板の構成)

実施形態に係る回路基板の構成について、図面を参照しながら説明する。図 5 は、実施形態に係る回路基板 100 を実装面 10S 側から見た平面図である。図 6 は、図 5 の Y-Y 線における断面図である。なお、図 5 では、45 個の接続部 30 を破線で示し、4 個の離間ボール 22b を省略している。

図 5 に示すように、半導体装置 20 は、45 個の接続部 30 を介して、プリント基板 10 に実装される。本実施形態において、45 個の接続部 30 は、半導体装置 20 の重心を通り、実装面 10S に垂直な垂線 C を基準として、非対称に配置されている。なお、本実施形態において、垂線 C は交点 B を通る。

[0017] 図 6 に示すように、複数の装置側ランド 23 は、接続部 30 を介してプリント基板と機械的に接続される複数の装置側接続ランドを含む。具体的に、図示された 7 個の装置側ランド 23 は、5 個の基板側接続ランド 12a と機械的に接続される 2 個のリアルランド 23R と 3 個の第 1 ダミーランド 23D₁ とを含む。

また、複数の装置側ランド 23 は、プリント基板 10 から機械的に離間する装置側離間ランドを含む。具体的に、図示された 7 個の装置側ランド 23 は、2 個の基板側離間ランド 12b から機械的に離間する第 2 ダミーランド 23D₂ を含む。

このように、接続部 30 は、基板側接続ランド 12a とリアルランド 23R 又は第 1 ダミーランド 23D₁ とを機械的に接続する。接続部 30 は、後述するように、接続ボール 22a が基板側接続ランド 12a 上に塗布されたクリーム半田 40 と融合することによって、形成される。

[0018] 一方で、後述するように、基板側離間ランド 12b 上にはクリーム半田 40 が塗布されないため、離間ボール 22b は接続部 30 を形成せずに原状を維持する。そのため、離間ボール 22b は、基板側離間ランド 12b から離

間している。

本実施形態において、各装置側接続ランド（各リアルランド23R及び第1ダミーランド23D₁）とプリント基板10（各基板側ランド12）との間隔Wは、均一である。また、本実施形態において、対向面20Sは、実装面10Sに略平行である。すなわち、半導体装置20は、プリント基板10に対して傾いていない。

（回路基板の製造方法）

実施形態に係る回路基板の製造方法について、図面を参照しながら説明する。図7A～図7Cは、実施形態に係る回路基板100の製造方法を説明するための断面図である。

[0019] まず、図7Aに示すように、プリント基板10に設けられる複数の基板側ランド12の一部である45個の基板側接続ランド12a上に、クリーム半田40を塗布する。この際、4個の基板側離間ランド12b上には、クリーム半田40を塗布しない。

ここで、クリーム半田40を塗布する対象となる複数の対象ランド（以下、「複数の対象ランド」という。）は、後述する融合体30aの固化に伴って半導体装置20が傾かないように、複数の装置側ランド23の中から選択される。

具体的に、複数の対象ランドは、半導体装置20の重心を通り、かつ、対向面20Sに平行な複数の軸を基準とした場合に、融合体30aが半導体装置20を回転させようとするモーメントが釣り合うように選択される（図8参照）。本実施形態において、複数の装置側ランド23のうち第2ダミーランド23D₂だけが、複数の対象ランドから除外されている。

[0020] 次に、図7Bに示すように、クリーム半田40が塗布されたプリント基板10上に、半導体装置20を載置する。この際、各接続ボール22aの下端部は、各基板側接続ランド12a上に塗布されたクリーム半田40と接触する。一方で、各基板側離間ランド12bにはクリーム半田40が塗布されていないので、各離間ボール22bの下端部は、クリーム半田40と接触しな

い。ただし、各離間ボール22bの下端部は、各基板側離間ランド12bに接触していてもよい。

次に、図7Cに示すように、リフロー炉などの加熱装置にプリント基板10及び半導体装置20を入れて、半田ボール22を融点以上に加熱する。この際、45個の接続ボール22aとクリーム半田40とが融合して、45個の融合体30aが形成される。一方で、4個の離間ボール22bは溶融するものの、4個の基板側離間ランド12bにクリーム半田40が塗布されていないので、各離間ボール22bは各クリーム半田40と融合しない。

[0021] 次に、加熱装置からプリント基板10及び半導体装置20を出して、45個の融合体30a及び4個の離間ボール22bを冷却する。これにより、45個の融合体30aが固化することによって、45個の接続部30が形成される。その結果、45個の基板側接続ランド12aが、45個の装置側接続ランドに半田接合される。一方で、4個の離間ボール22bは、固化によって原状復帰する。

ここで、各融合体30aは、溶融により液化した際に表面張力によって小さく丸まろうとし、また、固化する際に収縮しようとするため、各装置側接続ランドは、各融合体30aによってプリント配線板10側に引っ張られる。そのため、半導体装置20には、45個の融合体30aによる引っ張り力のモーメントがかかる。

本実施形態では、上述の通り、複数の装置側ランド23の中から選択された複数の対象ランドにのみクリーム半田40が塗布されている。そのため、半導体装置20にかかるモーメントが釣り合うので、半導体装置20の傾きは抑制される。

[0022] 図8は、融合体30aが溶融及び固化する際に半導体装置20にかかるモーメントを模式的に示す図である。このようなモーメントには、溶融した融合体30aの表面張力（融合体30aが小さく丸まろうとする力）に応じて発生するモーメントと、融合体30aが固化する際の収縮力に応じて発生するモーメントとの2種類のモーメントが想定されている。

図8において、軸線 Q_1 は、半導体装置20の重心Pを通り、対向面20Sに平行である。軸線 Q_2 は、半導体装置20の重心Pを通り、対向面20Sに平行であって、かつ、軸線 Q_1 に垂直である。

図8に示すように、半導体装置20には、軸線 Q_1 を基準とすれば、合モーメントM1と合モーメントM2とがかかっている。また、半導体装置20には、軸線 Q_2 を基準とすれば、合モーメントM3と合モーメントM4とがかかっている。複数の対象ランドは、例えば、合モーメントM1と合モーメントM2とが釣り合い、かつ、合モーメントM3と合モーメントM4とが釣り合うように選択される。その結果、45個の融合体30aの溶融及び固化に伴う半導体装置20の傾きが抑制される。なお、基準とする軸線を多く設定するほど、半導体装置20の傾きを抑制する精度は向上する。

[0023] (作用及び効果)

(1) 本実施形態に係る回路基板100において、半導体装置20は、交点Bを基準として非対称に配置される複数の装置側ランド23を有する。複数の装置側ランド23は、45個の装置側接続ランド(42個のリアルランド23R及び3個の第1ダミーランド23D₁)と、4個の装置側離間ランド(4個の第2ダミーランド23D₂)とを含む。各装置側接続ランドは、接続部30を介して、プリント基板10と機械的に接続される。各装置側離間ランドは、プリント基板10から機械的に離間する。

ここで、本発明者らが、複数の装置側ランドと半田との境界付近にクラックが発生する原因について鋭意検討したところ、溶融した半田が表面張力によって小さく丸まろうとする力と、半田が固化する際に収縮しようとする力とに起因するという知見を得た。具体的には、例えば、非対称に配置された複数の装置側ランド23の全てを複数の基板側ランド12に半田付けすれば、溶融した半田の表面張力や固化する半田の収縮力は、多くの装置側ランド23が密集する領域で大きくなる。このように、半導体装置20に不均衡な力が働くことによって、半導体装置20は、プリント基板10に対して傾いてしまう。

[0024] そこで、本実施形態に係る回路基板 100 では、ダミーランド 23D のうち第 1 ダミーランド 23D₁ だけがプリント基板 10 と機械的に接続されており、第 2 ダミーランド 23D₂ はプリント基板 10 と機械的に接続されない。従って、ダミーランド 23D の全部がプリント基板 10 と機械的に接合される場合に比べて、半田の表面張力及び固化収縮力が半導体装置 20 の一部に集中することが抑制されている。これにより、半導体装置 20 の傾きが抑制されているので、接続部 30 におけるクラックなどの発生が低減されている。

(2) 本実施形態に係る回路基板 100 において、複数の装置側ランド 23 それぞれとプリント基板 10 との間隔は、均一である。

このように、複数の接続部 30 それぞれの高さが均一に形成されているため、例えば、複数の接続部 30 の一部だけが細長く形成される場合に比べて、各接続部 30 の強度の均一化を図ることができる。

[0025] (3) 本実施形態に係る回路基板 100 において、対向面 20S は、実装面 10S と略平行である。このように、複数の接続部 30 それぞれの高さが均一に形成されているので、各接続部 30 の強度の均一化を図ることができる。

(4) 本実施形態に係る回路基板 100 において、4 個の装置側離間ランド (4 個の第 2 ダミーランド 23D₂) は、半導体素子 24 から電氣的に離間している。

このように、もともと半導体装置 20 の機能に寄与しないランドが半導体装置 10 から機械的に離間されている。そのため、半導体装置 20 の機能を低下させることがない。

(5) 本実施形態に係る回路基板 100 の製造方法は、複数の基板側ランド 12 の一部である 45 個の基板側接続ランド 12a 上にクリーム半田 40 を塗布する工程を備える。

このように、45 個の基板側接続ランド 12a だけにクリーム半田 40 を塗布するので、複数の装置側ランド 23 のうち 45 個の装置側接続ランドだけがプリント基板 10 と機械的に接続される。従って、複数の装置側ランド 23 の全部がプリント基板 10 と機械的に接合される場合に比べて、半田の

表面張力及び固化収縮力が半導体装置 20 の一部に集中することを抑制できる。その結果、半導体装置 20 が傾くことを抑制できるので、接続部 30 におけるクラックなどの発生を低減できる。

[0026] (6) 本実施形態に係る回路基板 100 の製造方法において、半田ボール 22 が溶融及び固化した際、半導体装置 20 の重心 P を通り、対向面 20 S に平行な軸線 Q_1 及び軸線 Q_2 を基準として、半導体装置 20 にかかる力のモーメントは釣り合っている。

従って、半導体装置 20 がプリント基板 10 に対して傾くことを精度良く抑制できるので、半田付け不良をより抑制することができる。

(その他の実施形態)

本発明は上記の実施形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。

(A) 上記実施形態において、45 個の装置側接続ランドは、交点 B を基準として非対称に配置されることとしたが、交点 B を基準として対称に配置されていてもよい。この場合には、各装置側接続ランドが接続部 30 を介してプリント基板 10 側に引っ張られる力のモーメントを、より精度良く釣り合わせるすることができる。

[0027] (B) 上記実施形態において、4 個の装置側離間ランドは、半導体素子 24 に電氣的に接続されない 4 個の第 2 ダミーランド 23 D₂ であることとしたが、これに限られるものではない。例えば、4 個の装置側離間ランドは、半導体素子 24 に電氣的に接続されたリアルランド 23 R の中から選択されてもよい。この場合、4 個の装置側離間ランドとするリアルランド 23 R としては、同一信号を重複して伝達するための複数の信号端子の一部、複数の電源端子の一部、複数の接地用端子の一部が選択されることが好ましい。これにより、リアルランド 23 R から装置側離間ランドを選択することに伴う半導体装置 20 の機能低下を抑制することができる。

(C) 上記実施形態において、複数の装置側ランド23は、42個のリアルランド23R、3個の第1ダミーランド23D₁、及び4個の第2ダミーランド23D₂を含むこととしたが、各ランドの個数はこれに限られるものではない。複数の装置側ランド23は、2個以上のリアルランド23Rと、1つ以上の第2ダミーランド23D₂とを含んでいればよく、第1ダミーランド23D₁を含んでいなくてもよい。なお、複数の装置側ランド23が1個の第2ダミーランド23D₂を含む場合とは、例えば、搬送ロボットに半導体装置20の向きを自動判別させるために、 $n \times m$ 列に整列された複数の装置側ランド23のうち1つだけが欠けている場合等が挙げられる。

[0028] (D) 上記実施形態において、各離間ボール22bは、図6に示すように、各基板側離間ランド12bから物理的（機械的かつ電氣的）に離間することとしたが、これに限られるものではない。各離間ボール22bは、電氣的には各基板側離間ランド12bに接続されていてもよい。すなわち、各離間ボール22bは、各基板側離間ランド12bに機械的に接合されていなければよく、接触することは許容される。なお、この場合、第2ダミーランド23D₂は半導体素子24から電氣的に離間されているので、半導体装置20の機能に影響はない。

(E) 上記実施形態において、各装置側接続ランドとプリント基板10との間隔Wは、均一であることとしたが、これに限られるものではない。各装置側接続ランドとプリント基板10との間隔Wは、所定の範囲内であればついてもよい。所定の範囲とは、接続部30にクラックが発生しない程度に設定することができる。また、この限りにおいて、対向面20Sは、実装面10Sと完全には平行でなくてもよい。

[0029] (F) 上記実施形態において、基板側離間ランド12bにクリーム半田40を塗布しないことによって、装置側離間ランドを基板側離間ランド12bから機械的に離間させることとしたが、これに限られるものではない。例えば、装置側離間ランド上に離間ボール22bを設けないことによっても、装置側離間ランドを基板側離間ランド12bから機械的に離間させることができ

る。

このように、本発明はここでは記載していない様々な実施形態等を含むことは勿論である。従って、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

産業上の利用可能性

[0030] 本実施形態によれば、半田付け不良を抑制可能な回路基板、及びその製造方法を提供することができるので、電子機器分野において有用である。

符号の説明

- [0031] 10…プリント基板
10S…実装面
11…基板本体
12…複数の基板側ランド
12a…基板側接続ランド
12b…基板側離間ランド
20…半導体装置
20S…対向面
21…パッケージ基板
22…複数の半田ボール
22a…接続ボール
22b…離間ボール
23…複数の装置側ランド
23R…リアルランド
23D…ダミーランド
23D₁…第1ダミーランド
23D₂…第2ダミーランド
23…半導体素子
23…複数の装置側ランド
24…半導体素子

25…第1内挿配線

26…第2内挿配線

27…ワイヤー

28…電極部

29…外装体

30…接続部

30a…融合体

40…クリーム半田

A、B…交点

C…垂線

請求の範囲

- [請求項1] プリント基板と、
前記複数の装置側ランドは、半田を介して前記プリント基板と機械的に接続される複数の装置側接続ランドと、前記プリント基板から機械的に離間する装置側離間ランドとを含み、所定の基準点を基準として非対称に配置される複数の装置側ランドを有し、前記プリント基板に実装される半導体装置と、
を備える回路基板。
- [請求項2] 前記半導体装置は、前記装置側離間ランドに接続され、前記プリント基板とは機械的に離間する半田ボールを有する、
請求項1に記載の回路基板。
- [請求項3] 前記半導体装置は、半導体素子を有しており、
前記装置側離間ランドは、前記半導体素子から電氣的に離間するダミーランドである、
請求項1又は2に記載の回路基板。
- [請求項4] 前記複数の装置側ランドそれぞれと前記プリント基板との間隔は、略均一である、
請求項1乃至3のいずれかに記載の回路基板。
- [請求項5] 前記プリント基板は、前記半導体装置が実装される実装面を有し、
前記半導体装置は、前記プリント実装面と対向する対向面を有しており、
前記対向面は、前記実装面と略平行である、
請求項1乃至4のいずれかに記載の回路基板。
- [請求項6] 前記複数の装置側接続ランドは、前記所定の基準点を基準とする点対称に配置されている、
請求項1乃至5のいずれかに記載の回路基板。
- [請求項7] 前記半導体装置は、半導体素子を有しており、
前記複数の装置側接続ランドは、前記半導体素子に電氣的に接続さ

れるリアルランドと、前記半導体素子から電氣的に離間するダミーランドと、を含み、

前記装置側離間ランドは、前記半導体素子から電氣的に離間している、

請求項 1 乃至 6 のいずれかに記載の回路基板。

[請求項8] 前記複数の装置側接続ランドは、前記半導体素子に電氣的に接続されるリアルランドと、前記半導体素子から電氣的に離間するダミーランドと、を含み、

前記装置側離間ランドは、前記半導体素子に電氣的に接続されている、

請求項 1 乃至 6 のいずれかに記載の回路基板。

[請求項9] プリント基板に設けられ、所定の基準点を基準として非対称に配置される複数の基板側ランドの一部である複数の基板側接続ランド上にクリーム半田を塗布する塗布工程と、

半導体装置に設けられ、前記複数の基板側ランドに対応する複数の装置側ランド上に形成される半田ボールと、前記複数の基板側接続ランド上に塗布された前記クリーム半田とを融合固化することによって、前記複数の基板側接続ランドを前記複数の装置側ランドの一部に接合する接合工程と、

を備える回路基板の製造方法。

[請求項10] 前記塗布工程において、

前記複数の基板側ランドのうち前記複数の基板側接続ランドとは異なる基板側ランド上には、クリーム半田を塗布しない、

請求項 9 に記載の回路基板の製造方法。

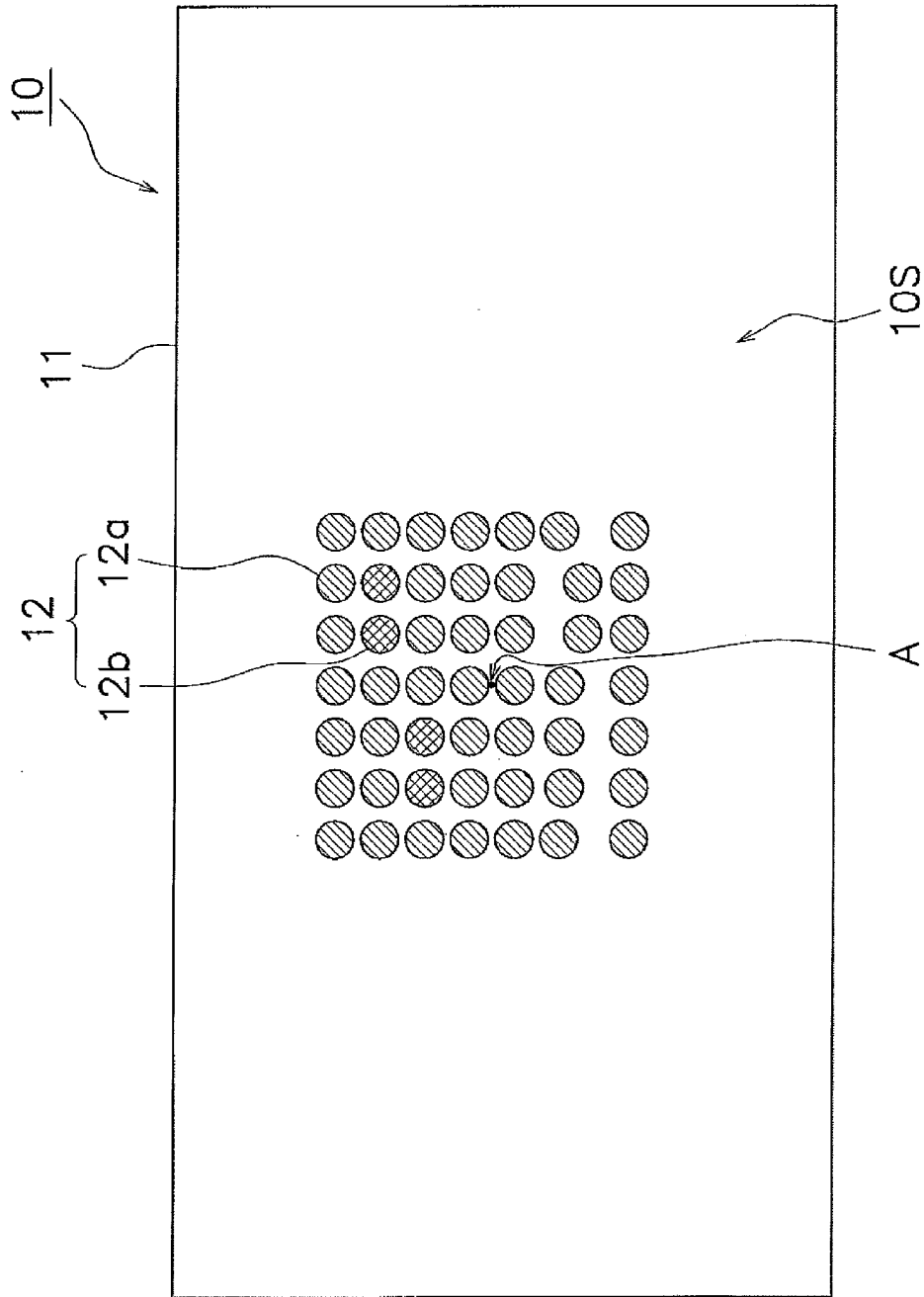
[請求項11] 前記接合工程において、

前記半田ボールが溶融及び固化収縮する際、前記半導体装置の重心を通り、前記半導体装置が有する前記プリント基板と対向する対向面に平行な軸線を基準として、前記複数の装置側ランドそれぞれが前記

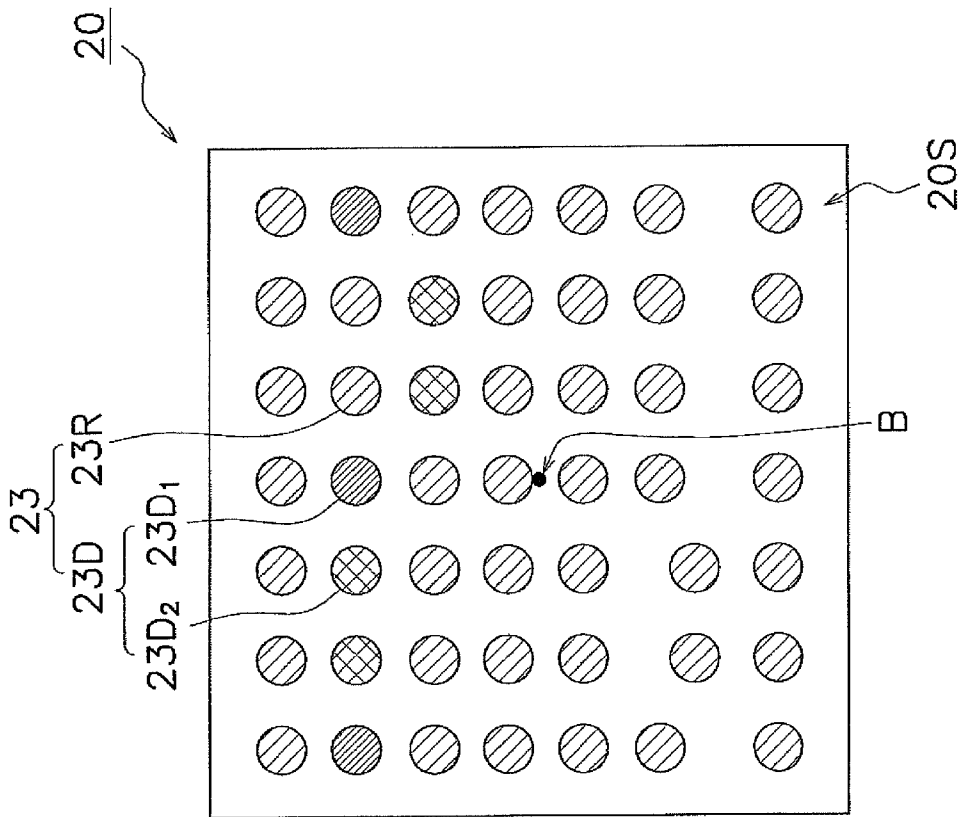
半田によって前記プリント基板側に引っ張られる力のモーメントを釣り合わせる、

請求項 9 又は 10 に記載の回路基板の製造方法。

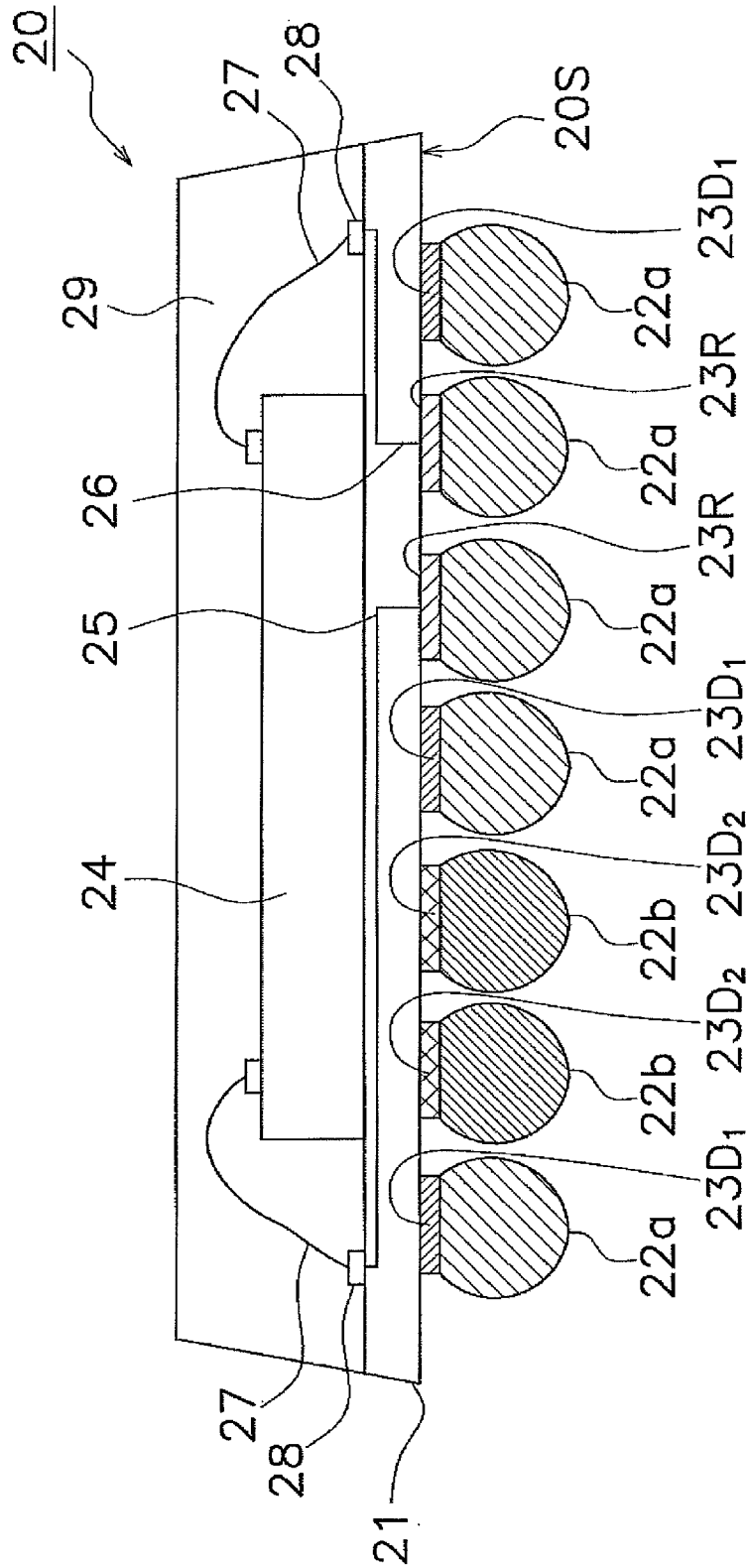
[図1]



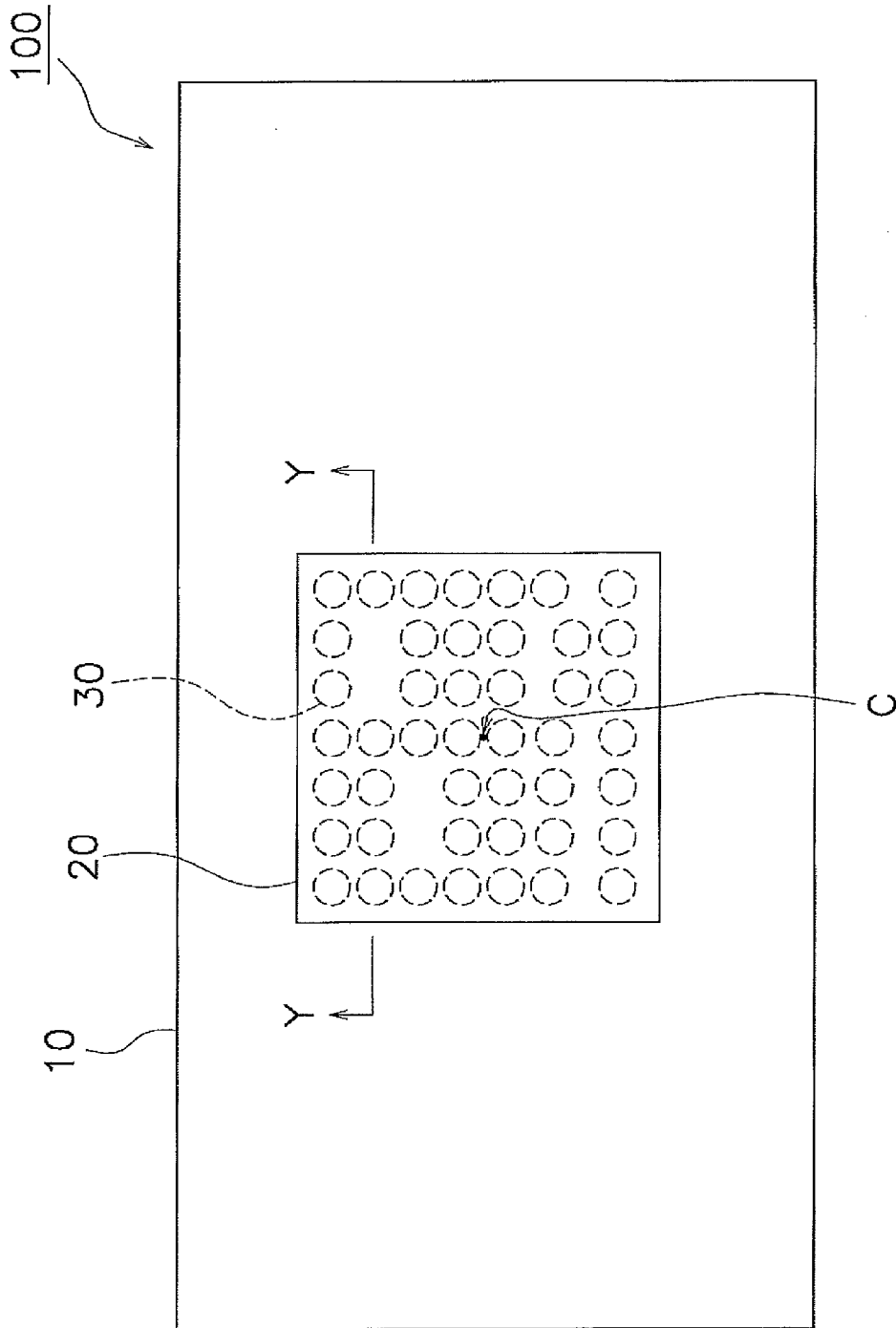
[図3]



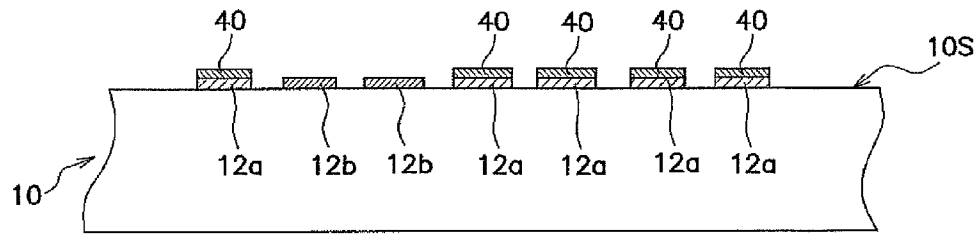
[図4]



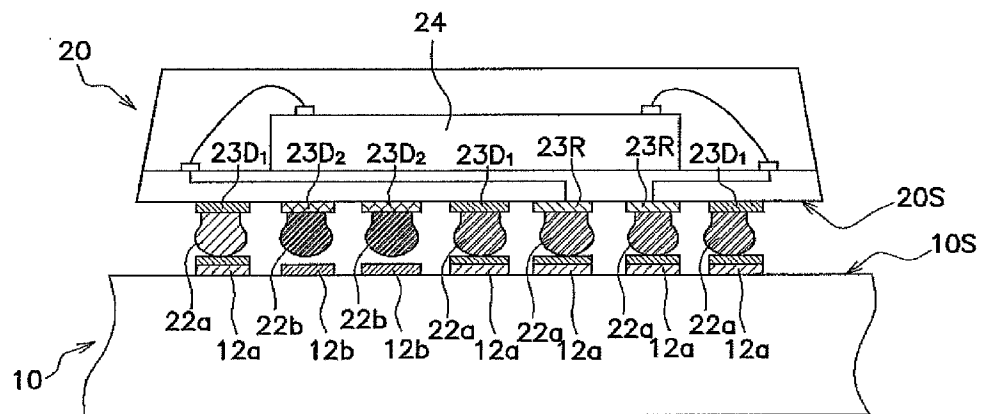
[図5]



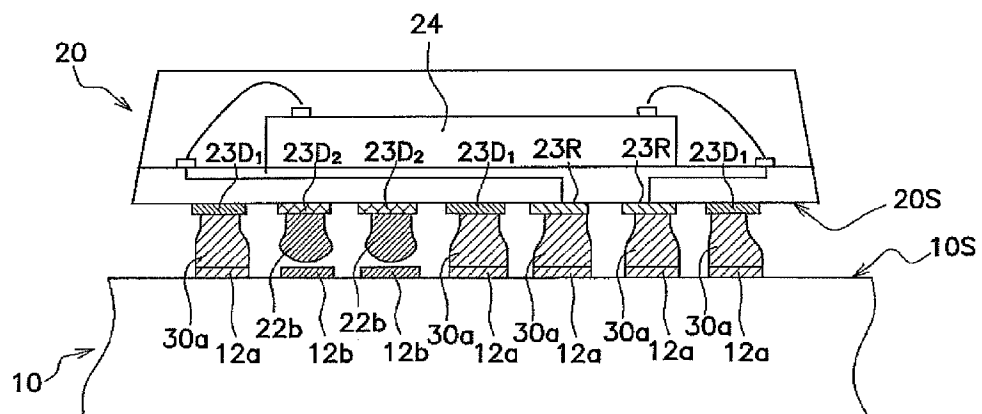
[図7A]



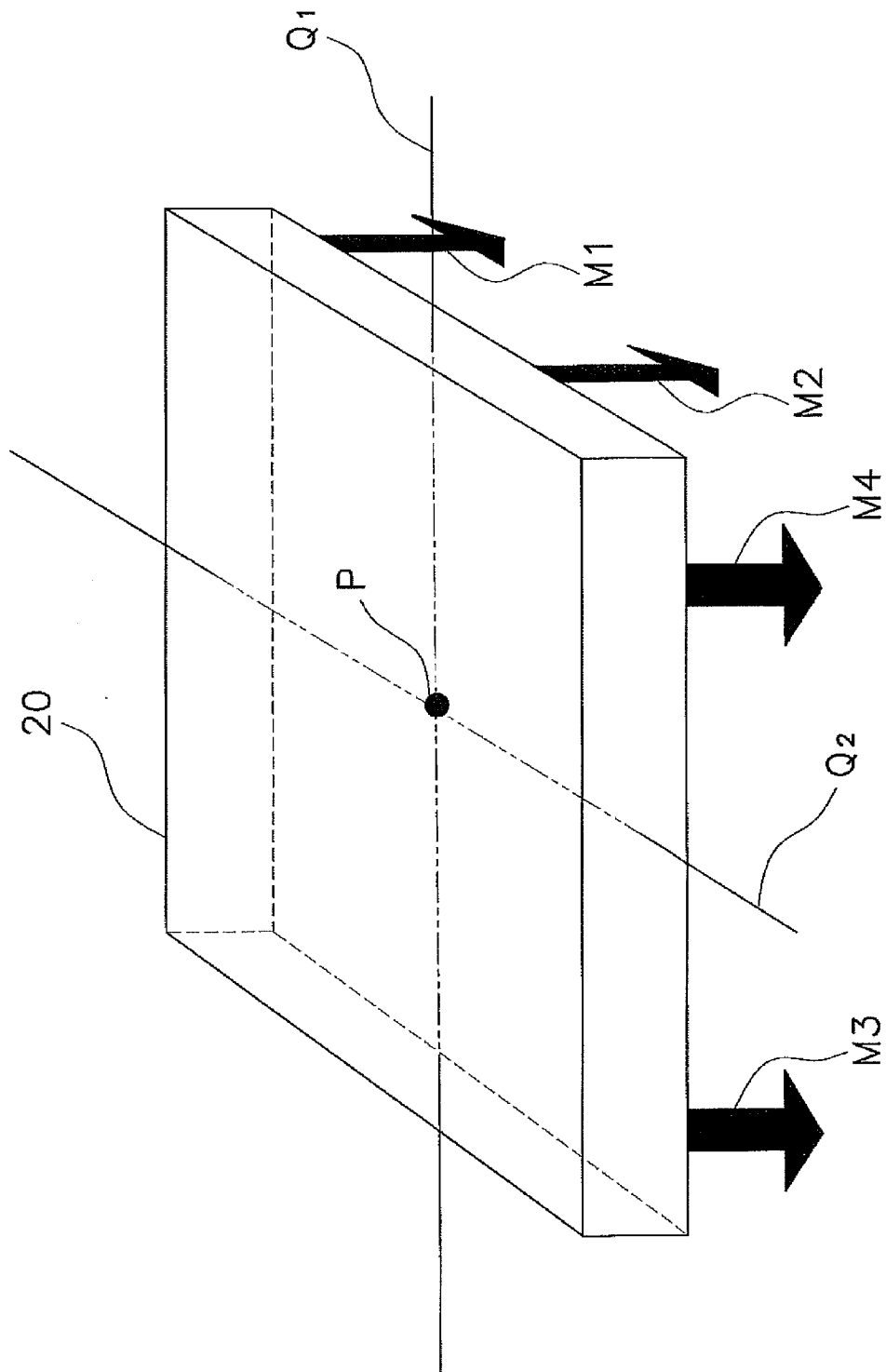
[図7B]



[図7C]



[8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/007354

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/12(2006.01)i, H05K1/02(2006.01)i, H05K1/18(2006.01)i, H05K3/34(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12, H05K1/02, H05K1/18, H05K3/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-110055 A (Mitsumi Electric Co., Ltd.), 11 April 2003 (11.04.2003), paragraphs [0014] to [0022]; fig. 1 to 3 (Family: none)	1, 3-6
Y	JP 2008-172060 A (Oki Electric Industry Co., Ltd.), 24 July 2008 (24.07.2008), paragraphs [0009] to [0019]; fig. 1 to 4 & US 2008/0169561 A1	1, 3-6
X	JP 2005-108996 A (Seiko Epson Corp.), 21 April 2005 (21.04.2005), paragraphs [0002], [0015] to [0020]; fig. 1 to 4 (Family: none)	9

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 January, 2011 (14.01.11)Date of mailing of the international search report
25 January, 2011 (25.01.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/007354

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-63761 A (NEC Electronics Corp.), 26 February 2004 (26.02.2004), & US 2004/0017008 A1	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L23/12(2006.01)i, H05K1/02(2006.01)i, H05K1/18(2006.01)i, H05K3/34(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L23/12, H05K1/02, H05K1/18, H05K3/34

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2011年
 日本国実用新案登録公報 1996-2011年
 日本国登録実用新案公報 1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2003-110055 A (ミツミ電機株式会社) 2003.04.11, [0014]-[0022], 図 1-3 (ファミリーなし)	1, 3-6
Y	JP 2008-172060 A (沖電気工業株式会社) 2008.07.24, [0009]-[0019], 図 1-4 & US 2008/0169561 A1	1, 3-6
X	JP 2005-108996 A (セイコーエプソン株式会社) 2005.04.21, [0002], [0015]-[0020], 図 1-4 (ファミリーなし)	9

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 14.01.2011	国際調査報告の発送日 25.01.2011
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 坂本 薫昭	4 R	9 2 6 5
	電話番号 03-3581-1101 内線 3471		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-63761 A (NEC エレクトロニクス株式会社) 2004.02.26, & US 2004/0017008 A1	1-11