



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년06월13일
H01L 29/788 (2006.01)	(11) 등록번호	10-0727445
	(24) 등록일자	2007년06월05일

(21) 출원번호	10-2002-7002754	(65) 공개번호	10-2002-0026003
(22) 출원일자	2002년02월28일	(43) 공개일자	2002년04월04일
심사청구일자	2005년03월31일		
번역문 제출일자	2002년02월28일		
(86) 국제출원번호	PCT/JP2000/003468	(87) 국제공개번호	WO 2001/18878
국제출원일자	2000년05월30일	국제공개일자	2001년03월15일

(81) 지정국 국내특허 : 대한민국, 미국,

(30) 우선권주장 JP-P-1999-00250780 1999년09월03일 일본(JP)

(73) 특허권자 후지쯔 가부시끼가이샤
일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1

(72) 발명자 구리하라히데오
일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4-1-1 후지쯔가부
시끼가이샤내

이이지마미츠테루
일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4-1-1 후지쯔가부
시끼가이샤내

이타노기요시
일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4-1-1 후지쯔가부
시끼가이샤내

치다테츠야
일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4-1-1 후지쯔가부
시끼가이샤내

(74) 대리인 문기상
문두현

(56) 선행기술조사문헌	
JP05145080	JP60161674
US5796140	

심사관 : 배진용

전체 청구항 수 : 총 6 항

(54) 반도체 기억장치 및 그 제조 방법**(57) 요약**

p형 실리콘 반도체 기판(1)의 표면 영역에 형성된 한쌍의 불순물 확산층(6)과, 한쌍의 불순물 확산층(6) 사이에서의 p형 실리콘 반도체 기판(1) 위에 게이트 산화막(7)을 개재하여 형성된 게이트 전극(다결정 실리콘막(8), 텅스텐 실리사이드막(9))을 구비한 비휘발성 반도체 메모리로서, 게이트 산화막(7)의 양단부에 실리콘 질화막(4)이 형성되고, 한쌍의 불순물 확산층(6) 각각에 근접하는 위치의 캐리어 트랩 특성이 국부적으로 높게 형성되어 있다. 이 구성에 의해, 게이트 산화막(7)의 양단 이외에 캐리어가 주입되는 것을 억제할 수 있고, 정보를 확실하게 기록 및 유지하는 것이 가능해지며, 기록 불량 또는 소거 불량의 발생을 방지하여 신뢰성을 향상시키는 것이 가능해진다.

대표도

도 1

특허청구의 범위**청구항 1.**

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

반도체 기판의 표면 영역에 형성된 한쌍의 불순물 확산층, 및

상기 한쌍의 불순물 확산층 사이에서 상기 반도체 기판 위의 게이트 절연막 위에 형성되는 게이트 전극을 포함하며, 상기 게이트 전극에 소정의 전압을 인가하여 상기 게이트 절연막에 캐리어를 포획하도록 함으로써, 2비트 정보를 기록할 수 있는 반도체 기억장치에 있어서,

상기 게이트 절연막은 상기 한쌍의 불순물 확산층에 근접하는 위치에서 캐리어 트랩 특성이 다른 영역에서 보다 높아지도록 형성되어 있는 것을 특징으로 하는 반도체 기억장치.

청구항 11.

제 10 항에 있어서,

상기 한쌍의 불순물 확산층에 근접하는 위치에서 상기 게이트 절연막 중에 상기 게이트 절연막 보다 캐리어 트랩 특성이 높은 전하 포획막이 형성되어 있는 것을 특징으로 하는 반도체 기억장치.

청구항 12.

제 11 항에 있어서,

상기 게이트 절연막은 상기 한쌍의 불순물 확산층에 근접하는 위치에서 다른 영역에서 보다 얇게 형성되어 있는 것을 특징으로 하는 반도체 기억장치.

청구항 13.

제 10 항에 있어서,

상기 게이트 절연막은 상기 한쌍의 불순물 확산층에 근접하는 위치에서 다른 영역에서 보다 전기 용량 환산막 두께가 더 작아지도록 형성되어 있는 것을 특징으로 하는 반도체 기억장치.

청구항 14.

제 11 항에 있어서,

상기 게이트 절연막 위에 다른 전하 포획막이 형성되고, 상기 게이트 절연막 위에 상기 다른 전하 포획막을 개재하여 상기 게이트 전극이 형성되어 있는 것을 특징으로 하는 반도체 기억장치.

청구항 15.

반도체 기판의 표면 영역에 형성된 한쌍의 불순물 확산층, 및

상기 한쌍의 불순물 확산층 사이에서 상기 반도체 기판 위의 게이트 절연막 위에 형성되는 게이트 전극을 포함하며, 상기 게이트 전극에 소정의 전압을 인가하여 상기 게이트 절연막에 캐리어를 포획하는 반도체 기억장치에 있어서,

상기 게이트 절연막은 상기 한쌍의 불순물 확산층에 근접하는 위치에서 캐리어 트랩 특성이 다른 영역에서 보다 높아지도록 형성되고,

상기 한쌍의 불순물 확산층에 근접하는 위치에서 상기 게이트 절연막 중에 상기 게이트 절연막 보다 캐리어 트랩 특성이 높은 전하 포획막이 형성되며,

다른 전하 포획막이 상기 게이트 절연막 위에 형성되고, 상기 게이트 전극은 상기 게이트 절연막 위에 상기 다른 전하 포획막을 개재하여 형성되어 있는 것을 특징으로 하는 반도체 기억장치.

명세서

기술분야

본 발명은 반도체 기억장치 및 그 제조 방법에 관한 것으로서, 특히, 1개의 메모리 셀에 2비트의 정보를 기록할 수 있는 비휘발성 반도체 메모리에 이용하여 매우 적합한 것이다.

배경기술

최근, 캐리어의 주입 위치를 상이하게 함으로써, 1개의 메모리 셀에 2비트의 정보를 기록할 수 있도록 한 비휘발성 반도체 메모리가 연구 개발되고 있다. 이 비휘발성 반도체 메모리는 게이트의 하층에 설치된 전하 포획막에 캐리어를 포획하는 메모리로서, 정보를 기록하는 경우와 판독하는 경우에서 소스/드레인 사이에 인가하는 전압의 방향을 역방향으로 하고, 채널 영역의 양단부에 상당하는 위치에서의 전하 포획막 중에 각각 독립적으로 전자를 포획하도록 구성되어 있다. 그리고, 양단부 각각에서의 전자 포획의 유무에 의해 2비트의 정보를 기록할 수 있도록 하고 있다.

예를 들면, 국제공개 WO 99/07000호 공보에는, 상술한 구성의 비휘발성 반도체 메모리가 개시되어 있다. 도 8을 참조하면, 상기 공보에 개시된 비휘발성 반도체 메모리의 구성 및 데이터의 기록/판독 동작에 대해서 간단하게 설명한다.

도 8에 나타난 바와 같이, 비휘발성 반도체 메모리(100)는, p형 실리콘 반도체 기판(101)의 표면 영역에 형성된 소스/드레인으로서 기능하는 한쌍의 불순물 확산층(102, 103)과, 상기 불순물 확산층(102, 103) 사이의 p형 실리콘 반도체 기판(101) 위에 형성된 3층 구조의 절연막 및 상기 3층 구조의 절연막 위에 형성된 게이트 전극(107)으로 이루어진다. 여기서, 3층 구조의 절연막은 게이트 절연막(실리콘 산화막)(104), 전하 포획막(실리콘 질화막)(105), 실리콘 산화막(106)으로 구성되어 있다.

이 비휘발성 반도체 메모리(100)에 있어서는, 전하 포획막 중의 채널 영역의 양단부에 상당하는 위치에 각각 독립적으로 전자를 포획하도록 구성되고, RIGHT BIT 및 LEFT BIT의 각각에 1비트, 합계 2비트의 정보를 기록할 수 있도록 되어 있다. 정보의 기록은 게이트 절연막(104)과 전하 포획막(105)의 계면에 전자가 주입됨으로써 이루어지며, RIGHT BIT에 정보를 기록할 경우에는, 도 8에 나타난 영역(109)에 전자가 주입되고, LEFT BIT에 정보를 기록할 경우에는, 영역(108)에 전자가 주입된다.

RIGHT BIT에 정보를 기록할 경우에는, 예를 들어, 소스를 OV, 드레인을 5V 정도로 하여 소스/드레인 사이에 전위차를 발생시키고, 게이트(107)에 고전압(10V 정도)을 인가하여 소스/드레인 사이에 채널(110)을 형성한다. 채널(110)이 형성되지 않은 범위 I_2 에서는 소스/드레인 사이의 전위차에 기인하여 전계가 생기기 때문에, 이 범위 I_2 에서 채널 핫 일렉트론이 발생하고, 영역(109)에 전자가 포획(트랩)된다.

RIGHT BIT로부터 정보를 판독할 경우에는, 기록의 경우와 역방향의 전압을 소스/드레인 사이에 인가한다. 이 때, 영역(109)에 전자가 포획되어 있기 때문에, 영역(109)의 하층에서 불순물 확산층(103)으로부터 불순물 확산층(102)을 향하여 채널이 형성되지 않고, 문턱치가 상승하고 있기 때문에 소스/드레인 사이에는 전류가 흐르지 않는다. 영역(109)에 전자를 포획하고 있지 않을 경우에는 소스/드레인 사이에 채널이 형성되어 전류가 흐르기 때문에, 전자의 포획 유무에 대응하여 1비트의 정보를 기억하는 것이 가능하다.

영역(109)에 전자를 포획한 경우에 있어서, 판독 시에 기록과 동일한 방향으로 전압을 인가하면, 소스/드레인 사이에 채널이 형성되어 전류가 흐르게 되기 때문에, 정보를 판독할 경우에는, 상술한 바와 같이 기록의 경우와 역방향의 전압을 소스/드레인 사이에 인가할 필요가 있다.

LEFT BIT에 대한 정보의 기록 및 판독도 RIGHT BIT의 경우와 동일하게 행할 수 있고, RIGHT BIT에 대한 정보의 기록 및 판독 시에 인가하는 전압의 방향에 대하여 각각 역방향의 전압을 인가함으로써 행할 수 있다.

그러나, 예를 들어, RIGHT BIT에 정보를 기록하는 경우에 있어서, 기록 시에 메모리 셀의 문턱치를 상승시키기 위해 발생시킨 채널 핫 일렉트론의 주입 위치는, 드레인(103)과 게이트 전극(107)에 인가하는 전압에 따라 변동하기 때문에, 상술한 종래의 구성에서는, 영역(109)에 전자를 국부적으로 존재시킬 필요가 있음에도 불구하고, 원래 전자가 주입되어서는 안되는 채널 중앙부의 게이트 절연막(104) 중에도 전자가 포획된다는 문제가 발생한다.

또한, 문턱치가 상승한 상태(예를 들어, 기록 상태)에 있어서, 메모리 셀의 문턱치를 하강시킬(예를 들어, 소거 동작) 때에 주입되는 핫 홀은 상술한 핫 일렉트론과는 발생 메커니즘이 상이하기 때문에, 양자의 주입 위치는 반드시 일치하지 않는다. 따라서, 기록과 소거를 반복하는 동안에, 어느 한쪽의 전하가 실리콘 질화막(105) 중에 남는 경우가 발생하고, 기록 또는 소거 불량에 일어난다는 문제가 있었다.

이 문제는, 문턱치를 상승시킬 경우에는 전자를 과도하게 주입하고, 문턱치를 하강시킬 경우에는 홀을 과도하게 주입함으로써 경감시킬 수 있지만, 캐리어를 과도하게 주입하면, 기록 및 소거 속도의 지연이 일어나, 소자의 성능을 열화시키게 된다는 다른 문제가 발생한다. 또한, 캐리어의 과도한 주입은 필요 이상의 전기적 스트레스를 절연막에 인가하게 되기 때문에, 시간 경과 절연 파괴 등의 원인으로 되어 소자의 신뢰성 관점에서도 바람직하지 않다.

또한, 홀 주입 시의 전압 인가 조건을 전자의 주입 위치 분포에 맞추는 방법을 선택하면, 홀의 발생 효율이 반드시 최적으로 되지는 않기 때문에, 역시 소자 특성의 열화를 초래하게 된다.

본 발명은 이러한 문제를 해결하기 위해 안출된 것이며, 캐리어의 주입 위치를 상이하게 하여 2비트의 정보를 기록하는 반도체 기억장치에 있어서, 2비트의 정보를 확실하게 기록 유지할 수 있도록 하고, 기록 불량 또는 소거 불량의 발생을 억제하여 신뢰성을 향상시킨 반도체 기억장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

발명의 상세한 설명

본 발명의 반도체 기억장치는, 반도체 기판의 표면 영역에 형성된 한쌍의 불순물 확산층과, 상기 한쌍의 불순물 확산층 사이에서 상기 반도체 기판 위에 게이트 절연막을 개재하여 형성된 게이트 전극을 구비하고, 상기 게이트 전극에 소정 전압을 인가함으로써 상기 게이트 절연막에 캐리어를 포획하도록 이루어진 반도체 기억장치로서, 상기 게이트 절연막은, 상기 한쌍의 불순물 확산층 각각에 근접하는 위치에서의 캐리어 트랩 특성이 다른 영역에 비하여 높아지도록 형성되어 있다.

본 발명의 반도체 기억장치의 제조 방법은, 반도체 기판 위에 제 1 및 제 2 절연막을 차례로 형성하는 제 1 공정과, 상기 제 1 및 제 2 절연막을 선택적으로 제거하여 함께 패터닝하는 제 2 공정과, 노출된 상기 반도체 기판 위로부터 상기 제 2 절연막의 하층의 소정 범위에 걸친 상기 반도체 기판 위에 제 3 절연막을 형성하는 제 3 공정과, 상기 제 2 절연막을 마스크로 하여 상기 반도체 기판에 불순물을 도입하고, 상기 제 2 절연막 양측의 상기 반도체 기판의 표면 영역에 각각 독립된 한쌍의 불순물 확산층을 형성하는 제 4 공정과, 상기 제 2 절연막의 하층의 소정 범위에 형성된 상기 제 3 절연막을 남기고, 다른 영역의 상기 제 3 절연막을 제거하여 상기 반도체 기판을 노출시키는 제 5 공정과, 노출된 상기 반도체 기판을 열산화하여 소자 분리막을 형성하는 제 6 공정과, 상기 제 1 및 제 2 절연막을 제거하여, 하층의 상기 반도체 기판 및 상기 제 3 절연막을 노출시키고, 상기 제 3 절연막을 전하 포획막으로 하는 제 7 공정과, 노출된 상기 반도체 기판의 표면을 열산화하여 제 4 절연막을 형성하고, 상기 전하 포획막의 상층 및 하층을 상기 제 4 절연막으로 덮는 제 8 공정과, 상기 제 4 절연막의 상층에 도전막을 형성하는 제 9 공정과, 상기 도전막을 게이트 전극 형상으로 패터닝하는 제 10 공정을 갖는다.

본 발명의 반도체 기억장치의 제조 방법은, 반도체 기판 위에 제 1 절연막을 형성하는 공정과, 상기 제 1 절연막을 선택적으로 제거하여 하층의 상기 반도체 기판을 노출시키는 공정과, 상기 제 1 절연막을 마스크로 하여 노출된 상기 반도체 기판에 불순물을 도입하고, 상기 제 1 절연막 양측의 상기 반도체 기판의 표면 영역에 각각 독립된 한쌍의 불순물 확산층을 형성하는 공정과, 상기 불순물 확산층 위 및 상기 제 1 절연막을 덮도록 제 2 절연막을 형성하는 공정과, 상기 제 1 절연막 위의 상기 제 2 절연막을 제거하고, 상기 제 1 절연막을 노출시키는 공정과, 상기 제 1 절연막을 제거하여 하층의 상기 반도체 기판을 노출시키고, 이 영역을 소자 활성 영역으로 하는 공정과, 상기 소자 활성 영역에서의 상기 반도체 기판 위에 제 3 절연막을 형성하는 공정과, 상기 제 3 절연막 위에 제 4 절연막을 형성하는 공정과, 상기 제 4 및 제 2 절연막을 덮도록 제 5 절연막을 형성하는 공정과, 상기 소자 활성 영역의 양측에만 잔존하도록 상기 제 5 절연막을 제거하여, 상기 제 2 절연막의 측벽에 상기 제 5 절연막으로 이루어진 사이드월(sidewall)을 형성하는 동시에, 상기 소자 활성 영역에서의 상기 반도체 기판을 노출시키는 공정과, 노출된 상기 반도체 기판 위에 제 6 절연막을 형성하는 공정과, 상기 사이드월을 제거하여 상기 사이드월 하층의 상기 제 4 절연막을 노출시키고, 상기 제 4 절연막을 전하 포획막으로 하는 공정과, 상기 전하 포획막 위에 제 7 절연막을 형성하는 공정과, 상기 제 6 및 제 7 절연막 위를 덮는 도전막을 형성하는 공정을 갖는다.

본 발명은 상기 기술 수단으로 이루어지기 때문에, 데이터 기록 시에 게이트 전극에 고전압을 인가하여 핫 일렉트론을 발생시키면, 게이트 절연막 중에서 채널 폭 중앙부보다도 캐리어 트랩 특성이 높은 단부에 전자가 주입되게 된다. 이것에 의해, 게이트 전극 아래의 게이트 절연막 단부에 집중적으로 전자를 포획하는 것이 가능해진다. 데이터 소거 시에도 동일하게, 핫 홀을 게이트 절연막의 단부에 집중적으로 주입할 수 있기 때문에, 안정적으로 데이터의 소거가 실행된다.

본 발명에 의하면, 캐리어의 주입 위치를 상이하게 하여 2비트의 정보를 기록하는 반도체 기억장치에 있어서, 2비트의 정보를 안정적으로 확실하게 기록하고, 유지하는 것이 가능해진다. 따라서, 기록 또는 소거 불량률의 발생을 억제할 수 있고, 신뢰성을 향상시킨 반도체 기억장치 및 그 제조 방법을 제공할 수 있다.

실시예

이하, 본 발명의 몇 가지 실시형태에 따른 비휘발성 반도체 메모리의 구성 및 그 제조 방법을 도면을 참조하면서 함께 설명한다.

(제 1 실시형태)

먼저, 제 1 실시형태 대해서 설명한다. 도 1의 (A) 내지 (G)는 제 1 실시형태에 따른 비휘발성 반도체 메모리의 제조 방법을 공정 순서로 나타내는 개략 단면도이다. 또한, 도 2 및 도 3은 제 1 실시형태에 따른 비휘발성 반도체 메모리의 평면 구성을 나타내는 개략 평면도이다. 여기서, 도 1은 비휘발성 반도체 메모리의 1개의 메모리 셀에 주목하여, 상기 메모리 셀의 단면을 제조 공정 순서로 나타낸 도면으로서, 도 3의 1점쇄선 I-I'에 따른 위치에 대응하는 단면을 나타내고 있다.

먼저, p형 실리콘 반도체 기판(1) 위에 소정의 웰을 형성하며, 주변 회로 영역의 소자 분리를 행한다(도시 생략). 다음으로, 도 1의 (A)에 나타낸 바와 같이, 메모리 셀의 영역에서 열산화법에 의해 실리콘 산화막(2)을 20nm 정도의 막 두께까지 성장시키고, 실리콘 산화막(2) 위에 CVD법에 의해 실리콘 질화막(3)을 200nm 정도의 막 두께로 퇴적시킨다.

그 후, 포토리소그래피 및 이에 연속되는 에칭에 의해, 메모리 셀의 채널 영역으로 되는 부위의 p형 실리콘 반도체 기판(1) 위에는 실리콘 질화막(3) 및 실리콘 산화막(2)을 남기고, 그 이외의 영역의 실리콘 질화막(3) 및 실리콘 산화막(2)을 제거한다.

다음으로, 도 1의 (B)에 나타낸 바와 같이, 암모니아(NH_3) 가스 분위기 하에서, 온도 950℃ 정도, 시간 20분 내지 120분 정도의 조건으로 어닐링 처리를 행하고, 노출된 p형 실리콘 반도체 기판(1) 위로부터 실리콘 질화막(3) 패턴 단부의 하층의 소정 범위에 걸쳐 실리콘 질화막(4)을 형성한다. 이 때, 표면에 노출된 p형 실리콘 반도체 기판(1)에 있어서는, 실리콘과 암모니아 가스의 직접 반응에 의해 실리콘 질화막(4)이 형성된다. 또한, 실리콘 질화막(3)의 패턴 단부 아래에 있어서는, 실리콘 산화막(2) 중을 확산한 암모니아와의 반응에 의해 실리콘 질화막(4)이 형성된다. 실리콘 질화막(4)의 성막 조건을 조정함으로써, 실리콘 질화막(3)의 패턴 단부에 형성되는 실리콘 질화막(4)의 폭을 제어할 수 있다.

또한, 실리콘 질화막(4)의 형성은 이온 주입법에 의해 행할 수도 있다. 이 경우에는, 질소(N_2) 등을 포함하는 이온을 가속 에너지 30keV 정도, 도스량 $1 \times 10^{16}(\text{ions}/\text{cm}^2)$ 정도의 조건으로 이온 주입하고, 어닐링함으로써 p형 실리콘 반도체 기판(1)의 표면 부근에 질소를 포함한 막을 형성한다. 이 때, p형 실리콘 반도체 기판(1)에 대한 이온 주입의 각도를 제어함으로써, 실리콘 질화막(3)의 패턴 단부 하층에 형성되는 실리콘 질화막(4)의 폭을 제어할 수 있다.

다음으로, 도 1의 (C)에 나타낸 바와 같이, 실리콘 질화막(3)을 마스크로 하여 p형 실리콘 반도체 기판(1)의 표면 영역에 이온 주입을 행한다. 구체적으로는, n형 불순물인 비소(As)를 가속 에너지 50keV 정도, 도스량 $1 \times 10^{16}(\text{ions}/\text{cm}^2)$ 정도의 조건으로 이온 주입한다. 이 이온 주입에 의해 주입된 불순물은, 실리콘 질화막(3) 양측의 p형 실리콘 반도체 기판(1)의 표면 영역에서의 소스/드레인으로서 기능하는 한쌍의 불순물 확산층(6)으로 된다. 본 실시형태에 있어서, 불순물 확산층(6)은 비트 라인으로서 기능하기 때문에, 도 2에 나타낸 바와 같이, 불순물 확산층(6)은 복수개가 소정 방향으로 연장되도록 형성되어 각 메모리 셀과 접속된다.

다음으로, 도 1의 (D)에 나타낸 바와 같이, 실리콘 질화막(3)을 마스크로 하여 열산화에 의해 p형 실리콘 반도체 기판(1)의 표면을 선택 산화한다. 이 때, 도 1의 (C)의 공정에서의 이온 주입에 의해, 비소가 주입된 영역의 실리콘 질화막(4)의 내산

화성은 상실되기 때문에, 도 1의 (D)에 나타난 공정에서의 열산화에 의해 실리콘 질화막(3) 하층 이외의 p형 실리콘 반도체 기판(1)의 표면이 산화되어, 소위 LOCOS(Local oxidation of silicon) 소자 분리로서의 실리콘 산화막(5)이 성장한다. 그리고, 실리콘 산화막(5)에 의해 p형 실리콘 반도체 기판(1) 위에 소자 활성 영역이 확정된다.

다음으로, 도 1의 (E)에 나타난 바와 같이, p형 실리콘 반도체 기판(1)을 온도 150℃ 정도의 인산 용액 중에 침지하고, 실리콘 질화막(3)을 용해시켜 제거한다. 이 때, 실리콘 질화막(3)의 하층에 형성되어 있는 실리콘 질화막(4)은 상면이 실리콘 산화막(2)으로 덮여 보호되고 있기 때문에, 인산에 의해 제거되지 않고 실리콘 산화막(2) 아래에 잔존한다.

다음으로, 도 1의 (F)에 나타난 바와 같이, p형 실리콘 반도체 기판(1) 위의 실리콘 산화막(2)을 플루오르산(HF) 용액에 침지하여 제거한다. 그 후, 열산화를 실시하여, 게이트 절연막으로서의 실리콘 산화막(7)을 막 두께 15nm 정도 형성한다. 이 때, 실리콘 질화막(4)이 형성되어 있는 부위에서는, 실리콘 질화막(4)의 작용에 의해 열산화에 의한 산화 속도가 저하되기 때문에, 이 위치에서의 실리콘 산화막(7)은 다른 영역에 비하여 얇게 형성된다. 이 열산화에 의해 실리콘 질화막(4)은 실리콘 산화막(7)에 의해 덮이고, 한쌍의 불순물 확산층(6) 각각의 근방에서의 p형 실리콘 반도체 기판(1) 위에는 실리콘 산화막(7) 중에 실리콘 질화막(4)을 포함하는 구조의 게이트 절연막이 형성된다.

실리콘 질화막(4)은 실리콘 산화막(7)에 비하여 캐리어 트랩 특성이 높기 때문에, 게이트 절연막으로서 기능하는 실리콘 산화막(7) 중의 일부에 실리콘 질화막(4)을 포함시킴으로써, 이 부위에서의 캐리어 트랩 특성을 실리콘 산화막(7)의 다른 영역에 비하여 향상시킬 수 있다. 즉, 실리콘 산화막(7)의 단부에 실리콘 질화막(4)을 형성함으로써, 채널 영역의 중앙 근방에 비하여 채널 영역 단부의 전기 용량 확산막 두께를 감소시킨 게이트 절연막을 형성할 수 있다. 또한, 실리콘 질화막(4)이 형성되지 않은 영역에서는, 실리콘 질화막(4)이 형성된 영역보다도 실리콘 산화막(7)이 두껍게 형성되어 있기 때문에, 상부에 형성하는 게이트 전극에 전압을 인가한 경우, 게이트 산화막(7)에 대한 캐리어 트랩이 억제된다. 따라서, 채널 영역의 중앙 근방에 비하여 채널 영역 단부에서의 캐리어 트랩 특성을 향상시킬 수 있다.

다음으로, 도 1의 (G)에 나타난 바와 같이, CVD법에 의해 인(P)이 도핑된 다결정 실리콘막(8)을 p형 실리콘 반도체 기판(1) 위의 전면에서 형성하며, CVD법에 의해 다결정 실리콘막(8) 위에 텅스텐 실리사이드막(9)을 막 두께 100nm 정도 퇴적시킨다. 그 후, 포토리소그래피 및 이에 연속되는 건식 에칭에 의해, 다결정 실리콘막(8) 및 텅스텐 실리사이드막(9)을 게이트 전극 형상으로 패터닝한다. 이것에 의해, 다결정 실리콘막(8) 및 텅스텐 실리사이드막(9)으로 이루어진 폴리사이드 구조의 게이트 전극이 형성된다. 그리고, 이상의 공정에 의해, 트랜지스터의 주요 부분인 소스/드레인 확산층(불순물 확산층(6)), 게이트 절연막(실리콘 산화막(7), 실리콘 질화막(4)), 게이트 전극(다결정 실리콘막(8), 텅스텐 실리사이드막(9))의 형성이 완료된다.

그 후, 일반적인 배선층의 형성 공정을 행하여 본 실시형태에 따른 비휘발성 반도체 메모리를 완성시킨다. 즉, CVD법에 의해 층간절연막(실리콘 산화막 등)을 퇴적시켜, 다결정 실리콘막(8) 및 텅스텐 실리사이드막(9)으로 이루어진 게이트 전극을 덮고, 포토리소그래피 및 이에 연속되는 건식 에칭에 의해, 층간절연막에 콘택트 홀을 형성한다. 그리고, 층간절연막 위에 배선층으로서, 예를 들어, 알루미늄막을 스퍼터링법에 의해 퇴적시켜 콘택트 홀을 충전하고, 포토리소그래피 및 이에 연속되는 건식 에칭에 의해, 알루미늄막을 소정 형상으로 패터닝한다. 그 후, 알루미늄막을 덮도록 보호막을 형성한다.

도 2는 완성된 본 실시형태에 따른 비휘발성 반도체 메모리의 전체적인 평면 구성을 나타내는 도면이며, 게이트 전극 위의 층간절연막 및 알루미늄막은 도시를 생략하고 있다. 도 2에 나타난 바와 같이, 게이트 전극(다결정 실리콘막(8), 텅스텐 실리사이드막(9))은 복수개가 나열하여 배치되고, 복수개 나열하여 형성된 불순물 확산층(6)에 대하여 직교하도록 형성된다.

도 3은 도 2 중의 2점쇄선으로 둘러싸인 영역 A를 확대하여 나타내는 모식도이며, 소자 분리막으로서의 실리콘 산화막(5)은 도시를 생략하고 있다. 도 3에 있어서, 2점쇄선 B로 둘러싸인 영역이 1개의 메모리 셀을 구성하는 영역이다. 도 3에 나타난 바와 같이, 실리콘 질화막(4)은 불순물 확산층(6)의 양측을 따라 형성되고, 실리콘 산화막(7)을 통하여 대향하도록 배치되어 있다. 데이터의 기록 및 소거는, 선택된 메모리 셀에 대응하는 게이트 전극을 고전위로 하고, 상기 메모리 셀 양측의 불순물 확산층(6) 사이에 전위차를 부여함으로써 행할 수 있다.

도 4의 (A) 및 (B)는 데이터의 기록 및 판독 동작을 나타내는 모식도이다. 데이터를 기록할 때는, 도 4의 (A)에 나타난 바와 같이, 오른쪽에 위치하는 불순물 확산층(6a)을 소스로서 접지하고, 왼쪽에 위치하는 불순물 확산층(6b)을 드레인으로써 5V 정도의 전압을 인가한다. 그리고, 게이트 전극에 고전압(10V 정도)을 인가함으로써, 드레인(불순물 확산층(6b)) 근방에서 핫 일렉트론이 발생하여 실리콘 질화막(4b)에 전자 e가 포획된다. 이 때, 전자 e를 포획하는 실리콘 질화막(4b)

을 드레인 근방에만 형성하고, 채널 폭 중앙 근방에 형성하지 않기 때문에, 실리콘 질화막(4b)이 형성된 영역에만 전자 e가 포획된다. 따라서, 실리콘 질화막(4b)이 형성된 영역 이외에 대한 전자 e의 포획을 억제하여, 데이터 기록의 신뢰성을 향상시킬 수 있다.

데이터를 소거할 때는, 불순물 확산층(6a)을 개방하고, 불순물 확산층(6b)을 드레인으로 하여 5V 정도의 전압을 인가한다. 그리고, 게이트 전극에 마이너스 전압(-5V 정도)을 인가함으로써, 드레인(불순물 확산층(6b)) 근방에서 핫 홀이 발생하여 실리콘 질화막(4b)에 홀이 포획된다. 이 때, 홀을 포획하는 실리콘 질화막(4b)을 드레인 근방에만 형성하고, 채널 폭 중앙 근방에 형성하지 않기 때문에, 실리콘 질화막(4b)이 형성된 영역에만 홀이 포획되며, 포획되어 있는 전자 e를 확실하게 소거할 수 있다. 따라서, 데이터 소거의 신뢰성을 향상시키는 것이 가능해진다.

데이터를 판독할 때는, 도 4의 (B)에 나타낸 바와 같이, 불순물 확산층(6b)을 소스로서 접지하고, 불순물 확산층(6a)을 드레인으로 하여 1.6V 정도의 전압을 인가한다. 실리콘 질화막(4b)에 전자 e가 포획되어 있을 경우에는, 포획된 전자 e에 의해 생기는 마이너스 전계에 의해 채널이 소실되기 때문에, 문턱치가 상승하고, 불순물 확산층(6a, 6b) 사이에는 전류가 흐르지 않는다. 실리콘 질화막(4b)에 전자 e가 포획되어 있지 않을 경우에는, 채널이 소실되지 않아, 불순물 확산층(6a, 6b) 사이에 전류가 흐른다. 따라서, 실리콘 질화막(4b)에 대한 전자 e의 포획 유무에 대응하여, 1비트의 정보를 기억하는 것이 가능하다.

실리콘 질화막(4a)에 대한 데이터의 기록 및 판독은, 상술한 실리콘 질화막(4b)에 대한 데이터의 기록 및 판독과 역방향의 전압을 인가함으로써 행할 수 있다. 이것에 의해, 실리콘 질화막(4a, 4b)에 2비트의 정보를 기록하는 것이 가능해진다.

상술한 바와 같이, 본 발명의 제 1 실시형태에 의하면, 게이트 산화막(7)의 양단에 캐리어 트랩 특성이 높은 실리콘 질화막(4)을 형성하고 있기 때문에, 구조적으로 전하의 주입 개소가 한정되고, 확실하게 실리콘 질화막(4)의 근방에만 캐리어를 트랩하는 것이 가능해진다. 이것에 의해, 정보를 기록할 때에, 게이트 전극(다결정 실리콘막(8), 텅스텐 실리사이드막(9))을 고전위로 하고, 한쌍의 불순물 확산층(6) 사이에 전위차를 부여한 경우에 있어서, 게이트 전극의 전위 또는 한쌍의 불순물 확산층(6) 사이의 전위차의 편차 등에 영향을 받지 않고, 확실하게 실리콘 질화막(4) 근방에 전자를 트랩할 수 있으며, 다른 영역에 전자가 트랩되는 것을 억제할 수 있다. 또한, 데이터의 소거 시에도, 확실하게 실리콘 질화막(4) 근방에 정공(홀)을 트랩할 수 있고, 다른 영역에 정공이 포획되는 것을 억제할 수 있다. 이것에 의해, 필요 최소한의 캐리어 주입에 의해, 안정적으로 확실하게 데이터의 기록 및 소거를 행하는 것이 가능해진다.

(제 2 실시형태)

다음으로, 본 발명의 제 2 실시형태에 대해서 설명한다. 도 5의 (A) 내지 (G)는 제 2 실시형태에 따른 비휘발성 반도체 메모리의 제조 방법을 공정 순서로 나타내는 개략 단면도이다. 제 2 실시형태에 따른 비휘발성 반도체 메모리의 평면 구성은, 도 2 및 도 3에 나타낸 제 1 실시형태에 따른 비휘발성 반도체 메모리의 평면 구성과 동일하다. 여기서, 도 5의 (A) 내지 (G)는 비휘발성 반도체 메모리의 1개의 메모리 셀에 주목하여, 상기 메모리 셀의 단면을 제조 공정 순서로 나타낸 도면으로서, 제 1 실시형태와 동일하게, 도 3의 1점쇄선 I-I'에 따른 위치에 대응하는 단면을 나타내고 있다. 또한, 도 5의 (A) 내지 (G)에 있어서, 제 1 실시형태와 공통인 구성요소에 대해서는 도 1과 동일한 부호를 기재하여 설명한다.

먼저, p형 실리콘 반도체 기판(1) 위에 소정의 웰을 형성하며, 주변 회로 영역의 소자 분리를 행한다(도시 생략). 다음으로, 도 5의 (A)에 나타낸 바와 같이, 메모리 셀의 영역에서 열산화법에 의해 실리콘 산화막(2)을 20nm 정도의 막 두께까지 성장시키고, 실리콘 산화막(2) 위에 CVD법에 의해 실리콘 질화막(3)을 200nm 정도의 막 두께로 퇴적시킨다.

그 후, 포토리소그래피 및 이에 연속되는 에칭에 의해, 메모리 셀의 채널 영역으로 되는 부위의 p형 실리콘 반도체 기판(1) 위에는 실리콘 질화막(3) 및 실리콘 산화막(2)을 남기고, 그 이외의 영역의 실리콘 질화막(3) 및 실리콘 산화막(2)을 제거한다.

다음으로, 도 5의 (B)에 나타낸 바와 같이, p형 실리콘 반도체 기판(1)을 플루오르산(HF) 용액에 침지하고, 실리콘 산화막(2)을 횡폭 방향으로 50nm 정도 습식 에칭한다. 이 에칭에 의해, 실리콘 산화막(2)의 폭이 실리콘 질화막(3)의 폭보다도 좁아진다. 그 후, 암모니아(NH₃) 가스 분위기 하에서, 온도 950℃ 정도, 시간 20분 내지 120분 정도의 조건으로 어닐링 처리를 행하고, 노출된 p형 실리콘 반도체 기판(1) 위로부터 실리콘 질화막(3) 패턴 단부의 하층, 실리콘 산화막(2)의 패턴 단부에 걸쳐 실리콘 질화막(4)을 형성한다. 여기서, 상술한 바와 같이 실리콘 산화막(2)을 횡폭 방향으로 에칭하고 있기 때문

에, 실리콘 질화막(3) 패턴 단부의 하층에서의 p형 실리콘 반도체 기판(1)의 표면 영역에 실리콘 질화막(4)을 확실하게 형성할 수 있다. 또한, 실리콘 산화막(2)의 제거량을 제어함으로써, 실리콘 질화막(3) 하층에서의 실리콘 질화막(4)의 횡폭을 높은 정밀도로 조정하는 것이 가능해진다.

또한, 실리콘 질화막(4)의 형성은 이온 주입법에 의해 행할 수도 있다. 이 경우에는, 질소(N_2) 등을 포함하는 이온을 가속 에너지 30keV 정도, 도스량 1×10^{16} (ions/cm²) 정도의 조건으로 이온 주입하고, 어닐링함으로써 p형 실리콘 반도체 기판(1)의 표면 부근에 질소를 포함한 막을 형성한다. 이 때, p형 실리콘 반도체 기판(1)에 대한 이온 주입의 각도를 제어함으로써, 실리콘 질화막(3)의 패턴 단부 하층에 형성되는 실리콘 질화막(4)의 폭을 제어할 수 있다.

다음으로, 도 5의 (C)에 나타낸 바와 같이, 실리콘 질화막(3)을 마스크로 하여 p형 실리콘 반도체 기판(1)의 표면 영역에 이온 주입을 행한다. 구체적으로는, n형 불순물인 비소(As)를 가속 에너지 50keV 정도, 도스량 1×10^{16} (ions/cm²) 정도의 조건으로 이온 주입한다. 이 이온 주입에 의해 주입된 불순물은, 실리콘 질화막(3) 양측의 p형 실리콘 반도체 기판(1)의 표면 영역에서의 소스/드레인으로서 기능하는 한쌍의 불순물 확산층(6)으로 된다. 그리고, 불순물 확산층(6)은 비트 라인으로서 기능하기 때문에, 도 2에 나타낸 바와 같이, 복수개가 소정 방향으로 연장되도록 형성되어 각 메모리 셀과 접속된다.

다음으로, 도 5의 (D)에 나타낸 바와 같이, 실리콘 질화막(3)을 마스크로 하여 열산화에 의해 p형 실리콘 반도체 기판(1)의 표면을 선택 산화한다. 이 때, 도 5의 (C)의 공정에서의 이온 주입에 의해, 비소가 주입된 영역의 실리콘 질화막(4)의 내산화성은 상실되기 때문에, 도 5의 (D)에 나타낸 공정에서의 열산화에 의해 실리콘 질화막(3) 하층 이외의 p형 실리콘 반도체 기판(1)의 표면이 산화되어, 소위 LOCOS 소자 분리로서의 실리콘 산화막(5)이 성장한다. 그리고, 실리콘 산화막(5)에 의해 p형 실리콘 반도체 기판(1) 위에 소자 활성 영역이 확정된다.

다음으로, 도 5의 (E)에 나타낸 바와 같이, p형 실리콘 반도체 기판(1)을 온도 150℃ 정도의 인산 용액 중에 침지하고, 실리콘 질화막(3)을 용해시켜 제거한다. 이 때, 실리콘 질화막(3)의 하층에 형성되어 있는 실리콘 질화막(4)은 상면이 실리콘 산화막(2)으로 덮여 보호되고 있기 때문에, 인산에 의해 제거되지 않고 실리콘 산화막(2) 아래에 잔존한다.

다음으로, 도 5의 (F)에 나타낸 바와 같이, p형 실리콘 반도체 기판(1) 위의 실리콘 산화막(2)을 플루오르산(HF) 용액에 침지하여 제거한다. 그 후, 열산화를 실시하여, 게이트 절연막으로서의 실리콘 산화막(7)을 막 두께 15nm 정도 형성한다. 이 때, 실리콘 질화막(4)이 형성되어 있는 부위에서는, 실리콘 질화막(4)에 의해 열산화에 의한 산화 속도가 저하되기 때문에, 이 위치에서의 실리콘 산화막(7)은 다른 영역에 비하여 얇게 형성된다. 이 열산화에 의해 실리콘 질화막(4)은 실리콘 산화막(7)에 의해 덮이고, 한쌍의 불순물 확산층(6) 각각의 근방에서의 p형 실리콘 반도체 기판(1) 위에는 실리콘 산화막(7) 중에 실리콘 질화막(4)을 포함하는 구조의 게이트 절연막이 형성된다.

실리콘 질화막(4)은 실리콘 산화막(7)에 비하여 캐리어 트랩 특성이 높기 때문에, 제 1 실시형태와 동일하게, 게이트 절연막으로서 기능하는 실리콘 산화막(7) 중의 일부에 실리콘 질화막(4)을 포함시킴으로써, 이 부위에서의 캐리어 트랩 특성을 실리콘 산화막(7)의 다른 영역에 비하여 향상시킬 수 있다. 또한, 실리콘 질화막(4)이 형성되지 않은 영역에서는, 실리콘 질화막(4)이 형성된 영역보다도 실리콘 산화막(7)이 두껍게 형성되어 있기 때문에, 상부에 형성하는 게이트 전극에 전압을 인가한 경우, 게이트 산화막(7)에 대한 캐리어 트랩이 억제된다. 따라서, 채널 영역의 중앙 근방에 비하여 채널 영역 단부에서의 캐리어 트랩 특성을 향상시킬 수 있다.

다음으로, 도 5의 (G)에 나타낸 바와 같이, CVD법에 의해 인(P)이 도핑된 다결정 실리콘막(8)을 p형 실리콘 반도체 기판(1) 위의 전면에 형성하며, CVD법에 의해 다결정 실리콘막(8) 위에 텅스텐 실리사이드막(9)을 막 두께 100nm 정도 퇴적시킨다. 그 후, 포토리소그래피 및 이에 연속되는 건식 에칭에 의해, 다결정 실리콘막(8) 및 텅스텐 실리사이드막(9)을 게이트 전극 형상으로 패터닝한다. 이것에 의해, 다결정 실리콘막(8) 및 텅스텐 실리사이드막(9)으로 이루어진 폴리사이드 구조의 게이트 전극이 형성된다. 그리고, 이상의 공정에 의해, 트랜지스터의 주요 부분인 소스/드레인 확산층(불순물 확산층(6)), 게이트 절연막(실리콘 산화막(7), 실리콘 질화막(4)), 게이트 전극(다결정 실리콘막(8), 텅스텐 실리사이드막(9))의 형성이 완료된다.

그 후, 일반적인 배선층의 형성 공정을 행하여 본 실시형태에 따른 비휘발성 반도체 메모리를 완성시킨다. 즉, CVD법에 의해 층간절연막(실리콘 산화막 등)을 퇴적시켜, 다결정 실리콘막(8) 및 텅스텐 실리사이드막(9)으로 이루어진 게이트 전극을 덮고, 포토리소그래피 및 이에 연속되는 건식 에칭에 의해, 층간절연막에 콘택트 홀을 형성한다. 그리고, 층간절연막 위에 배선층으로서, 예를 들어, 알루미늄막을 스퍼터링법에 의해 퇴적시켜 콘택트 홀을 충전하고, 포토리소그래피 및 이에 연속되는 건식 에칭에 의해, 알루미늄막을 소정 형상으로 패터닝한다. 그 후, 알루미늄막을 덮도록 보호막을 형성한다.

상술한 바와 같이, 본 발명의 제 2 실시형태에 의하면, 제 1 실시형태와 동일하게, 게이트 산화막(7)의 양단에 캐리어 트랩 특성이 높은 실리콘 질화막(4)을 형성하고 있기 때문에, 구조적으로 전하의 주입 개소가 한정되고, 확실하게 실리콘 질화막(4)의 근방에만 캐리어를 트랩하는 것이 가능해진다. 또한, 실리콘 질화막(4)을 형성할 때에, 실리콘 질화막(3)의 폭보다도 좁아지도록 미리 실리콘 산화막(2)의 양단부를 소정량 제거하고 있기 때문에, 제거된 영역에 확실하게 실리콘 질화막(4)을 형성할 수 있다. 그리고, 실리콘 산화막(2)의 제거량을 제어함으로써, 게이트 전극 아래의 실리콘 질화막(4)의 폭을 높은 정밀도로 조정하는 것이 가능해진다.

(제 3 실시형태)

다음으로, 본 발명의 제 3 실시형태에 대해서 설명한다. 도 6의 (A) 내지 (G)는 제 3 실시형태에 따른 비휘발성 반도체 메모리의 제조 방법을 공정 순서로 나타내는 개략 단면도이다. 제 3 실시형태에 따른 비휘발성 반도체 메모리의 평면 구성은, 도 2 및 도 3에 나타난 제 1 실시형태에 따른 비휘발성 반도체 메모리의 평면 구성과 동일하다. 여기서, 도 6의 (A) 내지 (G)는 비휘발성 반도체 메모리의 1개의 메모리 셀에 주목하여, 상기 메모리 셀의 단면을 제조 공정 순서로 나타낸 도면으로서, 제 1 실시형태와 동일하게, 도 3의 1점쇄선 I-I'에 따른 위치에 대응하는 단면을 나타내고 있다. 또한, 도 6의 (A) 내지 (G)에 있어서, 제 1 실시형태와 공통인 구성요소에 대해서는 도 1의 (A) 내지 (G)와 동일한 부호를 기재하여 설명한다.

먼저, p형 실리콘 반도체 기판(1) 위에 소정의 웰을 형성하며, 주변 회로 영역의 소자 분리를 행한다(도시 생략). 다음으로, 도 6의 (A)에 나타난 바와 같이, 메모리 셀의 영역에서 열산화법에 의해 실리콘 산화막(2)을 20nm 정도의 막 두께까지 성장시키고, 실리콘 산화막(2) 위에 CVD법에 의해 실리콘 질화막(3)을 200nm 정도의 막 두께로 퇴적시킨다.

그 후, 포토리소그래피 및 이에 연속되는 에칭에 의해, 메모리 셀의 채널 영역으로 되는 부위의 p형 실리콘 반도체 기판(1) 위에는 실리콘 질화막(3) 및 실리콘 산화막(2)을 남기고, 그 이외의 영역의 실리콘 질화막(3) 및 실리콘 산화막(2)을 제거한다.

다음으로, 도 6의 (B)에 나타난 바와 같이, 암모니아(NH_3) 가스 분위기 하에서, 온도 950℃ 정도, 시간 20분 내지 120분 정도의 조건으로 어닐링 처리를 행하고, 노출된 p형 실리콘 반도체 기판(1) 위로부터 실리콘 질화막(3) 패턴 단부의 하층의 소정 범위에 걸쳐 실리콘 질화막(4)을 형성한다. 이 때, 표면에 노출된 p형 실리콘 반도체 기판(1)에 있어서는, 실리콘과 암모니아 가스의 직접 반응에 의해 실리콘 질화막(4)이 형성된다. 또한, 실리콘 질화막(3)의 패턴 단부 아래에 있어서는, 실리콘 산화막(2) 중을 확산한 암모니아와의 반응에 의해 실리콘 질화막(4)이 형성된다. 실리콘 질화막(4)의 성막 조건을 조정함으로써, 실리콘 질화막(3)의 패턴 단부에 형성되는 실리콘 질화막(4)의 폭을 제어하는 것이 가능하다.

또한, 실리콘 질화막(4)의 형성은 이온 주입법에 의해 행할 수도 있다. 이 경우에는, 질소(N_2) 등을 포함하는 이온을 가속 에너지 30keV 정도, 도스량 $1 \times 10^{16}(\text{ions}/\text{cm}^2)$ 정도의 조건으로 이온 주입하고, 어닐링함으로써 p형 실리콘 반도체 기판(1)의 표면 부근에 질소를 포함한 막을 형성한다. 이 때, p형 실리콘 반도체 기판(1)에 대한 이온 주입의 각도를 제어함으로써, 실리콘 질화막(3)의 패턴 단부 하층에 형성되는 실리콘 질화막(4)의 폭을 제어할 수 있다.

다음으로, 도 6의 (C)에 나타난 바와 같이, 실리콘 질화막(3)을 마스크로 하여 p형 실리콘 반도체 기판(1)의 표면 영역에 이온 주입을 행한다. 구체적으로는, n형 불순물인 비소(As)를 가속 에너지 50keV 정도, 도스량 $1 \times 10^{16}(\text{ions}/\text{cm}^2)$ 정도의 조건으로 이온 주입한다. 이 이온 주입에 의해 주입된 불순물은, 실리콘 질화막(3) 양측의 p형 실리콘 반도체 기판(1)의 표면 영역에서의 소스/드레인으로서 기능하는 한쌍의 불순물 확산층(6)으로 된다. 불순물 확산층(6)은 비트 라인으로서 기능하기 때문에, 도 2에 나타난 바와 같이, 복수개가 소정 방향으로 연장되도록 형성되어 각 메모리 셀과 접속된다.

다음으로, 도 6의 (D)에 나타난 바와 같이, 실리콘 질화막(3)을 마스크로 하여 열산화에 의해 p형 실리콘 반도체 기판(1)의 표면을 선택 산화한다. 이 때, 도 6의 (C)의 공정에서의 이온 주입에 의해, 비소가 주입된 영역의 실리콘 질화막(4)의 내산화성은 상실되기 때문에, 도 6의 (D)에 나타난 공정에서의 열산화에 의해 실리콘 질화막(3) 하층 이외의 p형 실리콘 반도체 기판(1)의 표면이 산화되어, 소위 LOCOS 소자 분리로서의 실리콘 산화막(5)이 성장한다. 그리고, 실리콘 산화막(5)에 의해 p형 실리콘 반도체 기판(1) 위에 소자 활성 영역이 확정된다.

다음으로, 도 6의 (E)에 나타난 바와 같이, p형 실리콘 반도체 기판(1)을 온도 150℃ 정도의 인산 용액 중에 침지하고, 실리콘 질화막(3)을 용해시켜 제거한다. 이 때, 실리콘 질화막(3)의 하층에 형성되어 있는 실리콘 질화막(4)은 상면이 실리콘 산화막(2)으로 덮여 보호되고 있기 때문에, 인산에 의해 제거되지 않고 실리콘 산화막(2) 아래에 잔존한다.

다음으로, 도 6의 (F)에 나타난 바와 같이, p형 실리콘 반도체 기판(1) 위의 실리콘 산화막(2)을 플루오르산(HF) 용액에 침지하여 제거한다. 그 후, 열산화를 실시하여, 게이트 절연막으로서의 실리콘 산화막(7)을 막 두께 15nm 정도 형성한다. 이 때, 실리콘 질화막(4)이 형성되어 있는 부위에서는, 실리콘 질화막(4)에 의해 열산화에 의한 산화 속도가 저하되기 때문에, 이 위치에서의 실리콘 산화막(7)은 다른 영역에 비하여 얇게 형성된다. 이 열산화에 의해 실리콘 질화막(4)은 실리콘 산화막(7)에 의해 덮이고, 한쌍의 불순물 확산층(6) 각각의 근방에서의 p형 실리콘 반도체 기판(1) 위에는 실리콘 산화막(7) 중에 실리콘 질화막(4)을 포함하는 구조의 게이트 절연막이 형성된다.

실리콘 질화막(4)은 실리콘 산화막(7)에 비하여 캐리어 트랩 특성이 높기 때문에, 제 1 실시형태와 동일하게, 게이트 절연막으로서 기능하는 실리콘 산화막(7) 중의 일부에 실리콘 질화막(4)을 포함시킴으로써, 이 부위에서의 캐리어 트랩 특성을 실리콘 산화막(7)의 다른 영역에 비하여 향상시킬 수 있다. 또한, 실리콘 질화막(4)이 형성되지 않은 영역에서는, 실리콘 질화막(4)이 형성된 영역보다도 실리콘 산화막(7)이 두껍게 형성되어 있기 때문에, 상부에 형성하는 게이트 전극에 전압을 인가한 경우, 게이트 산화막(7)에 대한 캐리어 트랩이 억제된다. 따라서, 채널 영역의 중앙 근방에 비하여 채널 영역 단부에서의 캐리어 트랩 특성을 향상시킬 수 있다.

다음으로, 도 6의 (G)에 나타난 바와 같이, CVD법에 의해 막 두께 6nm 정도로 실리콘 질화막(10)을 실리콘 산화막(7) 및 실리콘 산화막(5) 위에 형성한다. 이것에 의해, 불순물 확산층(6)의 근방에 있어서는, 실리콘 산화막(7), 실리콘 질화막(4), 실리콘 산화막(7), 실리콘 질화막(10)의 적층 구조로 이루어진 트랩막이 형성된다. 이와 같이, 전하를 트랩하는 막으로서의 실리콘 질화막을 2층 형성함으로써, 불순물 확산층(6) 근방에서의 캐리어 트랩 특성을 보다 향상시킬 수 있다.

그 후, CVD법에 의해, 인(P)이 도핑된 다결정 실리콘막(8)을 p형 실리콘 반도체 기판(1) 위의 전면에 형성하며, CVD법에 의해 다결정 실리콘막(8) 위에 텅스텐 실리사이드막(9)을 막 두께 100nm 정도 퇴적시킨다. 그 후, 포토리소그래피 및 이에 연속되는 건식 에칭에 의해, 다결정 실리콘막(8) 및 텅스텐 실리사이드막(9)을 게이트 전극 형상으로 패터닝한다. 이것에 의해, 다결정 실리콘막(8) 및 텅스텐 실리사이드막(9)으로 이루어진 폴리사이드 구조의 게이트 전극이 형성된다. 그리고, 이상의 공정에 의해, 트랜지스터의 주요 부분인 소스/드레인 확산층(불순물 확산층(6)), 게이트 절연막(실리콘 산화막(7), 실리콘 질화막(4), 실리콘 질화막(10)), 게이트 전극(다결정 실리콘막(8), 텅스텐 실리사이드막(9))의 형성이 완료된다.

그 후, 일반적인 배선층의 형성 공정을 행하여 본 실시형태에 따른 비휘발성 반도체 메모리를 완성시킨다. 즉, CVD법에 의해 층간절연막(실리콘 산화막 등)을 퇴적시켜, 다결정 실리콘막(8) 및 텅스텐 실리사이드막(9)으로 이루어진 게이트 전극을 덮고, 포토리소그래피 및 이에 연속되는 건식 에칭에 의해, 층간절연막에 콘택트 홀을 형성한다. 그리고, 층간절연막 위에 배선층으로서, 예를 들어, 알루미늄막을 스퍼터링법에 의해 퇴적시켜 콘택트 홀을 충전하고, 포토리소그래피 및 이에 연속되는 건식 에칭에 의해, 알루미늄막을 소정 형상으로 패터닝한다. 그 후, 알루미늄막을 덮도록 보호막을 형성한다.

상술한 바와 같이, 본 발명의 제 3 실시형태에 의하면, 제 1 실시형태와 동일하게, 게이트 산화막(7)의 양단에 캐리어 트랩 특성이 높은 실리콘 질화막(4)을 형성하고 있기 때문에, 구조적으로 전하의 주입 개소가 한정되고, 확실하게 실리콘 질화막(4)의 근방에만 캐리어를 트랩하는 것이 가능해진다. 그리고, 제 3 실시형태에 있어서는, 실리콘 질화막(4)의 상층에 실리콘 질화막(10)을 적층시켜 형성함으로써, 게이트 산화막(7) 단부에서의 캐리어 트랩 특성을 보다 향상시킬 수 있고, 데이터의 기록 및 소거를 더욱 확실하게 행할 수 있다.

(제 4 실시형태)

다음으로, 본 발명의 제 4 실시형태에 대해서 설명한다. 도 7의 (A) 내지 (F)는 제 4 실시형태에 따른 비휘발성 반도체 메모리의 제조 방법을 공정 순서로 나타내는 개략 단면도이다. 제 4 실시형태에 따른 비휘발성 반도체 메모리의 평면 구성은, 도 2 및 도 3에 나타난 제 1 실시형태에 따른 비휘발성 반도체 메모리의 평면 구성과 동일하다. 여기서, 도 7의 (A) 내지 (F)는 비휘발성 반도체 메모리의 2개의 메모리 셀에 주목하여, 상기 메모리 셀의 단면을 제조 공정 순서로 나타낸 도면으로서, 도 3의 1점쇄선 II-II'에 따른 위치에 대응하는 단면을 나타내고 있다.

먼저, 도 7의 (A)에 나타난 바와 같이, p형 실리콘 반도체 기판(11)(비저항 1~12Ωcm, 붕소(B) 함유)의 주요 표면 상에 CVD법에 의해 실리콘 질화막(12)을 막 두께 150nm~300nm 정도로 형성한다.

다음으로, 포토리소그래피 및 이에 연속되는 건식 에칭에 의해, 비트 라인 확산층을 형성할 예정인 영역 위의 실리콘 질화막(12)을 선택적으로 제거한다. 그리고, 실리콘 질화막(12)을 마스크로 하여 이온 주입을 행한다. 구체적으로는, n형 불순물인 비소(As)를 가속 에너지 60keV 내지 100keV 정도, 도스량 1×10^{15} 내지 1×10^{16} (ions/cm²) 정도의 조건으로 이온 주입하고, 비트 라인 확산층으로 되는 고농도의 불순물 확산층(13)을 형성한다.

다음으로, 도 7의 (B)에 나타낸 바와 같이, CVD법에 의해 실리콘 산화막(14)을 막 두께 300nm~500nm 정도 형성하고, CMP(화학 기계 연마)법 또는 건식 에칭에 의해 비트 라인 확산층(불순물 확산층(13)) 위에만 실리콘 산화막(14)을 남기며, 그 이외의 영역의 실리콘 산화막(14)을 제거한다. 이것에 의해, 불순물 확산층(13) 위의 실리콘 산화막(14) 표면이 실리콘 질화막(12)의 표면과 대략 동일 면으로 된다. 이 도 7의 (A) 및 (B)에 나타낸 공정에 의해, 불순물 확산층(13)과 실리콘 산화막(14)을 1회의 포토리소그래피에 의해 자기 정합적으로 형성할 수 있다.

다음으로, 도 7의 (C)에 나타낸 바와 같이, 인산 등을 이용한 습식 에칭에 의해 실리콘 질화막(12)을 제거하고, 하층의 p형 실리콘 반도체 기판(11) 표면을 노출시킨다. 그 후, p형 실리콘 반도체 기판(11)에 열산화를 실시하여, 실리콘 질화막(12)을 제거한 결과, 노출된 p형 실리콘 반도체 기판(11) 표면에 막 두께 10nm~30nm 정도의 실리콘 산화막(15)을 형성한다. 그 후, CVD법에 의해, 실리콘 산화막(14) 및 실리콘 산화막(15) 위에 캐리어 트랩막으로 되는 실리콘 질화막(16)을 막 두께 10nm~20nm 정도 형성한다.

다음으로, 도 7의 (D)에 나타낸 바와 같이, CVD법에 의해, 예를 들어, 실리콘 산화막(17)을 막 두께 300nm~500nm 정도 형성하고, 건식 에칭에 의해 실리콘 산화막(14)의 측벽에만 잔존하도록 제거한다. 이것에 의해, 실리콘 산화막(14)의 측벽에 실리콘 산화막(17) 및 실리콘 질화막(16)으로 이루어진 사이드월이 형성된다. 또한, 이 건식 에칭에 의해 사이드월 사이의 실리콘 질화막(16) 및 실리콘 산화막(15)이 제거되어 p형 실리콘 반도체 기판(11)의 표면이 노출된다.

다음으로, 도 7의 (E)에 나타낸 바와 같이, 온도 800~900℃ 정도, 시간 30~90분 정도의 조건으로 p형 실리콘 반도체 기판(11)의 표면에 열산화를 실시하여, 노출되어 있는 p형 실리콘 반도체 기판(11) 표면에 실리콘 산화막(18)을 형성한다. 그 후, 습식 에칭에 의해 실리콘 산화막(17)을 제거하고, 열산화를 실시함으로써 실리콘 질화막(16)의 표면을 산화하여 실리콘 산화막(19)을 형성한다. 여기서, 예를 들어, 실리콘 산화막(17) 중에 미리 불순물(붕소, 인) 등을 함유시켜 둠으로써, 실리콘 산화막(17)과 실리콘 산화막(14)의 에칭 레이트를 상이하게 할 수 있고, 실리콘 산화막(14)의 제거량을 최소한으로 억제한 상태에서 실리콘 산화막(17)을 제거하는 것이 가능하다. 또한, 실리콘 산화막(18)은 열산화에 의해 형성한 산화막이기 때문에, 실리콘 산화막(17)과는 에칭 레이트가 상이하고, 그 제거량은 최소한으로 억제할 수 있다. 실리콘 산화막(17) 대신에 실리콘 산화막(14, 18)과는 에칭 레이트가 상이한 다른 절연막을 사용할 수도 있다.

이것에 의해, 실리콘 산화막(18) 양측의 p형 실리콘 반도체 기판(11) 위에 있어서, 실리콘 질화막(16)은 하층이 실리콘 산화막(15), 상층이 실리콘 산화막(19)에 의해 덮이게 되고, 게이트 절연막이 형성된다. 실리콘 산화막(18)을 형성하는 열산화 시에, 실리콘 질화막(16)은 실리콘 산화막(17)에 의해 덮여 있기 때문에, 실리콘 산화막(18)의 막 두께를 독립적으로 제어하는 것이 가능하다.

또한, 실리콘 산화막(17)을 습식 에칭에 의해 제거한 후, 열산화를 실시하여 실리콘 산화막(18)과 실리콘 산화막(19)을 동시에 형성할 수도 있다. 이 경우, 실리콘 질화막(16) 근방에서는 열산화에 의한 산화 속도가 저하되기 때문에, 실리콘 산화막(19)은 실리콘 산화막(18)보다도 얇게 형성된다.

다음으로, 도 7의 (F)에 나타낸 바와 같이, CVD법에 의해 인(P)을 2×10^{20} 내지 6×10^{20} (atms/cm³) 정도 함유한 다결정 실리콘막(20)을 막 두께 100nm~200nm 정도 형성하고, 포토리소그래피 및 이에 연속되는 건식 에칭에 의해 워드 라인 형상으로 패터닝한다.

그 후, p형 실리콘 반도체 기판(11) 중의 확산층의 열처리에 의한 활성화, 층간절연막의 형성, 콘택트 홀의 개구, 메탈 배선의 형성 등을 행하고, 본 실시형태에 따른 비휘발성 반도체 메모리를 완성시킨다.

상술한 바와 같이, 본 발명의 제 4 실시형태에 의하면, 제 1 실시형태와 동일하게, 게이트 산화막(18)의 양단에 캐리어 트랩 특성이 높은 실리콘 질화막(15)을 형성하고 있기 때문에, 구조적으로 전하의 주입 개소가 한정되고, 확실하게 실리콘 질화막(15)의 근방에만 캐리어를 트랩하는 것이 가능해진다. 또한, 제 4 실시형태에 의하면, 불순물 확산층(13)과 불순물 확산층(13) 위의 실리콘 산화막(14)을 1회의 포토리소그래피에 의해 자기 정합적으로 형성할 수 있다. 이것에 의해, 인접

하는 2개의 불순물 확산층(13) 사이에 실리콘 산화막(15, 18, 19) 및 실리콘 질화막(16)으로 이루어진 게이트 절연막을 높은 정밀도로 형성하는 것이 가능해진다. 또한, 실리콘 산화막(18)을 형성할 경우에, 실리콘 질화막(16)을 사이드월인 실리콘 산화막(17)에 의해 덮음으로써, 실리콘 산화막(18)의 막 두께를 독립적으로 높은 정밀도로 형성하는 것이 가능해진다.

한편, 상술한 제 2 내지 제 4 실시형태에 따른 비휘발성 반도체 메모리에 대한 데이터의 기록, 소거 및 판독의 각 동작에 대해서는, 도 4의 (A) 및 (B)에서 설명한 제 1 실시형태와 동일하게 행하는 것이 가능하다.

또한, 상기 각 실시형태에 있어서는, 캐리어 트랩막으로서 실리콘 질화막을 사용하고, 실리콘 질화막이 형성된 부위의 캐리어 트랩 특성을 향상시킨 구성을 예시했으나, 본 발명은 이것에 한정되는 것이 아니라, 다른 절연막을 사용하는 경우를 포함하고, 채널 영역 단부에서의 캐리어 트랩 특성을 국부적으로 향상시킨 구성은 모두 본 발명의 범주에 속한다.

산업상 이용 가능성

이상과 같이, 본 발명은 반도체 기판의 표면 영역에 형성된 한쌍의 불순물 확산층과, 상기 한쌍의 불순물 확산층 사이에서 반도체 기판 위에 게이트 절연막을 개재하여 형성된 게이트 전극을 구비하고, 게이트 전극에 소정 전압을 인가함으로써 게이트 절연막에 캐리어를 포획하도록 이루어진 반도체 기억장치를 대상으로 하며, 게이트 절연막의 한쌍의 불순물 확산층 각각에 근접하는 위치에서의 캐리어 트랩 특성이 다른 영역에 비하여 높아지도록 형성했기 때문에, 캐리어의 주입 위치를 상이하게 하여 2비트의 정보를 안정적으로 확실하게 기록하고, 유지하는 것이 가능해진다. 따라서, 1개의 메모리 셀에 2비트의 정보를 기록할 수 있는 비휘발성 반도체 메모리에서의 기록 또는 소거 불량률의 발생을 억제할 수 있고, 신뢰성을 향상시킨 반도체 기억장치 및 그 제조 방법을 제공할 수 있다.

도면의 간단한 설명

도 1의 (A) 내지 (G)는 본 발명의 제 1 실시형태에 따른 비휘발성 반도체 메모리의 제조 방법을 공정 순서로 나타내는 개략 단면도.

도 2는 본 발명의 각 실시형태에 따른 비휘발성 반도체 메모리의 평면 구성을 나타내는 개략 평면도.

도 3은 본 발명의 각 실시형태에 따른 비휘발성 반도체 메모리의 평면 구성을 상세하게 나타내는 개략 평면도.

도 4의 (A) 및 (B)는 본 발명의 각 실시형태에 따른 비휘발성 반도체 메모리의 기록 및 판독 동작을 나타내는 개략 단면도.

도 5의 (A) 내지 (G)는 본 발명의 제 2 실시형태에 따른 비휘발성 반도체 메모리의 제조 방법을 공정 순서로 나타내는 개략 단면도.

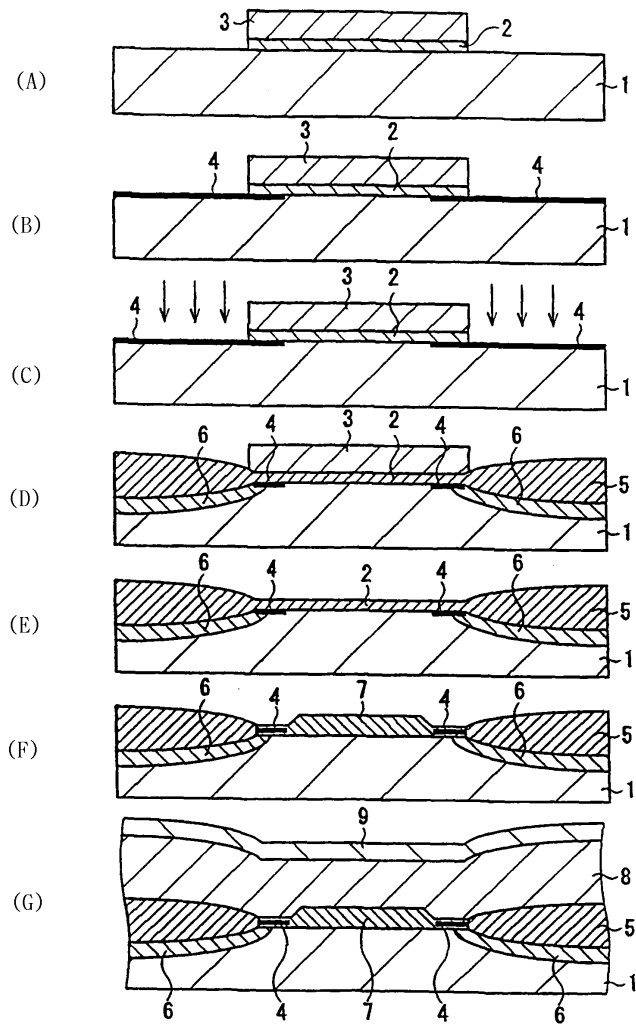
도 6의 (A) 내지 (G)는 본 발명의 제 3 실시형태에 따른 비휘발성 반도체 메모리의 제조 방법을 공정 순서로 나타내는 개략 단면도.

도 7의 (A) 내지 (F)는 본 발명의 제 4 실시형태에 따른 비휘발성 반도체 메모리의 제조 방법을 공정 순서로 나타내는 개략 단면도.

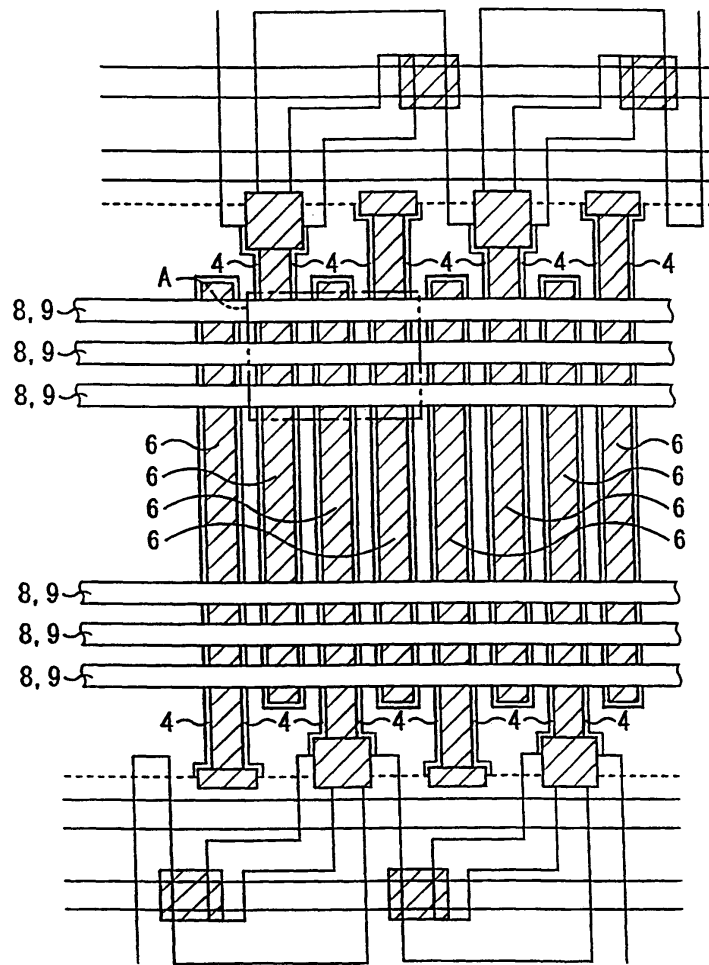
도 8은 종래의 비휘발성 반도체 메모리의 구성을 나타내는 개략 단면도.

도면

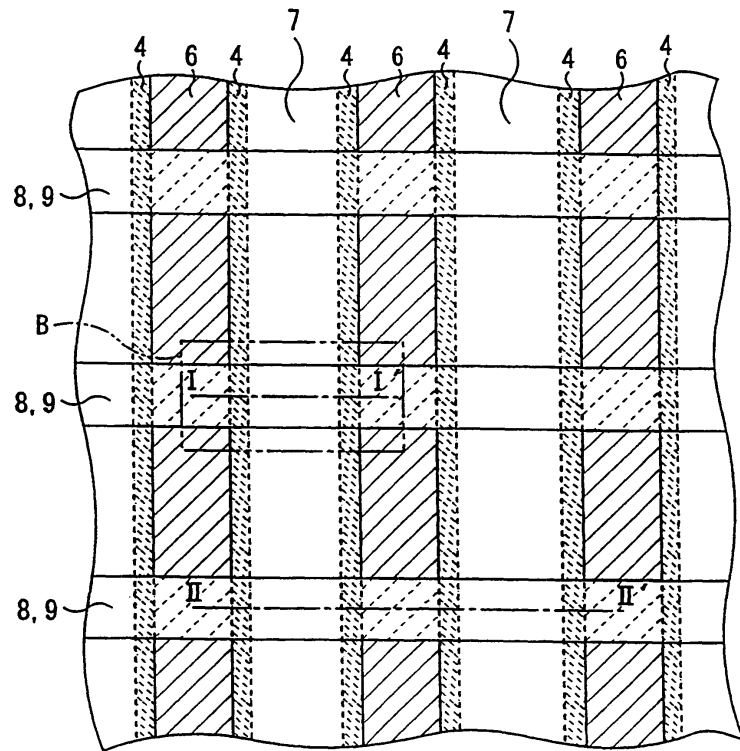
도면1



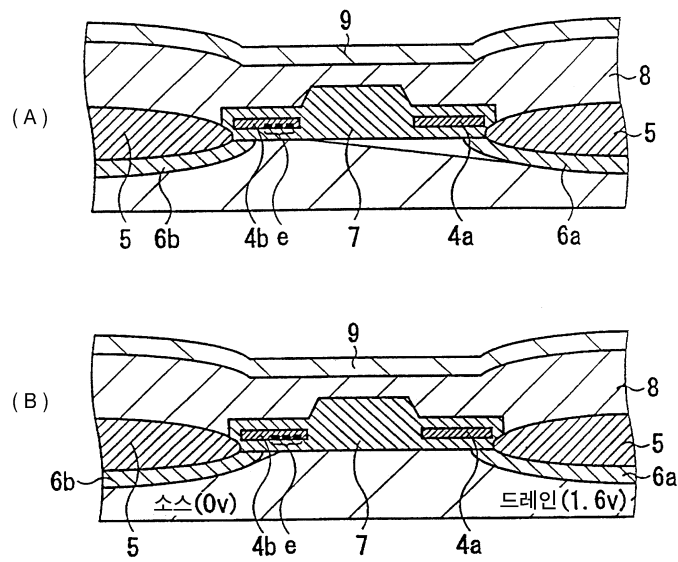
도면2



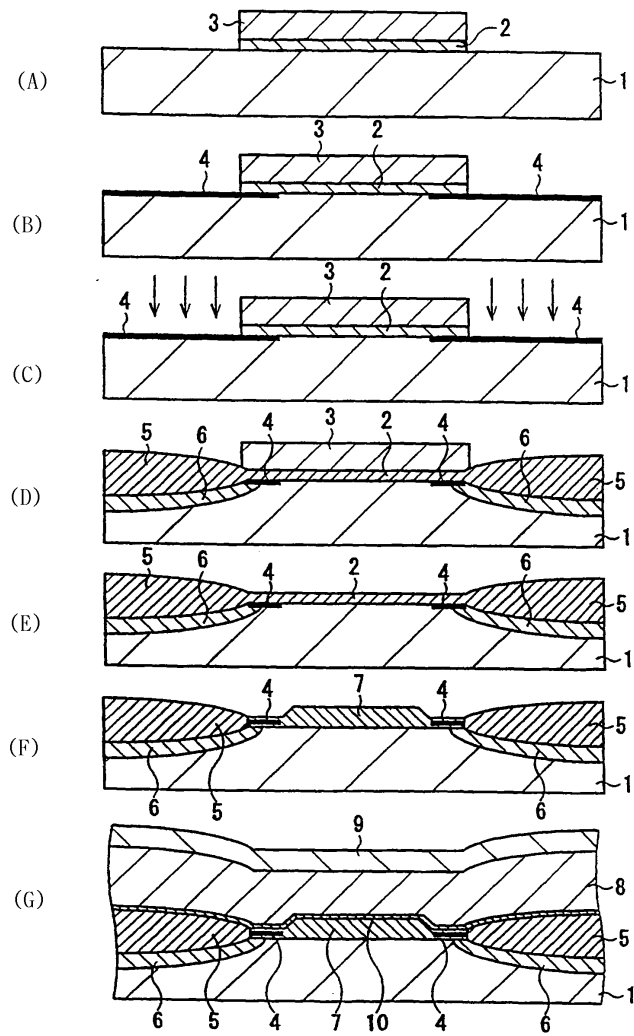
도면3



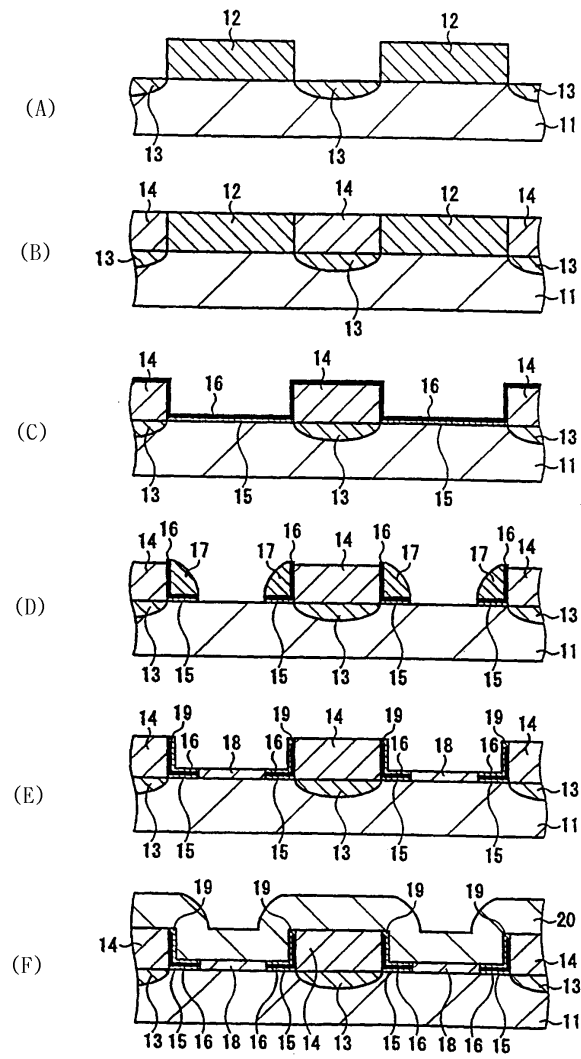
도면4



도면6



도면7



도면8

