

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成20年12月18日(2008.12.18)

【公開番号】特開2007-133395(P2007-133395A)

【公開日】平成19年5月31日(2007.5.31)

【年通号数】公開・登録公報2007-020

【出願番号】特願2006-294951(P2006-294951)

【国際特許分類】

G 03 F 1/08 (2006.01)

H 01 L 21/027 (2006.01)

H 01 L 21/82 (2006.01)

【F I】

G 03 F 1/08 A

H 01 L 21/30 5 0 2 R

H 01 L 21/82 C

【手続補正書】

【提出日】平成20年10月31日(2008.10.31)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

集積回路(I C)を形成するためのエッジ・ベースのパターン転写プロセスを最適化する複数のマスクにI Cデザインを変換するための方法であつて、

複数のI C形状を含むI Cパターン内に最適化された数のエッジ・ベースのイメージ転写形状を形成するために、エッジ・ベースのイメージ転写マスクを生成するステップと、

前記最適化された数のエッジ・ベースのイメージ転写形状の残余セクションを除去するブロック・マスクを生成するステップと、

前記I Cパターン内の残りのI C形状を形成するためにリソグラフィ・マスクを生成するステップと、

を含む、方法。

【請求項2】

エッジ・ベースのイメージ転写マスクを生成する前記ステップが、

前記I Cパターン内の前記最適化された数のエッジ・ベースのイメージ転写形状のために、前記複数内でエッジ・ベースのイメージ転写形状セットを選択するステップをさらに含む、請求項1に記載の方法。

【請求項3】

前記エッジ・ベースのイメージ転写形状の前記生成時のエラーに基づいて、前記セットを反復的に削減するステップ

をさらに含む、請求項2に記載の方法。

【請求項4】

前記削減されたエッジ・ベースのイメージ転写形状のセット内で、それぞれのエッジ・ベースのイメージ転写形状について、最も好都合なエッジ・ベースのイメージ転写形状を選択的に選び、それにより、エッジ・ベースのイメージ転写形状の最終セットを作成するステップ

をさらに含む、請求項3に記載の方法。

【請求項 5】

選択的に選ぶ前記ステップが、
エッジ・ベースのイメージ転写形状の前記最終セットの周りに排除エリアを画定し、エッジ・ベースのイメージ拡張に応じて少なくとも部分的なIC障害を引き起こす恐れがあるエッジ・ベースのイメージ転写形状の拡張を実質的に防止するステップ
をさらに含む、請求項4に記載の方法。

【請求項 6】

集積回路(IC)を形成するためのエッジ・ベースのパターン転写プロセスを最適化する複数のマスクにICデザインを変換するための方法であって、

複数の形状を含むICパターン内に最適化された数のエッジ・ベースのイメージ転写形状を形成するために、エッジ・ベースのイメージ転写マスクを生成するステップと、

前記ICパターン内の前記最適化された数のエッジ・ベースのイメージ転写形状のために、前記複数内でエッジ・ベースのイメージ転写形状セットを選択するステップと、
前記エッジ・ベースのイメージ転写形状の前記生成時のエラーに基づいて、前記セットを反復的に削減するステップと、
を含む、方法。

【請求項 7】

集積回路(IC)を形成するためのエッジ・ベースのパターン転写プロセスを最適化する複数のマスクにICデザインを変換するための方法であって、

複数の形状を含むICパターン内に最適化された数のエッジ・ベースのイメージ転写形状を形成するために、エッジ・ベースのイメージ転写マスクを生成するステップと、

前記ICパターン内の前記最適化された数のエッジ・ベースのイメージ転写形状のために、前記複数内でエッジ・ベースのイメージ転写形状セットを選択するステップであって、
前記セット内のそれぞれのエッジ・ベースのイメージ転写形状がバイナリのエッジ・ベースのイメージ転写製造オプションを含むステップと、

それぞれのエッジ・ベースのイメージ転写形状について、最も好都合なエッジ・ベースのイメージ転写バイナリ製造オプションを選択的に選び、それにより、エッジ・ベースのイメージ転写形状の最終セットを作成するステップと、
を含む、方法。

【請求項 8】

集積回路(IC)を形成するためのエッジ・ベースのパターン転写プロセスを最適化する複数のマスクにICデザインを変換するための方法であって、

複数のIC形状を含むICパターン内に最適化された数のエッジ・ベースのイメージ転写形状を形成するために、エッジ・ベースのイメージ転写マスクを生成するステップと、

前記ICパターン内の前記最適化された数のエッジ・ベースのイメージ転写形状のために、前記複数内でエッジ・ベースのイメージ転写形状セットを選択するステップと、

エッジ・ベースのイメージ転写形状の前記セットの周りに排除エリアを画定し、エッジ・ベースのイメージ拡張に応じて少なくとも部分的なIC障害を引き起こす恐れがあるエッジ・ベースのイメージ転写形状の拡張を実質的に防止するステップと、
を含む、方法。

【請求項 9】

前記最適化された数のエッジ・ベースのイメージ転写形状が、前記ICパターン内の拡散エリアの上に何れのポリシリコン線も含む、請求項1、6、7または8の何れかに記載の方法。

【請求項 10】

前記最適化された数のエッジ・ベースのイメージ転写形状が、前記ICを形成するコストを最小限にする形状セットを含む、請求項1、6、7または8の何れかに記載の方法。

【請求項 11】

前記最適化された数のエッジ・ベースのイメージ転写形状が、IC性能を最適化する形

状セットを含む、請求項 1、6、7 または 8 の何れかに記載の方法。

【請求項 1 2】

前記エッジ・ベースのイメージ転写が、側壁イメージ転写および位相シフト (alternating phase shift)・マスクのうちの一方を含む、請求項 1、6、7 または 8 の何れかに記載の方法。

【請求項 1 3】

コンピュータに、複数の IC 形状を含む IC パターン内に最適化された数のエッジ・ベースのイメージ転写形状を形成するために、エッジ・ベースのイメージ転写マスクを生成するステップと、

前記最適化された数のエッジ・ベースのイメージ転写形状の残余セクションを除去するブロック・マスクを生成するステップと、

前記 IC パターン内の残りの IC 形状を形成するためにリソグラフィ・マスクを生成するステップ、

を実行させるためのプログラム。

【請求項 1 4】

コンピュータに、複数の形状を含む IC パターン内に最適化された数のエッジ・ベースのイメージ転写形状を形成するために、エッジ・ベースのイメージ転写マスクを生成するステップと、

前記 IC パターン内の前記最適化された数のエッジ・ベースのイメージ転写形状のために、前記複数内でエッジ・ベースのイメージ転写形状セットを選択するステップと、

前記エッジ・ベースのイメージ転写形状の前記生成時のエラーに基づいて、前記セットを反復的に削減するステップと、

を実行させるためのプログラム。

【請求項 1 5】

コンピュータに、複数の形状を含む IC パターン内に最適化された数のエッジ・ベースのイメージ転写形状を形成するために、エッジ・ベースのイメージ転写マスクを生成するステップと、

前記 IC パターン内の前記最適化された数のエッジ・ベースのイメージ転写形状のために、前記複数内でエッジ・ベースのイメージ転写形状セットを選択するステップであって、前記セット内のそれぞれのエッジ・ベースのイメージ転写形状がバイナリのエッジ・ベースのイメージ転写製造オプションを含むステップと、

それぞれのエッジ・ベースのイメージ転写形状について、最も好都合なエッジ・ベースのイメージ転写バイナリ製造オプションを選択的に選び、それにより、エッジ・ベースのイメージ転写形状の最終セットを作成するステップ、

を実行させるためのプログラム。

【請求項 1 6】

コンピュータに、複数の IC 形状を含む IC パターン内に最適化された数のエッジ・ベースのイメージ転写形状を形成するために、エッジ・ベースのイメージ転写マスクを生成するステップと、

前記 IC パターン内の前記最適化された数のエッジ・ベースのイメージ転写形状のために、前記複数内で 1 組のエッジ・ベースのイメージ転写形状セットを選択するステップと、

エッジ・ベースのイメージ転写形状の前記セットの周りに排除エリアを画定し、エッジ・ベースのイメージ拡張に応じて少なくとも部分的な IC 障害を引き起こす恐れがあるエッジ・ベースのイメージ転写形状の拡張を実質的に防止するステップと、

を実行させるためのプログラム。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

SITは光リソグラフィという従来技術の方法より寸法制御が改善されているが、SIT操作ごとに1つのIC構造体サイズしか形成できず、閉ループ・トポグラフィしか作成できず、SITは包括的ではないIC構造体形状ライブラリを有し、換言すれば、SITでは特定のIC構造体形状しか形成できないので、SITという従来技術の方法は問題を含むものである。寸法制御は重要であるが、場合によっては、他の考慮事項、たとえば、構造体サイズの拡大、チップ性能、およびコストに対して、寸法制御が2次的なものになる。SITでは、このような他の考慮事項が最も重要なものになる場合、IC設計者は所望のIC構造体を作成するためにSITから光リソグラフィに頼らなければならない。このような考慮事項に加えて、SITでは限られた数の形状、より具体的には、閉ループ形状しか作成できないので、SITは不利である。SITでは形成できない形状を形成しなければならない場合、IC設計者はSITから光リソグラフィに頼らなければならない。SITが問題を含むもう1つの理由は、エッジ・ベースの画像処理プロセスを実行するために必要なマスク・セットにICレイアウトを変換することに関連する難題である。要するに、SITは寸法制御については改善されているが、光リソグラフィに対する依存状態を完全に排除するわけではない。少なくともこれらの理由により、SIT単独では不十分である。SITはエッジ・ベースのイメージ転写プロセスであるが、位相シフト(alternating phase shift)はSITと同様の利点および欠点を有するもう1つのエッジ・ベースのイメージ転写プロセスであることに留意されたい。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

好ましい実施形態の目標は、可能な限り多くのオーバラップを有し、BLOCKおよびLITHO用のSITまたは位相シフト(alternating phase shift)・マスクなどのエッジ・ベースのイメージ転写プロセスの使用により集積回路を形成するために1組のマスク・セットを生成することにある。マスクを生成するプロセスは、まず、SITによって形成しなければならないすべてのPC線を検出することと、次に、BLOCKマスクを使用して特定の断片を消去することと、次に、SITによって形成することができない線をLITHOを使用して追加することを含む。「オーバラップ」とは、処理許容度により、様々な断片がギャップなしでまとまるることを意味する。たとえば、「オーバラップ」により、クリティカル(critical) PC線(たとえば、線125の下端部)がノンクリティカル(non-critical) PC線(たとえば、129)に接続される場合にLITHOパターンがSITパターンにオーバラップしなければならないことを意味する。オーバラップすることにより、接続が保証される。最終的に、様々な断片を連続的に製造可能な1つのパターンにまとめる(assemble)ことが望ましい。図1は、エッジ・ベースのイメージ・プロセスの利点を可能な限り利用しながら(すなわち、可能な限りLITHOを使用せず)、図1に表された物理的な集積回路レイアウトを実現するために必要な様々なマスクを生成する努力の最終目標を表している。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

図5は、併合されたがクリーンアップされた図4のIC形状全体に関するエッジ・ベースのイメージ転写マスク形状を描写している。図5では、すべての中心線形状の片側に1つずつ、エッジ・ベースのイメージ転写形状が生成されている。エッジ・ベースのイメー

ジ形状は陰影線（hatched line）によって表されている。エッジ・ベースのイメージ転写形状はS I Tまたは位相シフト（alternating phase shift）・マスクを介して作成することができるが、好ましい実施形態の説明のために、本明細書ではエッジ・ベースのイメージ転写プロセスとしてS I Tについて論じることにする。S I T形状510は、U字形構造体の内側またはO字形511の内側／外側に形成することができる。S I T形状がO字形の内側／外側のいずれに形成されるかという選択については、図13に関して本明細書で後述することにする。I C形状520は意味ありげにT字形を組み込んでいるが、上述の通り、T字形I C形状はエッジ・ベースのイメージ転写プロセスで形成することができない。このようなエラーについては、図6に関してさらに詳述することにする。