

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5706670号
(P5706670)

(45) 発行日 平成27年4月22日(2015. 4. 22)

(24) 登録日 平成27年3月6日(2015. 3. 6)

(51) Int.Cl.

F I

H O 1 L 21/02 (2006. 01)

H O 1 L 27/12 B

H O 1 L 27/12 (2006. 01)

H O 1 L 27/12 R

H O 1 L 21/20 (2006. 01)

H O 1 L 21/20

H O 1 L 21/265 (2006. 01)

H O 1 L 21/265 Q

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 2 7 G

請求項の数 6 (全 42 頁) 最終頁に続く

(21) 出願番号 特願2010-252569 (P2010-252569)
 (22) 出願日 平成22年11月11日(2010. 11. 11)
 (65) 公開番号 特開2011-135051 (P2011-135051A)
 (43) 公開日 平成23年7月7日(2011. 7. 7)
 審査請求日 平成25年10月3日(2013. 10. 3)
 (31) 優先権主張番号 特願2009-266151 (P2009-266151)
 (32) 優先日 平成21年11月24日(2009. 11. 24)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2009-266150 (P2009-266150)
 (32) 優先日 平成21年11月24日(2009. 11. 24)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2009-266152 (P2009-266152)
 (32) 優先日 平成21年11月24日(2009. 11. 24)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 野田 耕生
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 竹内 敏彦
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 石川 信
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 右田 勝則

最終頁に続く

(54) 【発明の名称】 SOI基板の作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁層を介して基板上に設けられた第1の単結晶半導体層を用意し、
 成膜温度100 以上275 以下で、且つシラン系ガスを希釈しないで用いた雰囲気
 下でCVD法により、前記第1の単結晶半導体層上に非晶質半導体層を形成し、
 熱処理を行い、前記非晶質半導体層を固相エピタキシャル成長させて、前記第1の単結
 晶半導体層上に第2の単結晶半導体層を形成することを特徴とするSOI基板の作製方法
 。

【請求項2】

絶縁層を介して基板上に設けられた第1の単結晶半導体層を用意し、
 成膜温度100 以上275 以下で、且つシラン系ガスを希釈しないで用いた雰囲気
 下でCVD法により、前記第1の単結晶半導体層上に非晶質半導体層を形成し、
 熱処理を行い、前記非晶質半導体層を固相エピタキシャル成長させることにより、前記
 第1の単結晶半導体層及び前記非晶質半導体層から第2の単結晶半導体層を形成すること
 を特徴とするSOI基板の作製方法。

【請求項3】

請求項1において、前記第2の単結晶半導体層を除去することを特徴とするSOI基板
 の作製方法。

【請求項4】

請求項2において、前記第2の単結晶半導体層のうち、固相エピタキシャル成長した部

10

20

分を除去することを特徴とするSOI基板の作製方法。

【請求項5】

請求項1又は3において、前記第1の単結晶半導体層は、前記熱処理により結晶性が向上することを特徴とするSOI基板の作製方法。

【請求項6】

請求項2又は4において、前記第2の単結晶半導体層は前記第1の単結晶半導体層よりも結晶性が向上していることを特徴とするSOI基板の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、SOI(Silicon On Insulator)基板の作製方法並びにSOI基板を用いた半導体装置及びその作製方法に関する。

【背景技術】

【0002】

近年では、高性能デバイス用の半導体装置向けにSOI(Silicon On Insulator)基板が用いられている。絶縁層上に形成された薄い単結晶シリコン層の特長を生かすことで、集積回路中のトランジスタ同士を完全に分離して形成することができ、またトランジスタを完全空乏型とすることができるため、高集積、高速駆動、低消費電力など付加価値の高い半導体集積回路が実現できる。

【0003】

上記のようなSOI基板を製造する方法の1つに、水素イオン注入と剥離を組み合わせた、いわゆる水素イオン注入剥離法が知られている。水素イオン注入剥離法の代表的な工程を以下に示す。

【0004】

はじめに、シリコン基板に水素イオンを注入することによって、基板表面から所定の深さにイオン注入層を形成する。次に、ベース基板(支持基板)となる別のシリコン基板を酸化して表面に酸化シリコン層を形成する。その後、水素イオンを注入したシリコン基板と、ベース基板となるシリコン基板の酸化シリコン層とを密着させて、2枚のシリコン基板を貼り合わせる。そして、加熱処理を行うことにより、イオン注入層において一方のシリコン基板を分割して、ベース基板側に薄い単結晶シリコン層を形成する。

【0005】

上述のような方法で形成される単結晶シリコン層は、通常、50nm乃至300nm程度であって、非常に薄い。このため、上述のような方法で形成される単結晶シリコン層は、高集積、高速駆動、低消費電力が要求されるトランジスタの用途には極めて適している。一方で、パワーデバイスや光電変換装置などの用途を考える場合、耐圧の向上、光電変換効率の向上などの観点から、単結晶シリコン層に対して一定の厚さが要求されることになる。

【0006】

水素イオン注入剥離法を用いて形成される単結晶シリコン層の厚さは、主として、イオン注入の際の加速電圧に依存する。加速電圧を小さくすればイオン注入層は浅い領域に形成されるため、単結晶シリコン層は薄くなる。反対に、加速電圧を大きくすれば、単結晶半導体層は厚くなる。

【0007】

このことから、単結晶半導体層を厚くするためには、単純に加速電圧を大きくすれば良いことが分かる。しかしながら、現実には、加速電圧を大きくして厚い単結晶半導体層を形成することは容易ではない。これは、量産に適したイオンの注入装置(大電流が実現可能な装置)を用いる場合、装置上の制限から、加速電圧を一定以上に大きくすることができないことによる。電流が小さいイオン注入装置を用いる場合には加速電圧を高めることが可能だが、所定の注入量を得るためには時間を要することになり、生産性の面で好ましくない。また、100kVを超える高電圧でイオンを加速させる場合には、有害な放射線

10

20

30

40

50

が発生することもあり、安全性の面で問題がある。

【 0 0 0 8 】

上述のような問題を解消するため、イオン注入の際の加速電圧によってではなく、エピタキシャル成長によって単結晶半導体層を厚膜化する方法が検討されている（例えば、特許文献 1、2 参照）。

【 0 0 0 9 】

特許文献 1 では、C V D (C h e m i c a l V a p o r D e p o s i t i o n) 法の気相成長（気相エピタキシャル成長）によって、シラン系ガスを水素還元させ、1100～1200 で単結晶半導体層上にエピタキシャル成長させる。あるいは、分子線エピタキシー法により、シラン系ガスを600～900 でエピタキシャル成長させている。

10

【 0 0 1 0 】

特許文献 2 では、プラズマ C V D 法などで単結晶半導体層の表面にアモルファスシリコン層を設ける。その後、1100 以上、60 分の熱処理により、単結晶半導体層を核としてアモルファスシリコン層を固相エピタキシャル成長させている。

【 0 0 1 1 】

特許出願である特許文献 3 では、単結晶シリコン層上でエピタキシャル成長させるのに、単結晶シリコン層にレーザ処理等を施して、シード層となる単結晶シリコン層の結晶欠陥を修復している。これは、水素イオン注入剥離法での水素イオン注入工程や分離工程によって単結晶シリコン層に結晶欠陥が生じるが、この結晶欠陥が存在するとエピタキシャル成長がうまく進行できなかったためである。

20

【先行技術文献】

【特許文献】

【 0 0 1 2 】

【特許文献 1】特開 2000 - 30995 号公報

【特許文献 2】特開平 11 - 74209 号公報

【特許文献 3】特開 2009 - 177145 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 3 】

特許文献 1 に記載の方法は、気相エピタキシャル成長による成膜速度を一定以上に高めることが難しい。これは、半導体装置の量産を考える場合には大きな問題となる。また、特許文献 2 では、高温で熱処理を行わなければならない、耐熱性の低いプラスチック基板またはガラス基板等に応用することは不可能であった。特許文献 3 では、エピタキシャル成長させる前にレーザ処理工程が必要であるため、それが S O I 基板の作製コストを高くしていた。

30

【 0 0 1 4 】

上述のような問題点に鑑み、量産に適しており、耐熱性の低い基板も使えるような作製方法で、単結晶半導体層の膜厚の厚い S O I 基板を提供することを目的の一とする。

【 0 0 1 5 】

また、シード層となる単結晶半導体層の結晶欠陥を修復しなくとも、その後のエピタキシャル成長が良好に進む方法を提供することを目的の一とする。

40

【 0 0 1 6 】

シード層となる単結晶半導体層の結晶欠陥を修復する工程を別に設けなくとも、固相エピタキシャル成長により単結晶半導体層の結晶性が回復した S O I 基板を提供することを目的の一とする。

【課題を解決するための手段】

【 0 0 1 7 】

本発明では、S O I 基板を構成する薄膜の単結晶半導体層上に非晶質半導体層を形成し、固相エピタキシャル成長させる。当該非晶質半導体層の形成方法は、シラン系ガスを希釈せずに用い、且つ基板温度 100 以上 275 以下の C V D 法により形成する。

50

【 0 0 1 8 】

なお、本明細書において、シラン系ガスを希釈せずに用いるとは、シラン系ガスが希釈されるような意図的な他のガス等の混合を除くという意味である。例えば水素等をシラン系ガスと共にＣＶＤ装置のチャンバーに加えるような、他のガス等の混合を除くものである。換言すれば、本明細書でのシラン系ガスを希釈せずに用いるとは、チャンバー内の雰囲気はシラン系ガスのみとすることを指すものである。しかし、シラン系ガスに対して制御不能な他成分の含有、例えば不純物程度の量の他成分の含有をも排除するものではない。

【 0 0 1 9 】

本発明の構成は、絶縁層を介してガラス基板またはプラスチック基板上に設けられた第 1 の単結晶半導体層を用意し、成膜温度 1 0 0 以上 2 7 5 以下で、且つシラン系ガスを希釈しないで用いるＣＶＤ法により、第 1 の単結晶半導体層上に非晶質半導体層を形成し、熱処理を行い、非晶質半導体層を固相エピタキシャル成長させて、第 1 の単結晶半導体層上に第 2 の単結晶半導体層を形成することである。

10

【 0 0 2 0 】

また、別の本発明の構成は、絶縁層を介してガラス基板またはプラスチック基板上に設けられた第 1 の単結晶半導体層を用意し、成膜温度 1 0 0 以上 2 7 5 以下で、且つシラン系ガスを希釈しないで用いるＣＶＤ法により、第 1 の単結晶半導体層上に非晶質半導体層を形成し、非晶質半導体層を希ガスでプラズマ処理することにより平坦化し、熱処理を行い、非晶質半導体層を固相エピタキシャル成長させて、第 1 の単結晶半導体層上に第 2 の単結晶半導体層を形成することである。

20

【 0 0 2 1 】

また、別の本発明の構成は、絶縁層を介してガラス基板またはプラスチック基板上に設けられた第 1 の単結晶半導体層を用意し、成膜温度 1 0 0 以上 2 7 5 以下で、且つシラン系ガスを希釈しないで用いるＣＶＤ法により、第 1 の単結晶半導体層上に非晶質半導体層を形成し、熱処理を行い、非晶質半導体層を固相エピタキシャル成長させて、第 1 の単結晶半導体層上に第 2 の単結晶半導体層を形成し、第 2 の単結晶半導体層を除去することである。

【 0 0 2 2 】

なお、本明細書において、単結晶とは、結晶構造が一定の規則性を持って形成されており、どの部分においても結晶軸が一定の方向を向いているものをいう。もっとも、本明細書においては、欠陥や格子歪みなどの規則性の乱れを除外するものではない。

30

【 発明の効果 】

【 0 0 2 3 】

本発明では、水素イオン注入剥離法等によって、膜厚の厚い単結晶半導体層を有するＳＯＩ構造を作製する場合に、単結晶半導体基板から単結晶半導体層を厚く分離する必要がない。そのため、単結晶半導体層を分離した後の単結晶半導体基板を再利用する場合、分離される単結晶半導体層を薄くできるため、再利用する回数を多くすることができ、ＳＯＩ基板の製造コストを抑えることができる。

【 0 0 2 4 】

本発明は固相エピタキシャル成長技術を用いるため、特許文献 1 のように気相エピタキシャル成長させる場合と比較して、エピタキシャル成長速度を高めることが可能である。さらに、シラン系ガスを希釈しないで非晶質半導体層を成膜するため、シラン系ガスを水素希釈して成膜する通常の方法よりも成膜速度を高めることができる。つまり、ＳＯＩ基板の生産性が向上する。また、特許文献 2 よりも非常に低温で単結晶半導体層を厚膜化できるため、耐熱性の低い基板も使うことができる。

40

【 0 0 2 5 】

上記非晶質半導体層の形成方法を用いることで、シード層となる単結晶半導体層の欠陥を回復するための工程、例えばレーザ処理工程等を設けなくても、良好に固相エピタキシャル成長を行うことができる。よって、本発明は、特許文献 3 よりも安価にＳＯＩ基板を

50

作製することができる。加えて、固相エピタキシャル成長させることで、シード層となる単結晶半導体層の結晶性も回復できる。そのため、より結晶性の向上した単結晶半導体層をもつＳＯＩ基板を作製することができる。

【００２６】

また、もう一つの発明として、固相エピタキシャル成長によってシード層となる単結晶半導体層の結晶性が回復する点を積極的に用いる。つまり、固相エピタキシャル成長した後に、エピタキシャル成長した層の部分を除去することで、結晶性が回復した、より結晶性の優れた薄膜の単結晶半導体層をもつＳＯＩ基板を作製することもできる。

【図面の簡単な説明】

【００２７】

【図１】水素流量に対する単結晶半導体層のラマン測定結果

【図２】アルゴン流量に対する単結晶半導体層のラマン測定結果

【図３】非晶質シリコン成膜時の基板温度に対する単結晶半導体層のラマン測定結果

【図４】水素流量に対する a - S i 成膜速度

【図５】本実施の形態のＳＯＩ基板の断面ＳＴＥＭ写真及び電子回折像

【図６】熱処理温度に対する単結晶半導体層のラマン測定結果

【図７】本実施の形態のＳＯＩ基板の作製工程図

【図８】本実施の形態のＳＯＩ基板の作製工程図

【図９】本実施の形態のＳＯＩ基板の作製工程図

【図１０】本実施の形態のＳＯＩ基板の作製工程図

【図１１】熱処理前後及びエピタキシャル成長有無での単結晶半導体層のラマン測定結果

【図１２】a - S i 膜厚に対する単結晶半導体層のラマン測定結果

【図１３】本実施の形態のＴＦＴの作製工程図

【図１４】本実施の形態のＴＦＴの作製工程図

【図１５】本実施の形態の単結晶半導体層のＥＢＳＰ測定結果

【図１６】本実施の形態を用いた光電変換装置の作製工程図

【図１７】本実施の形態を用いた光電変換装置の作製工程図

【図１８】本実施の形態を用いた光電変換装置の作製工程図

【図１９】本実施の形態を用いた光電変換装置の作製工程図

【図２０】本実施の形態を用いた光電変換装置の上面図

【図２１】本実施の形態を用いた光電変換素子の上面および断面図

【図２２】本実施の形態を用いた光電変換素子の作製工程図

【図２３】本実施の形態を用いた半導体装置の断面および上面図

【図２４】本実施の形態を用いた半導体装置の作製工程図

【発明を実施するための形態】

【００２８】

本実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更しうることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

【００２９】

（実施の形態１）

図７に本実施の形態の作製工程を示す。はじめに、支持基板１００を用意する（図７（Ａ）参照）。支持基板１００には、液晶表示装置などに使用されている透光性を有するガラス基板を用いることができる。ガラス基板としては、歪み点が５８０ 以上６８０ 以下（好ましくは、６００ 以上７００ 以下）であるものを用いると良い。また、ガラス基板は無アルカリガラス基板であることが好ましい。無アルカリガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。

【0030】

なお、支持基板100としては、ガラス基板の他、プラスチック基板、セラミック基板、石英基板やサファイア基板などの絶縁体でなる基板、珪素などの半導体でなる基板、金属やステンレスなどの導電体でなる基板などを用いることもできる。但し、本発明は、耐熱性の低い支持基板でも用いられる温度範囲でSOI基板を作製することが特徴の一つである。そのため、ガラス基板またはプラスチック基板等を支持基板100とできることが本発明の特色である。

【0031】

本実施の形態においては示さないが、支持基板100の表面に絶縁層を形成しても良い。該絶縁層を設けることにより、支持基板100に不純物（アルカリ金属やアルカリ土類金属など）が含まれている場合には、当該不純物が半導体層へ拡散することを防止できる。絶縁層は単層構造でも良いし積層構造でも良い。絶縁層を構成する材料としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコンなどを挙げることができる。

10

【0032】

ここで、酸化窒化シリコンとは、その組成において、窒素よりも酸素の含有量が多いものを示し、例えば、酸素が50原子%以上70原子%以下、窒素が0.5原子%以上15原子%以下、珪素が25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の範囲で含まれるものをいう。また、窒化酸化シリコンとは、その組成において、酸素よりも窒素の含有量が多いものを示し、例えば、酸素が5原子%以上30原子%以下、窒素が20原子%以上55原子%以下、珪素が25原子%以上35原子%以下、水素が10原子%以上25原子%以下の範囲で含まれるものをいう。但し、上記範囲は、ラザフォード後方散乱法（RBS: Rutherford Backscattering Spectrometry）や、水素前方散乱法（HFS: Hydrogen Forward Scattering）を用いて測定した場合のものである。また、構成元素の含有比率は、その合計が100原子%を超えない値をとる。

20

【0033】

次に、単結晶半導体基板110を用意する。単結晶半導体基板110としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコンなどの第14族元素でなる半導体基板を用いることができる。もちろん、ガリウムヒ素、インジウムリンなどの化合物半導体でなる基板を用いてもよい。本実施の形態においては、単結晶半導体基板110として、単結晶シリコン基板を用いることとする。単結晶半導体基板110のサイズに制限は無いが、例えば、8インチ（200mm）、12インチ（300mm）、18インチ（450mm）といった円形の半導体基板を、矩形に加工して用いることができる。

30

【0034】

上記の単結晶半導体基板110に対して各種処理を施して、損傷領域114、絶縁層116を形成する（図7（B）参照）。各種処理の詳細については図9を用いて後に説明する。なお、損傷領域114はイオンが打ち込まれた領域であり、該領域において単結晶半導体基板110を分離することが可能になる。このため、損傷領域114が形成される深さにより、単結晶半導体基板110から分離される単結晶半導体層の厚さが決定されることになる。本実施の形態においては、損傷領域114を単結晶半導体基板110の表面から50nm以上300nm以下の深さに形成する。

40

【0035】

また、絶縁層116は、貼り合わせに係る層であるから、その表面は、高い平坦性を有することが好ましい。このような絶縁層116としては、例えば、有機シランガスを用いて化学気相成長法により形成される酸化シリコン膜を用いることができる。

【0036】

その後、上記の支持基板100と単結晶半導体基板110とを貼り合わせる（図7（C）参照）。具体的には、支持基板100及び絶縁層116の表面を超音波洗浄などの方法で洗浄した後、支持基板100の表面と絶縁層116の表面とが接触するように配置する

50

。そして、支持基板 100 の表面と絶縁層 116 の表面とが貼り合わせられるように、加圧処理を施す。貼り合わせのメカニズムとしては、ファン・デル・ワールス力が関わるメカニズムや、水素結合が関わるメカニズムなどが考えられる。

【0037】

なお、上記の貼り合わせを行う前に、支持基板 100 又は絶縁層 116 の表面を酸素プラズマ処理又はオゾン処理して、その表面を親水性にしても良い。この処理によって、支持基板 100 又は絶縁層 116 の表面に水酸基が付加されるため、貼り合わせに係る界面に水素結合を形成することができる。

【0038】

次に、貼り合わせられた支持基板 100 及び単結晶半導体基板 110 に対して加熱処理を施して、貼り合わせを強化する。この際の加熱温度は、損傷領域 114 における分離が進行しない温度とする必要がある。例えば、400 未満、好ましくは 300 以下とすることができる。加熱処理時間については特に限定されず、処理速度と貼り合わせ強度との関係から最適な条件を適宜設定すればよい。本実施の形態においては、200、2時間の加熱処理を施すこととする。ここで、貼り合わせに係る領域にマイクロ波を照射して、貼り合わせに係る領域のみを局所的に加熱することも可能である。なお、貼り合わせ強度に問題がない場合は、上記加熱処理を省略しても良い。

10

【0039】

次に、単結晶半導体基板 110 を、損傷領域 114 にて、第 1 の単結晶半導体層 120 と単結晶半導体基板 130 とに分離する（図 7（D）参照）。単結晶半導体基板 110 の分離は、加熱処理により行う。該加熱処理の温度は、支持基板 100 の耐熱温度を目安にすることができる。例えば、支持基板 100 としてガラス基板を用いる場合には、加熱温度は 400 以上 650 以下とすることが好ましい。ただし、短時間であれば、400 以上 700 以下の加熱処理を行っても良い。なお、本実施の形態においては、600、2時間の加熱処理を施すこととする。

20

【0040】

上述のような加熱処理を行うことにより、損傷領域 114 に形成された微小な空孔の体積変化が生じ、損傷領域 114 に亀裂が生ずる。その結果、損傷領域 114 において単結晶半導体基板 110 が分離する。絶縁層 116 は支持基板 100 と貼り合わせられているので、支持基板 100 上には単結晶半導体基板 110 から分離された第 1 の単結晶半導体層 120 が残存することになる。また、この加熱処理で、支持基板 100 と絶縁層 116 の貼り合わせに係る界面が加熱されるため、当該界面に共有結合が形成され、支持基板 100 と絶縁層 116 の結合力が一層向上する。なお、分離後の単結晶半導体基板 130 は、再生処理を行った後、再利用することができる。再生処理後の単結晶半導体基板 130 は、SOI 基板の単結晶半導体層を得るために用いてもよいし、その他の用途に用いても良い。SOI 基板の単結晶半導体層を得るために用いる場合には、本発明は薄い単結晶半導体層を分離すれば足りるため、1 枚の単結晶半導体基板から複数の SOI 基板を作製することができることになる。

30

【0041】

上述のようにして形成された SOI 基板（図 7（E）参照）において、第 1 の単結晶半導体層 120 の表面には、分離工程やイオン打ち込み工程による欠陥が存在する。しかし、本発明においては、レーザ光照射等の第 1 の単結晶半導体層 120 の表面の欠陥を修復する処理をしなくとも、その後のエピタキシャル成長を良好に行うことができる。この点は本発明の重要な特徴の一つである。なお、図 7（E）の状態の第 1 の単結晶半導体層 120 のことを転載後の単結晶半導体層ともいう。

40

【0042】

以上により、単結晶半導体基板 110 から分離して形成された第 1 の単結晶半導体層 120 を有する SOI 基板を作製することができる。（図 7（E）参照）

【0043】

次に、第 1 の単結晶半導体層 120 上に第 1 の非晶質半導体層 122A を形成する（図

50

8 (A) 参照)。ここで、第1の非晶質半導体層122Aは、第1の単結晶半導体層120に合わせて材料を選択し、形成すればよい。第1の単結晶半導体層120は単結晶シリコン層なので、第1の非晶質半導体層122Aは非晶質シリコン層とする。第1の単結晶半導体層120がゲルマニウム層、シリコンゲルマニウム層、または炭化シリコン層であれば、それぞれ第1の非晶質半導体層122Aとしては非晶質ゲルマニウム層、非晶質シリコンゲルマニウム層、非晶質炭化シリコン層の組み合わせとなる。

【0044】

次に、熱処理を行って、第1の単結晶半導体層120をシード層として、第1の非晶質半導体層122Aを固相エピタキシャル成長させ、膜厚の厚い第2の単結晶半導体層124Aを形成する(図8(B)参照)。

10

【0045】

従来は、特許文献3に示すように、水素イオン注入剥離法によって得られる第1の単結晶半導体層120をエピタキシャル成長させる場合、結晶欠陥を修復した単結晶半導体層上でないとエピタキシャル成長は進行しなかった。

【0046】

そこで、発明者らは、単結晶半導体層上で固相エピタキシャル成長させる非晶質半導体膜の形成方法を検討することで、単結晶半導体層の結晶欠陥を修復しなくとも固相エピタキシャル成長させることに成功した。

【0047】

まずは、発明者らは、CVDにより第1の非晶質半導体層122Aを第1の単結晶半導体層120上に形成する際の反応ガスに着目した。一般的に、第1の非晶質半導体層122Aとして非晶質シリコン膜を用いる場合、水素希釈したシラン系ガスを用いて成膜していた。これは、不安定なSi-H結合を水素ラジカルでエッチングしていくことで、膜質のよい非晶質シリコン膜を形成し、その後のエピタキシャル成長を良好にする目的があった。

20

【0048】

そこで、あえて、発明者らは、シラン系ガスの水素希釈率を小さくすることを検討した。具体的には、シラン流量を200 sccmで一定とし、水素流量を0、50、100 sccmと変化させて非晶質シリコン膜を形成した。その結果、水素希釈をせずにシラン系ガスのみで形成した非晶質シリコン膜は、良好に固相エピタキシャル成長することが分かった。その結果を図1に示す。縦軸は、固相エピタキシャル成長後の単結晶半導体層(第2の単結晶半導体層124Aに対応)をラマン測定した結果の半値全幅である。半値全幅は数値が小さいほど結晶性が良好とみることができる。図1より水素流量が少ないほど結晶性がよくなっている。

30

【0049】

また、非晶質シリコン膜形成時の反応ガスにアルゴンを添加した場合も実験した。その結果を図2に示す。図2は、シラン流量100 sccmとし、アルゴン流量を0、100、200 sccmとしたときの実験結果である。縦軸は、固相エピタキシャル成長後の単結晶半導体層(第2の単結晶半導体層124Aに対応)をラマン測定した結果の半値全幅である。この結果からもアルゴン流量が少ないほど結晶性がよくなっている。

40

【0050】

これらの結果より、CVDの反応ガスとしてシラン系ガスを希釈せずに、シラン系ガス100%で第1の非晶質半導体層122Aを形成することにより、結晶性の良好な第2の単結晶半導体層124Aが得られることが分かった。これは、水素希釈をしたシラン系ガスで成膜することにより、非晶質シリコン膜中のSi-H結合を除くという従来の方法とは全く異なる。

【0051】

水素希釈しないシラン系ガスで成膜した非晶質シリコン膜において、固相エピタキシャル成長が良好に進行した理由は次のように推測される。シラン系ガスを希釈しないことにより、非晶質シリコン膜中にSi-H結合が積極的に含有された。そして、固相エピタキ

50

シャル成長時の熱処理により、 $\text{Si}-\text{H}$ 結合が切れて非晶質シリコン膜中の水素が離脱し、 $\text{Si}-\text{Si}$ 結合の再配列が助長された。そのため、結晶修復が行われていない単結晶半導体層120上においても、固相エピタキシャル成長が良好に進行した。

【0052】

次に、発明者らは、第1の非晶質半導体層122AをCVDで成膜する際の基板温度（成膜温度とも言う）に着目した。図3は、第1の非晶質半導体層122Aとして非晶質シリコン膜をCVDで成膜した際の基板温度を振ったものである。非晶質シリコン膜はモノシランガスを希釈せずに成膜した。縦軸は、各基板温度で成膜した非晶質シリコン膜を第1の非晶質半導体層122Aとしたときの、固相エピタキシャル成長後の単結晶半導体層（第2の単結晶半導体層124Aに対応）をラマン測定した結果の半値全幅である。基板温度100～275において、半値全幅が 4.8 cm^{-1} 以下で比較的結晶性がよく、基板温度300以上において半値全幅 5.2 cm^{-1} 以上で結晶性が比較的悪くなっている。これは、ある程度基板温度が高くなると、非晶質シリコンの成膜とともに気相エピタキシャル成長する部分も出てくるため、その後の熱処理で単結晶になりにくいと推測される。もしくは、基板温度が低いほど非晶質シリコン膜中に含まれる水素量は多くなるため、基板温度275以下の非晶質シリコン膜中の水素量が固相エピタキシャル成長に適していたとも推測される。よって、図3より、非晶質シリコン膜を固相エピタキシャル成長させるには、半値全幅 4.8 cm^{-1} 以下の単結晶半導体層が得られた、基板温度100以上275以下で成膜された非晶質シリコン膜が良いことが分かった。より好ましくは、半値全幅 4.6 cm^{-1} 以下の単結晶半導体層が得られた、基板温度150以上250以下で成膜した非晶質シリコン膜がよいことが分かった。

【0053】

なお、基板温度100未満での成膜は、膜質が極端に悪く、エピタキシャル成長するには不適切であった。また、基板温度300以上で成膜した場合は、非晶質シリコンの成膜と同時に気相エピタキシャル成長する部分が出てくると考えられるため、固相エピタキシャル成長させる膜としては適さない。

【0054】

以上より、シラン系ガスを希釈しないで、且つ、基板温度（成膜温度）100以上275以下、特に150以上250以下でCVDにより第1の非晶質半導体層122Aを形成することにより、良好な固相エピタキシャル成長を実現できることが分かった。当該成膜方法を用いることで、シード層となる第1の単結晶半導体層120の結晶欠陥を修復しなくとも、第1の単結晶半導体層120上において固相エピタキシャル成長を良好に行うことができる。なお、本明細書における基板温度を成膜温度といってもよい。

【0055】

当該方法により、シード層となる単結晶半導体層の結晶回復をしなくとも、固相エピタキシャル成長法により厚膜化した単結晶半導体層を有するSOI基板を作製することができる。

【0056】

本発明において、第1の非晶質半導体層122Aの成膜方法が重要な特徴の一つである。前記したように、第1の非晶質半導体層122Aは、水素またはその他のガスにより希釈しないでシラン系ガス（代表的にはモノシラン）を100%として、プラズマCVD法により形成する。その際の基板温度は100以上275以下、好ましくは150以上250以下で行う。以上のような成膜法により第1の非晶質半導体層122Aを形成することにより、レーザ光照射等の第1の単結晶半導体層120の欠陥を修復する処理をしなくとも、その後の固相エピタキシャル成長を良好に行うことができる。

【0057】

なお、シラン系ガスとしては、上記のモノシランガスをを用いることに限定されず、ジシラン（ Si_2H_6 ）ガスやその他を用いても良い。シラン系ガスを水素希釈すると、シリコンに結合された水素原子が脱離しやすくなり、非晶質シリコン膜中の水素量が少なくなってしまう。したがって、水素希釈またはその他のガスで希釈しないことで、成膜した非

晶質シリコン膜中に水素を含有させることができる。そして、非晶質シリコン膜中に含有させた水素の存在により、固相エピタキシャル成長時のSiの再配列を円滑に進行させることができる。

【0058】

また、シランガスを希釈しないことにより、水素希釈した場合と比較して、非晶質半導体層の成膜速度を向上させることができる。図4は、基板温度250℃で非晶質シリコン膜を100nm成膜したときの成膜速度のグラフであり、シラン流量は100sccmと200sccmのそれぞれで行った。図4より、水素流量が0のときに最も成膜速度が速いのが分かる。この点より、本発明はSOI基板の生産性を高くすることができる。

【0059】

プラズマCVD法を用いて第1の非晶質半導体層122Aを形成する際のその他の条件は、周波数が27MHz、電力が30W以上100W以下、チャンバー内圧力が35Pa、電極間隔(平行平板型)が25mmである。なお、上記の成膜条件は一例に過ぎず、本実施の形態はこれに限定して解釈されるものではない。

【0060】

なお、第1の非晶質半導体層122Aのエピタキシャル成長を行う前に、第1の単結晶半導体層120表面に形成されている自然酸化層などは除去しておくことが好ましい。これは、第1の単結晶半導体層120の表面に酸化層が存在する場合には、第1の単結晶半導体層120の結晶性を受けたエピタキシャル成長を進行させることができず、第2の単結晶半導体層124Aの結晶性が低下してしまうためである。ここで、上記の酸化層の除去は、フッ酸系の溶液または水素プラズマなどを用いて行うことができる。

【0061】

その後、炉により500℃1時間熱処理した後、550℃4時間熱処理を行った。これにより、第1の非晶質半導体層122Aが固相エピタキシャル成長し、膜厚の厚い第2の単結晶半導体層124Aが形成される(図8(B)参照)。この際、第1の単結晶半導体層120は種結晶として機能し、上層の第1の非晶質半導体層122Aを単結晶化させることができる。第2の単結晶半導体層124Aは、第4の単結晶半導体層120Aと固相エピタキシャル成長した第3の単結晶半導体層123となる。第3の単結晶半導体層123と第4の単結晶半導体層120Aの界面は、判別できるときもあったが、最適な作製方法を選択することにより判別が難しいほどきれいに再結晶が行われている場合もあった。

【0062】

当該エピタキシャル成長させるための熱処理により、第1の単結晶半導体層120の膜特性も改善され、より結晶性のよい第4の単結晶半導体層120Aが形成された。この点については詳しく実施の形態2で説明する。

【0063】

図5(A)に基板温度200℃で成膜した非晶質シリコン膜を固相エピタキシャル成長させたSOI基板の断面STEM結果を示す。構造はガラス基板上に下地膜、単結晶シリコン層、固相エピタキシャル層の順で下から積層されたものであり、上層のC蒸着膜、Pt、C膜は分析のために成膜されたものである。単結晶シリコン層、エピタキシャル層のそれぞれの箇所1~3における電子回折像を図5(B)~(D)に示す。この結果、いずれの箇所においても、結晶性を有していることが確認できた。また、反射電子回折パターン(EBSP:Electron Backscatter diffraction Pattern)測定をしたところ、エピタキシャル層の結晶方位はほぼ(100)方向であり、種結晶となる単結晶シリコンの結晶方位と揃っていることが分かった。その結果を図15に示す。

【0064】

固相エピタキシャル成長時の熱処理は、RTA(Rapid Thermal Anneal)、炉(ファーンネス)、ミリ波加熱装置などの熱処理装置を用いて行うことができる。熱処理装置の加熱方式としては抵抗加熱式、ランプ加熱式、ガス加熱式、電磁波加熱式などが挙げられる。レーザービームの照射や、熱プラズマジェットの照射を行っても良い

10

20

30

40

50

。

【0065】

一般的に、炉は外熱式であり、チャンバー内と被処理物は熱的に平衡状態となる。一方、RTAは、被処理物に直接エネルギーを与えることで瞬間的な加熱（急速加熱）を行うものであり、チャンバー内と被処理物は熱的に非平衡状態である。RTA装置としては、ランプ加熱式のRTA（LRTA；Lamp Rapid Thermal Anneal）装置、加熱された気体を用いるガス加熱式のRTA（GRTA；Gas Rapid Thermal Anneal）装置、又はランプ加熱式とガス加熱式の両方を備えたRTA装置等が挙げられる。RTA装置を用いる場合には、処理温度500以上750以下、処理時間0.5分以上10分以下とすることが好ましい。

10

【0066】

炉を用いる場合は処理温度550以上で行うのが好ましい。図6は、基板温度200で非晶質シリコン膜を成膜し、固相エピタキシャル成長時の熱処理として、4時間の熱処理を各温度別に行ったときの、熱処理後のラマン測定結果である。5004時間の熱処理では非晶質シリコン膜の結晶性が確認されず、固相エピタキシャル成長しないことが確認された。一方550以上では結晶性が確認され、固相エピタキシャル成長が進行したことが確認された。また、熱処理温度が高温になるにつれ、結晶性がよくなっている。したがって、熱処理温度の上限は、SOI基板における支持基板100の耐熱温度とする

【0067】

以上により、厚膜化された単結晶半導体層を有するSOI基板を作製することができる。本発明は、特許文献2のような従来の固相エピタキシャル成長と比較すると、非常に低温で固相エピタキシャル成長させることができる。これは、固相エピタキシャル成長させる非晶質半導体層の形成方法によるものである。非晶質半導体層中に水素を多く含有させ、固相エピタキシャル成長時に、層中の水素を放出することでシリコン結合の再配列が助長されるため、低温の熱処理でも固相エピタキシャル成長が良好に進行した。したがって、本発明では、支持基板100として、耐熱性の低いガラス基板やプラスチック基板であっても用いることができるので、SOI基板の生産コストの低減、および大型のSOI基板を作製することができる。

20

【0068】

第2の単結晶半導体層124Aの表面は、その後平坦化処理を行う。平坦化処理としては、ドライエッチング処理やウエットエッチング処理といったエッチング処理、CMP（Chemical Mechanical Polishing）、プラズマ処理をはじめとする研磨処理などがある。プラズマ処理としては希ガスを用いるとよい。

30

【0069】

また、別の平坦化処理として、図8（A）に示した第1の非晶質半導体層122Aを形成した後に、希ガスを用いたプラズマ処理で、第1の非晶質半導体層122A表面を平坦化しても良い。そして、プラズマ処理をした第1の非晶質半導体層122Aを固相エピタキシャル成長させると、表面が平坦な第2の単結晶半導体層124Aが得られる。プラズマ処理なしの第2の単結晶半導体層124Aの平均面粗さ（Ra）が7nm～8nmであったのに対し、希ガスとしてアルゴンを用いてプラズマ処理した場合は第2の単結晶半導体層124Aの平均面粗さは3nm～4nmになり、平均面粗さを約半分以下にすることができた。また、プラズマ処理に続けてNF₃ガスなどによるエッチバックを行うと、プラズマ処理時に第1の非晶質半導体層122A内に混入する不純物を除去することができる。

40

【0070】

ここで、第1の非晶質半導体層122Aを成膜前に平坦化するよりも、つまり、図7（E）の状態の第1の単結晶半導体層120表面を平坦化するよりも、第1の非晶質半導体層122Aを成膜後に希ガスを用いたプラズマ処理により平坦化した方がよい結果が得られている。後記、実施例1にて示す。

50

【 0 0 7 1 】

従来は、転載後の図 7 (E) の状態の第 1 の単結晶半導体層 1 2 0 にレーザ照射を行って部分溶融させることで、第 1 の単結晶半導体層 1 2 0 の再結晶化とともに表面粗さの改善も行っていた。しかし、レーザ照射を行うことで、レーザのピッチ縞の発生が問題になっていた。しかし、希ガスを用いたプラズマ処理による平坦化では、この問題を防ぐことができる。さらに、希ガスによるプラズマ処理をする対象は非晶質半導体層であるため、プラズマダメージによる結晶性の低下の問題もなく、その後の固相エピタキシャル成長により問題なく単結晶化できる。

【 0 0 7 2 】

なお、希ガスを用いたプラズマ処理により平坦化した後、第 2 の単結晶半導体層 1 2 4 A を得た後であっても、平坦性が不十分であれば、さらにドライエッチング処理やウェットエッチング処理といったエッチング処理、CMP をはじめとする研磨処理を施しても良い。

【 0 0 7 3 】

次に、図 9 を用いて、本実施の形態において用いる単結晶半導体基板 1 1 0 の処理方法について説明する。

【 0 0 7 4 】

まず、単結晶半導体基板 1 1 0 を用意する (図 9 (A) 参照) 。単結晶半導体基板 1 1 0 の詳細については、図 7 の説明部分を参照することができるため、ここでは省略する。

【 0 0 7 5 】

単結晶半導体基板 1 1 0 を洗浄した後、単結晶半導体基板 1 1 0 の表面に絶縁層 1 1 2 を形成する。絶縁層 1 1 2 を設けない構成とすることもできるが、後のイオン打ち込みの際の単結晶半導体基板 1 1 0 の汚染及び表面の損傷を防ぐためには、絶縁層 1 1 2 を設けることが好ましい。絶縁層 1 1 2 の厚さは 1 0 n m 以上 4 0 0 n m 以下とすると良い。

【 0 0 7 6 】

絶縁層 1 1 2 を構成する材料としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコンなどを挙げることができる。絶縁層 1 1 2 の形成方法としては、CVD 法、スパッタ法、単結晶半導体基板 1 1 0 の酸化 (又は窒化) による方法などがある。

【 0 0 7 7 】

次に、絶縁層 1 1 2 を介して、電界で加速されたイオンでなるイオンビーム 1 4 0 を単結晶半導体基板 1 1 0 に照射し、単結晶半導体基板 1 1 0 の表面から所定の深さの領域に、損傷領域 1 1 4 を形成する (図 9 (B) 参照) 。損傷領域 1 1 4 が形成される領域の深さは、イオンビーム 1 4 0 の加速エネルギーとイオンビーム 1 4 0 の入射角によって制御することができる。なお、損傷領域 1 1 4 は、イオンの平均侵入深さと同程度の深さの領域に形成されることになる。

【 0 0 7 8 】

上述の損傷領域 1 1 4 が形成される深さにより、単結晶半導体基板 1 1 0 から分離される単結晶半導体層の厚さが決定される。損傷領域 1 1 4 が形成される深さは、単結晶半導体基板 1 1 0 の表面から 5 0 0 n m 以下であり、好ましくは 4 0 0 n m 以下であり、より好ましくは 5 0 n m 以上 3 0 0 n m 以下である。損傷領域 1 1 4 を浅く形成することで、分離後の単結晶半導体基板が厚く残存するため、単結晶半導体基板の繰り返し利用回数を増加させることができる。ただし、損傷領域 1 1 4 を浅く形成する場合には、加速電圧を低くすることになるため、生産性などについての考慮が必要となる。

【 0 0 7 9 】

上記イオンの照射は、イオンドーピング装置やイオン注入装置を用いて行うことができる。イオン注入装置では、ソースガスを励起してイオン種を生成し、生成されたイオン種を質量分離して、所定の質量を有するイオン種を被処理物に打ち込む。イオンドーピング装置は、プロセスガスを励起してイオン種を生成し、生成されたイオン種を質量分離せずに被処理物に打ち込む。なお、質量分離機構を備えているイオンドーピング装置では、イ

10

20

30

40

50

オン注入装置と同様に、質量分離を伴うイオンの照射を行うこともできる。

【0080】

イオンドーピング装置を用いる場合のイオンの照射工程は、例えば、以下の条件で行うことができる。

- ・加速電圧 10 kV以上100 kV以下（好ましくは30 kV以上80 kV以下）
- ・ドーズ量 $1 \times 10^{16} / \text{cm}^2$ 以上 $4 \times 10^{16} / \text{cm}^2$ 以下
- ・ビーム電流密度 $2 \mu\text{A} / \text{cm}^2$ 以上（好ましくは $5 \mu\text{A} / \text{cm}^2$ 以上、より好ましくは $10 \mu\text{A} / \text{cm}^2$ 以上）

【0081】

イオンドーピング装置を用いる場合、イオン照射工程のソースガスには水素を含むガスを用いることができる。該ガスを用いることによりイオン種として H^+ 、 H_2^+ 、 H_3^+ を生成することができる。水素ガスをソースガスとして用いる場合には、 H_3^+ を多く照射することが好ましい。具体的には、例えば、イオンビーム140に、 H^+ 、 H_2^+ 、 H_3^+ の総量に対して H_3^+ イオンが70%以上含まれるようにすることが好ましい。また、 H_3^+ イオンの割合を80%以上とすることがより好ましい。このように H_3^+ の割合を高めておくことで、損傷領域114に $1 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以上の濃度で水素を含ませることが可能である。これにより、損傷領域114における分離が容易になる。また、 H_3^+ イオンを多く用いることで、 H^+ 、 H_2^+ を用いる場合よりもイオンの打ち込み効率が向上する。つまり、打ち込みにかかる時間を短縮することができる。なお、ここでは H_3^+ を多く用いる場合について説明しているが、 H^+ や H_2^+ の割合を高めて用いても問題はない。

【0082】

イオン注入装置を用いる場合には、質量分離により、 H_3^+ イオンが注入されるようにすることが好ましい。もちろん、 H^+ や H_2^+ を注入してもよい。ただし、イオン注入装置を用いる場合には、イオン種を選択して注入するため、イオンドーピング装置を用いる場合と比較して、イオン打ち込みの効率が低下する場合がある。

【0083】

イオン打ち込み工程のソースガスには他に、ヘリウムやアルゴンなどの希ガス、フッ素ガスや塩素ガスに代表されるハロゲンガス、フッ素化合物ガス（例えば、 BF_3 ）などのハロゲン化合物ガスから選ばれた一種または複数種類のガスを用いることができる。ソースガスにヘリウムを用いる場合は、質量分離を行わないことで、 He^+ イオンの割合が高いイオンビーム140を作り出すことができる。このようなイオンビーム140を用いることで、損傷領域114を効率よく形成することができる。

【0084】

また、複数回の照射工程を行うことで、損傷領域114を形成することもできる。この場合、イオン照射工程毎にソースガスを異ならせても良いし、同じソースガスを用いてもよい。例えば、ソースガスとして希ガスを用いてイオン照射を行った後、水素を含むガスをソースガスとして用いてイオン照射を行うことができる。また、初めにハロゲンガス又はハロゲン化合物ガスを用いてイオン照射を行い、次に、水素ガスを含むガスを用いてイオン照射を行うこともできる。

【0085】

上記の損傷領域114を形成した後、絶縁層112を除去し、絶縁層116を形成する（図9（C）参照）。絶縁層116は、貼り合わせに係る層であるから、その表面は、高い平坦性を有することが好ましい。このような絶縁層116としては、例えば、有機シランガスを用いて化学気相成長法により形成される酸化シリコン層を用いることができる。また、窒化シリコン層を用いても良い。

【0086】

ここで、絶縁層112を除去するのは、上記イオンの照射によって絶縁層112が損傷する可能性が高いためである。したがって、イオンの照射による絶縁層112の損傷が問題とならない場合には、絶縁層112上に絶縁層116を形成しても良い。又は、絶縁層

10

20

30

40

50

1 1 2を絶縁層 1 1 6として用いることもできる。

【0087】

以上により、図7(B)に示される半導体基板が得られる。なお、本実施の形態は、他の実施の形態と適宜組み合わせる用いることができる。

【0088】

(実施の形態2)

実施の形態1の方法を用いて固相エピタキシャル成長させたところ、図8(A)の第1の非晶質半導体層 1 2 2 Aだけでなく、その下層の第1の単結晶半導体層 1 2 0も結晶性が改善していることが分かった。そこで、本実施形態では、エピタキシャル成長により結晶性が改善した単結晶半導体層を積極的に用いる。つまり、固相エピタキシャル成長させた後、エッチングによりエピタキシャル成長させた以上のエッチバック処理を行って、薄膜化する形態について説明する。なお、前述の図面と同一部分には同一符号を付し、同一部分の説明は省略する。

10

【0089】

まず、固相エピタキシャル成長を行わず、単にSOI基板に熱処理を行った場合の結晶性を確認した。SOI基板としては、図7(E)の状態のSOI基板(支持基板 1 0 0上に絶縁層 1 1 6を介して第1の単結晶半導体層 1 2 0を転載したもの)を用い、当該基板に500 1時間の熱処理をした後、550 4時間の熱処理を行い、熱処理前後での第1の単結晶半導体層 1 2 0の結晶性を確認した。図11(A)がラマン結果である。熱処理前後において第1の単結晶半導体層 1 2 0の半値全幅の変化はなく、単結晶シリコン層の結晶性が改善しなかったことが確認できた。

20

【0090】

次に、図7(E)の状態のSOI基板に対して、500 1時間の熱処理をした後、550 4時間の熱処理を行ったもの(比較例1)と、図8(A)の状態のSOI基板(実施の形態1の方法で第1の非晶質半導体層を成膜)に対して、500 1時間の熱処理をした後、550 4時間の熱処理により固相エピタキシャル成長させたもの(サンプルA)の結晶性をラマン測定により確認した。サンプルAにおいて、第1の非晶質半導体層 1 2 2 Aは基板温度250 で成膜した。図11(B)、(C)がラマン結果であり、図11(B)にラマンスペクトル、図11(C)に図11(B)の各ラマンスペクトルの半値全幅値を示す。サンプルAと比較例1のラマンスペクトルにおいて482 cm^{-1} 付近と520 cm^{-1} 付近にそれぞれピークがあるが、前者は蛍光灯のラマンピークであり、後者がシリコンのラマンピークである。

30

【0091】

図11(B)、(C)より、固相エピタキシャル成長させたサンプルAのほうが、比較例1よりも半値全幅が小さく、結晶性がよいことが確認できる。なお、サンプルAのラマン結果は、エピタキシャル成長した層とその下層の単結晶半導体層の両方を合わせた測定結果である。実験結果より、単に転載後の単結晶半導体層を熱処理したのでは結晶性は回復せず、固相エピタキシャル成長させることにより、下層の転載された単結晶半導体層の結晶性も回復していることが確認できた。なお、ラマン結果による結晶性は、ラマンスペクトル強度よりも半値全幅で判断する。ラマンスペクトル強度は膜厚や膜表面の凹凸等に依存して変化するためである。

40

【0092】

この結果に基づき、本実施の形態のSOI基板の作製方法について、図10を用いて説明する。支持基板と単結晶半導体基板を貼り合わせ、分離する工程は、実施形態1の図7と同様である。そして、図8(A)と同様に、第1の単結晶半導体層 1 2 0上に第1の非晶質半導体層 1 2 2 Aを形成する(図10(A)参照)。

【0093】

次に、熱処理を行い、第1の非晶質半導体層 1 2 2 Aを固相エピタキシャル成長させて第3の単結晶半導体層 1 2 3とする(図10(B)参照)。このとき、固相エピタキシャル成長させることにより、第1の単結晶半導体層 1 2 0も結晶改善され、第4の単結晶半

50

導体層 120A となっている。つまり、第3の単結晶半導体層 123 と第4の単結晶半導体層 120A となる第2の単結晶半導体層 124A が形成される。第4の単結晶半導体層 120A と第3の単結晶半導体層 123 の界面は、判別できるときもあるが、判別が難しいほどきれいに第3の単結晶半導体層 123 の再結晶化が行われている場合もある。

【0094】

第1の非晶質半導体層 122A の膜厚は薄くても、下層の第1の単結晶半導体層 120 の結晶改善には影響はない。図12に第1の非晶質半導体層 122A の膜厚を振った場合のラマン結果を示す。第1の非晶質半導体層 122A の膜厚が 10nm と薄膜であっても、固相エピタキシャル成長の熱処理後には第2の単結晶半導体層 124A の半値全幅が小さくなっており、結晶性が改善していることが分かる。

10

【0095】

次に、少なくとも第3の単結晶半導体層 123 が除去されるように、エッチバック処理を行う(図10(C))。エッチバック処理としてはウエットエッチングまたはドライエッチングのどちらでもよい。ドライエッチングであれば、 NF_3 プラズマエッチングなどにより行うとよい。第3の単結晶半導体層 123 を除去することにより、第1の非晶質半導体層 122A の成膜時や固相エピタキシャル成長の熱処理時に、第1の非晶質半導体層 122A に不純物が混入しても、デバイスへの影響を小さくできる。また、第4の単結晶半導体層 120A と第3の単結晶半導体層 123 の界面をなくすることができるため、本実施形態で作製された SOI 基板を用いてトランジスタを作製する場合、トランジスタ特性を向上させることができる。

20

【0096】

また、エッチバック処理とともに、第4の単結晶半導体層 120A 表面の平坦化処理を兼ねても構わない。そうすれば、工程数が増えることはなく、作製コストは高くない。また、平坦化処理として、実施の形態1でも説明したとおり、第1の非晶質半導体層 122A に希ガスを用いたプラズマ処理により平坦化をおこなってもよい。

【0097】

結晶性が悪く、欠陥を有する転載後の第1の単結晶半導体層 120 に対して、本形態の SOI 基板作製方法により、レーザ処理等の欠陥修復工程なしで結晶性を向上させることができる。また、固相エピタキシャル成長させる第1の非晶質半導体層 122A は、最終的に除去するため、第1の非晶質半導体層 122A 自体の膜質を良くする必要はない。また、成膜条件を細かく設定して再現性を高くする必要もない。つまり、本実施形態における第1の非晶質半導体層 122A の膜質は、ある程度の幅を持つことが許容されるので、SOI 基板の生産性の向上につながる。また、本実施形態は、転載後の単結晶半導体層の欠陥修復をレーザ処理により行うよりも、低コストで且つ生産性良く行うことが可能である。

30

【0098】

本実施の形態は、先の実施の形態と適宜組み合わせ用いることができる。

【0099】

(実施の形態3)

本実施の形態では、図13および図14を参照して、上記実施の形態で作製した SOI 基板を用いて、nチャネル型薄膜トランジスタ、およびpチャネル型薄膜トランジスタを作製する方法を説明する。複数の薄膜トランジスタ(TFT)を組み合わせることで、各種の半導体装置を形成することができる。なお、前述の図面と同一部分には同一符号を付し、同一部分の説明は省略する。

40

【0100】

SOI 基板として、実施の形態1の方法で作製した SOI 基板を用いる場合について説明する。なお、ここでは、上記図8(B)の第2の単結晶半導体層 124A に、平坦化処理を行った SOI 基板を用いることとする。平坦化処理としては、ドライエッチング処理やウエットエッチング処理といったエッチング処理、CMPをはじめとする研磨処理などがある。また、SOI 基板として、実施の形態2の方法で作製したものをを用いても構わな

50

い。

【0101】

図13(A)は、実施形態1で説明した方法で作製されたSOI基板の断面図である。エッチングにより、SOI基板の第2の単結晶半導体層124Aを素子分離して、図13(B)に示すように半導体膜251、252を形成する。半導体膜251はnチャネル型のTF Tを構成し、半導体膜252はpチャネル型のTF Tを構成する。

【0102】

図13(C)に示すように、半導体膜251、252上に絶縁膜254を形成する。次に、絶縁膜254を介して半導体膜251上にゲート電極255を形成し、半導体膜252上にゲート電極256を形成する。

10

【0103】

なお、第2の単結晶半導体層124Aの素子分離のためのエッチングを行う前に、TF Tのしきい値電圧を制御するために、ホウ素、アルミニウム、ガリウムなどのアクセプタとなる不純物元素、またはリン、ヒ素などのドナーとなる不純物元素を第2の単結晶半導体層124Aに添加することが好ましい。例えば、nチャネル型TF Tが形成される領域にアクセプタを添加し、pチャネル型TF Tが形成される領域にドナーを添加する。

【0104】

次に、図13(D)に示すように半導体膜251にn型の低濃度不純物領域257を形成し、半導体膜252にp型の高濃度不純物領域259を形成する。まず、半導体膜251にn型の低濃度不純物領域257を形成する。このため、pチャネル型TF Tとなる半導体膜252をレジストでマスクし、ドナーを半導体膜251に添加する。ドナーとしてリンまたはヒ素を添加すればよい。イオンドーピング法またはイオン注入法によりドナーを添加することにより、ゲート電極255がマスクとなり、半導体膜251に自己整合的にn型の低濃度不純物領域257が形成される。半導体膜251のゲート電極255と重なる領域はチャネル形成領域258となる。

20

【0105】

次に、半導体膜252を覆うマスクを除去した後、nチャネル型TF Tとなる半導体膜251をレジストマスクで覆う。次に、イオンドーピング法またはイオン注入法によりアクセプタを半導体膜252に添加する。アクセプタとして、ボロンを添加することができる。アクセプタの添加工程では、ゲート電極256がマスクとして機能して、半導体膜252にp型の高濃度不純物領域259が自己整合的に形成される。高濃度不純物領域259はソース領域またはドレイン領域として機能する。半導体膜252のゲート電極256と重なる領域はチャネル形成領域260となる。ここでは、n型の低濃度不純物領域257を形成した後、p型の高濃度不純物領域259を形成する方法を説明したが、先にp型の高濃度不純物領域259を形成することもできる。

30

【0106】

次に、半導体膜251を覆うレジストを除去した後、プラズマCVD法等によって窒化シリコン等の窒素化合物や酸化シリコン等の酸化物からなる単層構造または積層構造の絶縁膜を形成する。この絶縁膜を垂直方向の異方性エッチングすることで、図14(A)に示すように、ゲート電極255、256の側面に接するサイドウォール絶縁膜261、262を形成する。この異方性エッチングにより、絶縁膜254もエッチングされる。

40

【0107】

次に、図14(B)に示すように、半導体膜252をレジスト265で覆う。半導体膜251にソース領域またはドレイン領域として機能する高濃度不純物領域を形成するため、イオン注入法またはイオンドーピング法により、半導体膜251に高ドーズ量でドナーを添加する。ゲート電極255およびサイドウォール絶縁膜261がマスクとなり、n型の高濃度不純物領域267が形成される。次に、ドナーおよびアクセプタの活性化のための加熱処理を行う。

【0108】

活性化の加熱処理の後レジスト265を除去し、図14(C)に示すように、水素を含

50

んだ絶縁膜 268 を形成する。絶縁膜 268 を形成後、350 以上 450 以下の温度による加熱処理を行い、絶縁膜 268 中に含まれる水素を半導体膜 251、252 中に拡散させる。絶縁膜 268 は、プロセス温度が 350 以下のプラズマ CVD 法により窒化シリコンまたは窒化酸化シリコンを堆積することで形成できる。半導体膜 251、252 に水素を供給することで、半導体膜 251、252 中および絶縁膜 254 との界面での捕獲中心となるような欠陥を効果的に補償することができる。

【0109】

その後、層間絶縁膜 269 を形成する。層間絶縁膜 269 は、酸化シリコン膜、BPSG (Boron Phosphorus Silicon Glass) 膜などの無機材料でなる絶縁膜、または、ポリイミド、アクリルなどの有機樹脂膜から選ばれた単層構造の膜、積層構造の膜で形成することができる。層間絶縁膜 269 にコンタクトホールを形成した後、図 14 (C) に示すように配線 270 を形成する。配線 270 の形成には、例えば、アルミニウム膜またはアルミニウム合金膜などの低抵抗金属膜をバリアメタル膜で挟んだ 3 層構造の導電膜で形成することができる。バリアメタル膜は、モリブデン、クロム、チタンなどの金属膜で形成することができる。

【0110】

以上の工程により、n チャネル型 TFT と p チャネル型 TFT を有する半導体装置を作製することができる。SOI 基板の作製過程で、チャネル形成領域を構成する半導体膜の金属元素の濃度を低減させているので、オフ電流が小さく、しきい値電圧の変動が抑制された TFT を作製することができる。

【0111】

図 13 および図 14 を参照して TFT の作製方法を説明したが、TFT の他、容量、抵抗など、TFT と共に各種の半導体素子を形成することで、高付加価値の半導体装置を作製することができる。

【0112】

本実施の形態は、先の実施の形態と適宜組み合わせ用いることができる。

【0113】

(実施の形態 4)

本実施の形態では、上記実施の形態 1 または 2 の方法で作製した SOI 基板を用いて、光電変換装置を作製する方法を図 16 ~ 図 20 を参照して説明する。なお、前述の図面と同一部分には同一符号を付し、同一部分の説明は省略する。

【0114】

単結晶半導体基板 110 を準備する。図 16 (D) に示すように、該単結晶半導体基板 110 は、所定の深さの領域に損傷領域 114 が形成され、一表面側には第 1 不純物半導体層 108 が形成されている。また、単結晶半導体基板 110 の一表面上には第 1 電極 106 と絶縁層 116 が順に積層形成されている。なお、第 1 電極 106 は、第 1 不純物半導体層 108 が形成された側或いは第 1 不純物半導体層 108 が形成される側の一表面上に形成されている (図 16 (D) 参照)。

【0115】

損傷領域 114、第 1 不純物半導体層 108、第 1 電極 106、絶縁層 116 の形成順序は限定されず、以下に示す (1) ~ (4) が挙げられる。

【0116】

(1) 単結晶半導体基板 110 の一表面上に絶縁層 112 を形成し、該絶縁層 112 が形成された面側から一導電型を付与する不純物元素を添加して単結晶半導体基板 110 の一表面側に第 1 不純物半導体層 108 を形成した後、絶縁層 112 が形成された面側からイオン又はクラスターイオンを照射して単結晶半導体基板 110 の所定の深さの領域に損傷領域 114 を形成する。絶縁層 112 を除去した後、該絶縁層 112 が形成されていた表面側である第 1 不純物半導体層 108 上に第 1 電極 106 を形成し、該第 1 電極上に絶縁層 116 を形成する。

【0117】

(2) 単結晶半導体基板 110 の一表面上に絶縁層 112 を形成し、該絶縁層 112 が形成された面側からイオン又はクラスターイオンを照射して単結晶半導体基板 110 の所定の深さの領域に損傷領域 114 を形成した後、絶縁層 112 が形成された面側から一導電型を付与する不純物元素を添加して単結晶半導体基板 110 の一表面側に第 1 不純物半導体層 108 を形成する。絶縁層 112 を除去した後、該絶縁層 112 が形成されていた表面側である第 1 不純物半導体層 108 上に第 1 電極 106 を形成し、該第 1 電極 106 上に絶縁層 116 を形成する。

【0118】

(3) 単結晶半導体基板 110 の一表面上に第 1 電極 106 を形成する。該第 1 電極 106 が形成された面側から一導電型を付与する不純物元素を添加し、単結晶半導体基板 110 の第 1 電極 106 が形成された一表面側に第 1 不純物半導体層 108 を形成する。さらに、第 1 電極 106 が形成された面側からイオン又はクラスターイオンを照射して、単結晶半導体基板 110 の所定の深さの領域に損傷領域 114 を形成した後、第 1 電極 106 上に絶縁層 116 を形成する。

10

【0119】

(4) 単結晶半導体基板 110 の一表面上に第 1 電極 106 を形成する。該第 1 電極 106 が形成された面側からイオン又はクラスターイオンを照射して、単結晶半導体基板 110 の所定の深さの領域に損傷領域 114 を形成する。さらに、第 1 電極 106 が形成された面側から一導電型を付与する不純物元素を添加して、単結晶半導体基板 110 の第 1 電極 106 が形成された一表面側に第 1 不純物半導体層 108 を形成する。第 1 電極 106 上に絶縁層 116 を形成する。

20

【0120】

本形態では、(1) の形成順序の例について、図 16 を用いて説明する。前述の図面と同様の符号を用いるものについては、前述の説明部分を参照することができるため、ここでは詳細な説明を省略する。

【0121】

単結晶半導体基板 110 の一表面上に絶縁層 112 を形成する。そして、絶縁層 112 が形成された面側から一導電型を付与する不純物元素を添加し、第 1 不純物半導体層 108 を形成する(図 16 (A) 参照)。絶縁層 112 を設けない構成とすることもできるが、後のイオン打ち込みの際の単結晶半導体基板 110 の汚染及び表面の損傷を防ぐためには、絶縁層 112 を設けることが好ましい。

30

【0122】

単結晶半導体基板 110 に一導電型を付与する不純物元素を添加し、単結晶半導体基板 110 の一表面側に第 1 不純物半導体層 108 を形成する。第 1 不純物半導体層 108 は、厚さ 30 nm 乃至 150 nm、好ましくは 50 nm 乃至 100 nm で形成する。一導電型を付与する不純物元素は、単結晶半導体基板 110 上に形成した絶縁層 112 を通過させて添加する。例えば、一導電型を付与する不純物元素としてホウ素を添加し、p 型の第 1 不純物半導体層 108 を形成する。ホウ素の添加は、 B_2H_6 、 BF_3 を原料ガスとして、生成されたイオンを質量分離しないで電圧で加速して、生成されるイオン流を基板に照射するイオンドーピング装置を用いて行うことが好ましい。単結晶半導体基板 110 の面積が、対角 300 mm を超えるような大きさであってもイオンビームの照射面積を大きくすることができ、効率良く処理できるからである。例えば、長辺の長さが 300 mm を超える線状イオンビームを形成し、該線状イオンビームが、単結晶半導体基板 110 の一端から他端まで照射されるように処理すれば、単結晶半導体基板 110 の全面に第 1 不純物半導体層 108 を均一に形成することができる。

40

【0123】

なお、第 1 不純物半導体層 108 は、熱拡散法により形成することもできる。ただし、熱拡散法はおよそ 900 程度又はそれ以上の高温処理となるため、損傷領域を形成する前に行う。

【0124】

50

第1不純物半導体層108は、本形態に係る光電変換装置において、光入射側と反対側の面に配置され、裏面電界(BSF; Back Surface Field)を形成する。単結晶半導体基板110としてp型基板を適用すれば、別途p型を付与する不純物元素を添加した不純物半導体層(本形態では第1不純物半導体層108)を設けなくともよいが、このように高濃度p型領域(第1不純物半導体層108)と低濃度p型領域(単結晶半導体基板から薄片化される第1単結晶半導体層)の配置とすることで、光閉じこめ効果により、光励起により生成されたキャリア(電子と正孔)の再結合を防ぎキャリア収集効率を高めることができる。よって、光電変換装置の光電変換効率を向上させることができる。

【0125】

10

単結晶半導体基板110に電界で加速されたイオンでなるイオンビームを照射し、単結晶半導体基板110の所定の深さの領域に損傷領域114を形成する(図16(B)参照)。

【0126】

また、第1不純物半導体層108を通して水素を含む原料ガスにより生成されるイオン又はクラスターイオンを照射して損傷領域114を形成することにより、第1不純物半導体層108の水素化を兼ねることができる。

【0127】

単結晶半導体基板110上に形成した絶縁層112を除去した後、第1不純物半導体層108上に第1電極106を形成する(図16(C)参照)。

20

【0128】

第1電極106は、後に単結晶半導体基板110を分離するための熱処理温度に耐える材料を用いる必要があり、高融点金属であることが好ましい。具体的には、第1電極106には、支持基板100の歪み点温度程度の耐熱性が必要である。例えば、チタン、モリブデン、タングステン、タンタル、クロム、ニッケルなどの金属材料を適用する。また、前述の金属材料と、金属材料の窒化物との積層構造とすることもできる。例えば、窒化チタン層とチタン層、窒化タンタル層とタンタル層、窒化タングステン層とタングステン層などの積層構造が挙げられる。窒化物との積層構造とする場合は、第1不純物半導体層108と接して窒化物を形成する。窒化物を形成することで、第1電極106と第1不純物半導体層108との密着性を向上させることができる。第1電極106は、蒸着法やスパッタリング法により形成する。

30

【0129】

第1電極106上に絶縁層116を形成する(図16(D)参照)。例えば、絶縁層116として、膜厚50nmの酸化窒化シリコン層、膜厚50nmの窒化酸化シリコン層、及び膜厚50nmの酸化シリコン層の積層膜を形成する。これら絶縁層はプラズマCVD法により形成することができる。最上層であり、接合面となる酸化シリコン層は、成膜後に表面のRa値0.5nm以下、好ましくは0.3nm以下となるようにすることが好ましく、例えば原料ガスにTEOS(tetraethyl-ortho-silicate)を用いてプラズマCVD法により形成する。また、絶縁層116に窒素を含むシリコン絶縁層、具体的には窒化酸化シリコン層を含むことで、後に貼り合わせる支持基板100からの不純物拡散を防ぐこともできる。

40

【0130】

単結晶半導体基板110の第1電極106が形成された面側と、支持基板100の一表面側と、を重ね合わせて貼り合わせる(図17(A)参照)。本形態では、第1電極106と支持基板100との間に絶縁層116を挟んで貼り合わせる。接合面は、絶縁層116の一表面(第1電極106と接していない面側)と、支持基板100の一表面である。

【0131】

また、単結晶半導体基板110と支持基板100とを貼り合わせた後は、加熱処理を施して、貼り合わせを強化する。

【0132】

50

なお、第1電極106表面(第1不純物半導体層108側と逆の表面)が平滑性を有する場合、具体的には平均面粗さRa値が0.5nm以下、好ましくは0.3nm以下である場合は、絶縁層116を形成しなくとも支持基板と接合できる場合もある。その場合、絶縁層116を形成せず、第1電極106と支持基板を直接貼り合わせてもよい。

【0133】

次に、加熱処理を行い、損傷領域114にて、単結晶半導体基板110から第1の単結晶半導体層120を分離する。支持基板100上には単結晶半導体基板110から分離した第1の単結晶半導体層120が残存し、所謂SOI構造が得られる。第1の単結晶半導体層120は、単結晶半導体基板110とほぼ同じ結晶性を有する。また、第1の単結晶半導体層120が分離された単結晶半導体基板130が得られる(図17(B)参照)。

10

【0134】

以上の工程により、支持基板100上に固定された第1の単結晶半導体層120を得ることができる。なお、支持基板100と第1の単結晶半導体層120の間には、絶縁層116、第1電極106、第1不純物半導体層108が設けられている。

【0135】

第1の単結晶半導体層120上に、実施の形態1で説明した方法で第1の非晶質半導体層122Aを形成する(図18(A)参照)。

【0136】

第1の非晶質半導体層122Aの膜厚は、第1の単結晶半導体層120と合わせて800nm以上、好ましくは1000nm以上とし、成膜時間や成膜コストなどタクトタイムや生産性を考慮すると、第1の非晶質半導体層122Aは膜厚100nm以上2000nm以下とすることが好ましい。

20

【0137】

第1の非晶質半導体層122Aとしては、真性半導体を形成する。また、p型の非晶質半導体層又はn型の非晶質半導体層を形成してもよい。

【0138】

熱処理を行い、第1の非晶質半導体層122Aを固相エピタキシャル成長させる。この熱処理により、第3の単結晶半導体層123と第4の単結晶半導体層120Aとなる、第2の単結晶半導体層124Aが形成される(図18(B)参照)。第2の単結晶半導体層124Aを光電変換層に用いると、膜厚が厚いため光電変換効率を向上させることができる。

30

【0139】

なお、第4の単結晶半導体層120Aの厚さが十分なものであれば、実施の形態2のように、第3の単結晶半導体層123をエッチング除去して、第4の単結晶半導体層120Aを光電変換層としても良い。

【0140】

第3の単結晶半導体層123の一表面側(第4の単結晶半導体層120Aと接しない面側)に第1不純物半導体層108とは逆の導電性を付与する不純物元素を添加し、第2不純物半導体層115を形成する(図18(C)参照)。第2不純物半導体層115は、厚さ30nm乃至150nm、好ましくは50nm乃至100nmで形成する。例えば、第1不純物半導体層108とは逆の導電性を付与する不純物元素として燐又はヒ素を添加し、n型の第2不純物半導体層115を形成する。支持基板100としてガラス基板を適用する場合、熱拡散法のプロセス温度に耐えられないため、イオン注入やイオンドーピングにより不純物元素を添加する。

40

【0141】

また、図示しないが、第1の非晶質半導体層122A上に、第1不純物半導体層108とは逆の導電型(例えばn型)の非晶質半導体層を形成する。そして、熱処理を行い固相成長させて、第2の単結晶半導体層124Aと第2不純物半導体層115を形成することもできる。n型の非晶質半導体層は、モノシラン若しくはジシランなどのシリコンの水素化合物を原料ガスに用い、該原料ガスにn型の不純物であるホスフィン(PH_3)を添加し

50

て成膜することで、形成することができる。p型の非晶質半導体層を形成する場合はジボラン(B_2H_6)を添加すればよい。

【0142】

また、第2不純物半導体層115は、非晶質半導体又は微結晶半導体により形成することもできる。主に光電変換層として機能する領域は単結晶半導体層で形成されているため、第2不純物半導体層115を非晶質半導体又は微結晶半導体で形成しても問題とはならない。なお、第2不純物半導体層115を非晶質半導体又は微結晶半導体で形成する場合は、膜厚を例えば50nm乃至100nmと薄くすることが好ましい。これは、第2不純物半導体層115でのキャリアの再結合を防ぐためである。

【0143】

以上により、一導電型の第1不純物半導体層108、第2の単結晶半導体層124A、前記一導電型とは逆の導電型である第2不純物半導体層115が順に積層されたユニットセル109を得ることができる(図19(A)参照)。

【0144】

第1電極106上に設けられた第1不純物半導体層108、第2の単結晶半導体層124A及び第2不純物半導体層115を選択的にエッチングして、第1電極106の一部(好ましくは第1電極106端部)を露出させる(図19(A)参照)。

【0145】

光電変換装置として機能させるためには、正極と負極に対応する電極から、光電変換された電気エネルギーを取り出す必要がある。第1電極106は正極と負極に対応する電極の一方として機能するが、その上層は単結晶半導体層に覆われており、その下層は支持基板100が設けられているため、そのままでは電気を外部に取り出しにくい。したがって、第1電極106の上層に形成されている層をエッチングし、該第1電極106の一部を露出させ、引き回しのできる電極を形成することが好ましい。

【0146】

具体的には、第2不純物半導体層115上にレジストや窒化シリコン層などの絶縁層を用いてマスクを形成し、該マスクを用いてエッチングを行えばよい。エッチングは、 NF_3 、 SF_6 などのフッ素系ガスを用いたドライエッチングを行えばよく、少なくとも第1電極106と、該第1電極106の上層に形成されている層(第1不純物半導体層108~第2不純物半導体層115)とのエッチング選択比が充分高く取れる条件で行えばよい。

【0147】

本形態では第2不純物半導体層115を形成した後に第1電極106を露出させる例を示したが、第1電極106を露出させた後に第2不純物半導体層115を形成することもできる。具体的には、熱処理により第3の単結晶半導体層123を形成した後、該第3の単結晶半導体層123上にマスクを形成し、該マスクを用いてエッチングを行うことにより第1電極106の一部を露出させる。不要となったマスクを除去した後、第3の単結晶半導体層123に第1不純物半導体層108とは逆導電型を付与する不純物元素を添加し、第2不純物半導体層115を形成する。

【0148】

第2不純物半導体層115上に第2電極118を形成する。また、露出させた第1電極106に接する補助電極160を形成する(図19(B)参照)。

【0149】

第2電極118は、図20に示すように上面から見たときに格子状(或いは櫛状、櫛状、櫛歯状)に形成する。このようにすることで、ユニットセル109に光を照射することができ、ユニットセル109が効率よく光を吸収することができる。第2電極118の形状は特に限定されるものではないが、ユニットセル109(第2不純物半導体層115)上を覆う面積をできるだけ小さくする方が、光を入射する有効面積が大きくなることはいうまでもない。なお、図20のO-Pにおける断面が図19(B)に相当する。

【0150】

補助電極 160 は、第 2 電極 118 と同じ工程で形成することができる。本形態の光電変換装置において、第 1 電極 106 は正極又は負極の一方の電極として機能するが、支持基板 100 とユニットセル 109 との間全面に形成されており、自由に配線を引き回すことができないため、補助電極 160 を形成することで光電変換された電気エネルギーを取り出しやすくする。補助電極 160 は取り出し電極として機能する。

【0151】

第 2 電極 118 と補助電極 160 は、アルミニウム、銀、鉛錫（半田）などを用い、印刷法などにより形成する。例えば、銀ペーストを用いてスクリーン印刷法で形成することができる。なお、ペーストなどを用いてスクリーン印刷法により電極を形成する場合、その厚さは数 μm ～ 数 100 μm 程度となりうる。ただし、図示しているのは模式図であり、必ずしも実際の寸法を表しているものではない。

10

【0152】

以上により、光電変換装置を製造することができる。タンデム型にしたい場合は、図 19 (A) のユニットセル 109 を形成した後に、さらにその上部にユニットセル 109 を同様に形成して積み重ねてゆけば良い。その後、図 19 (B) の方法で、第 2 電極 118 及び補助電極 160 を形成する。

【0153】

なお、ユニットセル 109 上に反射防止層を兼ねたパッシベーション層を形成することが好ましい。

【0154】

20

半導体表面における反射率は、波長依存性はあるものの、通常 30% ～ 50% といわれる。光入射面での反射は入射する光の損失となり、光電変換効率が低下する要因となる。したがって、ユニットセル 109 の光入射面（本形態では第 2 不純物半導体層 115 上）に、屈折率がユニットセル 109 の入射面の材料である半導体と空気の屈折率の中間に位置し、且つ光の入射を妨げない透過性を有するパッシベーション層を形成することで、ユニットセル 109 入射面での反射を防ぐことができる。このようなパッシベーション層としては、窒化シリコン層、窒化酸化シリコン層、又はフッ化マグネシウム層などを形成することができる。

【0155】

ユニットセル 109 と第 2 電極 118、及びユニットセル 109 と補助電極 160 との間にパッシベーション層を設ける。この場合、ユニットセル 109 上にパッシベーション層を形成した後、第 2 不純物半導体層 115 と第 1 電極 106 の表面の一部が露出するようにパッシベーション層をエッチングし、開口部を設ける。または、リフトオフ法などを適用して、開口部が設けられたパッシベーション層を形成することもできる。そして、パッシベーション層に設けられた開口部を介して第 2 不純物半導体層 115 と接する第 2 電極 118 を、印刷法により形成する。また、同一工程で、パッシベーション層に設けられた開口部を介して第 1 電極 106 と接する補助電極 160 を形成する。

30

【0156】

本形態に係る製造工程は、結晶の固相エピタキシャル成長技術を用いることにより、光電変換層として機能する 1000 nm 以上の単結晶半導体層を得ることができる。固相エピタキシャル成長を利用することで、原料として用いる単結晶半導体は種結晶として機能できる量であれば十分であり、単結晶半導体の消費量を抑えることができる。また、非晶質半導体や微結晶半導体の場合は粒界が存在することでキャリアがトラップされ光電変換効率が低くなってしまいが、単結晶半導体は粒界がないため光電変換効率が優れ、高効率な光電変換装置を提供することが可能となる。また、従来では光電変換装置を支持する構造体部分も単結晶半導体で形成していたが、異種材料間の接合技術を用い、単結晶半導体基板を薄片化した単結晶半導体層を支持基板に固定させる構成とすることで、単結晶半導体の消費量を抑えることができる。さらに、単結晶半導体層を分離した後の単結晶半導体基板は繰り返し利用することができる。よって、資源を有効に利用することができる。

40

【0157】

50

本実施の形態は、先の実施の形態と適宜組み合わせ用いることができる。

【0158】

(実施の形態5)

本実施の形態では、実施の形態1または2の方法で作製したSOI基板を用いて、光電変換素子を備える半導体装置およびその作製方法について説明する。なお、前述の図面と同一部分には同一符号を付し、同一部分の説明は省略する。

【0159】

開示する発明の一態様に係る光電変換素子180は、光透過性を有する支持基板100上に設けられている(図21(A)、図21(B)参照)。ここで、図21(B)は図21(A)のA-Bにおける断面に相当する。

10

【0160】

光電変換素子180は、光電変換を奏する半導体領域164、第1の導電型(ここではp型)を示す半導体領域158、第2の導電型(ここではn型)を示す半導体領域162、を有する島状の単結晶半導体層と、島状の単結晶半導体層を覆うように形成された絶縁層154および絶縁層166と、第1の導電型を示す半導体領域158と電気的に接続された第1の電極172と、第2の導電型を示す半導体領域162と電気的に接続された第2の電極174と、を有する。ここで、第1の導電型を示す半導体領域158と第2の導電型を示す半導体領域162は、いずれも光電変換を奏する半導体領域164に隣接し、かつ、光電変換を奏する半導体領域164によって隔てられている。なお、上記第1の導電型と第2の導電型とは、入れ替えても良い。

20

【0161】

また、支持基板100と光電変換素子180との間には、絶縁層116が設けられている。当該絶縁層は、光電変換素子180を支持基板100に固定する役割を果たす。

【0162】

光電変換素子180の動作は以下の通りである。光電変換素子180において、光電変換を奏する半導体領域164に光が入射すると、当該半導体領域には電子および正孔が生成される。第1の導電型を示す半導体領域158と第2の導電型を示す半導体領域162との間に外部から電圧が印加されていない場合(無バイアスの場合)には、生成された電子は、自己整合的な電場の影響によりn型半導体領域の方向に流れる。同様に、生成された正孔は、p型半導体領域の方向に流れる。外部から電圧が印加されている場合(例えば、逆バイアスが印加されている場合)には、自己整合的な電場および外部からの電圧の影響を受けて、電子および正孔が流れることになる。

30

【0163】

このようにして生じる電流は、光の強度に依存するため、この性質を利用して光センサとすることができる。また、光による起電力を光電変換素子の外部に取り出すことで、発電システムとして用いることも可能である。

【0164】

ここで、本実施の形態における、光電変換素子を構成する上記島状の半導体層(半導体領域162、164、158)の結晶性は、単結晶である。特に、光電変換を奏する半導体領域164の結晶性は単結晶とする。単結晶半導体を光電変換素子に用いることで、非晶質半導体や多結晶半導体を用いる場合と比較して、暗電流(光未照射時の電流)を低下させることができる。また、単結晶半導体を光電変換素子に用いることで、多結晶半導体を用いる場合と比較して、光照射時の電流を増大させることができる。これにより、光センサとしての感度が向上する。また、単結晶半導体を光電変換素子に用いることにより、光電変換効率が向上する。これらの効果は、欠陥などに起因する光生成キャリアのトラップを十分に抑制することが可能となるために得られるものである。

40

【0165】

また、ここで示すように、支持基板が光透過性を有することで、支持基板側から対象物の光(対象物からの反射光)を入射させる構成(支持基板側からの光を検出する構成)とすることが可能である。この場合には、電極(または配線)側から対象物の光を入射させ

50

る場合と比較して、素子レイアウトの自由度が向上する。このように、支持基板が光透過性を有することにより、光透過性を有しない場合と比較して、集積化が容易になるというメリットもある。

【0166】

次に、光電変換素子の作製工程について図22を用いて説明する。光電変換素子の作製に用いるSOI基板の作製工程は、実施の形態1または2と同様であるので詳細な説明は省略する。本実施の形態では代表して、実施の形態1の方法で作製したSOI基板を用いる。

【0167】

まず、実施の形態1の方法で作製したSOI基板に対して、第2の単結晶半導体層124A表面の平坦化のため、表面にレーザ光を照射することによって、表面の平坦性を向上させる。なお、平坦性が十分なものであれば、平坦化工程は行わなくても良い。実施の形態2の方法で作製したSOI基板を用いるならば、第2の単結晶半導体層124Aの代わりに、第4の単結晶半導体層120Aを用いる。

【0168】

なお、レーザ光の照射による第2の単結晶半導体層124Aの溶融は、部分溶融とすることが好ましい。完全溶融させた場合には、液相となった後の無秩序な核発生により微結晶化し、結晶性が低下するためである。一方、部分溶融では、溶融されていない固相部分に基づいて結晶成長を行わせることができるため、第2の単結晶半導体層124Aを完全溶融させる場合と比較して結晶品位を向上させることができる。また、部分溶融では、絶縁層116からの酸素や窒素等の取り込みを抑制することができる。なお、上記において部分溶融とは、レーザ光の照射により第2の単結晶半導体層124Aが溶融される深さを、絶縁層116側界面の深さより浅くする（つまり、第2の単結晶半導体層124Aの厚さより浅くする）ことを言う。すなわち、第2の単結晶半導体層124Aの上層は溶融して液相となるが、下層は溶融せずに固相のままである状態をいう。また、完全溶融とは、第2の単結晶半導体層124Aが絶縁層116との界面まで溶融され、液体状態になることをいう。

【0169】

上記レーザ光の照射には、パルス発振レーザを用いることが好ましい。高エネルギーを得ることができ、部分溶融状態を作り出すことが容易となるためである。発振周波数は、1Hz以上10MHz以下とすることが好ましいがこれに限定する必要はない。上述のパルス発振レーザの発振器としては、Arレーザ、Krレーザ、エキシマ(ArF、KrF、XeCl)レーザ、CO₂レーザ、YAGレーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、GdVO₄レーザ、Y₂O₃レーザ、ルビーレーザ、アレキサンドライトレーザ、Ti：サファイアレーザ、銅蒸気レーザ、金蒸気レーザ等がある。なお、部分溶融させることが可能であれば、連続発振レーザを使用しても良い。連続発振レーザの発振器としては、Arレーザ、Krレーザ、CO₂レーザ、YAGレーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、GdVO₄レーザ、Y₂O₃レーザ、ルビーレーザ、アレキサンドライトレーザ、Ti：サファイアレーザ、ヘリウムカドミウムレーザ等がある。

【0170】

レーザ光の波長としては、第2の単結晶半導体層124Aに吸収される波長を選択する必要がある。その波長は、レーザ光の表皮深さ(skin depth)などを考慮して決定すればよい。例えば、レーザ光の波長は、250nm以上700nm以下の範囲とすることができる。また、レーザ光のエネルギー密度は、レーザ光の波長、レーザ光の表皮深さ、第2の単結晶半導体層124Aの膜厚などを考慮して決定することができる。レーザ光のエネルギー密度は、例えば、300mJ/cm²以上800mJ/cm²以下の範囲とすればよい。なお、当該エネルギー密度の範囲は、パルス発振レーザとしてXeClエキシマレーザ(波長：308nm)を用いた場合の一例である。

【0171】

レーザ光の照射は、大気雰囲気のような酸素を含む雰囲気、または窒素雰囲気やアルゴン雰囲気のような不活性雰囲気で行うことができる。不活性雰囲気中でレーザ光を照射するには、気密性のあるチャンバー内でレーザ光を照射し、このチャンバー内の雰囲気を制御すればよい。チャンバーを用いない場合は、レーザ光の被照射面に窒素ガスなどの不活性ガスを吹き付けることで、不活性雰囲気を形成することもできる。

【0172】

なお、窒素などの不活性雰囲気で行うほうが、大気雰囲気よりも第2の単結晶半導体層124Aの平坦性を向上させる効果は高い。また、大気雰囲気よりも不活性雰囲気のほうがクラックやリッジの発生を抑える効果が高く、レーザ光の使用可能なエネルギー密度の範囲が広がる。なお、レーザ光の照射は、減圧雰囲気で行ってもよい。減圧雰囲気では、レーザ光を照射する場合には、不活性雰囲気における照射と同等の効果を得ることができる。

10

【0173】

また、レーザ光の照射処理の前には、第2の単結晶半導体層124Aの表面を洗浄しておくのが好適である。

【0174】

以上の工程により、表面の荒れが低減された第2の単結晶半導体層124Aを有するSOI基板を得ることができる。

【0175】

次に、上記SOI基板を用いて光電変換素子180を作製する工程について説明する。まず、上記工程により、支持基板100上に絶縁層116および第2の単結晶半導体層124Aが設けられた構成のSOI基板を用意する(図22(A)参照)。

20

【0176】

第2の単結晶半導体層124Aには、硼素、アルミニウム、ガリウムなどのp型不純物元素や、リン、砒素などのn型不純物元素を微量添加しても良い。不純物元素を添加する領域、および添加する不純物元素の種類は、適宜変更することができる。

【0177】

その後、第2の単結晶半導体層124A上にマスク150を形成し、これを用いて第2の単結晶半導体層124Aをパターニングすることにより、光電変換素子に用いられる島状の半導体層152を形成する(図22(B)参照)。マスク150は、レジスト材料を用いたフォトリソグラフィなどによって形成することができる。また、パターニングの際のエッチング処理には、ウェットエッチングまたはドライエッチングのいずれをも適用することができる。島状の半導体層152を形成後、マスク150は除去する。

30

【0178】

次に、半導体層152を覆うように、絶縁層154を形成する(図22(C)参照)。絶縁層154は形成しなくても良いが、これを設ける場合には、後の不純物元素の添加の際の半導体層152の損傷を抑制することが可能である。なお、本実施の形態では、絶縁層154として、プラズマCVD法を用いて、酸化シリコン膜を単層で形成することとする。酸化シリコン以外にも、絶縁層154として、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等を含む膜を、単層構造または積層構造で形成することができる。

40

【0179】

プラズマCVD法以外の作製方法としては、スパッタリング法や、高密度プラズマ処理による酸化または窒化による方法が挙げられる。高密度プラズマ処理は、例えば、ヘリウム、アルゴン、クリプトン、キセノンなどの希ガスと、酸素、酸化窒素、アンモニア、窒素、水素などガスの混合ガスを用いて行う。この場合、プラズマの励起をマイクロ波の導入により行うことで、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル(OHラジカルを含む場合もある)や窒素ラジカル(NHラジカルを含む場合もある)によって、半導体層152の表面を酸化または窒化することにより、1nm以上20nm以下、望ましくは2nm以上10nm以下の

50

絶縁層 154 を形成することができる。

【0180】

上述した高密度プラズマ処理による半導体層の酸化または窒化は固相反応であるため、絶縁層 154 と半導体層 152 との界面準位密度を十分に低くすることができる。特に、半導体層が単結晶である場合には、高密度プラズマ処理を用いて半導体層の表面を固相反応で酸化させる場合であっても、均一性が良く、界面準位密度の十分に低い絶縁層 154 を形成することができる。

【0181】

または、支持基板 100 の耐熱性が許せば、半導体層 152 を熱酸化させることで、絶縁層 154 を形成するようにしても良い。このように、熱酸化を用いる場合には、ある程度

10

【0182】

なお、水素を含む絶縁層 154 を形成し、その後、350 以上 450 以下の温度による加熱処理を行うことで、絶縁層 154 中に含まれる水素を半導体層 152 中に拡散させるようにしても良い。この場合、絶縁層 154 として、プラズマ CVD 法を用いた窒化シリコンまたは窒化酸化シリコンを用いることができる。なお、プロセス温度は 350 以下とすると良い。このように、半導体層 152 に水素を供給することで、半導体層 152 中、および、絶縁層 154 と半導体層 152 の界面における欠陥を効果的に低減することができる。

【0183】

20

次に、絶縁層 154 上に選択的にマスク 156 を形成して、半導体層 152 の一部に第 1 の導電性を付与する不純物元素を添加する。これにより、第 1 の導電性を示す半導体領域 158 が形成される（図 22 (D) 参照）。ここでは、第 1 の導電性を付与する不純物元素としてホウ素を用い、第 1 の導電性を p 型とする構成で説明するが、開示する発明の一態様はこれに限定されない。第 1 の導電性を付与する不純物元素として、アルミニウムなどを用いても良い。また、第 1 の導電性を n 型とする場合には、リンやヒ素などを用いることもできる。マスク 156 は、マスク 150 と同様の方法で形成すればよい。

【0184】

具体的には、例えば、 B_2H_6 を原料ガスとして用い、10 ~ 40 kV の加速電圧、 $3.0 \times 10^{14} \text{ cm}^{-2} \sim 1.0 \times 10^{17} \text{ cm}^{-2}$ 程度のドーズ量でボロンを添加すれば良い。不純物元素の添加の条件は、要求される特性などに応じて適宜変更することができるが、ドーズ量を小さくすると、暗電流を抑制することができる傾向にある。これは、高ドーズ条件で不純物元素を添加すると、半導体層 152 の損傷が大きくなり、欠陥に起因するキャリアトラップが生じるのに対し、低ドーズ条件で不純物元素を添加すると、損傷がわずかであるため、欠陥に起因する電流が生じないことによる。なお、第 1 の導電性を示す半導体領域 158 を形成した後は、マスク 156 は除去する。

30

【0185】

その後、絶縁層 154 上に選択的にマスク 300 を形成して、半導体層 152 の一部に第 2 の導電性を付与する不純物元素を添加する。これにより、第 2 の導電性を示す半導体領域 162 が形成されると共に、第 1 の導電性を付与する不純物元素および第 2 の導電性を付与する不純物元素が添加されていない、光電変換を奏する半導体領域 164 が形成される（図 22 (E) 参照）。第 2 の導電性は、第 1 の導電型とは異なる導電型とする。つまり、第 1 の導電型が p 型の場合には第 2 の導電型は n 型であり、第 1 の導電型が n 型の場合には第 2 の導電型は p 型である。ここでは、第 2 の導電性を付与する不純物元素としてリンを用い、第 2 の導電性を n 型とする構成で説明する。n 型を付与する不純物元素としては、他に、ヒ素などを用いることができる。マスク 300 は、マスク 150 やマスク 156 と同様の方法で形成すればよい。

40

【0186】

具体的には、例えば、 PH_3 を原料ガスとして用い、10 ~ 40 kV の加速電圧、 $1.0 \times 10^{14} \text{ cm}^{-2} \sim 5.0 \times 10^{16} \text{ cm}^{-2}$ 程度のドーズ量でリンを添加すれば良

50

い。不純物元素の添加の条件は、要求される特性などに応じて適宜変更することができる。ドーズ量を小さくすることにより、暗電流を抑制することができるのは、第1の導電型を付与する不純物元素を添加する場合と同様である。第2の導電型を示す半導体領域162を形成した後は、マスク300は除去する。

【0187】

なお、上記第1の不純物元素および第2の不純物元素の添加は、光電変換を奏する半導体領域164の幅が $0.1\mu\text{m} \sim 20\mu\text{m}$ 、好ましくは $3\mu\text{m} \sim 10\mu\text{m}$ となるように行う。もちろん、マスク156およびマスク300の加工精度が許せば、 $0.1\mu\text{m}$ 以下とすることも可能である。

【0188】

次に、半導体層152および絶縁層154を覆うように、絶縁層166を形成する(図22(F)参照)。絶縁層166は必ずしも設ける必要はないが、絶縁層166を形成することで、アルカリ金属やアルカリ土類金属などの不純物元素が半導体層152に侵入することを防止できる。また、形成される光電変換素子の表面を平坦にすることが可能になる。

【0189】

絶縁層166は、例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化アルミニウム、酸化アルミニウムなどの材料を用いて形成することができる。本実施の形態では、絶縁層166を、CVD法を用いて形成した300nm程度の厚さの酸化窒化シリコン膜と、CVD法を用いて形成した600nm程度の厚さの酸化シリコン膜の積層構造とする。もちろん、開示する発明の一態様はこれに限定されず、単層構造または三層以上の積層構造とすることも可能である。

【0190】

絶縁層166は、他にも、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いて形成することもできる。また、上記有機材料の他に、低誘電率材料(low-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることもできる。ここで、シロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。作製方法は、その材料に応じて、CVD法、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を適宜用いることができる。

【0191】

次に、半導体層152の一部が露出するように絶縁層154および絶縁層166にコンタクトホール168およびコンタクトホール170を形成する(図22(G)参照)。ここでは特に、第1の導電型を示す半導体領域158および第2の導電型を示す半導体領域162の一部が露出するように、コンタクトホール168およびコンタクトホール170を形成する。コンタクトホール168およびコンタクトホール170は、選択的にマスクを形成した後のエッチング処理などによって形成することができる。エッチング処理としては、例えば、エッチングガスとして CHF_3 とHeの混合ガスを用いたドライエッチングを適用することができるが、開示する発明の一態様はこれに限定されない。

【0192】

そして、該コンタクトホールを介して半導体層152に接する導電層を形成し、これをパターニングすることで第1の電極172および第2の電極174を形成する(図22(H)参照)。第1の電極172および第2の電極174の元となる導電層は、CVD法、スパッタリング法、蒸着法などにより形成することができる。材料としては、アルミニウム(Al)、タングステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジム(Nd)、炭素(C)、珪素(Si)等を用いることができる。また、上記材料を主成分とする合金を用いても良いし、上記材料を含む化合物を用いても良

10

20

30

40

50

い。また、導電層は単層構造としても良いし、積層構造としても良い。

【0193】

アルミニウムを主成分とする合金の例としては、アルミニウムを主成分として、ニッケルを含むものを挙げることができる。また、アルミニウムを主成分とし、ニッケルと、炭素または珪素の一方または両方を含むものを挙げることができる。アルミニウムやアルミニウムシリコン (Al-Si) は抵抗値が低く、安価であるため、第1の電極172および第2の電極174を形成する材料として適している。特に、アルミニウムシリコンは、パターンングの際のレジストバークによるヒロックの発生を抑制することができるため好ましい。また、珪素の代わりに、アルミニウムに0.5%程度のCuを混入させた材料を用いても良い。

10

【0194】

導電層を積層構造とすることにより第1の電極172および第2の電極174を積層構造とする場合には、例えば、バリア膜とアルミニウムシリコン膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン膜と窒化チタン膜とバリア膜の積層構造などを採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデンまたはモリブデンの窒化物などを用いて形成された膜である。バリア膜の間にアルミニウムシリコン膜を挟むように導電膜を形成すると、アルミニウムやアルミニウムシリコンのヒロックの発生をより一層防止することができる。また、還元性の高い元素であるチタンを用いてバリア膜を形成すると、第1の導電型を示す半導体領域158と第2の導電型を示す半導体領域162上に薄い酸化膜が形成されていたとしても、バリア膜に含まれるチタンが該酸化膜を還元し、第1の導電型を示す半導体領域158と第1の電極172とのコンタクト、第2の導電型を示す半導体領域162と第2の電極174とのコンタクトを良好なものとすることができる。また、バリア膜を複数積層するようにして用いても良い。その場合、例えば、下層からチタン、窒化チタン、アルミニウムシリコン、チタン、窒化チタンのように、5層構造またはそれ以上の積層構造とすることもできる。

20

【0195】

また、導電層として、WF₆ガスとSiH₄ガスから化学気相成長法で形成したタンゲステンシリサイドを用いても良い。また、WF₆を水素還元して形成したタンゲステンを、導電層として用いても良い。

【0196】

以上により、光透過性を有する支持基板100上に、光電変換素子180が形成される。本実施の形態に示す方法で作製された光電変換素子は、膜厚の厚い単結晶半導体層を用いることができる。そのため、光電変換素子に流れる電流を増加することができ、光電変換効率が高まるため、素子特性を高めることができる。これにより、光センサとしての感度を向上させることができる。また、光センサの微細化が可能となる。

30

【0197】

本実施の形態は、例えば光センサを有する画素がマトリックス状に配置された表示装置に用いることができる。当該表示装置は、画素に光センサと表示素子を有する。光センサとして光電変換素子180を用いることができる。

【0198】

本実施の形態は、先の実施の形態と適宜組み合わせる用いることができる。

40

【0199】

(実施の形態6)

本実施の形態では、先の実施の形態1に示すSOI基板を用いた半導体装置の例について、図23および図24を参照して説明する。本実施の形態で示す半導体装置には膜厚の厚い単結晶半導体層を有するSOI基板が適しているため、実施の形態1の方法で作製したSOI基板を用いるのが好ましい。しかし、実施の形態2の方法で作製したSOI基板を用いても良い。なお、前述の図面と同一部分には同一符号を付し、同一部分の説明は省略する。

【0200】

50

<半導体装置の概略> 図23には、半導体装置の構成の一例を示す。図23(A)は断面図、図23(B)は平面図を示している。なお、図23(A)は、図23(B)のA-B線における断面に対応している。

【0201】

支持基板100上には、絶縁層116、第2の単結晶半導体層124Aが順に設けられている(図23(A)参照)。第2の単結晶半導体層124Aは、第1の導電型を付与された第1の領域200と、第1の導電型とは異なる第2の導電型を付与された第2の領域202と、第1の導電型を付与された第3の領域204と、第3の領域204に接する第4の領域206とを備える。ここで、第3の領域204は、第2の単結晶半導体層124Aにおいて、第1の領域200、第2の領域202、第4の領域206以外の領域である。

10

【0202】

第1の領域200には、ソース電極(またはドレイン電極)として機能する第1の電極210が接して設けられている。第2の領域202と重畳する領域には、ゲート絶縁層212を介してゲート電極として機能する第2の電極214が設けられている。また、第4の領域206には、ドレイン電極(またはソース電極)として機能する第3の電極216が接して設けられている(図23(A)参照)。

【0203】

なお、平面的には、ソース電極(またはドレイン電極)として機能する第1の電極210の周囲にはゲート電極として機能する第2の電極214が配置され、さらにその周囲には、ドレイン電極(またはソース電極)として機能する第3の電極216が配置されている(図23(B)参照)。図23では、第1の電極210を中央に配置して、その周囲に第2の電極214および第3の電極216を配置する構成としているが、半導体装置のレイアウトはこれに限定されない。

20

【0204】

第1の領域200は、第1の導電型を付与された領域である。第1の導電型はn型であっても良いし、p型であっても良い。平面的には、第1の領域200は、ソース電極(またはドレイン電極)として機能する第1の電極210と重畳するように形成される(図23(B)参照)。また、その周縁部が、ゲート電極として機能する第2の電極214と重畳する構成であっても良い。深さ方向に関しては、第1の領域200は、導電性が高い領域にまで到達しない構成とすることが必要である(図23(A)参照)。

30

【0205】

第2の領域202は第1の領域200の外側に設けられ、第1の導電型とは異なる第2の導電型が付与された領域である。つまり、第1の導電型がn型である場合には、第2の導電型はp型であり、第1の導電型がp型である場合には、第2の導電型はn型である。

【0206】

平面的には、第2の領域202は、第1の領域200の外周を覆うように形成される。また、第2の領域202は、ゲート電極として機能する第2の電極214と重畳するように形成される(図23(B)参照)。

【0207】

深さ方向に関しては、第2の領域202は、第1の領域200より深い領域にまで到達している(図23(A)参照)。これにより、ゲート電極として機能する第2の電極214にオンとなる電圧を印加しない状態では、ソース電極(またはドレイン電極)として機能する第1の電極210と、ドレイン電極(またはソース電極)として機能する第3の電極216との絶縁が確保される。

40

【0208】

第3の領域204は、第1の導電型を付与された領域である。当該領域は、第2の単結晶半導体層124Aの略全域にわたって形成されている。第3の領域は、電流の経路としての役割を有する。なお、第1の領域200と第3の領域204は、第2の領域202によって隔てられている。

50

【0209】

第4の領域206は、第1の導電型を付与された領域である。なお、第4の領域206と第3の電極216とのオーミック接続を実現するために、第4の領域206には第3の領域204と比較して高濃度の不純物元素が添加されていることが望ましいが、開示する発明の一態様はこれに限定されない。第3の領域204と第4の領域206に相違がなくとも構わない。

【0210】

平面的には、第4の領域206は、ドレイン電極（またはソース電極）として機能する第3の電極216と重畳するように形成される（図23（B）参照）。

【0211】

ゲート絶縁層212は、第2の単結晶半導体層124Aの熱酸化、または、絶縁材料の堆積による方法で形成される。堆積法では、酸化シリコン、酸化窒化シリコン等を、熱CVD法やプラズマCVD法で形成する方法を適用できる。

【0212】

第1の電極210は、第1の領域200に接触するように設けられる。また、第3の電極216は、第4の領域206に接触するように設けられる。第1の導電型がn型である場合、通常動作時には、ソース電極として機能する第1の電極210が負にバイアスされ、ドレイン電極として機能する第3の電極216が正にバイアスされることになる。

【0213】

ゲート電極として機能する第2の電極214はゲート絶縁層212上に設けられることにより、第1の領域乃至第4の領域とは絶縁されている。第2の電極214の上部は、好ましくは絶縁層で覆われている。絶縁層により第1の電極210や第3の電極216との絶縁を確実なものとすることができる。

【0214】

<半導体装置の動作> 第1の領域200をn型、第2の領域202をp型、第3の領域204および第4の領域206をn型とすると、ソース電極として機能する第1の電極210と、ドレイン電極として機能する第3の電極216との間にはnpn接合が介在することになるため、ゲート電極として機能する第2の電極214にバイアスを印加しない場合には、ごく僅かな電流しか流れない。

【0215】

第2の電極214に正バイアスを印加すると、第2の電極214と重なる第2の領域202のゲート絶縁層212との界面付近に負の電荷（電子）が誘起されてチャネルとなり、第1の電極210と第3の電極216との間に電流が流れる。

【0216】

<変形例> 図23に示す半導体装置は、構成をわずかに変更することで、上記とは異なる動作が可能である。例えば、第4の領域206を第2の領域と同じ導電型とすることができる。この場合、第1の領域200と接する第1の電極210がエミッタ電極と呼ばれ、第4の領域206と接する第3の電極216がコレクタ電極と呼ばれることになる。

【0217】

当該構成においても、ゲート電極として機能する第2の電極214に正のバイアスを印加すると、第2の領域202にチャネルが形成されて導通する。ここで、第4の領域206がp型となっている。

【0218】

当該半導体装置は、入力側に絶縁ゲート型電界効果トランジスタの構成を有し、出力側にバイポーラトランジスタの構成を備えたものである。このため、当該半導体装置は、ゲート電極として機能する第2の電極214と、エミッタ電極として機能する第1の電極210との間の電圧で駆動され、また、第2の電極214への入力信号によってオン・オフの動作が可能である。当該構成により、スイッチング動作が高速化され、オン抵抗が低いことから自己発熱が抑制され、大電力の制御をすることが容易となる。

【0219】

10

20

30

40

50

< 作成工程 > 図 2 3 に示した半導体装置の作成工程について、図 2 4 を用いて説明する。

【 0 2 2 0 】

まず、先の実施の形態 1 に示す方法に従って S O I 基板 5 0 0 を得る（図 2 4（A）参照）。該 S O I 基板 5 0 0 は、支持基板 1 0 0 上に絶縁層 1 1 6、第 2 の単結晶半導体層 1 2 4 A が順に形成された構造を有している。また、第 2 の単結晶半導体層 1 2 4 A には第 1 の導電性を付与する不純物元素が添加されている。

【 0 2 2 1 】

第 2 の単結晶半導体層 1 2 4 A に添加することができる不純物元素には、n 型の導電性を付与するリン（P）やヒ素（As）、p 型の導電性を付与するボロン（B）やアルミニウム（Al）などがあるが、ここでは、リン（P）を添加して n 型の導電性を付与する場合について説明する。すなわち、ここでは、第 1 の導電性は n 型である。

【 0 2 2 2 】

次に、第 2 の単結晶半導体層 1 2 4 A に、p 型を付与する不純物元素（例えばボロン）と n 型を付与する不純物元素（例えばリン）を選択的に添加して、第 1 の導電性が付与された第 1 の領域 2 0 0、第 1 の導電型とは異なる第 2 の導電性が付与された第 2 の領域 2 0 2、第 1 の導電性が付与された第 4 の領域 2 0 6 を形成する（図 2 4（B）参照）。また、これにより、第 2 の単結晶半導体層 1 2 4 A の、第 1 の領域 2 0 0、第 2 の領域 2 0 2、第 4 の領域 2 0 6 以外の領域が、第 3 の領域 2 0 4 となる。ここで、第 2 の領域 2 0 2 の一部は後のチャネル形成領域として機能し、第 1 の領域 2 0 0 は後のソース領域（またはドレイン領域）として機能し、第 4 の領域 2 0 6 は後のドレイン領域（またはソース領域）として機能する。なお、第 1 の領域 2 0 0 の不純物濃度は、第 3 の領域の不純物濃度より高くなっていることが望ましい。

【 0 2 2 3 】

第 1 の領域 2 0 0、第 2 の領域 2 0 2、第 3 の領域 2 0 4、第 4 の領域 2 0 6 を形成した後には、第 1 の領域 2 0 0 と接するように第 1 の電極 2 1 0 を、第 4 の領域 2 0 6 と接するように第 3 の電極 2 1 6 をそれぞれ選択的に形成する（図 2 4（C）参照）。ここで、第 1 の電極 2 1 0 はソース電極（またはドレイン電極）として機能し、第 3 の電極 2 1 6 はドレイン電極（またはソース電極）として機能する。

【 0 2 2 4 】

第 1 の電極 2 1 0 および第 3 の電極 2 1 6 には、耐熱性の高い材料を用いることが望ましい。例えば、チタン、モリブデン、タングステン、タンタル、クロム、ニッケルなどを用いることができる。また、アルミニウム、銅などの低抵抗材料を用いても良い。また、導電性を付与する不純物元素が添加された半導体材料（例えば、ポリシリコン）を用いても良い。

【 0 2 2 5 】

その後、第 2 の単結晶半導体層 1 2 4 A、第 1 の電極 2 1 0、および、第 3 の電極 2 1 6 を覆うように、ゲート絶縁層 2 1 2 を形成し、ゲート絶縁層 2 1 2 上にゲート電極として機能する第 2 の電極 2 1 4 を選択的に形成する（図 2 4（D）参照）。ここで、第 2 の電極 2 1 4 は、その一部が第 1 の領域 2 0 0 と重なるように設けることが望ましい。これにより電界の集中が緩和されるため、耐圧を一層向上することができる。なお、その後、第 2 の電極 2 1 4 を覆うように絶縁層を形成しても良い。

【 0 2 2 6 】

ゲート絶縁層 2 1 2 は、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の材料を用いて形成することができる。作製方法としては、熱酸化法（熱窒化法）、プラズマ C V D 法、スパッタリング法、高密度プラズマ処理による酸化または窒化による方法などがある。

【 0 2 2 7 】

第 2 の電極 2 1 4 は、第 1 の電極 2 1 0 や、第 3 の電極 2 1 6 と同様に形成することができる。

【 0 2 2 8 】

以上により、いわゆるパワーＭＯＳＦＥＴと呼ばれる半導体装置を作製することができる。本実施の形態で示したように、パワーＭＯＳＦＥＴに膜厚の厚い単結晶半導体層を用いることで、半導体素子の耐圧向上、電力損失の低減などが実現される。また、先の実施の形態で説明したとおり、低コストでかつ簡便に、膜厚が厚くて、さらに結晶性の良好な単結晶半導体層を含むＳＯＩ基板を提供することができるため、半導体素子および半導体装置の製造コストを抑制することができる。

【 0 2 2 9 】

本実施の形態は、先の実施の形態と適宜組み合わせて用いることができる。

【実施例 1】

10

【 0 2 3 0 】

本実施例では、本実施の形態 1 または 2 で説明した希ガスをを用いたプラズマ処理について説明する。

【 0 2 3 1 】

まず、上記実施の形態 1 において説明した方法を用いて、ガラス基板上に単結晶シリコン層を形成する。本実施例では、厚さ 0.7 mm のガラス基板上に、厚さ 100 nm の酸化シリコン層と、厚さ 100 nm の単結晶シリコン層からなる積層構造を形成した。そして、その後、上記単結晶シリコン層上に、アモルファスシリコン層を 100 nm 成膜した。

【 0 2 3 2 】

20

アモルファスシリコン層の作製条件は、以下の通りである。

- ・成膜法：プラズマＣＶＤ
- ・原料ガス：シラン 100 s c c m
- ・電力（周波数）：50 W（27 M H z）
- ・圧力：35 P a
- ・電極間隔：25 m m
- ・成膜温度：200
- ・膜厚：100 n m

【 0 2 3 3 】

次に、プラズマ処理の条件は以下の通りである。希ガスとしてアルゴンを用いている。

30

- ・圧力：0.5 P a
- ・原料ガス：アルゴン 300 s c c m
- ・電力：350 W
- ・時間：60 秒

【 0 2 3 4 】

アモルファスシリコン層成膜前にアルゴンプラズマによる平坦化を行った場合（比較例 2）と、アモルファスシリコン層成膜後にアルゴンプラズマによる平坦化を行った場合（サンプル B）の平均面粗さ（R a）を比較する。ただし、平均面粗さは、平坦化後、アモルファスシリコン層を熱処理し、固相エピタキシャル成長させた後の平均面粗さを示す。なお、アモルファスシリコン層成膜後にアルゴンプラズマ処理を行った場合の、アモルファスシリコン層の膜減りは 27 n m 程度である。

40

【表 1】

	平均面粗さ Ra[nm]			
	測定点 1	測定点 2	測定点 3	平均
サンプル B	6.18	5.94	5.98	6.04
比較例 2	14.19	14.60	14.92	14.57

表 1 より、アモルファスシリコン層成膜後にアルゴンプラズマ処理を行ったサンプル B は、成膜前にアルゴンプラズマ処理を行った比較例 2 に対して、平均面粗さが小さいこと

50

がわかる。なお、比較例 2 は、エピタキシャル成長の種となる単結晶半導体層の結晶状態がプラズマダメージで悪くなり、その後の固相エピタキシャル成長が良好に進行しなかった。

【符号の説明】

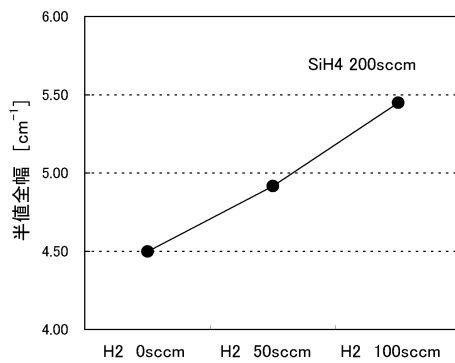
【 0 2 3 5 】

1 0 0	支持基板	
1 0 6	電極	
1 0 8	不純物半導体層	
1 0 9	ユニットセル	
1 1 0	単結晶半導体基板	10
1 1 2	絶縁層	
1 1 4	損傷領域	
1 1 5	不純物半導体層	
1 1 6	絶縁層	
1 1 8	電極	
1 2 0	単結晶半導体層	
1 2 2 A	第 1 の非晶質半導体層	
1 2 4 A	第 2 の単結晶半導体層	
1 2 3	第 3 の単結晶半導体層	
1 2 0 A	第 4 の単結晶半導体層	20
1 3 0	単結晶半導体基板	
1 4 0	イオンビーム	
1 5 0	マスク	
5 0 0	S O I 基板	
1 5 2	半導体層	
1 5 4	絶縁層	
1 5 6	マスク	
1 5 8	半導体領域	
1 6 0	補助電極	
1 6 2	半導体領域	30
1 6 4	半導体領域	
1 6 6	絶縁層	
1 6 8	コンタクトホール	
1 7 0	コンタクトホール	
1 7 2	電極	
1 7 4	電極	
1 8 0	光電変換素子	
2 0 0	領域	
2 0 2	領域	
2 0 4	領域	40
2 0 6	領域	
2 1 0	電極	
2 1 2	ゲート絶縁層	
2 1 4	電極	
2 1 6	電極	
2 5 1	半導体膜	
2 5 2	半導体膜	
2 5 4	絶縁膜	
2 5 5	ゲート電極	
2 5 6	ゲート電極	50

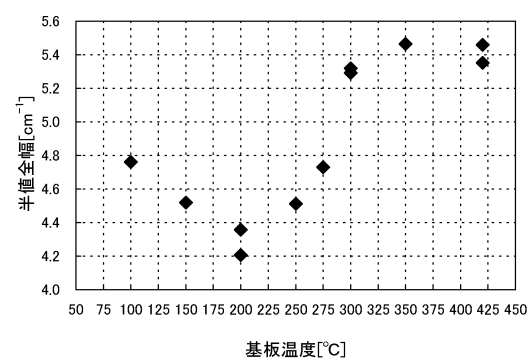
2 5 7 低濃度不純物領域
 2 5 8 チャンネル形成領域
 2 5 9 高濃度不純物領域
 2 6 0 チャンネル形成領域
 2 6 1 サイドウォール絶縁膜
 2 6 2 サイドウォール絶縁膜
 2 6 5 レジスト
 2 6 7 高濃度不純物領域
 2 6 8 絶縁膜
 2 6 9 層間絶縁膜
 2 7 0 配線
 3 0 0 マスク

10

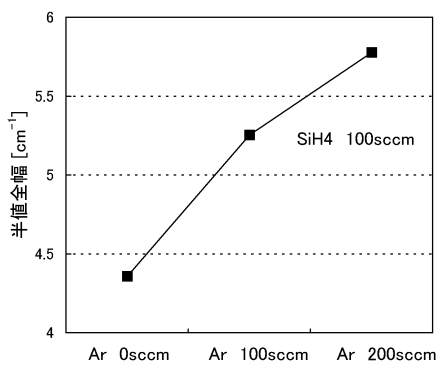
【図 1】



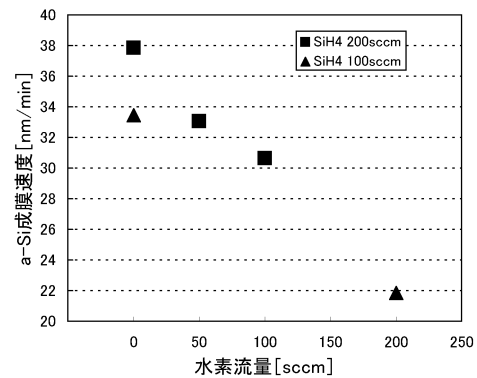
【図 3】



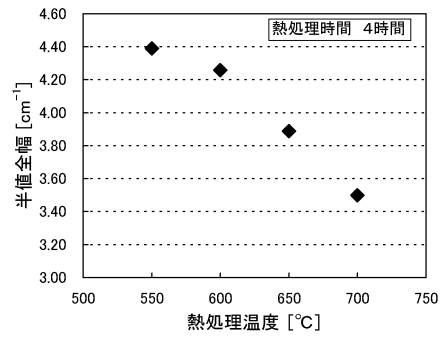
【図 2】



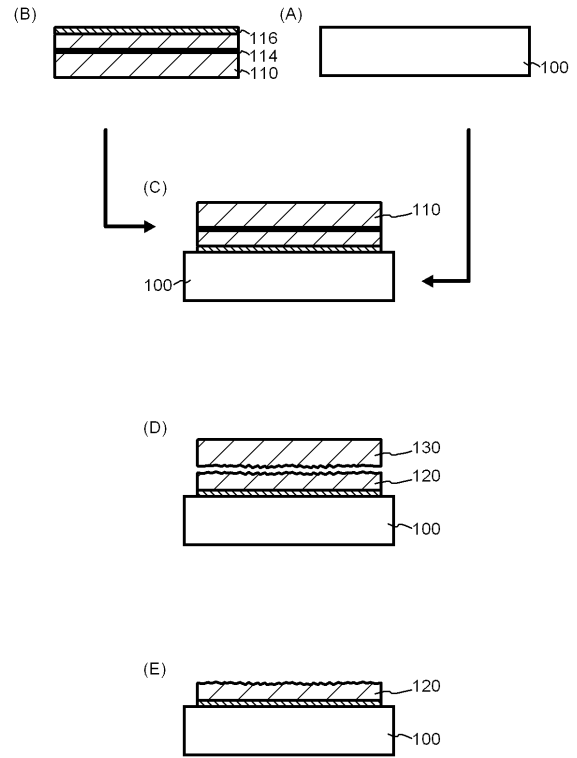
【図 4】



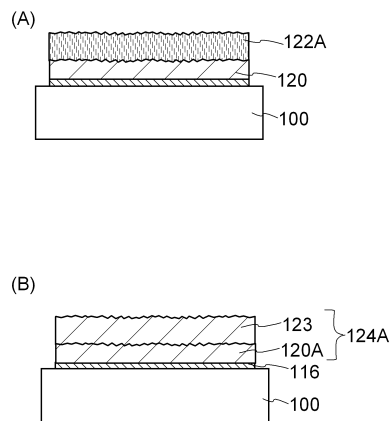
【図 6】



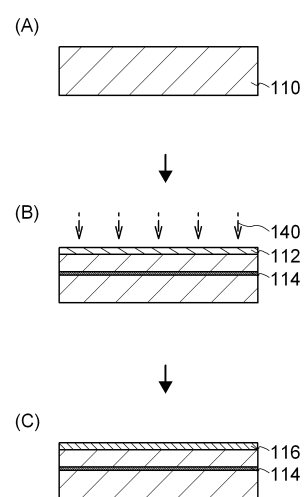
【図 7】



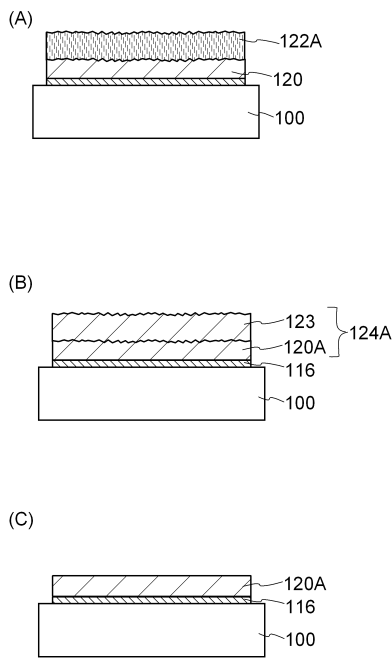
【図 8】



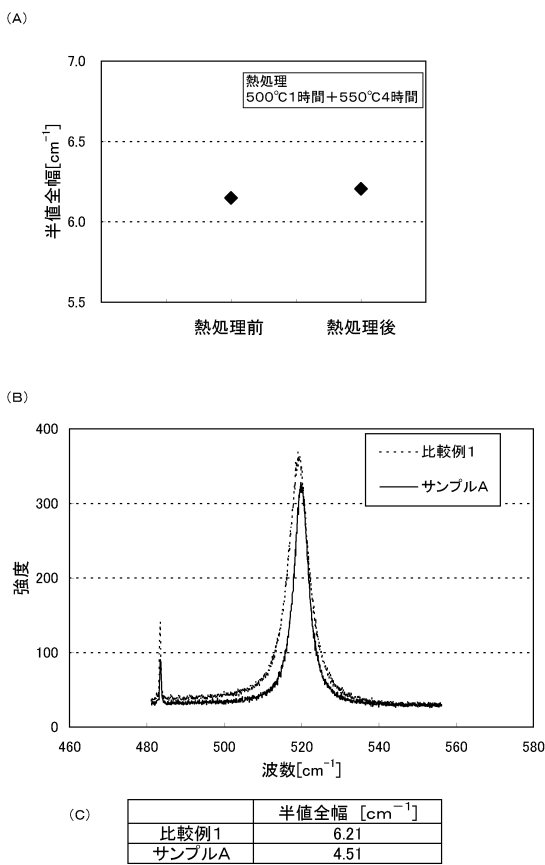
【図 9】



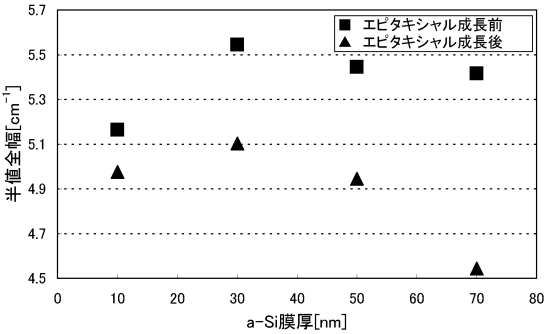
【図 10】



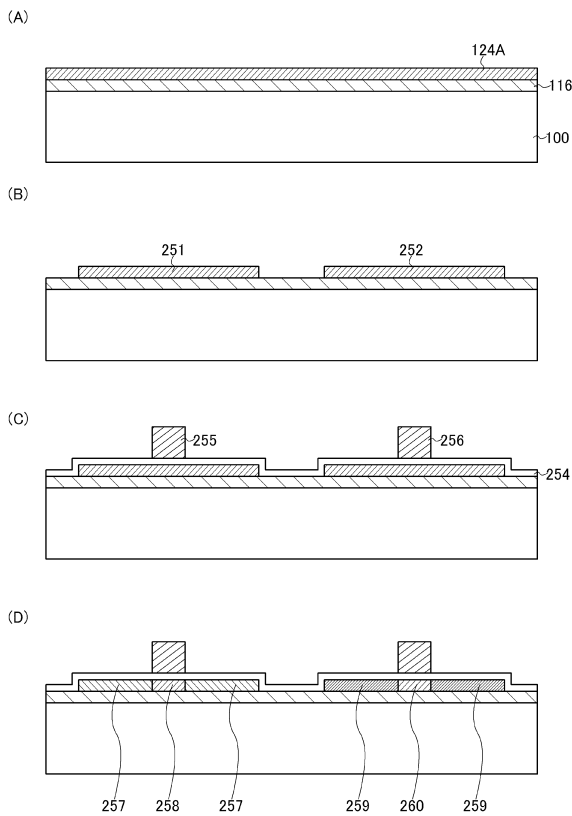
【図 11】



【図 12】

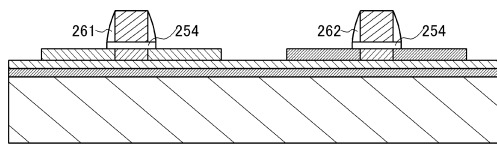


【図 13】

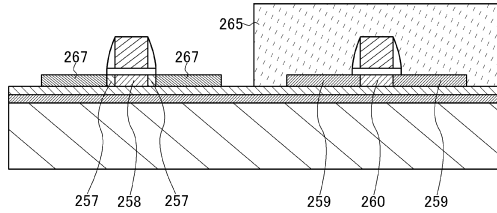


【図 14】

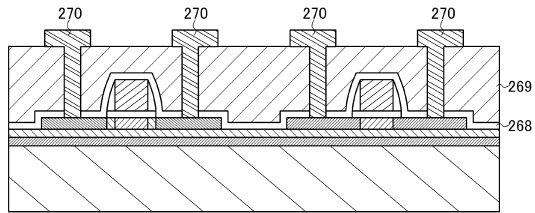
(A)



(B)

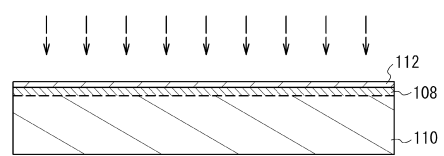


(C)

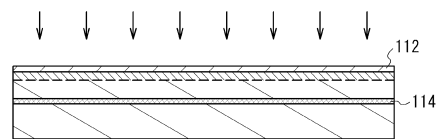


【図 16】

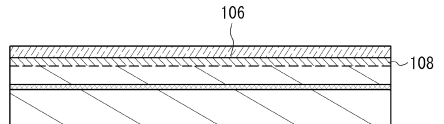
(A)



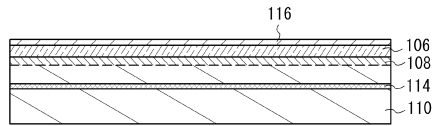
(B)



(C)

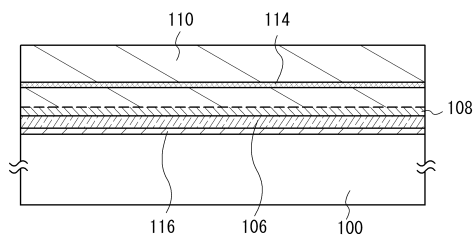


(D)

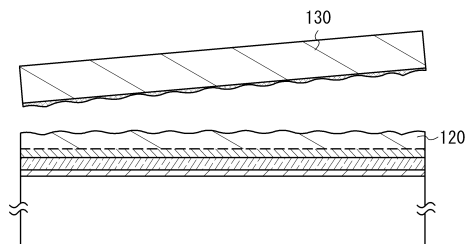


【図 17】

(A)

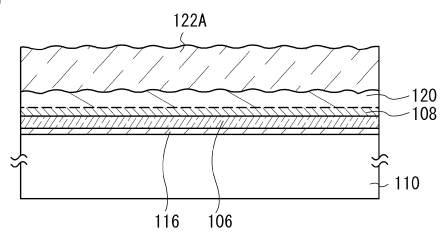


(B)

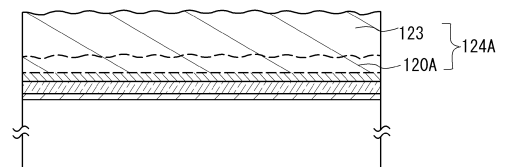


【図 18】

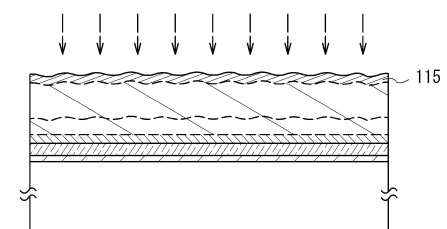
(A)



(B)

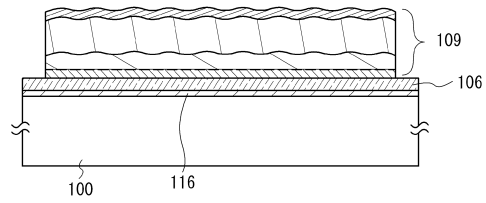


(C)

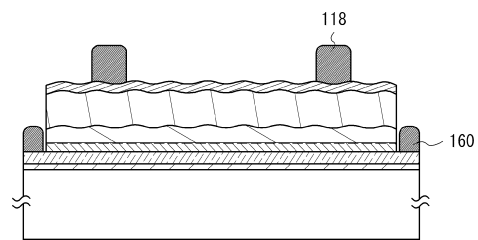


【図 19】

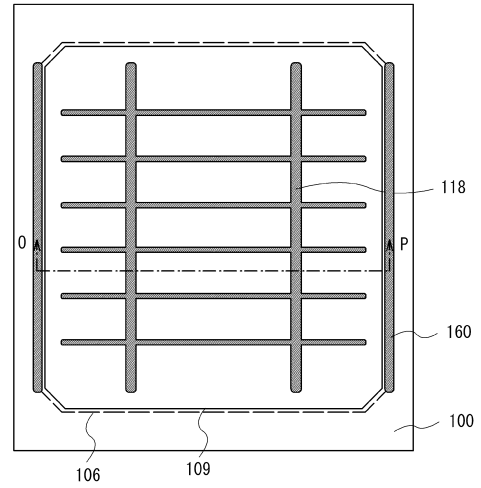
(A)



(B)

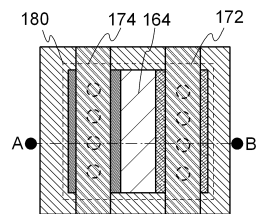


【図 20】

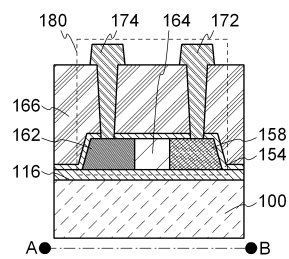


【図 21】

(A) 平面

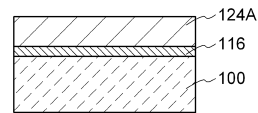


(B) 断面

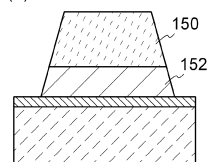


【図 22】

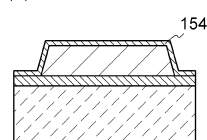
(A)



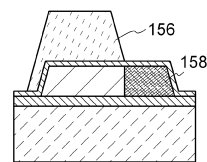
(B)



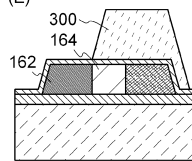
(C)



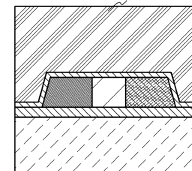
(D)



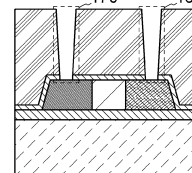
(E)



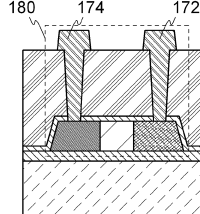
(F)



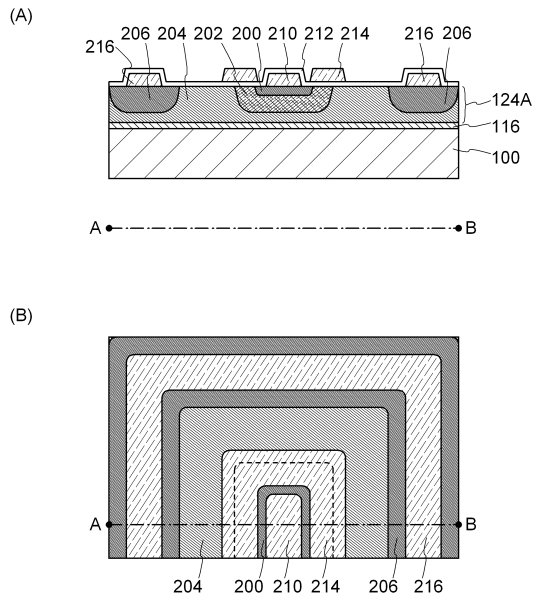
(G)



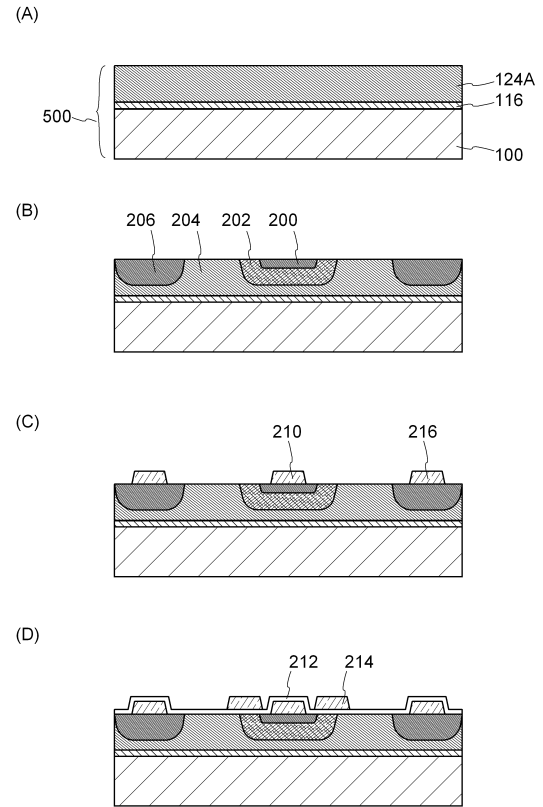
(H)



【図 23】



【図 24】

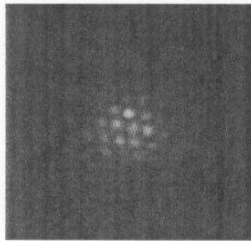


【図5】

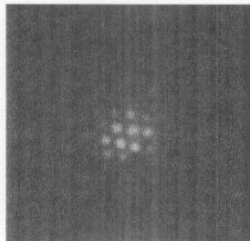
(A)



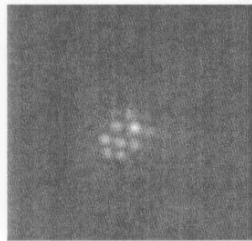
(B)
Diffraction ※1



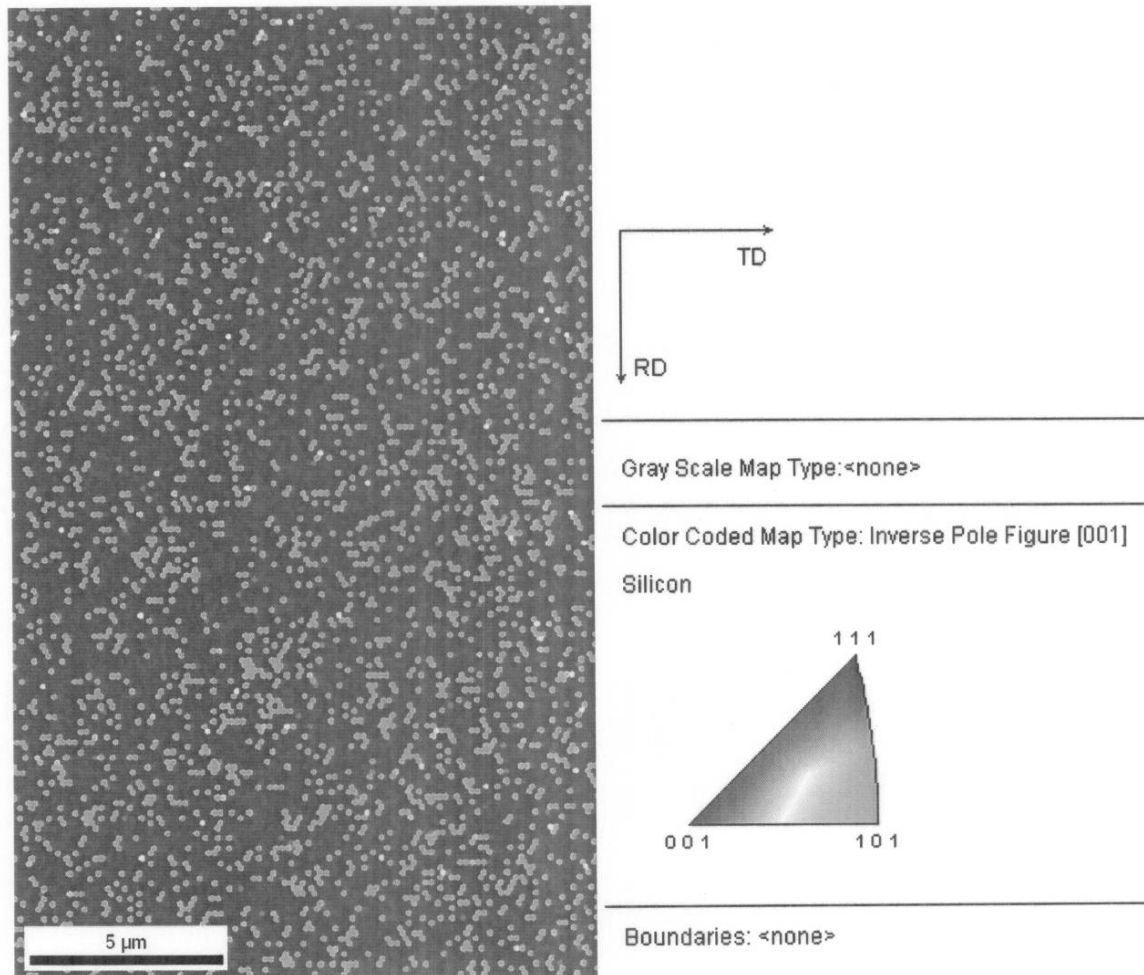
(C)
Diffraction ※2



(D)
Diffraction ※3



【図 15】



 フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>29/786</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 2 7 D</i>
			<i>H 0 1 L</i>	<i>21/265</i> <i>Z</i>

(56)参考文献 特開 2 0 0 9 - 1 7 7 1 4 7 (J P , A)
 特開 2 0 0 7 - 1 8 4 5 0 5 (J P , A)
 特開 2 0 0 7 - 0 4 3 1 9 2 (J P , A)
 米国特許出願公開第 2 0 0 9 / 0 1 6 2 9 9 2 (U S , A 1)
 特開平 0 7 - 2 4 9 5 7 4 (J P , A)
 特開 2 0 0 9 - 0 7 1 2 8 0 (J P , A)
 特開 2 0 0 3 - 1 9 7 5 3 6 (J P , A)
 特開平 1 1 - 0 4 7 2 0 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 H 0 1 L 2 1 / 0 2
 H 0 1 L 2 1 / 2 0
 H 0 1 L 2 1 / 2 6 5
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 7 / 1 2
 H 0 1 L 2 9 / 7 8 6