

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月23日(23.01.2025)



(10) 国際公開番号

WO 2025/017437 A1

(51) 国際特許分類:

G09G 3/3233 (2016.01) G09G 3/3275 (2016.01)
G06F 12/00 (2006.01) H04N 5/66 (2006.01)
G09F 9/00 (2006.01) H05B 33/14 (2006.01)
G09F 9/30 (2006.01) H10K 50/00 (2023.01)
G09G 3/20 (2006.01) H10K 59/00 (2023.01)
G09G 3/3225 (2016.01) H10K 59/10 (2023.01)
G09G 3/3266 (2016.01) H10K 59/12 (2023.01)

(21) 国際出願番号: PCT/IB2024/056780

(22) 国際出願日: 2024年7月12日(12.07.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2023-118589 2023年7月20日(20.07.2023) JP
特願 2023-158096 2023年9月22日(22.09.2023) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY

CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

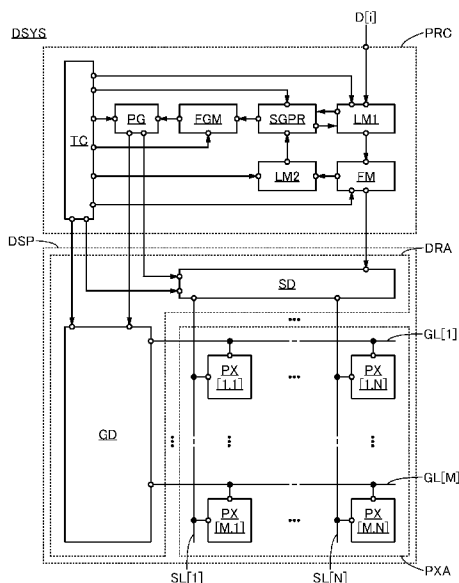
(72) 発明者: 長尾 祥 (NAGAO, Sho); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 井上達則 (INOUE, Tatsunori); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) Title: PROCESSING DEVICE AND DISPLAY SYSTEM

(54) 発明の名称: 処理装置及び表示システム

図1



(57) Abstract: The present invention provides a processing device with reduced power consumption. This processing device includes first and second line memories, a frame memory, and a processing circuit. The first line memory acquires a first line of data out of first image data and holds the first line of data. The frame memory holds second image data. The second line memory acquires a second line of data out of second image data read from the frame memory, and holds the second line of data. The processing circuit compares the first line of data read from the first line memory with the second line of data read from the second line memory, and transmits the comparison result to the first line memory. The first line memory acquires the comparison result from the processing circuit, and transmits the first line of data to the second line memory when the comparison result is that the first and second lines do not match. The second line memory writes the first line of data over the held second line of data.

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 消費電力が低減された処理装置を提供する。第1、第2ラインメモリ、フレームメモリ及び処理回路を含む処理装置である。第1ラインメモリは、第1画像データのうちの第1の行のデータを取得して、第1の行のデータを保持し、フレームメモリは、第2画像データを保持し、第2ラインメモリは、フレームメモリから読み出された第2画像データのうちの第2の行のデータを取得して、第2の行のデータを保持する。処理回路は、第1ラインメモリから読み出された第1の行のデータと、第2ラインメモリから読み出された第2の行のデータと、を比較して、その比較結果を第1ラインメモリに送信する。第1ラインメモリは、処理回路から比較結果を取得して、比較結果が第1の行と第2の行が不一致のとき、第1の行のデータを第2ラインメモリに送信する。第2ラインメモリは、保持している第2の行のデータを、第1の行のデータに書き換える。

明細書

発明の名称

処理装置及び表示システム

技術分野

[0001]

本発明の一態様は、処理装置及び表示システムに関する。

[0002]

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、動作方法又は製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニファクチャ又は組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置（液晶表示装置も含む）、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、センサ、処理装置（プロセッサも含む）、電子機器、システム、それらの動作方法、それらの製造方法又はそれらの検査方法を一例として挙げることができる。

背景技術

[0003]

近年、VR（仮想現実）、AR（拡張現実）などのXR（Extended Reality又はCross Reality）向けのウェアラブル機器、モニタ、携帯電話（例えば、スマートフォン）、腕時計型情報端末、タブレット型情報端末、ノート型PC（パーソナルコンピュータ）などに含まれている表示装置において、様々な面で改良が進められている。例えば、画面解像度を高くする、色再現性（NTSC比）を高くする、駆動回路を小さくする、消費電力を低減する、等といった改良のため、表示装置の開発が行われている。

[0004]

例えば、消費電力の低減化のため、連続する2つのフレームの画像データを比較して、それぞれが互いに同じ画像データである場合には、一方の画像データから他方の画像データへの書き換えを省略する動作方法がある。

[0005]

具体的には、特許文献1に当該動作方法の一が記載されている。特許文献1には、第1の記憶装置にnフレーム目（ここでのnは1以上の整数）の画像データを記憶し、第2の記憶装置にn+1フレーム目のm行目（ここでのmは1以上の整数）を記憶しておき、nフレーム目とn+1フレーム目のそれぞれのm行目の画像データを読み出し、比較回路を用いてそれぞれの画像データが一致するか否かの判定を行い、書き込み制御回路がその判定結果に基づいて、表示部のm行目に、n+1フレーム目のm行目の画像データの書き込みを行うか否かを定める動作方法が記載されている。

[先行技術文献]

[特許文献]

[0006]

[特許文献1] 特開2014-29503号公報

発明の概要

発明が解決しようとする課題

[0007]

上記の動作方法では、例えば、 n フレーム目と $n + 1$ フレーム目のそれぞれの m 行目の画像データが同じ場合には、表示部の m 行目の画像データの書き換えは行われないが、その一方で、第 1 の記憶装置では、フレーム毎に画像データの書き換えが順次行われている。つまり、第 1 の記憶装置では、 n フレーム目と $n + 1$ フレーム目のそれぞれの m 行目の画像データが同じであっても、 n フレーム目の m 行目の画像データから $n + 1$ フレーム目の m 行目への画像データの書き換えが行われる。このように、第 1 の記憶装置において、同じ m 行目で同一の画像データの書き換えが行われる場合においても消費電力が発生するため、 n フレーム目と $n + 1$ フレーム目のそれぞれの m 行目の画像データが同じである場合には、画像データの書き換えを行わないことが求められる。

[0008]

また、上記の動作方法では、第 2 の記憶装置から読み出された $n + 1$ フレーム目の m 行目の画像データが判定回路に入力され、判定回路にて生成された判定データが書き込み制御回路に入力されるため、表示部への画像データの書き込み速度（フレーム周波数）は、第 1 の記憶装置の読み出し速度だけでなく、判定回路及び書き込み制御回路による処理時間の影響も受ける。例えば、表示部に n フレーム目の画像データから $n + 1$ フレーム目の画像データに書き換える場合において、判定回路又は書き込み制御回路による処理時間が長くなると、第 2 の記憶装置から読み出された $n + 1$ フレーム目の m 行目の画像データが、表示部の画素回路に到達するまでの時間がかかるため、フレーム周波数を高くすることが難しくなる。

[0009]

本発明の一態様は、前後のフレームにおける画像データ同士の比較が可能な処理装置を提供することを課題の一とする。又は、本発明の一態様は、消費電力が低減された処理装置を提供することを課題の一とする。又は、本発明の一態様は、上記処理装置を有する表示システムを提供することを課題の一とする。又は、本発明の一態様は、フレーム周波数の低下を抑制した表示システムを提供することを課題の一とする。又は、本発明の一態様は、新規の処理装置又は新規の表示システムを提供することを課題の一とする。

[0010]

なお、本発明の一態様の課題は、上記課題に限定されない。上記課題は、他の課題の存在を妨げるものではない。なお、他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記課題及び他の課題のうち、少なくとも一つの課題を解決するものである。そのため、本発明の一態様は、上記課題及び他の課題の全てを解決する必要はない。

課題を解決するための手段

[0011]

本発明の一態様は、上記課題を解決するものであり、第 1 ラインメモリと、第 2 ラインメモリと、フレームメモリと、処理回路と、を備えた処理装置である。

[0012]

例えば、フレームメモリには、予め第 t フレーム目（ここでの t は 1 以上の整数とする）の画像データが保持されているものとする。なお、当該画像データは、 M 行 N 列（ M と N のそれぞれは 1 以上の整数とする）の画素回路によって表示することができる。つまり、フレームメモリには、第 t フレーム目の 1 行目乃至 M 行目の画像データが保持されている。

[0013]

また、第1ラインメモリには、処理装置の外部から送信される第 $t+1$ フレーム目の i 行目（ここでの i は1以上 M 以下の整数とする）の画像データが保持される。

[0014]

また、第2ラインメモリには、フレームメモリから読み出された第 t フレーム目の i 行目の画像データが保持される。

[0015]

処理回路は、第1ラインメモリから読み出された第 $t+1$ フレーム目の i 行目の画像データと、第2ラインメモリから読み出された第 t フレーム目の i 行目の画像データと、の比較を行う。当該比較において、第 $t+1$ フレーム目の i 行目の画像データと第 t フレーム目の i 行目の画像データとが一致しないとき、第1ラインメモリは、読み出された第 $t+1$ フレーム目の i 行目の画像データをフレームメモリに送信し、フレームメモリは、保持している第 t フレーム目の i 行目の画像データを第 $t+1$ フレーム目の i 行目の画像データに書き換える。また、当該比較において、第 $t+1$ フレーム目の i 行目の画像データと第 t フレーム目の i 行目の画像データとが一致するときは、第1ラインメモリは、第 $t+1$ フレーム目の i 行目の画像データをフレームメモリへの送信を行わず、フレームメモリにおいて第 t フレーム目の i 行目の画像データから第 $t+1$ フレーム目の i 行目の画像データへの画像データの書き換えを行わない。

[0016]

以下に、上記課題を解決するための、第1ラインメモリと、第2ラインメモリと、フレームメモリと、上述した比較を行う処理回路と、を備えた処理装置の構成例を記載する。

[0017]

(1)

本発明の一態様は、第1ラインメモリと、第2ラインメモリと、フレームメモリと、処理回路と、記憶回路と、を有する処理装置である。第1ラインメモリは、第1画像データのうちの第1の行のデータを取得して、第1の行のデータを保持する機能を有する。また、フレームメモリは、第2画像データを保持する機能を有する。また、第2ラインメモリは、フレームメモリから読み出された第2画像データのうちの第2の行のデータを取得して、第2の行のデータを保持する機能を有する。処理回路は、第1ラインメモリから読み出された第1の行のデータと、第2ラインメモリから読み出された第2の行のデータと、を比較して、比較結果を含む比較データを出力する機能を有する。

[0018]

また、第1ラインメモリは、処理回路から比較データを取得して、比較データが第1の行のデータと第2の行のデータが一致しないという比較結果を含む場合に、第1の行のデータをフレームメモリに出力する機能を有する。また、フレームメモリは、保持している第2の行のデータを、第1ラインメモリから送信された第1の行のデータに書き換える機能を有する。また、記憶回路は、処理回路から比較データを取得して、比較データを保持する機能を有する。

[0019]

(2)

又は、本発明の一態様は、上記(1)において、処理回路が、 N 個（ここでの N は1以上の整数とする）の否定排他的論理和回路と、 N 個の入力端子を含む否定論理積回路と、を有する構成としてもよい。

[0020]

特に、N個の否定排他的論理和回路の一は、第1ラインメモリから読み出された第1の行のデータのj列目（ここでのjは1以上N以下の整数とする）の値と、第2ラインメモリから読み出された第2の行のデータのj列目の値と、を用いて第1の論理演算を行って、第1の論理演算の結果を出力する機能を有することが好ましい。また、否定論理積回路は、N個の入力端子のそれぞれからN個の第1の論理演算の結果を取得して、N個の第1の論理演算の結果を用いて第2の論理演算を行って、比較データを生成する機能を有することが好ましい。

[0021]

(3)

又は、本発明の一態様は、表示装置と、上記(1)に記載の処理装置と、を有する表示システムである。表示装置は、第1駆動回路と、第2駆動回路と、画素回路と、を有し、処理装置は、信号処理回路を有する。

[0022]

信号処理回路は、記憶回路から読み出された比較データを取得して、比較データを用いて制御信号を生成する機能を有する。また、第1駆動回路は、信号処理回路から送信される制御信号と、画素回路を選択するための選択信号と、を用いて第3の論理演算を行って、第3の論理演算の結果を画素回路に送信する機能を有する。また、第2駆動回路は、信号処理回路から送信される制御信号に応じて、第1の行のデータ又は第2の行のデータを画素回路に送信するか否かを定める機能を有する。

[0023]

(4)

又は、本発明の一態様は、上記(3)において、第1駆動回路が、デコーダと、論理積回路と、を有する構成としてもよい。

[0024]

特に、デコーダは、選択信号を生成して、選択信号を論理積回路の第1入力端子に送信する機能を有することが好ましい。また、信号処理回路は、制御信号を論理積回路の第2入力端子に送信する機能を有することが好ましい。また、論理積回路は、制御信号と選択信号とを用いて第3の論理演算を行って、第3の論理演算の結果を出力する機能を有することが好ましい。

[0025]

(5)

又は、本発明の一態様は、上記(3)において、第2駆動回路が、保持回路と、デジタルアナログ変換回路と、スイッチと、を有する構成としてもよい。特に、保持回路の出力端子は、デジタルアナログ変換回路の入力端子に電氣的に接続されていることが好ましい。また、スイッチの第1端子は、デジタルアナログ変換回路の出力端子に電氣的に接続され、スイッチの第2端子は、画素回路に電氣的に接続され、スイッチの制御端子は、制御信号が送信される配線に電氣的に接続されていることが好ましい。また、フレームメモリは、第1の行のデータ又は第2の行のデータを保持回路の入力端子に送信する機能を有することが好ましい。

[0026]

次に、上記(1)乃至(5)とは異なる、本発明の一態様について説明する。

[0027]

本発明の一態様は、処理装置と、表示装置と、を有する表示システムである。処理装置は、第1ラ

インメモリと、第2ラインメモリと、第1フレームメモリと、第2フレームメモリと、記憶回路と、処理回路と、を備える。

[0028]

第2フレームメモリには、予め第 t フレーム目（ここでの t は1以上の整数とする）の画像データが保持されているものとする。なお、当該画像データは、 M 行 N 列（ここでの M と N のそれぞれは1以上の整数とする）の画素回路によって表示することができる。つまり、第2フレームメモリには、第 t フレーム目の1行目乃至 M 行目の画像データが保持されている。

[0029]

また、第1ラインメモリには、処理装置の外部から送信される第 $t+1$ フレーム目の i 行目（ここでの i は1以上 M 以下の整数とする）の画像データが保持される。また、第1フレームメモリには、第 $t+1$ フレーム目の i 行目の画像データが保持される。

[0030]

また、第2フレームメモリは、第 t フレーム目の i 行目の画像データを読み出して、第2のラインメモリに送信する。また、このとき、第2フレームメモリは、表示装置に対して、第 t フレームの i 行目の画像データを送信することができる。また、第2ラインメモリには、第2フレームメモリから読み出された第 t フレーム目の i 行目の画像データが保持される。

[0031]

処理回路は、第1ラインメモリから読み出された第 $t+1$ フレーム目の i 行目の画像データと、第2ラインメモリから読み出された第 t フレーム目の i 行目の画像データと、の比較を行う。また、その比較結果を記憶回路に保持する。

[0032]

つまり、上記構成により、処理回路において、第1ラインメモリから読み出された第 $t+1$ フレーム目の i 行目の画像データと、第2ラインメモリから読み出された第 t フレーム目の i 行目の画像データと、の比較を行っている間に、第2フレームメモリから、表示装置に第 t フレームの i 行目の画像データを送信することができる。

[0033]

以下に、上記課題を解決するための、第1ラインメモリと、第2ラインメモリと、第1フレームメモリと、第2フレームメモリと、記憶回路と、上述した比較を行う処理回路と、を備えた表示システムの構成例を記載する。

[0034]

(6)

本発明の一態様は、第1ラインメモリと、第2ラインメモリと、第1フレームメモリと、第2フレームメモリと、処理回路と、記憶回路と、を有する表示システムである。第1ラインメモリは、第1画像データのうちの第1の行のデータを取得して、第1の行のデータを保持する機能を有する。第1フレームメモリは、第1ラインメモリから読み出された第1の行のデータを取得して、第1の行のデータを保持する機能を有する。また、第2フレームメモリは、第2画像データを保持する機能と、第2画像データのうちの第2の行のデータを読み出して、第2記憶回路と、表示装置と、に送信する機能を有する。また、第2ラインメモリは、第2フレームメモリから読み出された第2の行のデータを取得して、第2の行のデータを保持する機能を有する。また、処理回路は、第1ラインメモリから読み出された第1の行のデータと、第2ラインメモリから読み出された第2の行のデータと、を比較し

て、比較結果を含む比較データを出力する機能を有する。また、記憶回路は、処理回路から比較データを取得して、比較データを保持する機能を有する。

[0035]

(7)

又は、本発明の一態様は、上記(6)において、処理回路が、N個(ここでのNは1以上の整数とする)の否定排他的論理和回路と、否定論理積回路と、を有する構成としてもよい。

[0036]

特に、N個の否定排他的論理和回路の一は、第1ラインメモリから読み出された第1の行のデータのj列目(jは1以上N以下の整数)の値と、第2ラインメモリから読み出された第2の行のデータのj列目の値と、を用いて第1の論理演算を行って、第1の論理演算の結果を出力する機能を有することが好ましい。また、否定論理積回路は、N個の入力端子のそれぞれからN個の第1の論理演算の結果を用いて第2の論理演算を行って、比較データを生成する機能を有することが好ましい。

[0037]

(8)

又は、本発明の一態様は、上記(6)において、表示装置が、第1駆動回路と、第2駆動回路と、画素回路と、を有し、且つ処理装置が、信号処理回路を有する構成としてもよい。

[0038]

特に、信号処理回路は、記憶回路から読み出された比較データを取得し、比較データを用いて制御信号を生成する機能を有することが好ましい。また、第1駆動回路は、信号処理回路から送信される制御信号と、画素回路を選択するための選択信号と、を用いて第3の論理演算を行って、第3の論理演算の結果を画素回路に送信する機能を有することが好ましい。また、第2駆動回路は、信号処理回路から送信される制御信号に応じて、第1の行のデータ又は第2の行のデータを画素回路に送信するか否かを定める機能を有することが好ましい。

[0039]

(9)

又は、本発明の一態様は、上記(8)において、第1駆動回路が、デコーダと、論理積回路と、を有する構成としてもよい。

[0040]

特に、デコーダは、選択信号を生成して、選択信号を論理積回路の第1入力端子に送信する機能を有することが好ましい。また、信号処理回路は、制御信号を論理積回路の第2入力端子に送信する機能を有することが好ましい。また、論理積回路は、制御信号と選択信号とを用いて第3の論理演算を行って、第3の論理演算の結果を出力する機能を有することが好ましい。

[0041]

(10)

又は、本発明の一態様は、上記(8)において、第2駆動回路が、保持回路と、デジタルアナログ変換回路と、スイッチと、を有する構成としてもよい。特に、保持回路の出力端子は、デジタルアナログ変換回路の入力端子に電氣的に接続されていることが好ましい。また、スイッチの第1端子は、デジタルアナログ変換回路の出力端子に電氣的に接続されていることが好ましい。また、スイッチの第2端子は、画素回路に電氣的に接続されていることが好ましい。また、スイッチの制御端子は、制御信号が送信される配線に電氣的に接続されていることが好ましい。また、第1フレームメモリは、

第1の行のデータ又は第2の行のデータを保持回路の入力端子に送信する機能を有することが好ましい。

[0042]

次に、上記(1)乃至(10)とは異なる、本発明の一態様について説明する。

[0043]

本発明の一態様は、処理装置と、表示装置と、を有する表示システムである。処理装置は、フレームメモリと、記憶回路と、処理回路と、を備える。また、フレームメモリには、第1メモリセルと、第2メモリセルと、を有する。

[0044]

また、第1メモリセルの書き込み動作及び第2メモリセルからの読み出し動作を同時に実行する機能と、第1メモリセルの読み出し動作及び第2メモリセルの読み出し動作を同時に実行する機能と、を有する。

[0045]

第2メモリセルには、予め第 t フレーム目(ここでの t は1以上の整数とする)の画像データが保持されているものとする。なお、当該画像データは、 M 行 N 列(ここでの M と N のそれぞれは1以上の整数とする)の画素回路によって表示することができる。つまり、第2メモリセルには、第 t フレーム目の1行目乃至 M 行目の画像データが保持されている。

[0046]

また、第1メモリセルには、処理装置の外部から送信される第 $t+1$ フレーム目の画像データが保持される。なお、上記の通り、第1メモリセルに第 $t+1$ フレーム目の画像データが保持されている間、第2メモリセルの第 t フレーム目の画像データを出力することができる。

[0047]

以下に、上記に係る、フレームメモリと、記憶回路と、上述した比較を行う処理回路と、を備えた処理装置と、当該処理装置を含む表示システムの構成例を記載する。

[0048]

(11)

本発明の一態様は、フレームメモリと、記憶回路と、処理回路と、を有する処理装置である。また、フレームメモリは、第1メモリセルと、第2メモリセルと、を有する。また、フレームメモリは、第1メモリセル及び第2メモリセルの一方での書き込み動作と、第1メモリセル及び第2メモリセルの他方での読み出し動作を重複して行う機能と、を有する。また、フレームメモリは、第1メモリセルでの読み出し動作と、第2メモリセルでの読み出し動作を重複して行う機能と、を有する。また、処理回路は、第1メモリセルから読み出された第1画像データと、第2メモリセルから読み出された第2画像データと、を比較して、比較結果を含む比較データを出力する機能を有する。また、記憶回路は、処理回路から比較データを取得して、比較データを保持する機能を有する。

[0049]

(12)

又は、本発明の一態様は、上記(11)において、フレームメモリが、第1選択回路と、第2選択回路と、第3選択回路と、を有し、且つ第1メモリセル及び第2メモリセルのそれぞれが、第1トランジスタと、第2トランジスタと、容量素子と、を有する構成としてもよい。

[0050]

特に、第1メモリセル及び第2メモリセルのそれぞれにおいて、第1トランジスタのソース及びドレインの一方は、容量素子の一对の端子の一方と、第2トランジスタのゲートと、に電氣的に接続されることが好ましい。また、第1選択回路は、第1メモリセルの第1トランジスタのゲートに電氣的に接続されていることが好ましい。また、第2選択回路は、第2メモリセルの第1トランジスタのゲートに電氣的に接続されていることが好ましい。また、第3選択回路は、第1メモリセルの第1容量素子の一对の端子の他方と、第2メモリセルの第1容量素子の一对の端子の他方と、に電氣的に接続されていることが好ましい。

[0051]

(13)

又は、本発明の一態様は、上記(12)において、処理回路が、N個（ここでのNは1以上の整数とする）の否定排他的論理和回路と、N個の入力端子を含む否定論理積回路と、を有する構成としてもよい。

[0052]

特に、N個の否定排他的論理和回路の一は、第1メモリセルから読み出された第1画像データのj列目（ここでのjは1以上N以下の整数とする）の値と、第2メモリセルから読み出された第2画像データのj列目の値と、を用いて第1の論理演算を行って、第1の論理演算の結果を出力する機能を有することが好ましい。また、否定論理積回路は、N個の入力端子のそれぞれからN個の第1の論理演算の結果を取得して、N個の第1の論理演算の結果を用いて第2の論理演算を行って、比較データを生成する機能を有することが好ましい。

[0053]

(14)

又は、本発明の一態様は、表示装置と、上記(11)に記載の処理装置と、を有する表示システムである。表示装置は、第1駆動回路と、第2駆動回路と、画素回路と、を有し、処理装置は、信号処理回路を有する。また、信号処理回路は、記憶回路から読み出された比較データを取得して、比較データを用いて制御信号を生成する機能を有する。また、第1駆動回路は、信号処理回路から送信される制御信号と、画素回路を選択するための選択信号と、を用いて第3の論理演算を行って、第3の論理演算の結果を画素回路に送信する機能を有する。また、フレームメモリは、第2メモリセルの保持されている第2画像データを第3画像データに書き換えている間に、第1メモリセルから第1画像データを読み出して、第1画像データを第2駆動回路に送信する機能を有する。また、第2駆動回路は、信号処理回路から送信される制御信号に応じて、第1画像データを画素回路に送信するか否かを定める機能を有する。

[0054]

(15)

又は、本発明の一態様は、上記(14)において、第1駆動回路が、デコーダと、論理積回路と、を有する構成としてもよい。

[0055]

特に、デコーダは、選択信号を生成して、選択信号を論理積回路の第1入力端子に送信する機能を有することが好ましい。また、信号処理回路は、制御信号を論理積回路の第2入力端子に送信する機能を有することが好ましい。また、論理積回路は、制御信号と選択信号とを用いて第3の論理演算を行って、第3の論理演算の結果を出力する機能を有することが好ましい。

[0056]

(16)

又は、本発明の一態様は、上記（14）において、第2駆動回路が、保持回路と、デジタルアナログ変換回路と、スイッチと、を有する構成としてもよい。特に、保持回路の出力端子は、デジタルアナログ変換回路の入力端子に電氣的に接続されていることが好ましい。また、スイッチの第1端子は、デジタルアナログ変換回路の出力端子に電氣的に接続され、スイッチの第2端子は、画素回路に電氣的に接続され、スイッチの制御端子は、制御信号が送信される配線に電氣的に接続されていることが好ましい。また、フレームメモリは、第1画像データを保持回路の入力端子に送信する機能を有することが好ましい。

[0057]

なお、上記（11）乃至（16）に記載の処理装置に含まれる記憶回路は、第1記憶回路と第2記憶回路として、2個の記憶回路に置き換えてもよい。これにより、第1記憶回路と第2記憶回路の一方において、比較データの書き込みを行っているとき、第1記憶回路と第2記憶回路の他方において、別の比較データの読み出しを行うことができる。

[0058]

以下に、上記課題を解決するための、フレームメモリと、第1記憶回路と、第2記憶回路と、処理回路と、を備えた処理装置と、当該処理装置を含む表示システムの構成例を記載する。

[0059]

(17)

又は、本発明の一態様は、フレームメモリと、第1記憶回路と、第2記憶回路と、処理回路と、を有する処理装置である。フレームメモリは、第1メモリセルと、第2メモリセルと、を有する。また、フレームメモリは、第1メモリセル及び第2メモリセルの一方での書き込み動作と、第1メモリセル及び第2メモリセルの他方での読み出し動作を重複して行う機能と、を有する。また、フレームメモリは、第1メモリセルでの読み出し動作と、第2メモリセルでの読み出し動作を重複して行う機能と、を有する。また、処理回路は、第1メモリセルから読み出された第1画像データと、第2メモリセルから読み出された第2画像データと、を比較して、比較結果を含む第1比較データを出力する機能を有する。また、第1記憶回路及び第2記憶回路の一方は、処理回路から第1比較データを取得して、第1比較データを保持する機能を有する。

[0060]

(18)

又は、本発明の一態様は、上記（17）において、フレームメモリが、第1選択回路と、第2選択回路と、第3選択回路と、を有し、且つ第1メモリセル及び第2メモリセルのそれぞれが第1トランジスタと、第2トランジスタと、容量素子と、を有する構成としてもよい。

[0061]

特に、第1メモリセル及び第2メモリセルのそれぞれにおいて、第1トランジスタのソース及びドレインの一方は、容量素子の一对の端子の一方と、第2トランジスタのゲートと、に電氣的に接続されることが好ましい。また、第1選択回路は、第1メモリセルの第1トランジスタのゲートに電氣的に接続されていることが好ましい。また、第2選択回路は、第2メモリセルの第1トランジスタのゲートに電氣的に接続されていることが好ましい。また、第3選択回路は、第1メモリセルの第1容量素子の一对の端子の他方と、第2メモリセルの第1容量素子の一对の端子の他方と、に電氣的に接続

されていることが好ましい。

[0062]

(19)

又は、本発明の一態様は、上記(18)において、処理回路が、N個(ここでのNは1以上の整数とする)の否定排他的論理和回路と、N個の入力端子を含む否定論理積回路と、を有する構成としてもよい。

[0063]

特に、N個の否定排他的論理和回路の一は、第1メモリセルから読み出された第1画像データのj列目(ここでのjは1以上N以下の整数とする)の値と、第2メモリセルから読み出された第2画像データのj列目の値と、を用いて第1の論理演算を行って、第1の論理演算の結果を出力する機能を有することが好ましい。また、否定論理積回路は、N個の入力端子のそれぞれからN個の第1の論理演算の結果を取得して、N個の第1の論理演算の結果を用いて第2の論理演算を行って、第1比較データを生成する機能を有することが好ましい。

[0064]

(20)

又は、本発明の一態様は、表示装置と、上記(17)に記載の処理装置と、を有する表示システムである。表示装置は、第1駆動回路と、第2駆動回路と、画素回路と、を有し、処理装置は、信号処理回路を有する。また、信号処理回路は、第1記憶回路及び第2記憶回路の一方から読み出された第1比較データを取得して、第1比較データを用いて制御信号を生成する機能を有する。また、第1駆動回路は、信号処理回路から送信される制御信号と、画素回路を選択するための選択信号と、を用いて第3の論理演算を行って、第3の論理演算の結果を画素回路に送信する機能を有する。また、フレームメモリは、第2メモリセルに第3画像データを書き込んでいる間に、第1メモリセルから第1画像データを読み出して、第1画像データを第2駆動回路に送信する機能を有する。また、第2駆動回路は、信号処理回路から送信される制御信号に応じて、第1画像データを画素回路に送信するか否かを定める機能を有する。

[0065]

(21)

又は、本発明の一態様は、上記(20)において、処理回路が、第1メモリセルから読み出された第1画像データと、第2メモリセルから読み出された第3画像データと、を比較して、比較結果を含む第2比較データを出力する機能を有する構成としてもよい。また、このとき、第1記憶回路及び第2記憶回路の他方は、処理回路から第2比較データを取得して、第2比較データを保持する機能を有することが好ましい。

[0066]

(22)

又は、本発明の一態様は、上記(21)において、第1駆動回路が、デコーダと、論理積回路と、を有する構成としてもよい。

[0067]

特に、デコーダは、選択信号を生成して、選択信号を論理積回路の第1入力端子に送信する機能を有することが好ましい。信号処理回路は、制御信号を論理積回路の第2入力端子に送信する機能を有することが好ましい。また、論理積回路は、制御信号と選択信号とを用いて第3の論理演算を行って、

第3の論理演算の結果を出力することが好ましい。

[0068]

(23)

又は、本発明の一態様は、上記(21)において、第2駆動回路が、保持回路と、デジタルアナログ変換回路と、スイッチと、を有する構成とすることが好ましい。特に、保持回路の出力端子は、デジタルアナログ変換回路の入力端子に電氣的に接続されていることが好ましい。また、スイッチの第1端子は、デジタルアナログ変換回路の出力端子に電氣的に接続され、スイッチの第2端子は、画素回路に電氣的に接続され、スイッチの制御端子は、制御信号が送信される配線に電氣的に接続されていることが好ましい。また、フレームメモリは、第1画像データを保持回路の入力端子に送信する機能を有することが好ましい。

発明の効果

[0069]

上記(1)若しくは(2)に記載した処理装置、又は上記(3)乃至(5)のいずれかに記載した表示システムを用いることによって、 n フレーム目と $n+1$ フレーム目のそれぞれの m 行目の画像データが同じである場合、フレームメモリにおいて、 n フレーム目の m 行目の画像データから $n+1$ フレーム目の m 行目への画像データの書き換えを行わないようにすることができる。このため、フレームメモリにおいて、前後のフレームの画像データで少なくとも1行以上で変化がない場合には、画像データの行毎の画像の書き換え回数を低減することができる。これにより、フレームメモリの消費電力を低減することができる。

[0070]

また、上記(6)乃至(10)のいずれかに記載した表示システムを用いることによって、 n フレーム目と $n+1$ フレーム目のそれぞれの m 行目の画像データの比較を行っている最中に、表示装置に n フレーム目の m 行目の画像データの送信を行うことができる。このため、処理装置に含まれる各回路の処理時間が長くても、当該処理時間中に画像データを表示装置に送信することができるため、表示システムのフレーム周波数の低下を防ぐことができる。

[0071]

また、上記(11)乃至(13)、(17)乃至(19)のいずれかに記載した処理装置、又は上記(14)乃至(16)、(20)乃至(23)のいずれかに記載した表示システムを用いることによって、上記(1)若しくは(2)に記載した処理装置、又は上記(3)乃至(10)のそれぞれに記載の処理装置よりも、回路面積を低減しつつ、表示システムのフレーム周波数の低下を防ぐことができる。

[0072]

本発明の一態様によって、前後のフレームにおける画像データ同士の比較が可能な処理装置を提供することができる。又は、本発明の一態様によって、消費電力が低減された処理装置を提供することができる。又は、本発明の一態様によって、上記処理装置を有する表示システムを提供することができる。又は、本発明の一態様によって、フレーム周波数の低下を抑制した表示システムを提供することができる。又は、本発明の一態様によって、新規の処理装置又は新規の表示システムを提供することができる。

[0073]

なお、本発明の一態様の効果は、上記効果に限定されない。上記効果は、他の効果の存在を妨げる

ものではない。なお、他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記効果及び他の効果のうち、少なくとも一つの効果を有するものである。従って、本発明の一態様は、場合によっては、上記効果を有さない場合もある。

図面の簡単な説明

[0074]

図1は、表示システムの構成例を示すブロック図である。

図2は、表示システムの動作例を示すフローチャートである。

図3は、表示システムに含まれる回路の構成例を示すブロック図である。

図4は、表示システムに含まれる回路の構成例を示すブロック図である。

図5は、表示システムに含まれる回路の構成例を示すブロック図である。

図6は、表示システムに含まれる回路の構成例を示すブロック図である。

図7は、表示システムに含まれる回路の構成例を示すブロック図である。

図8A及び図8Bは、表示システムに含まれる回路の構成例を示す回路図である。

図9Aは、表示システムに含まれる回路の構成例を示すブロック図であり、図9Bは、表示システムに含まれる回路の動作例を示すタイミングチャートである。

図10A乃至図10Dは、表示システムに含まれる回路の構成例を示す回路図である。

図11は、表示システムに含まれる回路の動作例を示すタイミングチャートである。

図12は、表示システムに含まれる回路の構成例を示すブロック図である。

図13は、表示システムに含まれる回路の動作例を示すタイミングチャートである。

図14は、表示システムの構成例を示すブロック図である。

図15は、表示システムの動作例を示すフローチャートである。

図16は、表示システムに含まれる回路の構成例を示すブロック図である。

図17は、表示システムに含まれる回路の構成例を示すブロック図である。

図18は、表示システムに含まれる回路の構成例を示すブロック図である。

図19は、表示システムに含まれる回路の構成例を示すブロック図である。

図20は、表示システムの構成例を示すブロック図である。

図21は、表示システムの動作例を示すフローチャートである。

図22は、表示システムに含まれる回路の構成例を示すブロック図である。

図23は、表示システムに含まれる回路の構成例を示すブロック図である。

図24は、表示システムに含まれる回路の動作例を示すタイミングチャートである。

図25は、表示システムに含まれる回路の動作例を示すタイミングチャートである。

図26は、表示システムに含まれる回路の構成例を示すブロック図である。

図27は、表示システムの構成例を示すブロック図である。

図28は、表示システムの動作例を示すフローチャートである。

図29は、表示システムに含まれる回路の構成例を示すブロック図である。

図30は、表示システムに含まれる回路の構成例を示すブロック図である。

図31は、表示システムに含まれる回路の構成例を示すブロック図である。

図32A乃至図32Fは、メモリセルの構成例を示す回路図である。

図 3 3 A 乃至図 3 3 F は、メモリセルの構成例を示す回路図である。

図 3 4 A 乃至図 3 4 D は、画素回路の構成例を示す回路図である。

図 3 5 A 及び図 3 5 B は、画素回路の構成例を示す回路図である。

図 3 6 A 及び図 3 6 B は、画素回路の構成例を示す回路図である。

図 3 7 は、画素回路の構成例を示す回路図である。

図 3 8 A 乃至図 3 8 C は、表示装置の構成例を示す斜視模式図である。

図 3 9 は、表示装置の構成例を示すブロック図である。

図 4 0 は、表示装置の構成例を示す断面模式図である。

図 4 1 A は、トランジスタの構成例を示す平面模式図であって、図 4 1 B 及び図 4 1 C は、トランジスタの構成例を示す断面模式図である。

図 4 2 A は、トランジスタの構成例を示す平面模式図であって、図 4 2 B 及び図 4 2 C は、トランジスタの構成例を示す断面模式図である。

図 4 3 A 乃至図 4 3 C は、表示装置の一部の構成例を示す断面模式図である。

図 4 4 は、表示装置の構成例を示す断面模式図である。

図 4 5 は、表示装置の構成例を示す断面模式図である。

図 4 6 は、表示装置の構成例を示す断面模式図である。

図 4 7 A 及び図 4 7 B は、表示モジュールの構成例を示す図である。

図 4 8 A 乃至図 4 8 I は、電子機器の一例を示す図である。

発明を実施するための形態

[0075]

(本明細書に関する付記)

本明細書において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（例えば、トランジスタ、ダイオード及びフォトダイオード）を含む回路、同回路を有する装置をいう。また、半導体装置とは、半導体特性を利用することで機能しうる装置全般をいう。半導体装置の一例としては、集積回路が挙げられる。また、半導体装置の一例としては、集積回路を備えたチップも挙げられる、また、半導体装置の一例としては、パッケージにチップを収納した電子部品も挙げられる。また、例えば、記憶装置、表示装置、発光装置、照明装置及び電子機器は、それ自体が半導体装置である場合があり、半導体装置を有している場合がある。

[0076]

また、本明細書等において、X と Y とが接続されていると記載されている場合は、X と Y とが電氣的に接続されている場合と、X と Y とが機能的に接続されている場合と、X と Y とが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも、図又は文章に開示されているものとする。X、Y は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜又は層）であるとする。

[0077]

X と Y とが電氣的に接続されている場合の一例としては、X と Y との電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、インダクタ、抵抗素子、ダイオード、表示デバイス、発光デバイス及び負荷）が、X と Y との間に 1 個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）又は非導通状態

(オフ状態)になり、電流を流すか流さないかを制御する機能を有している。

[0078]

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路(例えば、論理回路(例えば、インバータ、NAND回路、及びNOR回路)、信号変換回路(例えば、デジタルアナログ変換回路、アナログデジタル変換回路、及びガンマ補正回路)、電位レベル変換回路(例えば、昇圧回路若しくは降圧回路といった電源回路、及び信号の電位レベルを変えるレベルシフタ回路)、電圧源、電流源、切り替え回路、増幅回路(例えば、信号振幅若しくは電流量などを大きくできる回路、オペアンプ、差動増幅回路、ソースフォロワ回路、及びバッファ回路)、信号生成回路、記憶回路、及び制御回路)が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

[0079]

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合(つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合)と、XとYとが直接接続されている場合(つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合)と、を含むものとする。

[0080]

また、例えば、「XとYとトランジスタのソース(例えば、第1端子又は第2端子の一方に言い換える場合がある)とドレイン(例えば、第1端子又は第2端子の他方に言い換える場合がある)とは、互いに電氣的に接続されており、X、トランジスタのソース、トランジスタのドレイン、Yの順序で電氣的に接続されている。」と表現することができる。又は、「トランジスタのソースは、Xと電氣的に接続され、トランジスタのドレインはYと電氣的に接続され、X、トランジスタのソース、トランジスタのドレイン、Yは、この順序で電氣的に接続されている」と表現することができる。又は、「Xは、トランジスタのソースとドレインとを介して、Yと電氣的に接続され、X、トランジスタのソース、トランジスタのドレイン、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソースと、ドレインとを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Yは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜又は層)であるとする。

[0081]

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能及び電極の機能の両方を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

[0082]

本明細書において、「抵抗素子」とは、例えば、 $0\ \Omega$ よりも高い抵抗値を有する回路素子、若しくは $0\ \Omega$ よりも高い抵抗値を有する配線とすることができる。そのため、本明細書において、「抵抗素子」は、抵抗値を有する配線、ソースドレイン間に電流が流れるトランジスタ、ダイオード又はコイルを含むものとする。そのため、「抵抗素子」という用語は、「抵抗」、「負荷」又は「抵抗値を有す

る領域」という用語に言い換えることができる場合がある。逆に「抵抗」、「負荷」又は「抵抗値を有する領域」という用語は、「抵抗素子」という用語に言い換えることができる場合がある。抵抗値としては、例えば、好ましくは $1\text{ m}\Omega$ 以上 10Ω 以下、より好ましくは $5\text{ m}\Omega$ 以上 5Ω 以下、更に好ましくは $10\text{ m}\Omega$ 以上 1Ω 以下とすることができる。また、例えば、 1Ω 以上 $1 \times 10^9\Omega$ 以下としてもよい。

[0083]

本明細書において、「容量素子」とは、例えば、 0 F よりも高い静電容量の値を有する回路素子とすることができる。また、「容量素子」（3端子以上の「容量素子」を含む）は、絶縁体と、当該絶縁体を挟んだ一对の導電体と、を含む構成となっている。そのため、「容量素子」の「一对の導電体」という用語は、「一对の電極」、「一对の導電領域」、「一对の領域」又は「一对の端子」に言い換えることができる。また、「一对の端子の一方」及び「一对の端子の他方」という用語は、それぞれ第1端子、及び第2端子と呼称する場合がある。なお、静電容量の値としては、例えば、 0.05 fF 以上 10 pF 以下とすることができる。また、例えば、 1 pF 以上 $10\mu\text{F}$ 以下としてもよい。

[0084]

但し、回路には、意図していない静電容量を有する領域、つまり「寄生容量」が生じてしまう場合がある。「寄生容量」とは、例えば、絶縁体を介した異なる配線同士を含む領域、トランジスタに生じるゲート容量、などが挙げられる。本明細書では、特に断らない限り、「容量素子」には、「寄生容量」を含まないものとして、説明する。

[0085]

本明細書において、トランジスタは、ゲート、ソース及びドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソース又はドレインとして機能する2つの端子は、トランジスタの入出力端子である。2つの入出力端子は、トランジスタの導電型（ n チャネル型又は p チャネル型）及びトランジスタの3つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書においては、ソース又はドレインという用語は、互いに言い換えることができる場合がある。また、本明細書では、トランジスタの接続関係を説明する際、「ソース及びドレインの一方」、「ソース及びドレインの他方」という表記を用いる。また、「ソース及びドレインの一方」を「トランジスタの第1端子」又は「トランジスタの第1電極」と呼称し、「ソース及びドレインの他方」を「トランジスタの第2端子」又は「トランジスタの第2電極」と呼称することができる。

[0086]

なお、トランジスタの構造によっては、上述した3つの端子に加えて、バックゲートを有する場合がある。この場合、本明細書において、トランジスタのゲート又はバックゲートの一方を第1ゲートと呼称し、トランジスタのゲート又はバックゲートの他方を第2ゲートと呼称することができる。更に、同じトランジスタにおいて、「ゲート」と「バックゲート」の用語は互いに入れ換えることができる場合がある。また、トランジスタが、3以上のゲートを有する場合は、本明細書においては、それぞれのゲートを第1ゲート、第2ゲート、第3ゲートなどと呼称することができる。

[0087]

例えば、本明細書において、トランジスタの一例としては、ゲート電極が2個以上のマルチゲート構造のトランジスタを用いることができる。マルチゲート構造にすると、チャネル形成領域が直列に接続されるため、複数のトランジスタが直列に接続された構造となる。よって、マルチゲート構造に

より、オフ電流の低減、トランジスタの耐圧向上（信頼性の向上）を図ることができる。または、マルチゲート構造により、飽和領域で動作する時に、ソースドレイン間電圧が変化しても、ドレイン電流があまり変化せず、傾きがフラットであるソースドレイン間電圧ドレイン電流特性を得ることができる。例えば、傾きがフラットであるソースドレイン間電圧ドレイン電流特性を利用すると、理想的な電流源回路、非常に高い抵抗値をもつ能動負荷などを実現することができる。その結果、特性のよい差動回路、カレントミラー回路などを実現することができる。

[0088]

また、回路図上では、単一の回路素子が記載されている場合でも、当該回路素子が複数の回路素子を有する場合がある。例えば、回路図上に1個の抵抗が記載されている場合は、2個以上の抵抗が直列に直接接続されている場合を含むものとする。また、2個以上直列に直接接続されている抵抗は、1個の抵抗として表すことができる場合がある。また、例えば、回路図上に1個の容量素子が記載されている場合は、2個以上の容量素子が並列に直接接続されている場合を含むものとする。また、2個以上並列に直接接続されている容量素子は、1個の容量素子として表すことができる場合がある。また、例えば、回路図上に1個のトランジスタが記載されている場合は、2個以上のトランジスタがソースとドレイン同士で直列に直接接続され、かつそれぞれのトランジスタのゲート同士が直接接続されている場合を含むものとする。また、2個以上のトランジスタがソースとドレイン同士で直列に直接接続され、かつそれぞれのトランジスタのゲート同士が直接接続されている構成は、1個のトランジスタとして表すことができる場合がある。また、例えば、回路図上に1個のトランジスタが記載されている場合は、2個以上のトランジスタの第1端子同士が互いに直接接続され、それぞれのトランジスタの第2端子同士が互いに直接接続され、かつそれぞれのトランジスタのゲート同士が直接接続されている場合を含むものとする。また、2個以上のトランジスタの第1端子同士が互いに直接接続され、それぞれのトランジスタの第2端子同士が互いに直接接続され、かつそれぞれのトランジスタのゲート同士が直接接続されている構成は、1個のトランジスタとして表すことができる場合がある。

[0089]

本明細書において、スイッチとは、導通状態（オン状態）又は非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

[0090]

また、スイッチは、制御端子とは別に、電流を流す端子を2つ又は3つ以上有する場合がある。一例としては、電氣的なスイッチ、機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御する機能を有する場合であれば、特定のものに限定されない。

[0091]

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM (Metal Insulator Metal) ダイオード、MIS (Metal Insulator Semiconductor) ダイオード、及びダイオード接続のトランジスタ）、又はこれらを組み合わせた論理回路などがある。なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、例えば、トランジスタのソースとドレインとの間が電氣的に短絡されているとみなせる状態、又はソースとドレインとの間に電流を流すことができる状態、をいう。

また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

[0092]

機械的なスイッチの一例としては、MEMS（マイクロ・エレクトロ・メカニカル・システムズ）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通状態と非導通状態とを制御して動作する。

[0093]

また、本明細書において、ノードは、回路構成及びデバイス構造に応じて、端子、配線、電極、導電層、導電体又は不純物領域と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

[0094]

また、本明細書において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。なお、グラウンド電位は必ずしも0Vを意味するとは限らない。また、電位は相対的なものであり、基準となる電位が変わることによって、配線に与えられる電位、回路などに印加される電位、回路などから出力される電位なども変化する。

[0095]

また、本明細書において、「高レベル電位」及び「低レベル電位」という用語は、特定の電位を意味するものではない。例えば、2本の配線において、両方とも「高レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの高レベル電位は、互いに等しくなくてもよい。また、同様に、2本の配線において、両方とも「低レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの低レベル電位は、互いに等しくなくてもよい。

[0096]

また、「電流」とは、電荷の移動現象（電気伝導）のことであり、例えば、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとしては、例えば、電子、正孔、アニオン、カチオン及び錯イオンが挙げられ、電流の流れる系（例えば、半導体、金属、電解液及び真空中）によってキャリアが異なる。また、配線等における「電流の向き」は、正電荷となるキャリアが移動する方向とし、正の電流量で記載する。換言すると、負電荷となるキャリアが移動する方向は、電流の向きと逆の方向となり、負の電流量で表現される。そのため、本明細書において、電流の正負（又は電流の向き）について断りがない場合、「素子Aから素子Bに電流が流れる」の記載は「素子Bから素子Aに電流が流れる」に言い換えることができるものとする。また、「素子Aに電流が入力される」の記載は「素子Aから電流が出力される」に言い換えることができるものとする。

[0097]

また、本明細書において、「第1」、「第2」、「第3」などの序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、工程順、積層順などの構成要素の順序を限定するものではない。また、本明細書において、序数詞が付されていない用語

であっても、構成要素の混同を避けるため、特許請求の範囲において、序数詞が付される場合がある。また、本明細書において、序数詞が付されている用語であっても、特許請求の範囲において、異なる序数詞が付される場合がある。また、本明細書において序数詞が付されている用語であっても、特許請求の範囲において、助数詞を省略する場合がある。例えば、本明細書の実施の形態の一において「第1」という序数詞に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において、その異なる序数詞として「第2」、「第3」などに言及された構成要素とすることもありうる。また、例えば、本明細書の実施の形態の一において「第1」という序数詞に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

[0098]

また、本明細書において、「上に」及び「下に」といった配置を示す語句は、構成要素同士の位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成要素同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現は、示している図面の向きを180度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。

[0099]

また、「上」又は「下」といった用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。また、同様に、例えば、「絶縁層Aの上方の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。また、同様に、例えば、「絶縁層Aの下方の電極B」の表現であれば、絶縁層Aの下に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

[0100]

また、本明細書において、マトリクス状に配置された構成要素、及びその位置関係を説明するために、「行」及び「列」といった語句を使用する場合がある。また、構成要素同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「行方向」という表現は、示している図面の向きを90度回転することによって、「列方向」と言い換えることができる場合がある。また、同様に「列方向」という表現は、示している図面の向きを90度回転することによって、「行方向」と言い換えることができる場合がある。

[0101]

また、本明細書において、「膜」及び「層」といった語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。また、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。また、場合によっては、又は、状況に応じて、「膜」及び「層」といった語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。また、例えば、「絶縁層」又は「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

[0102]

また、本明細書において「電極」、「配線」及び「端子」という用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」又は「配線」といった用語は、複数の「電極」又は「配線」が一体となって形成されている場合なども含む。また、例えば、「端子」は「配線」又は「電極」の一部として用いられることがあり、その逆もまた同様である。更に、「端子」の用語は、「電極」、「配線」及び「端子」から選ばれた一以上が一体となって形成されている場合なども含む。そのため、例えば、「電極」は「配線」又は「端子」の一部とすることができ、また、例えば、「端子」は「配線」又は「電極」の一部とすることができる。また、「電極」、「配線」又は「端子」という用語は、場合によって、「領域」という用語に置き換える場合がある。

[0103]

また、本明細書において、「配線」、「信号線」及び「電源線」といった用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」又は「電源線」といった用語を、「配線」という用語に変更することが可能な場合がある。「電源線」といった用語は、「信号線」という用語に変更することが可能な場合がある。また、その逆も同様で「信号線」といった用語は、「電源線」という用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」という用語に変更することが可能な場合がある。また、その逆も同様で、「信号」という用語は、「電位」という用語に変更することが可能な場合がある。

[0104]

また、本明細書では、半導体装置の動作方法を説明するため、図面のタイミングチャートを用いる場合がある。また、説明に用いるタイミングチャートは、理想的な動作例を示したものであり、当該タイミングチャートに記載されている、期間、信号（例えば、電位又は電流）の大きさ及びタイミングは、特に断りがない場合は限定されない。図面に記載されているタイミングチャートは、状況に応じて、当該タイミングチャートにおける各配線（ノードを含む）に入力される信号（例えば、電位又は電流）の大きさ及びタイミングの変更を行うことができる。例えば、タイミングチャートに2つの期間が等間隔に記載されていたとしても、2つの期間の長さは互いに異なる場合がある。また、例えば、2つの期間において、一方の期間が長く、かつ他方の期間が短く記載されていたとしても、両者の期間の長さは等しくてもよい場合があり、又は、一方の期間が短くかつ他方の期間が長くてもよい場合がある。また、タイミングチャートを明瞭に示すため、例えば、重なっている2本以上の信号を意図的にズラして図示する場合がある。

[0105]

本明細書において、金属酸化物（metal oxide）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Oxide Semiconductor 又は単にOSともいう）などに分類される。例えば、トランジスタのチャネル形成領域に金属酸化物が含まれている場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が、増幅作用、整流作用及びスイッチング作用の少なくとも1つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体

(metal oxide semiconductor) と呼称することができる。また、OSトランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

[0106]

また、本明細書において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

[0107]

また、本明細書において、半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなること、キャリア移動度が低下すること、及び結晶性が低下すること、から選ばれた一以上が起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素と、第2族元素と、第13族元素と、第14族元素と、第15族元素と、主成分以外の遷移金属とがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、及び窒素がある。

[0108]

本明細書において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「略平行」又は「概略平行」とは、二つの直線が -30 度以上 30 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80 度以上 100 度以下の角度で配置されている状態をいう。したがって、 85 度以上 95 度以下の場合も含まれる。また、「略垂直」又は「概略垂直」とは、二つの直線が 60 度以上 120 度以下の角度で配置されている状態をいう。

[0109]

また、本明細書において、各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

[0110]

なお、ある一つの実施の形態の中で述べる内容（一部又は全部の内容）は、その実施の形態で述べる別の内容（一部または全部の内容）と、一つ若しくは複数の別の実施の形態で述べる内容（一部又は全部の内容）との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

[0111]

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

[0112]

なお、ある一つの実施の形態において述べる図（一部又は全部）は、その図の別の部分、その実施の形態において述べる別の図（一部又は全部）と、一つ若しくは複数の別の実施の形態において述べる図（一部又は全部）との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

[0113]

本明細書に記載の実施の形態について図面を参照しながら説明している。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

[0114]

本明細書において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“__1”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。また、図面等において、符号に“__1”、“[n]”、“[m, n]”等の識別用の符号を付記している場合、本明細書において区別する必要が無いときには、識別用の符号を記載しない場合がある。

[0115]

また、本明細書の図面において、大きさ、層の厚さ又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。

[0116]

(実施の形態1)

本実施の形態では、本発明の一態様の処理装置と、当該処理装置を含む表示システムについて説明する。

[0117]

<表示システムの構成例>

図1は、本発明の一態様の表示システムの構成例を示したブロック図である。図1に示す表示システムDSYSは、一例として、表示装置DSPと、処理装置PRCと、を有する。また、表示装置DSPは、画素アレイ部PXAと、駆動回路部DRAと、を有する。

[0118]

画素アレイ部PXAは、一例として、複数の画素回路PXを有する。また、複数の画素回路PXは、画素アレイ部PXA内において、アレイ状に配置されている。特に、図1では、一例として、複数の画素回路PXが、画素アレイ部PXA内において、M行N列（ここでのM及びNのそれぞれは、1以上の整数とする）のマトリクス状に配置されている例を示している。

[0119]

なお、画素アレイ部PXA内において、複数の画素回路PXのそれぞれを区別するため、図1に示す複数の画素回路PXのそれぞれの符号には、アドレスを付記している。例えば、1行1列に位置している画素回路PXは、PX[1, 1]と図示し、M行1列に位置している画素回路PXは、PX[M, 1]と図示し、1行N列に位置している画素回路PXは、PX[1, N]と図示し、M行N列に位置している画素回路PXは、PX[M, N]と図示している。また、図1には示していないがi行j列（ここでのiは1以上M以下の整数とし、また、ここでのjは1以上N以下の整数とする）に位置している画素回路PXを、本明細書では、画素回路PX[i, j]と呼称する。

[0120]

画素回路P Xは、例えば、液晶表示デバイス、有機EL (E l e c t r o l u m i n e s c e n c e) 材料を含む発光デバイス、無機EL材料を含む発光デバイス、ミニLED (L i g h t E m i t t i n g D i o d e) 並びにマイクロLEDなどの発光ダイオードを含む発光デバイスから選ばれた一以上が適用された画素回路とすることができる。

[0121]

画素アレイ部P X Aには、配線S L [1] 乃至配線S L [N] が列方向に延在し、また、配線G L [1] 乃至配線G L [M] が行方向に延在している。

[0122]

配線G L [i] は、一例として、画素回路P X [i, 1] 乃至画素回路P X [i, N] のそれぞれに接続されている。配線S L [j] は、一例として、画素回路P X [1, j] 乃至画素回路P X [M, j] のそれぞれに接続されている。

[0123]

配線S L [1] 乃至配線S L [N] のそれぞれは、一例として、画像信号を送信するための配線としての機能を有する。

[0124]

配線G L [1] 乃至配線G L [M] のそれぞれは、一例として、画像信号を書き込む画素回路P Xを選択する選択信号を送信するための配線としての機能を有する。

[0125]

なお、図1において、配線S L [1] 乃至配線S L [N] のそれぞれは、1本の配線として示しているが、配線S L [1] 乃至配線S L [N] のそれぞれは、2本以上の配線がまとめられた配線群としてみなすことができる場合がある。同様に、図1において、配線G L [1] 乃至配線G L [M] のそれぞれは、1本の配線として示しているが、配線G L [1] 乃至配線G L [M] のそれぞれは、2本以上の配線がまとめられた配線群としてみなすことができる場合がある。

[0126]

駆動回路部D R Aは、一例として、駆動回路S Dと、駆動回路G Dと、を有する。

[0127]

駆動回路S Dは、一例として、配線S L [1] 乃至配線S L [N] のそれぞれに接続されている。また、駆動回路G Dは、一例として、配線G L [1] 乃至配線G L [M] のそれぞれに接続されている。

[0128]

駆動回路G Dは、一例として、画像信号を書き込む対象となる、画素回路P Xを選択するためのゲートドライバ回路として機能する。つまり、駆動回路G Dは、画像信号の書き込みの対象となる行の配線G Lに対して選択信号を送信し、且つ画像信号の書き込みの対象とならない行の配線G Lに対して非選択信号を送信する機能を有する。そのため、駆動回路G Dは、選択回路又はゲート線選択回路と呼ばれる場合がある。

[0129]

また、駆動回路G Dは、画素アレイ部P X Aに表示される画像の前後のフレームで、所定の行の表示画像が変化しない場合において、当該行に送信される選択信号を非選択信号に切り替える機能を有する。なお、所定の行の表示画像が変化するか否かについては、駆動回路G Dに送信される、後述する信号処理回路P Gが生成する制御信号によって判定される。

[0130]

駆動回路SDは、一例として、画素回路PXに対して、画像信号を送信するためのソースドライバ回路としての機能を有する。

[0131]

また、駆動回路SDは、画素アレイ部PXAに表示されている第1画像と、第1画像の次のフレームである第2画像と、で互いの所定の行の表示画像が変化しない場合において、当該行への第2画像の画像信号を送信しない機能を有する。つまり、駆動回路SDは、当該行の画素回路に書き込まれている第1画像のデータを、第2画像のデータへの書き換えを行わないように動作することができる。この場合、例えば、駆動回路SDは、当該行への第2画像の画像信号を送信しないタイミングで、その出力を高インピーダンスにする機能を有してもよい。また、当該タイミングは、駆動回路SDに送信される、後述する信号処理回路PGが生成する制御信号によって判定される。

[0132]

処理装置PRCは、記憶回路FMと、記憶回路LM1と、記憶回路LM2と、記憶回路FGMと、処理回路SGPRと、信号処理回路PGと、制御回路TCと、を有する。

[0133]

記憶回路LM1は、一例として、第1のラインメモリとしての機能を有する。具体的には、例えば、記憶回路LM1は、画素アレイ部PXAに表示するための画像の少なくとも1行分の画像データを一時的に保持する機能を有する。また、記憶回路LM1は、一例として、画素アレイ部PXAのi行目に送信される画像データD[i]（画像データを画像信号と言い換える場合がある）を処理装置PRCの外部から取得する機能を有する。また、記憶回路LM1は、保持されている画像データD[i]を読み出して、処理回路SGPRに送信する機能を有する。また、記憶回路LM1は、処理回路SGPRから送信される、後述する比較データに応じて、保持されている画像データD[i]を読み出して、記憶回路FMに送信する機能を有してもよい。

[0134]

記憶回路FMは、一例として、フレームメモリとしての機能を有する。具体的には、例えば、記憶回路FMは、画素アレイ部PXAに表示するための画像の全行分の画像データを一時的に保持する機能を有する。また、記憶回路FMは、一例として、画素アレイ部PXAの1行目乃至M行目のそれぞれに送信される画像データD[1]乃至画像データD[M]を記憶回路LM1から取得する機能を有する。また、記憶回路FMは、保持されている画像データD[1]乃至画像データD[M]のそれぞれを順次読み出して、駆動回路SDに送信する機能を有する。また、記憶回路FMは、保持されている画像データD[i]を読み出して、記憶回路LM2に送信する機能を有する。

[0135]

記憶回路LM2は、一例として、第2のラインメモリとしての機能を有する。具体的には、例えば、記憶回路LM2は、記憶回路LM1と同様に、画素アレイ部PXAに表示するための画像の少なくとも1行分の画像データを一時的に保持する機能を有する。また、記憶回路LM2に保持することができる画像データの行数は、記憶回路LM1と等しいことが好ましい。また、記憶回路LM2は、一例として、画像データD[i]を記憶回路FMから取得する機能を有する。また、記憶回路LM2は、保持されている画像データD[i]を読み出して、処理回路SGPRに送信する機能を有する。

[0136]

処理回路SGPRは、一例として、記憶回路LM1及び記憶回路LM2のそれぞれから読み出され

た所定の行数分の画像データ同士の比較を行う機能を有する。具体的には、処理回路SGPRは、記憶回路LM1と記憶回路LM2とがそれぞれ保持しているi行目の画像データD[i]同士の比較を行い、当該比較の結果として比較データC[i]を出力して、記憶回路FGMに送信する機能を有する。なお、処理回路SGPRは、比較データC[i]を記憶回路LM1に送信する機能を有してもよい。

[0137]

記憶回路FGMは、一例として、処理回路SGPRから送信された比較データC[i]を保持する機能を有する。また、記憶回路FGMは、画素アレイ部PXAの行数分として比較データC[1]乃至比較データC[M]の保持を行うことができるものとする。また、記憶回路FGMは、比較データC[i]を読み出して、信号処理回路PGに送信する機能を有する。なお、記憶回路FGMは、画素アレイ部PXAに表示する画像の書き換えを行うか否かを判断する比較データを保持するため、フラグメモリと呼ばれる場合がある。

[0138]

制御回路TCは、一例として、処理装置PRCに含まれる各回路と、表示装置DSPに含まれる各回路と、のそれぞれを制御する機能を有する。例えば、制御回路TCは、記憶回路LM1、記憶回路LM2、記憶回路FM及び記憶回路FGMのそれぞれに含まれる駆動回路に、書き込み動作、読み出し動作などを実行させるための命令信号を送信する機能を有する。また、制御回路TCは、一例として、駆動回路SD及び駆動回路GDに書き込み動作、読み出し動作などを実行させるための命令信号を送信する機能を有する。また、制御回路TCは、一例として、記憶回路LM1、記憶回路LM2、記憶回路FM、記憶回路FGM及び処理回路SGPRに含まれるスイッチング素子のオン状態とオフ状態との切り替えを制御するための命令信号を送信する機能を有する。また、制御回路TCは、一例として、処理装置PRCに含まれる各回路と、表示装置DSPに含まれる各回路と、に供給するためのクロック信号を生成する機能を有する。

[0139]

また、制御回路TCは、処理装置PRCに含まれる各回路と、表示装置DSPに含まれる各回路と、から選ばれた二以上を同期させるために、信号処理回路PGが生成する制御信号、制御回路TCが生成するクロック信号などを同期信号として、選ばれた二以上の回路に送信する機能を有してもよい。

[0140]

信号処理回路PGは、一例として、記憶回路FGMから順次読み出された比較データC[1]乃至比較データC[M]を用いて、制御信号（パルス制御信号と呼ぶ場合がある）を生成する機能を有する。また、信号処理回路PGは、当該制御信号を駆動回路GDと駆動回路SDに送信する機能を有する。

[0141]

<表示システムの動作例>

次に、図1に示した表示システムDSYSの動作例について説明する。

[0142]

図2は、図1の表示システムDSYSの動作例を示したフローチャートである。当該動作例は、ステップST1乃至ステップST14を有する。

[0143]

図2のフローチャートは、画素アレイ部PXAに予め表示されている、第tフレーム目（tは1以

上の整数とする) の画像から、第 $t + 1$ フレーム目の画像に書き換える動作について示している。

[0144]

なお、記憶回路FMには、予め第 t フレーム目の画像として、画像データ $D_{(t)}[1]$ 乃至画像データ $D_{(t)}[M]$ が保持されているものとする。

[0145]

ステップST1では、一例として、画素アレイ部PXAの行番号の変数である i が1に定められる。

[0146]

ステップST2には、一例として、処理装置PRCの外部から、記憶回路LM1に第 $t + 1$ フレーム目の i 行目の画像データ $D_{(t+1)}[i]$ が送信される動作が含まれる。また、ステップST2には、記憶回路LM1に画像データ $D_{(t+1)}[i]$ が書き込まれる動作も含まれる。

[0147]

ステップST3には、一例として、記憶回路LM1から画像データ $D_{(t+1)}[i]$ が読み出されて、処理回路SGPRに送信される動作が含まれる。

[0148]

ステップST4には、一例として、記憶回路FMから第 t フレーム目の i 行目の画像データ $D_{(t)}[i]$ が読み出されて、記憶回路LM2に送信される動作が含まれる。また、記憶回路LM2から画像データ $D_{(t)}[i]$ が読み出されて、処理回路SGPRに送信される動作も含まれる。

[0149]

ステップST5には、一例として、処理回路SGPRが、画像データ $D_{(t)}[i]$ と画像データ $D_{(t+1)}[i]$ の比較を行う動作が含まれる。また、ステップST5には、画像データ $D_{(t)}[i]$ と画像データ $D_{(t+1)}[i]$ が一致する場合、処理回路SGPRが、が“0”の論理を含む比較データ $C_{(t+1)}[i]$ を記憶回路FGMに送信する動作が含まれる。また、ステップST5には、画像データ $D_{(t)}[i]$ と画像データ $D_{(t+1)}[i]$ が一致しない場合、処理回路SGPRが、が“1”の論理を含む比較データ $C_{(t+1)}[i]$ を記憶回路FGMに送信する動作が含まれる。なお、上記の比較データ $C_{(t+1)}[i]$ に含まれる論理は一例であって、回路構成によっては、例えば、画像データ $D_{(t)}[i]$ と画像データ $D_{(t+1)}[i]$ が一致する場合には、比較データ $C_{(t+1)}[i]$ が論理として“1”を含むものとし、画像データ $D_{(t)}[i]$ と画像データ $D_{(t+1)}[i]$ が一致しない場合には、比較データ $C_{(t+1)}[i]$ が論理として“0”を含むものとしてもよい。

[0150]

また、ステップST5には、一例として、記憶回路FGMに比較データ $C_{(t+1)}[i]$ が書き込まれる動作も含まれる。

[0151]

また、ステップST5には、一例として、比較データ $C_{(t+1)}[i]$ が“1”である場合、記憶回路LM1から画像データ $D_{(t+1)}[i]$ が読み出されて、記憶回路FMに送信される動作が含まれる。また、このとき、記憶回路FMでは、保持している画像データ $D_{(t)}[i]$ を、記憶回路LM1から読み出された画像データ $D_{(t+1)}[i]$ に書き換える動作が行われる。なお、比較データ $C_{(t+1)}[i]$ が“0”であっても、記憶回路LM1から画像データ $D_{(t+1)}[i]$ が読み出されて、記憶回路FMが保持している画像データ $D_{(t)}[i]$ に書き換えてもよい。この場合、画像データ $D_{(t)}[i]$ と画像データ $D_{(t+1)}[i]$ は同一のデータであるため、この動作は、記憶回路FMが保持する画像データ $D_{(t)}[i]$ のリフレッシュ動作とみなすことができる。

[0152]

なお、ステップST5以降では、便宜上、記憶回路FMにおける画像データの書き換えの有無に関わらず、記憶回路FMに保持されている画像データ $D_{(t)}[i]$ を画像データ $D_{(t+1)}[i]$ と呼称するものとする。

[0153]

ステップST6では、 i がMに達しているかどうかの判定が行われる。 i がMに達していない場合、ステップST6からステップST7に移行する。また、 i がMに達している場合、ステップST6からステップST8に移行する。

[0154]

ステップST7では、 i に1を加える動作が含まれている。 i に1を加えた後は、再度ステップST2に移行する。

[0155]

ステップST8では、一例として、画素アレイ部PXAの行番号の変数として k を定義する。また、このステップST8では、 $k=1$ と定める。なお、ステップST8乃至ステップST14において、 k は、1以上M以下を満たす変数とする。

[0156]

ステップST9に移行するときには、ステップST5が $i=1$ から $i=M$ まで繰り返し行われているため、記憶回路FGMには、比較データ $C_{(t+1)}[1]$ 乃至比較データ $C_{(t+1)}[M]$ が保持されている。ステップST9では、一例として、記憶回路FGMから、比較データ $C_{(t+1)}[k]$ が読み出されて、信号処理回路PGに送信される動作が行われる。

[0157]

ステップST10には、一例として、信号処理回路PGにおいて、連続するパルス信号と、比較データ $C_{(t+1)}[k]$ と、の論理演算が行われて、比較データ $C_{(t+1)}[k]$ の情報を含む制御信号が生成される動作が含まれている。また、ステップST10には、一例として当該制御信号が駆動回路GD及び駆動回路SDに送信される動作も含まれている。なお、具体的な論理演算については、後述の信号処理回路PGの構成例の説明を参照することができる。

[0158]

ステップST11には、記憶回路FMに保持されている画像データ $D_{(t+1)}[k]$ が読み出されて、駆動回路SDに入力される動作が含まれている。

[0159]

ステップST12には、駆動回路GDにおいて、画素アレイ部PXAの k 行目に送信される論理を“1”とした選択信号と、制御信号と、の論理演算が行われる動作が含まれている。比較データ $C_{(t+1)}[k]$ の論理が“0”となっているとき、その論理演算の結果によって当該選択信号が、論理を“0”とした非選択信号（論理が“0”）に変換されて、配線GL[k]に送信される。また、比較データ $C_{(t+1)}[k]$ の論理が“1”となっているとき、その論理演算の結果によって選択信号が非選択信号に変換されずにそのまま論理を“1”として配線GL[k]に送信される。なお、このとき、論理が“0”である非選択信号は、低レベル電位の信号としてみなし、論理が“1”である選択信号は、高レベル電位の信号としてみなすことが好ましい。

[0160]

また、ステップST12には、駆動回路SDが、信号処理回路PGで生成された制御信号に応じて、

駆動回路SDの出力を高インピーダンスにするか否かの動作が行われる。具体的には、比較データC_(t+1)[k]の論理が“0”となっているとき、駆動回路SDは、その出力を高インピーダンスにして、画像データD_(t+1)[k]の出力を行わない。また、比較データC_(t+1)[k]の論理が“1”となっているとき、駆動回路SDは、画像データD_(t+1)[k]の出力を行う。

[0161]

ステップST13では、kがMに達しているかどうかの判定が行われる。kがMに達していない場合、ステップST13からステップST14に移行する。また、kがMに達している場合、本動作例は終了する。

[0162]

ステップST14では、kに1を加える動作が含まれている。kに1を加えた後は、再度ステップST9に移行する。

[0163]

また、本動作例の終了後に、ステップST1乃至ステップST14の動作例を参照して、第t+1フレーム目の画像から第t+2フレーム目の画像の書き換えを行ってもよい。

[0164]

ステップST1乃至ステップST14の動作例を行うことによって、前後のフレームの画像データを比較して、画素アレイ部PXAにおいて変更のあった行に対して、画像データの書き換えを行うことができる。これにより、表示システムの消費電力を低減することができる。

[0165]

なお、本明細書において、フローチャートに示すそれぞれの処理又は動作は、機能毎に分類し、互いに独立したステップとして示している。しかしながら実際の処理又は動作においては、フローチャートに示す処理又は動作を機能毎に切り分けることが難しく、一つのステップに複数のステップが係わる場合、複数のステップにわたって一つのステップが関わる場合、などがあり得る。そのため、フローチャートに示す処理は、明細書で説明したステップ毎に限定されず、状況に応じて適切に入れ替えることができる。具体的には、状況に応じて、場合によって、ステップの順序の入れ替え、ステップの追加及び削除を行うことができる。

[0166]

このため、本発明の一態様の処理装置に係る動作方法、又は処理装置を含む表示システムに係る動作方法は、上記の図2のフローチャートの動作例に限定されない。例えば、図2のフローチャートでは、ステップST1乃至ステップST7において、前後のフレームの画像データの比較を行って、その比較データを記憶回路FGMに書き込む動作が行われ、また、ステップST8乃至ステップST14において、記憶回路FGMから比較データを読み出して、当該比較データから制御信号が生成されて、表示装置に画像データを書き込む動作が行われているが、ステップST8乃至ステップST14は、ステップST1乃至ステップST7が行われている期間の全て又は一部と同時に行うことができる。

[0167]

具体的には、ステップST1乃至ステップST7において、画像データD_(t+1)[i]と画像データD_(t+2)[i]との比較を行って、比較データC_(t+2)[i]を取得して、記憶回路FGMに比較データC_(t+2)[i]を書き込む動作を行い、また、ステップST8乃至ステップST14において、記憶回路FGMから比較データC_(t+1)[k]を読み出し、且つ記憶回路FMから画像データD_{(t+}

1) [i] を読み出して、比較データ $C_{(t+1)}[k]$ に基づいて、表示装置 DSP の画素アレイ部 PXA に画像データ $D_{(t+1)}[i]$ を書き込んでもよい。つまり、記憶回路 FGM が、比較データ $C_{(t+2)}[i]$ の書き込み動作と、比較データ $C_{(t+1)}[k]$ の読み出し動作と、を切り替えるように動作することによって、本発明の一態様の処理装置に係る動作方法、又は処理装置を含む表示システムに係る動作方法は、ステップ ST1 乃至ステップ ST7 の期間と、ステップ ST8 乃至ステップ ST14 の期間と、のそれぞれの一部又は全てを重ねることができる。これによって、ステップ ST1 乃至ステップ ST7 における、前後のフレームの画像データの比較処理と、ステップ ST8 乃至ステップ ST14 における、表示装置への画像データの書き込み動作と、を同時に行うことができるため、当該比較処理にかかる時間の影響を低減することができる。また、当該比較処理にかかる時間の影響を低減できるため、表示装置のフレーム周波数を高くすることができる。

[0168]

<表示システムの各回路の構成例>

次に、図1に示した表示システム DSY S に含まれる各回路の構成例について説明する。

[0169]

なお、本構成例では、画素アレイ部 PXA に予め表示されている、第 t フレーム目（ここでの t は 1 以上の整数とする）の画像から、第 t + 1 フレーム目の画像に書き換える動作について示している。

[0170]

なお、記憶回路 FM には、予め第 t フレーム目の画像として、画像データ $D_{(t)}[1]$ 乃至画像データ $D_{(t)}[M]$ が保持されているものとする。

[0171]

[記憶回路 LM1]

図3は、記憶回路 LM1 の構成例を示すブロック図である。なお、図3には、記憶回路 LM1 とその周辺の接続構成を示すため、処理回路 SGPR と、記憶回路 FM と、も図示している。

[0172]

図3に示す記憶回路 LM1 は、一例として、駆動回路 WBD1 と、駆動回路 WWD1 と、駆動回路 RWD1 と、駆動回路 RBD1 と、メモリセル部 MCA1 と、出力部 OPT1 と、を有する。

[0173]

メモリセル部 MCA1 は、一例として、複数のメモリセル MC1 を有する。また、図3では、一例として、メモリセル部 MCA1 内において、N 個のメモリセル MC1 が 1 行に並んで配置されている。なお、図3では、N 個のメモリセル MC1 は、行方向ではなく、列方向に並んで配置されていてもよい。

[0174]

なお、メモリセル部 MCA1 内において、複数のメモリセル MC1 のそれぞれを区別するため、図3に示す複数のメモリセル MC1 のそれぞれの符号には、アドレスを付記している。例えば、1 列目に位置しているメモリセル MC1 は、MC1 [1] と図示し、N 列目に位置しているメモリセル MC1 は、MC1 [N] と図示している。また、図3には示していないが j 列目に位置しているメモリセル MC1 を、本明細書では、メモリセル MC1 [j] と呼称する。

[0175]

また、メモリセル MC1 [1] 乃至メモリセル MC1 [N] の具体的な構成については、後述する。

[0176]

メモリセルMC 1 [1] 乃至メモリセルMC 1 [N] には、処理装置PRCの外部から送信される i 行目の画像データ $D_{(t+1)}[i]$ を保持する。また、メモリセルMC 1 [1] 乃至メモリセルMC 1 [N] が保持する i 行目の画像データ $D_{(t+1)}[i]$ は、一例として、最終的には画素アレイ部PXAの i 行目の画素回路PX [i, 1] 乃至画素回路PX [i, N] に送信される。

[0177]

なお、図3では、記憶装置LM1の外部から送信される i 行目の画像データを $D[i]$ と示している。

[0178]

なお、表示システムDSYSで扱われる画像データ $D_{(t+1)}[i]$ の1列分(1つの画素回路PXに書き込まれる画像データ)が1ビットのデジタル電位(高レベル電位又は低レベル電位)として表現できる場合、メモリセルMC 1 [1] 乃至メモリセルMC 1 [N] のそれぞれは、1ビットのデータを保持する構成とすることが好ましい。また、このとき、1つの画素回路PXに書き込まれる画像データは、1ビットのデジタル電位とすることができる。

[0179]

また、表示システムDSYSで扱われる画像データ $D_{(t+1)}[i]$ が2ビット以上のデジタル電位として表現できる場合、メモリセルMC 1 [1] 乃至メモリセルMC 1 [N] のそれぞれは、2ビット以上のデータを保持する構成とすることが好ましい。例えば、表示システムDSYSで扱われる画像データ $D_{(t+1)}[i]$ の1列分が8ビットのデジタル電位として表現される場合、メモリセルMC 1 [1] 乃至メモリセルMC 1 [N] のそれぞれには、1ビットの記憶が可能な記憶素子が8個含まれることが好ましい。この場合、例えば、メモリセル部MCA1は、 $8 \times N$ 個の当該記憶素子が1列に並んで配置される構成となりえる。また、このとき、1つの画素回路PXに書き込まれる画像データは、8ビットのデジタル電位がデジタルアナログ変換されたアナログ電位とすることができる。

[0180]

メモリセルMC 1 [j] は、一例として、配線WBL 1 [j] と、配線RBL 1 [j] と、配線WL 1 と、配線RWL 1 と、に接続されている。

[0181]

配線WBL 1 [1] 乃至配線WBL 1 [N] のそれぞれは、メモリセルMC 1 [1] 乃至メモリセルMC 1 [N] に対して、画像データ $D_{(t+1)}[i]$ を送信する配線(書き込みデータ線、書き込みビット線などと呼称する場合がある)としての機能を有する。また、配線WWL 1 は、メモリセルMC 1 [1] 乃至メモリセルMC 1 [N] に対して、書き込み用の選択信号を送信する配線(書き込みワード線と呼称する場合がある)としての機能を有する。また、配線RWL 1 は、メモリセルMC 1 [1] 乃至メモリセルMC 1 [N] に対して、読み出し用の選択信号を送信する配線(読み出しワード線と呼称する場合がある)としての機能を有する。なお、配線RWL 1 は、読み出し用の選択信号だけでなく書き込み用の選択信号を送信する配線としての機能も有してもよい。配線RBL 1 [1] 乃至配線RBL 1 [N] のそれぞれは、メモリセルMC 1 [1] 乃至メモリセルMC 1 [N] から読み出された画像データ $D_{(t+1)}[i]$ を送信する配線(読み出しデータ線、読み出しビット線などと呼称する場合がある)としての機能を有する。

[0182]

駆動回路WBD 1 は、一例として、記憶回路LM1の外部から送信される画像データ $D_{(t+1)}[i]$ を取得して、画像データ $D_{(t+1)}[i]$ に含まれる列毎のデータを、配線WBL 1 [1] 乃至配線W

BL1 [N] のそれぞれに振り分ける機能を有する。つまり、駆動回路WBD1は、一例として、メモリセル部MCA1における書き込みビット線ドライバ回路としての機能を有する。

[0183]

駆動回路WWD1は、一例として、メモリセルMC1 [1] 乃至メモリセルMC1 [N] に画像データ $D_{(t+1)}[i]$ を書き込むときに、配線WWL1に書き込み用の選択信号を送信する機能を有する。例えば、配線WWL1に書き込み用の選択信号が送信されることによって、メモリセルMC1 [1] 乃至メモリセルMC1 [N] のそれぞれに含まれる書き込みトランジスタがオン状態となるため、メモリセルMC1 [1] 乃至メモリセルMC1 [N] は、配線WBL1 [1] 乃至配線WBL1 [N] に送信されている画像データ $D_{(t+1)}[i]$ を取得することができる。また、その後、駆動回路WWD1が、配線WWL1に非選択信号を送信することによって、メモリセルMC1 [1] 乃至メモリセルMC1 [N] のそれぞれに含まれる書き込みトランジスタがオフ状態となるため、メモリセルMC1 [1] 乃至メモリセルMC1 [N] は、画像データ $D_{(t+1)}[i]$ を保持することができる。つまり、駆動回路WWD1は、一例として、メモリセル部MCA1における書き込みワード線ドライバ回路としての機能を有する。また、駆動回路WWD1は、上記より、選択回路と呼ばれる場合がある。

[0184]

駆動回路RWD1は、一例として、メモリセルMC1 [1] 乃至メモリセルMC1 [N] から画像データ $D_{(t+1)}[i]$ を読み出すときに、配線RWL1に読み出し用の選択信号を送信する機能を有する。一例として、配線RWL1に読み出し用の選択信号が送信されることによって、メモリセルMC1 [1] 乃至メモリセルMC1 [N] のそれぞれは、配線RBL [1] 乃至配線RBL [N] のそれぞれに、画像データ $D_{(t+1)}[i]$ に応じた読み出し電位を出力する。つまり、駆動回路RWD1は、一例として、メモリセル部MCA1における読み出しワード線ドライバ回路としての機能を有する。また、駆動回路RWD1は、上記より、選択回路と呼ばれる場合がある。

[0185]

駆動回路RBD1は、一例として、配線RWL1に読み出し用の選択信号が入力されて、メモリセルMC1 [1] 乃至メモリセルMC1 [N] のそれぞれから、配線RBL [1] 乃至配線RBL [N] のそれぞれに出力された読み出し電位をデジタルデータとして扱うことができるレベルまで増幅する機能を有する。これにより、メモリセルMC1 [1] 乃至メモリセルMC1 [N] から読み出された画像データ $D_{(t+1)}[i]$ をデジタルデータとして、記憶回路FM又は処理回路SGPRに送信することができる。つまり、駆動回路RBD1は、一例として、メモリセル部MCA1における読み出し回路としての機能を有する。

[0186]

例えば、駆動回路RBD1は、図3に示す通り、N個のセンスアンプSA1を有する構成とすることができる。また、この構成では、配線RBL1 [1] 乃至配線RBL1 [N] のそれぞれは、1個ずつセンスアンプSA1に接続されている。N個のセンスアンプSA1によって、メモリセルMC1 [1] 乃至メモリセルMC1 [N] から読み出された画像データ $D_{(t+1)}[i]$ に応じた読み出し電位をデジタルデータとして扱うレベルに増幅することができる。

[0187]

出力部OPT1は、一例として、処理回路SGPR及び記憶回路FMの一方を選択して、その一方にメモリセルMC1 [1] 乃至メモリセルMC1 [N] から読み出された画像データ $D_{(t+1)}[i]$ を送信する機能を有する。

[0188]

例えば、出力部OPT1は、図3に示す通り、N個の切替回路SWC1を有する構成とすることができる。また、この構成では、N個の切替回路SWC1のそれぞれは、スイッチSW1Aと、スイッチSW1Bと、を有する。

[0189]

スイッチSW1A及びスイッチSW1Bには、例えば、電氣的なスイッチ、機械的なスイッチなどを適用することができる。また、電氣的なスイッチの一としては、トランジスタ又はアナログスイッチを適用することができる。特に、当該トランジスタとしては、例えば、OSトランジスタとすることが好ましい。なお、OSトランジスタについては、後の実施の形態7などで詳述する。

[0190]

なお、本明細書では、スイッチSW1A及びスイッチSW1Bのそれぞれは、制御端子に高レベル電位が入力されたときオン状態となり、制御端子に低レベル電位が入力されたときオフ状態となるスイッチとするものとする。また、スイッチSW1A及びスイッチSW1Bに限らず、本明細書に記載するスイッチは、断らない限りは、制御端子に高レベル電位が入力されたときオン状態となり、制御端子に低レベル電位が入力されたときオフ状態となるものとする。

[0191]

j 列目において、スイッチSW1Aの第1端子は、センスアンプSA1に接続され、スイッチSW1Aの第2端子は、配線OL1[j]に接続され、スイッチSW1Aの制御端子は、配線SWL1Aに接続されている。また、スイッチSW1Bの第1端子は、センスアンプSA1に接続され、スイッチSW1Bの第2端子は、配線WBLF[j]に接続され、スイッチSW1Bの制御端子は、配線SWL1Bに接続されている。

[0192]

また、配線OL1[1]乃至配線OL1[N]のそれぞれは、処理回路SGPRに接続されている。また、配線WBLF[1]乃至配線WBLF[N]のそれぞれは、記憶回路FMに接続されている。

[0193]

配線SWL1Aは、切替回路SWC1に含まれるスイッチSW1Aのオン状態とオフ状態との切り替えを行うための配線としての機能を有する。そのため、配線SWL1Aには、一例として、その切り替えを行う信号として、高レベル電位又は低レベル電位が供給される。

[0194]

配線SWL1Bは、切替回路SWC1に含まれるスイッチSW1Bのオン状態とオフ状態との切り替えを行うための配線としての機能を有する。そのため、配線SWL1Bには、一例として、配線SWL1Aと同様に、その切り替えを行う信号として、高レベル電位又は低レベル電位が供給される。

[0195]

なお、配線SWL1A及び配線SWL1Bのそれぞれの電位は、例えば、制御回路TCから供給されるものとすることができる。

[0196]

また、配線SWL1Bは、制御回路TCでなく、処理回路SGPRから出力される比較データC_(i+1)[i]が送信されてもよい。この構成については、処理回路SGPRで詳しく説明する。

[0197]

図3では、配線OL1[1]乃至配線OL1[N]は、記憶回路LM1から処理回路SGPRに画

像データ $D_{(t+1)}[i]$ を送信するための配線として示しており、また、配線 $WBLF[1]$ 乃至配線 $WBLF[N]$ は、記憶回路 $LM1$ から記憶回路 FM に画像データ $D_{(t+1)}[i]$ を送信するための配線として示している。

[0198]

なお、図3には、記憶回路 $LM1$ と処理回路 $SGPR$ との間を、配線 $OL1[1]$ 乃至配線 $OL1[N]$ の複数の配線を用いて接続しているが、記憶回路 $LM1$ にマルチプレクサを設け、処理回路 $SGPR$ にデマルチプレクサを設け、当該マルチプレクサと当該デマルチプレクサとの間を接続する構成としてもよい。このような構成とすることで、記憶回路 $LM1$ と処理回路 $SGPR$ との間に設ける配線の数を少なくすることができる。また、同様に、図3には、記憶回路 $LM1$ と記憶回路 FM との間を、配線 $WBLF1[1]$ 乃至配線 $WBLF1[N]$ の複数の配線を用いて接続しているが、記憶回路 $LM1$ にマルチプレクサを設け、記憶回路 FM にデマルチプレクサを設け、当該マルチプレクサと当該デマルチプレクサとの間を接続する構成としてもよい。このような構成とすることで、記憶回路 $LM1$ と記憶回路 FM との間に設ける配線の数を少なくすることができる。

[0199]

[記憶回路 FM]

図4は、記憶回路 FM の構成例を示すブロック図である。なお、図4には、記憶回路 FM とその周辺の回路との接続構成を示すため、記憶回路 $LM1$ と、記憶回路 $LM2$ と、表示装置 DSP に含まれる駆動回路 SD と、も図示している。

[0200]

また、記憶回路 FM の構成例の説明において、画像データ $D_{(t)}[i]$ 及び画像データ $D_{(t+1)}[i]$ をまとめて画像データ $D[i]$ と記載するものとする。

[0201]

図4に示す記憶回路 FM は、一例として、駆動回路 WDF と、駆動回路 RDF と、駆動回路 RBF と、メモリセル部 $MCAF$ と、出力部 $OPTF$ と、を有する。

[0202]

メモリセル部 $MCAF$ は、一例として、複数のメモリセル $MC F$ を有する。また、図4では、一例として、メモリセル部 $MCAF$ 内において、 $M \times N$ 個のメモリセル $MC F$ がマトリクス状に配置されている。

[0203]

なお、メモリセル部 $MCAF$ 内において、複数のメモリセル $MC F$ のそれぞれを区別するため、図4に示す複数のメモリセル $MC F$ のそれぞれの符号には、アドレスを付記している。例えば、1行1列に位置しているメモリセル $MC F$ は、 $MC F[1, 1]$ と図示し、 M 行1列に位置しているメモリセル $MC F$ は、 $MC F[M, 1]$ と図示し、1行 N 列に位置しているメモリセル $MC F$ は、 $MC F[1, N]$ と図示し、 M 行 N 列に位置しているメモリセル $MC F$ は、 $MC F[M, N]$ と図示している。また、図4には示していないが i 行 j 列に位置しているメモリセル $MC F$ を、本明細書では、メモリセル $MC F[i, j]$ と呼称する。

[0204]

また、メモリセル $MC F$ については、特に断らない限りは、記憶回路 $LM1$ のメモリセル $MC 1$ の説明を参照することができる。

[0205]

メモリセルMCF [i, j] は、一例として、配線WBLF [j] と、配線RBLF [j] と、配線WWLF [i] と、配線RWLF [i] と、に接続されている。

[0206]

配線WBLF [1] 乃至配線WBLF [N] のそれぞれは、一例として、記憶回路FMのi行目に位置するメモリセルMCF [i, 1] 乃至メモリセルMCF [i, N] における書き込みデータ線、書き込みビット線などとしての機能を有する。また、配線WBLF [1] 乃至配線WBLF [N] には、前述した図3の記憶回路LM1において、切替回路SWC1のスイッチSW1Bがオン状態になることによって、記憶回路LM1のメモリセル部MCA1から読み出された画像データD [i] が送信される。一例として、画像データD [i] のj列目の成分は、配線WBLF [j] を介して、メモリセルMCF [i] に送信される。

[0207]

配線RBLF [1] 乃至配線RBLF [N] のそれぞれについては、特に断らない限りは、記憶回路LM1の配線RBL1 [1] 乃至配線RBL1 [N] の説明を参照することができる。また、配線WWLF [1] 乃至配線WWLF [M] のそれぞれについては、特に断らない限りは、記憶回路LM1の配線WWL1の説明を参照することができる。また、配線RWLF [1] 乃至配線RWLF [M] のそれぞれについては、特に断らない限りは、記憶回路LM1の配線RWL1の説明を参照することができる。

[0208]

駆動回路WWDFは、一例として、メモリセル部MCAFのi行目のメモリセルMCF [i, 1] 乃至メモリセルMCF [i, N] に画像データD [i] を書き込むときに、配線WWLF [i] に書き込み用の選択信号又は非選択信号を送信する機能を有する。また、駆動回路WWDFは、メモリセル部MCAFのi行目以外の行のメモリセルMCF [1, 1] 乃至メモリセルMCF [M, N] のそれぞれに書き込みが行われないようにするため、配線WWLF [i] を除く配線WWLF [1] 乃至配線WWLF [M] に非選択信号を送信する機能を有する。また、配線WWLF [1] 乃至配線WWLF [M] のそれぞれに順次選択信号を送信することによって、画像データの書き込み先として、メモリセル部MCAFに含まれるメモリセルMCFを行毎に順次選択することができる。つまり、駆動回路WWDFは、一例として、メモリセル部MCAFにおける書き込みワード線ドライバ回路としての機能を有する。また、駆動回路WWDFは、上記より、選択回路と呼ばれる場合がある。

[0209]

例えば、駆動回路WWDFが、配線WWLF [i] に書き込み用の選択信号を送信し、かつ配線WWLF [i] 以外の配線WWLF [1] 乃至配線WWLF [M] に非選択信号を送信している間に、記憶回路LM1から配線WBLF [1] 乃至配線WBLF [N] に画像データD [i] が送信されることによって、メモリセル部MCAFのi行目のメモリセルMCF [i, 1] 乃至メモリセルMCF [i, N] に画像データD [i] を書き込むことができる。

[0210]

駆動回路RWDFは、一例として、メモリセル部MCAFのi行目のメモリセルMCF [i, 1] 乃至メモリセルMCF [i, N] から画像データD [i] を読み出すときに、配線RWLF [i] に読み出し用の選択信号を送信する機能を有する。また、メモリセル部MCAFのi行目以外の行のメモリセルMCF [1, 1] 乃至メモリセルMCF [M, N] のそれぞれにおいて読み出しが行われないようにするため、配線RWLF [i] を除く配線RWLF [1] 乃至配線RWLF [M] に非選択

信号を送信する機能を有する。また、配線RWLF [1] 乃至配線RWLF [M] のそれぞれに順次選択信号を送信することによって、画像データの読み出し元として、メモリセル部MC AFに含まれるメモリセルMCF [1, 1] 乃至メモリセルMCF [M, N] を行毎に順次選択することができる。つまり、駆動回路RWDFは、一例として、メモリセル部MC AFにおける読み出しワード線ドライバ回路としての機能を有する。また、駆動回路WWDFは、上記より、選択回路と呼ばれる場合がある。

[0211]

例えば、駆動回路RWDFが、配線RWLF [i] に読み出し用の選択信号を送信し、かつ配線RWLF [i] 以外の配線RWLF [1] 乃至配線RWLF [M] に非選択信号を送信することによって、メモリセル部MC AFのi行目のメモリセルMCF [i, 1] 乃至メモリセルMCF [i, N] のそれぞれから、配線RBLF [1] 乃至配線RBLF [N] のそれぞれに画像データD [i] に応じた読み出し電位を出力することができる。

[0212]

駆動回路RBD Fについては、特に断らない限りは、記憶回路LM1の駆動回路RBD1の説明を参照することができる。また、一例として、駆動回路RBD Fは、図4に示す通り、N個のセンスアンプSAFを有する。センスアンプSAFは、例えば、図3に示したセンスアンプSA1と同様の構成とすることができる。

[0213]

出力部OPT Fは、一例として、記憶回路LM2及び駆動回路SDの一方を選択して、その一方にメモリセルMCF [i, 1] 乃至メモリセルMCF [i, N] から読み出された画像データD [i] を送信する機能を有する。

[0214]

例えば、出力部OPT Fは、図4に示す通り、N個の切替回路SWCFを有する構成とすることができる。また、この構成では、N個の切替回路SWCFのそれぞれは、スイッチSWFAと、スイッチSWFBと、を有する。

[0215]

スイッチSWFA及びスイッチSWFBには、例えば、記憶回路LM1のスイッチSW1A又はスイッチSW1Bに適用できるスイッチを用いることができる。このため、スイッチSWFA及びスイッチSWFBについては、特に断らない限りは、記憶回路LM1のスイッチSW1A又はスイッチSW1Bの説明を参照することができる。

[0216]

また、例えば、出力部OPT Fは、図4に示す通り、切替回路MXを有する構成とすることができる。切替回路MXは、一例として、N個の入力端子と、1個の出力端子と、を有する。切替回路MXは、一例として、N個の入力端子から選ばれた一と1個の出力端子との間を導通状態にし、且つ残りの入力端子と1個の出力端子との間を非導通状態にする機能を有する。つまり、切替回路MXは、一例として、マルチプレクサとしての機能を有する。これにより、切替回路MXは、メモリセル部MC AFから読み出された画像データD [i] のN列のうちの一列のデータを選択して、切替回路MXの出力端子に出力することができる。特に、切替回路MXにおいて、出力端子と導通状態となる入力端子を順次切り替えることによって、メモリセル部MC AFから読み出された画像データD [i] を一列ずつ配線PDLに順次出力することができる。

[0217]

j 列目において、スイッチSWFAの第1端子は、センスアンプSAFに接続され、スイッチSWFAの第2端子は、配線WBL2[j]に接続され、スイッチSWFAの制御端子は、配線SWLFAに接続されている。また、スイッチSWFBの第1端子は、センスアンプSAFに接続され、スイッチSWFBの第2端子は、切替回路MXのN個の入力端子の一に接続され、スイッチSWFBの制御端子は、配線SWLFBに接続されている。

[0218]

また、配線WBL2[1]乃至配線WBL2[N]のそれぞれは、記憶回路LM2に接続されている。また、切替回路MXの出力端子は、配線PDLに接続されている。

[0219]

配線SWLFAは、切替回路SWCFに含まれるスイッチSWFAのオン状態とオフ状態との切り替えを行うための配線としての機能を有する。そのため、配線SWLFAには、一例として、その切り替えを行う信号として、高レベル電位又は低レベル電位が供給される。

[0220]

配線SWLFBは、切替回路SWCFに含まれるスイッチSWFBのオン状態とオフ状態との切り替えを行うための配線としての機能を有する。そのため、配線SWLFBには、一例として、配線SWLFAと同様に、その切り替えを行う信号として、高レベル電位又は低レベル電位が供給される。

[0221]

図4では、配線WBL2[1]乃至配線WBL2[N]は、記憶回路FMから記憶回路LM2に画像データD[i]を送信するための配線として示しており、また、配線PDLは、記憶回路FMから駆動回路SDに画像データD[i]を送信するための配線として示している。

[0222]

なお、図4には、記憶回路FMと記憶回路LM2との間を、配線WBL2[1]乃至配線WBL2[N]の複数の配線を用いて接続しているが、記憶回路FMにマルチプレクサを設け、記憶回路LM2にデマルチプレクサを設け、当該マルチプレクサと当該デマルチプレクサとの間を接続する構成としてもよい。このような構成とすることで、記憶回路FMと記憶回路LM2との間に設ける配線の数を少なくすることができる。

[0223]

また、図4には、記憶回路FMと駆動回路SDとの間を、配線PDLを用いて接続しているが、出力部OPTFに切替回路MXを設けずに、複数のスイッチSWFBの第2端子のそれぞれを駆動回路SDに直接接続する構成としてもよい。これにより、画像データD[i]を一括で送信することができるため、画像データの送信に必要な時間を短縮することができる。

[0224]

[記憶回路LM2]

図5は、記憶回路LM2の構成例を示すブロック図である。なお、図5には、記憶回路LM2とその周辺の回路との接続構成を示すため、記憶回路FMと、処理回路SGPRと、も図示している。

[0225]

図5に示す記憶回路LM2は、一例として、駆動回路WWD2と、駆動回路RWD2と、駆動回路RBD2と、メモリセル部MCA2と、出力部OPT2と、を有する。

[0226]

メモリセル部MCA 2は、一例として、複数のメモリセルMC 2を有する。また、図5では、一例として、メモリセル部MCA 1と同様に、メモリセル部MCA 2内において、N個のメモリセルMC 2が1行に並んで配置されている。なお、図3では、N個のメモリセルMC 2は、行方向ではなく、列方向に並んで配置されていてもよい。

[0227]

なお、メモリセルMC 2については、特に断らない限りは、記憶回路LM1のメモリセルMC 1の説明を参照することができる。

[0228]

メモリセルMC 2[j]は、一例として、配線WBL 2[j]と、配線RBL 2[j]と、配線WL 2と、配線RWL 2と、に接続されている。

[0229]

配線WBL 2[1]乃至配線WBL 2[N]のそれぞれは、一例として、記憶回路LM2のメモリセルMC 2[1]乃至メモリセルMC 2[N]における書き込みデータ線、書き込みビット線などとしての機能を有する。また、配線WBL 2[1]乃至配線WBL 2[N]には、前述した図4の記憶回路FMにおいて、切替回路SWCFのスイッチSWFAがオン状態になることによって、記憶回路FMのメモリセル部MCAFのi行目のメモリセルMC[i, 1]乃至メモリセルMC[i, N]から読み出された画像データD_(t)[i]が送信される。一例として、画像データD_(t)[i]のj列目の成分は、配線WBL 2[j]を介して、メモリセルMC 2[i]に送信される。

[0230]

配線RBL 2[1]乃至配線RBL 2[N]のそれぞれについては、特に断らない限りは、記憶回路LM1の配線RBL 1[1]乃至配線RBL 1[N]の説明を参照することができる。また、配線WWL 2については、特に断らない限りは、記憶回路LM1の配線WWL 1の説明を参照することができる。また、配線RWL 2については、特に断らない限りは、記憶回路LM1の配線RWL 1の説明を参照することができる。

[0231]

また、駆動回路WWD 2については、特に断らない限りは、記憶回路LM1の駆動回路WWD 1の説明を参照することができる。また、駆動回路RWD 2については、特に断らない限りは、記憶回路LM1の駆動回路RWD 1の説明を参照することができる。

[0232]

駆動回路RBD 2については、特に断らない限りは、記憶回路LM1の駆動回路RBD 1の説明を参照することができる。また、一例として、駆動回路RBD 2は、図5に示す通り、N個のセンスアンプSA 2を有する。センスアンプSA 2は、例えば、図3に示したセンスアンプSA 1と同様の構成とすることができる。

[0233]

出力部OPT 2は、一例として、記憶回路LM2のメモリセルMC 2[1]乃至メモリセルMC 2[N]から読み出された画像データD[i]を配線OL 2[1]乃至配線OL 2[N]のそれぞれに出力するか否かを選択する機能を有する。

[0234]

例えば、出力部OPT 2は、図5に示す通り、N個のスイッチSW 2を有する構成とすることができる。なお、スイッチSW 2には、例えば、記憶回路LM1のスイッチSW 1 A又はスイッチSW 1

Bに適用できるスイッチを用いることができる。このため、スイッチSW2については、特に断らない限りは、記憶回路LM1のスイッチSW1A又はスイッチSW1Bの説明を参照することができる。

[0235]

配線OL2[1]乃至配線OL2[N]のそれぞれは、処理回路SGPRに接続されている。

[0236]

図5では、配線OL2[1]乃至配線OL2[N]は、記憶回路LM2から処理回路SGPRに画像データ $D_{(t)}[i]$ を送信するための配線として示している。

[0237]

なお、図5には、記憶回路LM2と処理回路SGPRとの間を、配線OL2[1]乃至配線OL2[N]の複数の配線を用いて接続しているが、記憶回路LM2にマルチプレクサを設け、処理回路SGPRにデマルチプレクサを設け、当該マルチプレクサと当該デマルチプレクサとの間を接続する構成としてもよい。このような構成とすることで、記憶回路LM2と処理回路SGPRとの間に設ける配線の数を少なくすることができる。

[0238]

[処理回路SGPR]

図6は、処理回路SGPRの構成例を示すブロック図である。なお、図6には、処理回路SGPRとその周辺の回路との接続構成を示すため、記憶回路LM1と、記憶回路LM2と、記憶回路FGMと、信号処理回路PGと、も図示している。

[0239]

図6に示す処理回路SGPRは、一例として、比較回路CPA、論理回路LGMPと、を有する。また、比較回路CPAは、一例として、比較器CPAa[1]乃至比較器CPAa[N]を有する。

[0240]

また、比較器CPAa[1]乃至比較器CPAa[N]のそれぞれは、第1入力端子と、第2入力端子と、出力端子と、を有する。

[0241]

また、論理回路LGMPは、N個の入力端子と、1個の出力端子と、を有する。また、論理回路LGMPにおいて、j列目の入力端子を、第jの入力端子と呼称する。

[0242]

j列目において、比較器CPAa[j]の第1入力端子は、配線OL1[j]に接続され、比較器CPAa[j]の第2入力端子は、配線OL2[j]に接続されている。また、比較器CPAa[j]の出力端子は、論理回路LGMPの第jの入力端子に接続されている。

[0243]

論理回路LGMPの出力端子は、後述する配線WBLGに接続されている。なお、図6では、配線WBLGは、処理回路SGPRから記憶回路FGMに比較データ $C_{(t+1)}[i]$ を送信するための配線として示している。

[0244]

比較器CPAa[1]乃至比較器CPAa[N]のそれぞれは、第1入力端子と第2入力端子に同じデータが入力されたときに、それらのデータが一致したという情報（以後、論理として“偽”と呼称する）を信号として、出力端子に出力する機能を有する。また、比較器CPAa[1]乃至比較器CPAa[N]のそれぞれは、第1入力端子と第2入力端子に異なるデータが入力されたときに、そ

これらのデータが一致しないという情報（以後、論理として“真”と呼称する）を信号として、出力端子に出力する機能を有する。このため、比較器CPAa[1]乃至比較器CPAa[N]のそれぞれには、例えば、XOR回路（排他的論理和回路）又はXNOR回路（否定排他的論理和回路）を用いることができる。

[0245]

論理回路LGMPは、第1の入力端子から第Nの入力端子までに入力された信号の情報の全てが“偽”である場合に、記憶回路LM1と記憶回路LM2のそれぞれに保持された画像データが一致したという情報（“偽”）を信号として、出力端子に出力する機能を有する。また、第1の入力端子から第Nの入力端子までに入力された信号の情報の一以上が“真”である場合に、記憶回路LM1と記憶回路LM2のそれぞれに保持された画像データが一致しないという情報（“真”）を信号として、出力端子に出力する機能を有する。このため、論理回路LGMPには、例えば、N個の入力端子を有する、AND回路（論理積回路）、NAND回路（否定論理積回路）、OR回路（論理和回路）、若しくはNOR回路（否定論理和回路）を用いることができる。

[0246]

以後、論理回路LGMPから出力された情報を比較データと呼称する。また、配線OL1からは記憶回路LM1で読み出された画像データ $D_{(t+1)}[i]$ が送信され、配線OL2からは記憶回路LM2で読み出された画像データ $D_{(t)}[i]$ が送信されるものとする。

[0247]

特に、画像データ $D_{(t)}[i]$ と画像データ $D_{(t+1)}[i]$ のそれぞれが、処理回路SGPRに入力されることによって、比較データ $C_{(t+1)}[i]$ が生成されるものとする。また、比較データ $C_{(t+1)}[i]$ は、処理回路SGPRから、配線WBLGを介して、記憶回路FGMに送信される。

[0248]

図8Aには、一例として、比較器CPAa[1]乃至比較器CPAa[N]のそれぞれをXOR回路（排他的論理和回路）とし、論理回路LGMPをOR回路（論理和）回路）とした、処理回路SGPRを示している。なお、図6には示していないが、処理回路SGPRは、図8Aに示す通り、論理回路LGMPの出力端子の先に、スイッチSWPを設けてもよい。この場合、スイッチSWPは、図8Aの処理回路SGPRにおける出力部とすることができる。なお、当該出力部は、処理回路SGPRで生成された比較データ $C_{(t+1)}[i]$ を配線WBLGに送信するか否かを選択する回路、又は回路素子として機能する。

[0249]

図8Aにおいて、スイッチSWPの第1端子は、論理回路LGMPの出力端子に接続され、スイッチSWPの第2端子は、後述する配線WBLGに接続されている。また、スイッチSWPの制御端子は、配線SWLPに接続されている。

[0250]

スイッチSWPには、例えば、記憶回路LM1のスイッチSW1A又はスイッチSW1Bに適用できるスイッチを用いることができる。このため、スイッチSWPについては、特に断らない限りは、記憶回路LM1のスイッチSW1A又はスイッチSW1Bの説明を参照することができる。

[0251]

配線SWLPは、処理回路SGPRに含まれるスイッチSWPのオン状態とオフ状態との切り替えを行うための配線としての機能を有する。そのため、配線SWLPには、一例として、その切り替え

を行う信号として、高レベル電位又は低レベル電位が供給される。

[0252]

図8Aの回路構成の場合、比較器CPAa[1]乃至比較器CPAa[N]のそれぞれにおいて、第1入力端子と第2入力端子に同じデータが入力されたとき（例えば、画像データ $D_{(t)}[i]$ と画像データ $D_{(t+1)}[i]$ のそれぞれのj列目が一致したとき）に出力される“偽”の論理は“0”としている。また、比較器CPAa[1]乃至比較器CPAa[N]のそれぞれにおいて、第1入力端子と第2入力端子に異なるデータが入力されたとき（例えば、画像データ $D_{(t)}[i]$ と画像データ $D_{(t+1)}[i]$ のそれぞれのj列目が一致しないとき）に出力される“真”の論理は“1”としている。

[0253]

また、論理回路LGMPにおいて、第1の入力端子から第Nの入力端子までに入力された信号の論理の全てが“偽”（ここでは“0”）であるときに、比較データ $C_{(t+1)}[i]$ として出力される“偽”の論理は“0”としている。また、論理回路LGMPにおいて、第1の入力端子から第Nの入力端子までに入力された信号の論理の一以上が“真”（ここでは“1”）であるときに、比較データ $C_{(t+1)}[i]$ として出力される“真”の論理は“1”としている。

[0254]

つまり、記憶回路LM1から処理回路SGPRに送信される画像データ $D_{(t+1)}[i]$ と、記憶回路LM2から処理回路SGPRに送信される画像データ $D_{(t)}[i]$ と、が一致する場合、処理回路SGPRは、配線WBLGに比較データ $C_{(t+1)}[i]$ である“偽”の論理として“0”を出力する。また、記憶回路LM1から処理回路SGPRに送信される画像データ $D_{(t+1)}[i]$ と、記憶回路LM2から処理回路SGPRに送信される画像データ $D_{(t)}[i]$ と、が一致しない場合、処理回路SGPRは、配線WBLGに比較データ $C_{(t+1)}[i]$ である“真”の論理として“1”を出力する。

[0255]

また、図8Aの回路構成は一例であって、図6の処理回路SGPRは、図8Bの回路構成であってよい。図8Bに示す処理回路SGPRは、図8Aの処理回路SGPRの変更例であって、比較器CPAa[1]乃至比較器CPAa[N]のそれぞれをNXOR回路（否定排他的論理和回路）とし、且つ論理回路LGMPをNAND回路（否定論理積回路）としている点で、図8Aの処理回路SGPRと異なっている。

[0256]

図8Bの処理回路SGPRの場合においても、図8Aの処理回路SGPRと同様に、比較器CPAa[1]乃至比較器CPAa[N]の全てで、それぞれの第1入力端子と第2入力端子に同じデータが入力されたとき（例えば、画像データ $D_{(t)}[i]$ と画像データ $D_{(t+1)}[i]$ のそれぞれのj列目が一致したとき）、論理回路LGMPの出力端子には比較データ $C_{(t+1)}[i]$ の論理として“0”が出力される。また、比較器CPAa[1]乃至比較器CPAa[N]のうちの一以上で、それぞれの第1入力端子と第2入力端子に異なるデータが入力されたとき（例えば、画像データ $D_{(t)}[i]$ と画像データ $D_{(t+1)}[i]$ のそれぞれのj列目が一致しないとき）、論理回路LGMPの出力端子には比較データ $C_{(t+1)}[i]$ の論理として“1”が出力される。

[0257]

なお、図6に示した配線WBLGは、例えば、図7に示す通り、配線SWL1Bに接続してもよい。特に、このとき、論理回路LGMPの出力端子から出力される比較データ $C_{(t+1)}[i]$ の論理であ

る“0”（画像データ $D_{(t)}$ と画像データ $D_{(t+1)}$ が一致する場合）は低レベル電位に対応し、また、論理回路LGMPの出力端子から出力される比較データ $C_{(t+1)}[i]$ の論理である“1”（画像データ $D_{(t)}$ と画像データ $D_{(t+1)}$ が一致しない場合）は高レベル電位に対応することが好ましい。

[0258]

図3の記憶回路LM1において、論理回路LGMPの出力端子から出力される比較データ $C_{(t+1)}[i]$ の論理が“0”であるとき、配線SWL1Bには論理として“0”に対応する低レベル電位が入力される。このとき、出力部OPT1に含まれる複数の切替回路SWC1のそれぞれは、オフ状態となる。このため、記憶回路LM1と記憶回路FMとの間は非導通状態となり、記憶回路LM1から読み出された画像データ $D_{(t+1)}$ が記憶回路FMに送信されない。一方、論理回路LGMPの出力端子から出力される比較データ $C_{(t+1)}[i]$ の論理が“1”であるとき、配線SWL1Bには論理として“1”に対応する高レベル電位が入力される。このとき、出力部OPT1に含まれる複数の切替回路SWC1のそれぞれは、オン状態となる。このため、記憶回路LM1と記憶回路FMとの間は導通状態となり、記憶回路LM1から読み出された画像データ $D_{(t+1)}$ を記憶回路FMに送信することができる。

[0259]

[記憶回路FGM]

次に、図1に適用できる記憶回路FGMについて説明する。なお、ここでは、記憶回路FGMの構成例として、図6に図示している記憶回路FGMのブロック図について説明する。

[0260]

図6に示す記憶回路FGMは、一例として、駆動回路WWDGと、駆動回路RWDGと、センスアンプSAGと、メモリセル部MCAGと、スイッチSWGと、を有する。

[0261]

メモリセル部MCAGは、一例として、複数のメモリセルMCGを有する。また、図6では、一例として、メモリセル部MCAG内において、M個のメモリセルMCGが1列に並んで配置されている。なお、図3では、M個のメモリセルMCGは、列方向ではなく、行方向に並んで配置されていてもよい。

[0262]

なお、メモリセル部MCAG内において、複数のメモリセルMCGのそれぞれを区別するため、図6に示す複数のメモリセルMCGのそれぞれの符号には、アドレスを付記している。例えば、1行目に位置しているメモリセルMCGは、MCG[1]と図示し、M行目に位置しているメモリセルMCGは、MCG[M]と図示している。また、図6には示していないがi行に位置しているメモリセルMCGを、本明細書では、メモリセルMCG[i]と呼称する。

[0263]

また、メモリセルMCGについては、特に断らない限りは、記憶回路LM1のメモリセルMC1の説明を参照することができる。

[0264]

メモリセルMCG[i]は、一例として、配線WBLGと、配線RBLGと、配線WWLG[i]と、配線RWLG[i]と、に接続されている。また、配線RBLGは、センスアンプSAGに接続されている。

[0265]

配線WBLGは、一例として、メモリセルMCG [i] における書き込みデータ線、書き込みビット線などとしての機能を有する。また、配線WBLGには、前述した論理回路LGMPから出力される比較データC_(t+1) [i] が送信される。

[0266]

配線RBLGについては、特に断らない限りは、記憶回路LM1の配線RBL1 [1] 乃至配線RBL1 [N] の説明を参照することができる。また、配線WWLG [1] 乃至配線WWLG [M] のそれぞれについては、特に断らない限りは、記憶回路LM1の配線WWL1の説明を参照することができる。また、配線RWLG [1] 乃至配線RWLG [M] のそれぞれについては、特に断らない限りは、記憶回路LM1の配線RWL1の説明を参照することができる。

[0267]

駆動回路WWDGは、一例として、メモリセル部MCAGのメモリセルMCG [i] に比較データC_(t+1) [i] を書き込むときに、配線WWLG [i] に書き込み用の選択信号を送信する機能を有する。また、駆動回路WWDGは、メモリセル部MCAGのi行目以外の行のメモリセルMCG [1] 乃至メモリセルMCG [M] のそれぞれに書き込みが行われないようにするため、配線WWLG [i] を除く配線WWLG [1] 乃至配線WWLG [M] に非選択信号を送信する機能を有する。また、配線WWLG [1] 乃至配線WWLG [M] のそれぞれに順次選択信号を送信することによって、比較データの書き込み先として、メモリセル部MCAGに含まれるメモリセルMCGを行毎に順次選択することができる。つまり、駆動回路WWDGは、一例として、書き込みワード線ドライバ回路としての機能を有する。また、駆動回路WWDGは、上記より、選択回路と呼ばれる場合がある。

[0268]

例えば、駆動回路WWDGが、配線WWLG [i] に書き込み用の選択信号を送信し、かつ配線WWLG [i] 以外の配線WWLG [1] 乃至配線WWLG [M] に非選択信号を送信している間に、処理回路SGPRから配線WBLGに比較データC_(t+1) [i] が送信されることによって、メモリセル部MCAGのi行目のメモリセルMCG [i] に比較データC_(t+1) [i] を書き込むことができる。

[0269]

駆動回路RWDGは、一例として、メモリセル部MCAGのメモリセルMCG [i] から比較データC [i] を読み出すときに、配線RWLG [i] に読み出し用の選択信号を送信する機能を有する。また、メモリセル部MCAGのi行目以外の行のメモリセルMCG [1] 乃至メモリセルMCG [M] のそれぞれにおいて読み出しが行われないようにするため、配線RWLG [i] を除く配線RWLG [1] 乃至配線RWLG [M] に非選択信号を送信する機能を有する。また、配線RWLG [1] 乃至配線RWLG [M] のそれぞれに順次選択信号を送信することによって、比較データの読み出し元として、メモリセル部MCAGに含まれるメモリセルMCGを行毎に順次選択することができる。つまり、駆動回路RWDGは、一例として、読み出しワード線ドライバ回路としての機能を有する。また、駆動回路RWDGは、上記より、選択回路と呼ばれる場合がある。

[0270]

例えば、駆動回路RWDGが、配線RWLG [i] に読み出し用の選択信号を送信し、かつ配線RWLG [i] 以外の配線RWLG [1] 乃至配線RWLG [M] に非選択信号を送信することによって、メモリセル部MCAGのi行目のメモリセルMCG [i] から、配線RBLG [i] に比較データC_(t+1) [i] に応じた読み出し電位を出力することができる。

[0271]

センスアンプSAGは、メモリセルMCG [1] 乃至メモリセルMCG [M] のいずれか一から読み出された比較データに応じた読み出し電位をデジタルデータとして扱うレベルに増幅する機能を有する。つまり、センスアンプSAGは、上述した記憶回路LM1の駆動回路RBD1に含まれるセンスアンプSA1と同様の機能を有する。このため、センスアンプSAGは、例えば、図3に示したセンスアンプSA1と同様の構成とすることができる。

[0272]

図6において、スイッチSWGの第1端子は、センスアンプSAGに接続され、スイッチSWGの第2端子は、後述する配線FOLを介して、信号処理回路PGに接続されている。また、スイッチSWGの制御端子は、配線SWLGに接続されている。

[0273]

スイッチSWGには、例えば、記憶回路LM1のスイッチSW1A又はスイッチSW1Bに適用できるスイッチを用いることができる。このため、スイッチSWGについては、特に断らない限りは、記憶回路LM1のスイッチSW1A又はスイッチSW1Bの説明を参照することができる。

[0274]

配線SWLGは、記憶回路FGMに含まれるスイッチSWGのオン状態とオフ状態との切り替えを行うための配線としての機能を有する。そのため、配線SWLGには、一例として、その切り替えを行う信号として、高レベル電位又は低レベル電位が供給される。

[0275]

また、図6では、配線FOLは、記憶回路FGMから信号処理回路PGに比較データ $C_{(t+1)}[i]$ を送信するための配線として示している。

[0276]

[信号処理回路PG]

図9Aは、信号処理回路PGの構成例を示すブロック図である。なお、図9Aには、信号処理回路PGとその周辺の回路との接続構成を示すため、記憶回路FGMも図示している。

[0277]

信号処理回路PGは、一例として、パルス信号生成回路PWGと、論理回路CPBと、を有する。また、論理回路CPBは、第1入力端子と、第2入力端子と、出力端子と、を有する。

[0278]

論理回路CPBの第1入力端子は、配線FOLを介して、記憶回路FGMに接続されている。また、論理回路CPBの第2入力端子は、配線POLを介して、パルス信号生成回路PWGに接続されている。また、論理回路CPBの出力端子は、配線PWCLに接続されている。

[0279]

また、パルス信号生成回路PWGは、配線PWILに接続されている。

[0280]

パルス信号生成回路PWGは、配線PWILに送信される信号に応じて、配線POLに所定のパルス幅、若しくは所定のデューティ比を有するクロック信号を出力する機能を有する。なお、配線PWILに送信される信号は、例えば、制御回路TCによって生成されるものとすることができる。つまり、パルス信号生成回路PWGは、制御回路TCによって、クロック信号のパルス幅、若しくはデューティ比の調整が行われる構成とすることができる。

[0281]

配線PWILは、一例として、所定の電位を与える配線としての機能を有する。例えば、パルス信号生成回路PWGが配線POLに出力するクロック信号のパルス幅は、配線PWILに与えられる固定電位に応じて定めることができる。別言すると、クロック信号のデューティ比は、配線PWILに与えられる固定電位に応じて定めることができる。

[0282]

また、記憶回路FGMから論理回路CPBに送信される比較データ $C_{(t+1)}[1]$ 乃至比較データ $C_{(t+1)}[M]$ のそれぞれの期間内にはクロック信号の高レベル電位の期間が収まるように、クロック信号のデューティ比が調整されていることが好ましい。

[0283]

また、記憶回路FGMから論理回路CPBに送信される比較データ $C_{(t+1)}[1]$ 乃至比較データ $C_{(t+1)}[M]$ の出力と、パルス信号生成回路PWGから論理回路CPBに送信されるクロック信号の送信と、は同時に行われるように同期することが好ましい。このため、記憶回路FGMとパルス信号生成回路PWGとのそれぞれは、例えば、同期信号を受信することで、記憶回路FGMから比較データ $C_{(t+1)}[1]$ 乃至比較データ $C_{(t+1)}[M]$ を順次出力し、パルス信号生成回路PWGからクロック信号を出力する構成とすることが好ましい。

[0284]

上記の構成とすることによって、記憶回路FGMから配線FOLに出力される比較データ $C[1]$ 乃至比較データ $C[M]$ を、パルス信号生成回路PWGから配線POLに出力される所定のデューティ比のクロック信号と同期しながら、順次、論理回路CPBの第1入力端子に入力することができる。

[0285]

論理回路CPBは、一例として、論理積回路（AND回路）とすることができる。具体的には、論理回路CPBは、配線FOLからの比較データ $C_{(t+1)}[1]$ 乃至比較データ $C_{(t+1)}[M]$ と、配線POLからのクロック信号と、の論理積の演算結果を配線PWCLに出力する機能を有する。具体的には、比較データ $C_{(t+1)}[i]$ の論理が“0”のとき（言い換えると、記憶回路LM1及び記憶回路LM2のそれぞれから読み出された画像データ $D[i]$ が一致しているとき）、論理回路CPBは、当該クロック信号の電位に関わらず、論理積として“0”（低レベル電位）を配線PWCLに出力する。また、例えば、比較データ $C_{(t+1)}[i]$ の論理が“1”のとき（言い換えると、記憶回路LM1及び記憶回路LM2のそれぞれから読み出された画像データ $D[i]$ が一致していないとき）、論理回路CPBは、当該クロック信号が高レベル電位である期間においては、論理積として“1”（高レベル電位）を配線PWCLに出力し、クロック信号が低レベル電位である期間においては、論理積として“0”（低レベル電位）を配線PWCLに出力する。

[0286]

例えば、図9Bのタイミングチャートに示す通り、配線FOLから論理回路CPBの第1入力端子に比較データ $C_{(t+1)}[1]$ 乃至比較データ $C_{(t+1)}[6]$ が順次送信され、かつ配線POLから論理回路CPBの第2入力端子にクロック信号が送信された場合を考える。比較データ $C_{(t+1)}[1]$ と比較データ $C_{(t+1)}[2]$ と比較データ $C_{(t+1)}[4]$ とのそれぞれの論理が“1”であるときには、論理回路CPBの第2入力端子にクロック信号が送信されることで、論理回路CPBの出力端子には、クロック信号と同様の波形が出力されることになる。一方、比較データ $C_{(t+1)}[3]$ と比較データ $C_{(t+1)}[5]$ と比較データ $C_{(t+1)}[6]$ とのそれぞれの論理が“0”のときには、論理回

路CPBの出力端子には、クロック信号と同様の波形に関わらず、低レベル電位が出力される。

[0287]

つまり、論理回路CPBにおいて、配線FOLからの比較データ $C_{(t+1)}[1]$ 乃至比較データ $C_{(t+1)}[M]$ と、配線POLからのクロック信号と、の論理積を演算することによって、比較データ $C_{(t+1)}[1]$ 乃至比較データ $C_{(t+1)}[M]$ の論理を反映したパルス信号を生成することができ、当該パルス信号を論理回路CPBの出力端子に出力することができる。なお、当該パルス信号は、駆動回路SD及び駆動回路GDに送信される制御信号とすることができる。

[0288]

[駆動回路GD]

次に、表示装置DSPの駆動回路部DRAに含まれる駆動回路GDの構成例について説明する。図10A乃至図10Dのそれぞれの駆動回路GDは、図1に示す駆動回路GDに適用することができる、構成例を示したブロック図である。

[0289]

図10Aにおいて、駆動回路GDは、回路RDCと、論理回路PWCSと、回路BFSと、を有する。また、論理回路PWCSは、論理回路LGA[1]乃至論理回路LGA[M]を有する。また、回路BFSは、バッファ回路BF[1]乃至バッファ回路BF[M]を有する。

[0290]

回路RDCは、配線GSPLと、配線CLK1Lと、配線RL[1]乃至配線RL[M]と、に接続されている。

[0291]

回路RDCは、一例として、画素アレイ部PXAの画素回路PXに対して選択信号を送信するためのローデコーダとしての機能を有する。回路RDCが、画素アレイ部PXAの1行目からM行目までに対して、選択信号を順次送信する構成とする場合、回路RDCは、シフトレジスタを有する構成とすることが好ましい。また、この場合、回路RDCは、配線RL[1]乃至配線RL[M]のそれぞれから、逐次的に、シフトレジスタから出力される選択信号（論理を“1”とする）が出力される構成とすることが好ましい。また、回路RDCは、選択信号が出力されている配線RL以外の配線RL[1]乃至配線RL[M]には、非選択信号（論理を“0”とする）が出力される構成とすることが好ましい。

[0292]

また、例えば、図10Aにおいて、配線GSPLは、当該シフトレジスタに対して入力されるスタートパルス信号を送信する配線としての機能を有し、かつ配線CLK1Lは、当該シフトレジスタを駆動させるためのクロック信号を送信する配線としての機能を有することが好ましい。なお、配線GSPLに送信されるスタートパルス信号と、配線CLK1Lに送信されるクロック信号と、のそれぞれは、例えば、制御回路TCによって生成されるものとすることができる。

[0293]

また、回路RDCから配線RL[1]乃至配線RL[M]のそれぞれに送信される選択信号の期間（論理が“1”となっている期間、又は高レベル電位となっている期間）は、一例として、配線POLに送信されるクロック信号の高レベル電位の期間よりも短いことが好ましく、また、選択信号の期間はクロック信号の高レベル電位の期間に収まるように同期することが好ましい。例えば、図11のタイミングチャートに示す通り、配線RL[1]乃至配線RL[6]の選択信号の期間（高レベル電

位となっている期間)は、配線POLに送信されるクロック信号の高レベル電位の期間に収まるように生成されていけばよい。

[0294]

論理回路PWCSにおいて、論理回路LGA[1]乃至論理回路LGA[M]のそれぞれは、論理積回路(AND回路)とすることができる。また、i行目において、論理回路LGA[i]の第1入力端子は、配線RL[i]に接続され、論理回路LGA[i]の第2入力端子は、配線PWCLに接続されている。なお、配線PWCLには、図9Aで説明した論理回路CPBからの制御信号が送信される。

[0295]

このため、論理回路LGA[i]の第1入力端子には、配線RL[i]からの、画素アレイ部PXAのi行目に対する選択信号又は非選択信号が入力され、論理回路LGA[i]の第2入力端子には、配線PWCLからの、制御信号が入力される。

[0296]

特に、配線PWCLから、比較データ $C_{(t+1)}[i]$ に応じて生成された制御信号が送信されている間には、配線RL[i]からは、選択信号(論理が“1”、ここでは高レベル電位)が送信されていることが好ましい。これにより、比較データ $C_{(t+1)}[i]$ の論理が“0”(低レベル電位)のとき(言い換えると、記憶回路LM1から読み出された画像データ $D_{(t+1)}[i]$ と記憶回路LM2から読み出された画像データ $D_{(t)}[i]$ が一致しているとき)、論理回路LGA[i]の出力端子からは、論理が“0”の信号(低レベル電位)が出力される。つまり、これにより、配線RL[i]からの選択信号(論理が“1”、ここでは高レベル電位)が、論理回路LGA[i]によって、非選択信号(論理が“0”、ここでは低レベル電位)に変化する。また、比較データ $C[i]$ の論理が“1”(高レベル電位)のとき(言い換えると、記憶回路LM1から読み出された画像データ $D_{(t+1)}[i]$ と記憶回路LM2から読み出された画像データ $D_{(t)}[i]$ が一致していないとき)、論理回路LGA[i]の出力端子からは、論理が“1”の信号(高レベル電位)が出力される。つまり、これにより、配線RL[i]からの選択信号(論理が“1”、ここでは高レベル電位)は、そのまま論理回路LGA[i]の出力端子に出力される。

[0297]

例えば、図11のタイミングチャートに示す通り、配線PWCLから論理回路LGA[1]乃至論理回路LGA[6]のそれぞれの第1端子に、比較データ $C_{(t+1)}[1]$ 乃至比較データ $C_{(t+1)}[6]$ に応じて生成された制御信号が送信され、かつ配線RL[1]乃至配線RL[6]のそれぞれから順次選択信号(論理が“1”、ここでは高レベル電位)が送信された場合を考える。なお、当該制御信号は、図9Bのタイミングチャートの動作例で生成された制御信号とする。

[0298]

比較データ $C_{(t+1)}[1]$ と比較データ $C_{(t+1)}[2]$ と比較データ $C_{(t+1)}[4]$ とのそれぞれの論理が“1”(高レベル電位)であるときには、配線RL[1]に選択信号(論理が“1”、ここでは高レベル電位)が送信されている期間では、論理回路LGA[1]の出力端子から論理が“1”の信号(高レベル電位)が出力される。同様に、配線RL[2]に選択信号(“1”、ここでは高レベル電位)が送信されている期間では、論理回路LGA[2]の出力端子から論理が“1”の信号(高レベル電位)が出力され、配線RL[4]に選択信号(論理が“1”、ここでは高レベル電位)が送信されている期間では、論理回路LGA[4]の出力端子から論理が“1”の信号(高レベル電位)

が出力される。一方、配線RL [1] に非選択信号（論理が“0”、ここでは低レベル電位）が送信されている期間では、論理回路LGA [1] の出力端子から論理が“0”の信号（低レベル電位）が出力され。同様に、配線RL [2] に非選択信号（論理が“0”、ここでは低レベル電位）が送信されている期間では、論理回路LGA [2] の出力端子から論理が“0”の信号（低レベル電位）が出力され、配線RL [4] に選択信号（論理が“1”、ここでは高レベル電位）が送信されている期間では、論理回路LGA [4] の出力端子から論理として“1”（高レベル電位）が出力される。つまり、比較データC_(t+1) [i] の論理が“1”であるとき、配線RL [i] からの選択信号（論理が“1”、ここでは高レベル電位）は、そのまま論理回路LGA [i] の出力端子に出力されるといえる。

[0299]

比較データC_(t+1) [3] と比較データC_(t+1) [5] と比較データC_(t+1) [6] とのそれぞれの論理が“0”であるときには、配線RL [3] に送信される信号（選択信号（論理が“1”、ここでは高レベル電位）又は非選択信号（論理が“0”、ここでは低レベル電位））に関わらず、論理回路LGA [3] の出力端子から論理が“0”の信号（低レベル電位）が出力される。同様に、配線RL [5] に送信される信号（選択信号（論理が“1”、ここでは高レベル電位）又は非選択信号（論理が“0”、ここでは低レベル電位））に関わらず、論理回路LGA [5] の出力端子から論理が“0”の信号（低レベル電位）が出力され、配線RL [6] に送信される信号（選択信号（論理が“1”、ここでは高レベル電位）又は非選択信号（論理が“0”、ここでは低レベル電位））に関わらず、論理回路LGA [6] の出力端子から論理が“0”の信号（低レベル電位）が出力される。つまり、比較データC_(t+1) [i] の論理が“0”（低レベル電位）であるとき、配線RL [i] からの選択信号（論理が“1”、ここでは高レベル電位）は、論理回路LGA [i] によって、非選択信号（論理が“0”、ここでは低レベル電位）に変換されたといえる。

[0300]

以上より、画素アレイ部PXAのi行目の画像データが変化しない場合（比較データC [i] の論理が“0”（低レベル電位）の場合）、画素アレイ部PXAのi行目の画素回路PXに画像データを書き込む必要が無いため、論理回路PWCSは、比較データC [i] に応じて生成された制御信号によって、画素アレイ部PXAのi行目への選択信号を非選択信号に変換することができる。また、画素アレイ部PXAのi行目の画像データが変化する場合（比較データC [i] の論理が“1”（高レベル電位）の場合）、画素アレイ部PXAのi行目の画素回路PXに新しい画像データを書き込むため、論理回路PWCSは、信号処理回路PGによって比較データC [i] に応じて生成された制御信号によって、画素アレイ部PXAのi行目へ選択信号を送信することができる。

[0301]

図10Aにおいて、論理回路LGA [i] の出力端子は、バッファ回路BF [i] の入力端子に接続されている。また、バッファ回路BF [i] の出力端子は、配線GL [i] に接続されている。

[0302]

回路BFSに含まれているバッファ回路BF [i] は、配線GL [i] に送信される選択信号の減衰を抑制する、配線GL [i] に流れるノイズ信号の影響を低減する、などの機能を有する。なお、表示装置DSPにおいて、選択信号の減衰が無い場合、ノイズ信号の影響が少ない場合には、駆動回路GDにおいて回路BFSは設けなくてもよい。

[0303]

また、回路BFSにおいて、バッファ回路BF[i]の出力端子と配線GL[i]との間には、レベルシフタを設けてもよい。具体的には、例えば、図10Bに示す通り、回路BFSがレベルシフタLS[1]乃至レベルシフタLS[M]を有しており、バッファ回路BF[i]の出力端子がレベルシフタLS[i]の入力端子に接続され、配線GL[i]がレベルシフタLS[i]の出力端子に接続されている構成としてもよい。

[0304]

レベルシフタLS[i]は、一例として、バッファ回路BF[i]の出力端子から送信される、選択信号及び非選択信号の一方又は双方の電位を、画素回路PX[i, 1]乃至画素回路PX[i, M]で扱うことができるレベルに変換する機能を有する。なお、バッファ回路BF[i]の出力端子から送信される、選択信号及び非選択信号の一方又は双方の電位が、そのまま画素回路PX[i, 1]乃至画素回路PX[i, M]で扱うことができる場合には、回路BFSにレベルシフタLS[1]乃至レベルシフタLS[M]を設けなくてもよい。

[0305]

また、図10Aに示す論理回路PWCS及び回路BFSは、図10Cに示す回路構成に変更してもよい。図10Cに示す駆動回路GDは、図10Aに図示している論理回路LGA[1]乃至論理回路LGA[M]を、否定論理積(NAND)回路である論理回路LGN[1]乃至論理回路LGN[M]に変更し、かつ図10Aに図示しているバッファ回路BF[1]乃至バッファ回路BF[M]を否定(NOT)回路(インバータと呼ばれる場合がある)であるインバータNT[1]乃至インバータNT[M]に変更した構成となっている。

[0306]

図10Cの駆動回路GDの構成においても、図10Aの駆動回路GDと同様の出力結果を得ることができる。また、図10Cの駆動回路GDに用いている否定論理積回路である論理回路LGN[1]乃至論理回路LGN[M]は、論理積回路である論理回路LGA[1]乃至論理回路LGA[M]よりもトランジスタ数を少なくすることができる。また、同様に、図10Cの駆動回路GDに用いているインバータNT[1]乃至インバータNT[M]は、図10Aの駆動回路GDに用いているバッファ回路BF[1]乃至バッファ回路BF[M]よりもトランジスタ数を少なくすることができる。したがって、図10Cの駆動回路GDの回路面積は、図10Aの駆動回路GDの回路面積よりも小さくなる。

[0307]

また、図10Cの駆動回路GDにおいて、図10Bと同様に、回路BFSにレベルシフタLS[1]乃至レベルシフタLS[M]を設けてもよい(図10D参照)。

[0308]

[駆動回路SD]

次に、表示装置DSPの駆動回路部DRAに含まれる駆動回路SDの構成例について説明する。図12の駆動回路SDは、図1の駆動回路SDに適用することができる、構成例を示したブロック図である。

[0309]

図12において、駆動回路SDは、シフトレジスタSRと、保持回路LA[1]乃至保持回路LA[N]と、デジタルアナログ変換回路DAC[1]乃至デジタルアナログ変換回路DAC[N]と、スイッチSWS[1]乃至スイッチSWS[N]と、を有する。また、j列目に着目して、保持回路

LA [j] (図示しない) は、ラッチ回路LATS [j] と、ラッチ回路LATH [j] と、を有する。

[0310]

シフトレジスタSRは、入力端子と、画素アレイ部PXAの列分（ここではN個）の出力端子と、を有する。

[0311]

シフトレジスタSRの入力端子は、配線SSPLに接続されている。また、j 列目において、シフトレジスタSRのj 番目の出力端子は、ラッチ回路LATS [j] の制御端子に接続されている。

[0312]

また、ラッチ回路LATS [1] 乃至ラッチ回路LATS [N] のそれぞれの入力端子は、配線PDLに接続されている。また、j 列目において、ラッチ回路LATS [j] の出力端子は、ラッチ回路LATH [j] の入力端子に接続され、ラッチ回路LATH [j] の出力端子は、デジタルアナログ変換回路DAC [j] の入力端子に接続されている。

[0313]

また、ラッチ回路LATH [1] 乃至ラッチ回路LATH [N] のそれぞれの制御端子は、配線LTHLに接続されている。

[0314]

なお、ラッチ回路LATS [j] の入力端子は、保持回路LA [j] の入力端子とすることができる。また、ラッチ回路LATH [j] の出力端子は、保持回路LA [j] の出力端子とすることができる。

[0315]

j 列目において、デジタルアナログ変換回路DAC [j] の出力端子は、スイッチSWS [j] の第1 端子に接続され、スイッチSWS [j] の第2 端子は配線SL [j] に接続されている。また、スイッチSWS [j] の制御端子は、配線PWCLに接続されている。

[0316]

なお、図12には、デジタルアナログ変換回路DAC [1] の出力端子と、スイッチSWS [1] の第1 端子と、の接続箇所をノードND [1] と図示している。同様に、デジタルアナログ変換回路DAC [N] の出力端子と、スイッチSWS [N] の第1 端子と、の接続箇所をノードND [N] と図示している。

[0317]

シフトレジスタSRは、一例として、連続で接続された保持回路を有し、保持回路に入力された信号に応じた情報を保持する機能と、当該情報に応じた信号を隣の保持回路に逐次的に送信する機能を有する。また、シフトレジスタSRは、一例として、保持回路に保持された情報に応じた信号をシフトレジスタSRのN個の出力端子の一に出力する機能を有する。なお、当該信号は、ラッチ回路LATS [1] 乃至ラッチ回路LATS [N] におけるストロブ信号とする場合がある。

[0318]

図12において、複数のラッチ回路LATSのそれぞれは、一例として、記憶回路FMから送信される画像データを取得して保持する機能を有する。また、ラッチ回路LATHは、一例として、ラッチ回路LATSから当該画像データを取得して、当該画像データをデジタルアナログ変換回路DACに出力する機能を有する。図12に示す通り、ラッチ回路LATSとラッチ回路LATHとを直列に

接続することによって、保持回路LAは、ラッチ回路LATSによる記憶回路FMから送信される第1の画像データの取得及び保持と、ラッチ回路LATHによるデジタルアナログ変換回路DACへの第2の画像データの送信と、を同時に行うことができる。

[0319]

例えば、ラッチ回路LATS [1] 乃至ラッチ回路LATS [N] のそれぞれは、シフトレジスタSRの複数の出力端子のそれぞれから順次ストローブ信号が送信されることで、配線PDLに順次送信される画像データを取り込むことができる。また、このとき、ラッチ回路LATS [1] 乃至ラッチ回路LATS [N] のそれぞれの出力端子から、ラッチ回路LATH [1] 乃至ラッチ回路LATH [N] の入力端子に当該画像データが送信される。また、ここで、配線LTHLにストローブ信号が送信されていないとき、ラッチ回路LATH [1] 乃至ラッチ回路LATH [N] のそれぞれは、当該画像データの取り込みだけ行う。また、配線LTHLにストローブ信号が送信されることによって、ラッチ回路LATH [1] 乃至ラッチ回路LATH [N] のそれぞれは、出力端子からデジタルアナログ変換回路DACの入力端子に当該画像データの送信を行う。

[0320]

デジタルアナログ変換回路DAC [1] 乃至デジタルアナログ変換回路DAC [N] は、それぞれの入力端子に入力された画像データであるデジタルデータをアナログデータに変換する機能を有する。また、デジタルアナログ変換回路DAC [1] 乃至デジタルアナログ変換回路DAC [N] は、それぞれの出力端子から当該アナログデータを出力する機能を有する。

[0321]

スイッチSWS [1] 乃至スイッチSWS [N] には、例えば、記憶回路LM1のスイッチSW1A又はスイッチSW1Bに適用できるスイッチを用いることができる。このため、スイッチSWS [1] 乃至スイッチSWS [N] については、特に断らない限りは、記憶回路LM1のスイッチSW1A又はスイッチSW1Bの説明を参照することができる。

[0322]

配線PWCLは、スイッチSWS [1] 乃至スイッチSWS [N] のそれぞれのオン状態とオフ状態との切り替えを行うための配線としての機能を有する。また、図12に示す配線PWCLは、図9Aで説明した信号処理回路PGに接続されている配線PWCLとすることができる。つまり、スイッチSWS [1] 乃至スイッチSWS [N] は、配線PWCLに送信される制御信号に応じて、オン状態とオフ状態の切り替えを行う。

[0323]

駆動回路SDの動作例を、図13のタイミングチャートに示す。図13のタイミングチャートは、比較データC_(t+1) [1] 乃至比較データC_(t+1) [6] が信号処理回路PGに送信されて生成される制御信号と、ノードND [j] 及び配線SL [j] のそれぞれに流れている画像データと、配線GL [1] 乃至配線GL [6] における電位の変化と、の関係を示している。なお、図13に示す、配線FOLと、配線POLと、配線PWCLと、配線GL [1] 乃至配線GL [6] と、のそれぞれについては、図11のタイミングチャートを参照することができる。

[0324]

図13に示す通り、配線FOLに比較データC_(t+1) [1] (論理が“1”) が送信されているタイミングでは、デジタルアナログ変換回路DAC [j] の出力端子から、アナログデータである画像データD_(t+1) [1] が出力されている。このため、ノードND [j] の電位は、画像データD_(t+1)

1) [1] に応じた電位となっている。また、このとき、配線PWCLには、論理が“1”（高レベル電位）の信号が入力されているため、スイッチSWSがオン状態となり、配線SL[j]の電位も画像データD_(t+1)[1]に応じた電位となる。

[0325]

また、配線GL[1]に送信されている信号の論理が“1”（高レベル電位）、それ以外の配線GLに送信されている信号の論理が“0”（低レベル電位）となっているため、画像データD_(t+1)[1]は、画素回路PX[1, j]に書き込まれる。

[0326]

また、配線FOLに比較データC_(t+1)[2]（論理が“1”）が送信されているタイミングでは、デジタルアナログ変換回路DAC[j]の出力端子から、アナログデータである画像データD_(t+1)[2]が出力されている。このため、ノードND[j]の電位は、画像データD_(t+1)[2]に応じた電位となっている。また、このとき、配線PWCLには、論理が“1”（高レベル電位）の信号が入力されているため、スイッチSWSがオン状態となり、配線SL[j]の電位も画像データD_(t+1)[2]に応じた電位となる。

[0327]

また、配線GL[2]に送信されている信号の論理が“1”（高レベル電位）、それ以外の配線GLに送信されている信号の論理が“0”（低レベル電位）となっているため、画像データD_(t+1)[2]は、画素回路PX[2, j]に書き込まれる。

[0328]

また、配線FOLに比較データC_(t+1)[3]（論理が“0”、ここでは低レベル電位）が送信されているタイミングでは、デジタルアナログ変換回路DAC[j]の出力端子から、アナログデータである画像データD_(t+1)[3]が出力されている。このため、ノードND[j]の電位は、画像データD_(t+1)[3]に応じた電位となっている。また、このとき、配線PWCLには、論理が“0”（低レベル電位）の信号が入力されているため、スイッチSWSがオフ状態となり、配線SL[j]の電位は、画像データD_(t+1)[3]ではなく、画像データD_(t+1)[2]に応じた電位のままとする。

[0329]

なお、比較データC_(t+1)[3]の論理が“0”（低レベル電位）であることから、第tフレーム目の画像データD_(t)[3]と第t+1フレーム目の画像データD_(t+1)[3]は同じデータであるため、画素回路PX[3, j]への画像データの書き込みは不要となる。図13のタイミングチャートにおいて、このタイミングでは、配線GL[3]に送信されている信号の論理が“0”（低レベル電位）となっているため、画素回路PX[3, j]への画像の書き込みが行われない。

[0330]

また、配線FOLに比較データC_(t+1)[4]（論理が“1”、ここでは高レベル電位）が送信されているタイミングでは、デジタルアナログ変換回路DAC[j]の出力端子から、アナログデータである画像データD_(t+1)[4]が出力されている。このため、ノードND[j]の電位は、画像データD_(t+1)[4]に応じた電位となっている。また、このとき、配線PWCLには、論理が“1”（高レベル電位）の信号が入力されているため、スイッチSWSがオン状態となり、配線SL[j]の電位も画像データD_(t+1)[4]に応じた電位となる。

[0331]

また、配線GL [4] に送信されている信号の論理が“1”、それ以外の配線GLに送信されている信号の論理が“0”となっているため、画像データ $D_{(t+1)}[4]$ は、画素回路PX [4, j] に書き込まれる。

[0332]

また、配線FOLに比較データ $C_{(t+1)}[5]$ 又は比較データ $C_{(t+1)}[6]$ (いずれも論理が“0”)が送信されているタイミングでは、デジタルアナログ変換回路DAC [j] の出力端子から、アナログデータである画像データ $D_{(t+1)}[5]$ 又は画像データ $D_{(t+1)}[6]$ が出力されている。このため、ノードND [j] の電位は、画像データ $D_{(t+1)}[5]$ 又は画像データ $D_{(t+1)}[6]$ に応じた電位となっている。また、このとき、配線PWCLには、論理が“0”(低レベル電位)の信号が入力されているため、スイッチSWSがオフ状態となり、配線SL [j] の電位は、画像データ $D_{(t+1)}[5]$ 又は画像データ $D_{(t+1)}[6]$ ではなく、画像データ $D_{(t+1)}[4]$ に応じた電位のままとなる。

[0333]

なお、比較データ $C_{(t+1)}[5]$ 又は比較データ $C_{(t+1)}[6]$ の論理が“0”であることから、第tフレーム目の画像データ $D_{(t)}[5]$ と第t+1フレーム目の画像データ $D_{(t+1)}[5]$ は同じデータであって、第tフレーム目の画像データ $D_{(t)}[6]$ と第t+1フレーム目の画像データ $D_{(t+1)}[6]$ は同じデータであるため、画素回路PX [5, j] と画素回路PX [6, j] への画像データの書き込みは不要となる。図13のタイミングチャートにおいて、これらのタイミングでは、配線GL [5] 及び配線GL [6] に送信されている信号の論理が“0”(低レベル電位)となっているため、画素回路PX [5, j] 及び画素回路PX [6, j] への画像の書き込みが行われない。

[0334]

上記のタイミングチャートの説明の通り、配線PWCLに送信される制御信号の論理が“1”、つまり、画像データ $D_{(t)}[i]$ と画像データ $D_{(t+1)}[i]$ とが一致していないとき、画素回路PX [i, j] において、画像データ $D_{(t)}[i]$ から画像データ $D_{(t+1)}[i]$ への書き換えが行われる。このため、j列目において、スイッチSWS [j] がオン状態になる。このとき、デジタルアナログ変換回路DAC [j] の出力端子から出力される、アナログデータに変換された画像データ $D_{(t+1)}[i]$ は、配線SL [j] を介して、画素回路PX [i, j] に送信される。これによって、画素回路PX [i, j] において、画像データ $D_{(t)}[i]$ から画像データ $D_{(t+1)}[i]$ への書き換えが行われる。

[0335]

また、配線PWCLに送信される制御信号の論理が“0”(低レベル電位)、つまり、画像データ $D_{(t)}[i]$ と画像データ $D_{(t+1)}[i]$ とが一致しているとき、画素回路PX [i, j] において、画像データ $D_{(t)}[i]$ から画像データ $D_{(t+1)}[i]$ への書き換えは不要となる。このため、j列目において、スイッチSWS [j] がオフ状態になる。このとき、アナログデータに変換された画像データ $D_{(t+1)}[i]$ は、配線SL [j] を介して、画素回路PX [i, j] に送信されない。

[0336]

このとき、スイッチSWS [j] がオフ状態であるため、駆動回路SDの出力が高インピーダンスとなり、配線SL [j] には、デジタルアナログ変換回路DAC [j] の出力端子からの画像データ $D_{(t+1)}[i]$ に応じた電位が入力されない。その点、配線SL [j] の電位は、i行以外の別の行の画像データ $D_{(t+1)}$ に応じた電位となっているため、スイッチSWS [j] がオフ状態となるこ

とで、当該電位から画像データ $D_{(t+1)}[i]$ に応じた電位に変化させるための電荷の供給が無くなり、表示システム $DSYS$ における消費電力を抑えることができる。

[0337]

なお、本実施の形態は、本明細書で示す、同一の、又は他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、その本実施の形態で示す構成、構造、方法などと適宜組み合わせる用いることができる。また、例えば、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせる用いることができる。

[0338]

(実施の形態2)

本実施の形態では、フレーム周波数の低下を抑制できる、本発明の一態様の表示システムの構成例について、説明する。

[0339]

<表示システムの構成例>

図14の表示システム $DSYSA$ は、図1の表示システム $DSYS$ の変更例であって、処理装置 PRC が、記憶回路 FM の代わりに記憶回路 $FM1$ 及び記憶回路 $FM2$ と、記憶回路 FGM の代わりに記憶回路 $FGM1$ 及び記憶回路 $FGM2$ と、を有する点で、図1の表示システム $DSYS$ と異なっている。

[0340]

このため、本明細書において、図14の表示システム $DSYSA$ の一部の構成については、図1の表示システム $DSYS$ の説明を参照することができる。また、本明細書において、図14の表示システム $DSYSA$ の説明については、図1の表示システム $DSYS$ の内容が重複する部分の記載を省略することがある。

[0341]

図14の表示装置 DSP に含まれる画素アレイ部 PXA については、図1の画素アレイ部 PXA の説明を参照することができる。また、配線 $SL[1]$ 乃至配線 $SL[N]$ 及び配線 $GL[1]$ 乃至配線 $GL[M]$ についても、図1の配線 $SL[1]$ 乃至配線 $SL[N]$ 及び配線 $GL[1]$ 乃至配線 $GL[M]$ の説明を参照することができる。

[0342]

図14の表示装置 DSP に含まれる駆動回路 SD 及び駆動回路 GD については、図1の駆動回路 SD 及び駆動回路 GD の説明を参照することができる。

[0343]

図14の処理装置 PRC に含まれる信号処理回路 PG は、図1の信号処理回路 PG の説明を参照することができる。

[0344]

記憶回路 $LM1$ は、一例として、第1のラインメモリとしての機能を有する。具体的には、例えば、記憶回路 $LM1$ は、画素アレイ部 PXA に表示するための画像の少なくとも1行分の画像データを一時的に保持する機能を有する。また、記憶回路 $LM1$ は、一例として、画素アレイ部 PXA の i 行目に送信される画像データ $D_{(t)}[i]$ (画像データを画像信号と言い換える場合がある) を処理装置 PRC の外部から取得する機能を有する。また、記憶回路 $LM1$ は、保持されている画像データ $D_{(t)}$

[i]を読み出して、記憶回路FM1又は処理回路SGPRに送信する機能を有する。

[0345]

記憶回路LM2は、一例として、第2のラインメモリとしての機能を有する。具体的には、例えば、記憶回路LM2は、画素アレイ部PXAに表示するための画像の少なくとも1行分の画像データを一時的に保持する機能を有する。また、記憶回路LM2は、一例として、画素アレイ部PXAの i 行目に送信される画像データ $D_{(t+1)}[i]$ （画像データを画像信号と呼び変える場合がある）を処理装置PRCの外部から取得する機能を有する。また、記憶回路LM2は、保持されている画像データ $D_{(t+1)}[i]$ を読み出して、記憶回路FM2又は処理回路SGPRに送信する機能を有する。

[0346]

記憶回路FM1は、一例として、第1のフレームメモリとしての機能を有する。具体的には、例えば、記憶回路FM1は、画素アレイ部PXAに表示するための画像の全行分の画像データを一時的に保持する機能を有する。また、記憶回路FM1は、一例として、画素アレイ部PXAの1行目乃至M行目のそれぞれに送信される画像データ $D_{(t)}[1]$ 乃至画像データ $D_{(t)}[M]$ を記憶回路LM1から取得する機能を有する。また、記憶回路FM1は、保持されている画像データ $D_{(t)}[1]$ 乃至画像データ $D_{(t)}[M]$ のそれぞれを順次読み出して、駆動回路SDに送信する機能を有する。

[0347]

記憶回路FM2は、一例として、第2のフレームメモリとしての機能を有する。具体的には、例えば、記憶回路FM2は、画素アレイ部PXAに表示するための画像の全行分の画像データを一時的に保持する機能を有する。また、記憶回路FM2は、一例として、画素アレイ部PXAの1行目乃至M行目のそれぞれに送信される画像データ $D_{(t+1)}[1]$ 乃至画像データ $D_{(t+1)}[M]$ を記憶回路LM2から取得する機能を有する。また、記憶回路FM2は、保持されている画像データ $D_{(t+1)}[1]$ 乃至画像データ $D_{(t+1)}[M]$ のそれぞれを順次読み出して、駆動回路SDに送信する機能を有する。

[0348]

記憶回路FGM1は、一例として、第1のフラグメモリとしての機能を有する。一例として、処理回路SGPRから送信された比較データ $C_{(t)}[i]$ を保持する機能を有する。また、記憶回路FGM1は、画素アレイ部PXAの行数分として比較データ $C_{(t)}[1]$ 乃至比較データ $C_{(t)}[M]$ の保持を行うことができるものとする。また、記憶回路FGM1は、比較データ $C_{(t)}[i]$ を読み出して、信号処理回路PGに送信する機能を有する。

[0349]

記憶回路FGM2は、一例として、第2のフラグメモリとしての機能を有する。一例として、処理回路SGPRから送信された比較データ $C_{(t+1)}[i]$ を保持する機能を有する。また、記憶回路FGM2は、画素アレイ部PXAの行数分として比較データ $C_{(t+1)}[1]$ 乃至比較データ $C_{(t+1)}[M]$ の保持を行うことができるものとする。また、記憶回路FGM2は、比較データ $C_{(t+1)}[i]$ を読み出して、信号処理回路PGに送信する機能を有する。

[0350]

制御回路TCは、一例として、処理装置PRCに含まれる各回路と、表示装置DSPに含まれる各回路と、のそれぞれを制御する機能を有する。例えば、制御回路TCは、記憶回路LM1、記憶回路LM2、記憶回路FM1、記憶回路FM2、記憶回路FGM1及び記憶回路FGM2のそれぞれに含まれる駆動回路に、書き込み動作、読み出し動作などを実行させるための命令信号を送信する機能を有する。また、制御回路TCは、一例として、駆動回路SD及び駆動回路GDに書き込み動作、読み

出し動作などを実行させるための命令信号を送信する機能を有する。また、制御回路TCは、一例として、記憶回路LM1、記憶回路LM2、記憶回路FM1、記憶回路FM2、記憶回路FGM1、記憶回路FGM2及び処理回路SGPRのそれぞれに含まれるスイッチング素子のオン状態とオフ状態との切り替えを制御するための命令信号を送信する機能を有する。また、制御回路TCは、一例として、処理装置PRCに含まれる各回路と、表示装置DSPに含まれる各回路と、に供給するためのクロック信号を生成する機能を有する。

[0351]

また、制御回路TCは、処理装置PRCに含まれる各回路と、表示装置DSPに含まれる各回路と、から選ばれた二以上を同期させるために、上述した制御信号又はクロック信号を同期信号として選ばれた二以上の回路に送信する機能を有してもよい。

[0352]

<表示システムの動作例>

次に、図14に示した表示システムDSYSAの動作例について説明する。

[0353]

図15は、図14の表示システムDSYSAの動作例を示したフローチャートである。図15のフローチャートには、画素アレイ部PXAに予め表示されている、第 $t-1$ フレーム目(t は3以上の整数とする)の画像から第 t フレーム目の画像に書き換える動作(以下、第1動作と呼称する)を示すステップSP1乃至ステップSP14と、第 t フレーム目の画像から第 $t+1$ フレーム目の画像に書き換える動作(以下、第2動作と呼称する)を示すステップSQ1乃至ステップSQ14と、の2つの動作について示している。

[0354]

なお、図15のフローチャートでは、第1動作と第2動作は別々に行われず、第1動作の一部は、第2動作の一部とタイミングが重なっていることがある点で注意する。言い換えると、第1動作の一部と、第2動作の一部と、が同時に行われることがある点で注意する。

[0355]

また、記憶回路FM1には、予め第 $t-1$ フレーム目の画像として、画像データ $D_{(t-1)}[1]$ 乃至画像データ $D_{(t-1)}[M]$ が保持されているものとし、記憶回路FM2には、予め第 $t-2$ フレーム目の画像として、画像データ $D_{(t-2)}[1]$ 乃至画像データ $D_{(t-2)}[M]$ が保持されているものとする。

[0356]

初めに、第1動作のステップSP1乃至ステップSP14について説明する。

[0357]

ステップSP1では、一例として、画素アレイ部PXAの行番号の変数である i が1に定められる。なお、ステップSP1乃至ステップSP7において、 i は、1以上 M 以下を満たす変数とする。

[0358]

ステップSP2には、一例として、処理装置PRCの外部から、記憶回路LM2に第 t フレーム目の i 行目の画像データ $D_{(t)}[i]$ が送信される動作が含まれる。また、ステップSP2には、記憶回路LM2に画像データ $D_{(t)}[i]$ が書き込まれる動作も含まれる。

[0359]

ステップSP3には、一例として、記憶回路FM1から第 $t-1$ フレーム目の i 行目の画像データ

$D_{(t-1)}[i]$ が読み出されて、記憶回路LM1に送信される動作が含まれる。また、ステップSP3には、記憶回路LM1に画像データ $D_{(t-1)}[i]$ が書き込まれる動作も含まれる。

[0360]

なお、ステップSP2とステップSP3とのそれぞれは同時に行われてもよい。

[0361]

ステップSP4には、一例として、記憶回路LM1から画像データ $D_{(t-1)}[i]$ が読み出されて、処理回路SGPRに送信される動作が含まれる。また、ステップSP4には、記憶回路LM2から画像データ $D_{(t)}[i]$ が読み出されて、処理回路SGPRと記憶回路FM2に送信される動作が含まれる。

[0362]

また、ステップSP4には、一例として、記憶回路FM2に画像データ $D_{(t)}[i]$ が書き込まれる動作も含まれる。なお、このとき、記憶回路FM2には、保持している画像データ $D_{(t-2)}[i]$ を記憶回路LM2から読み出された画像データ $D_{(t)}[i]$ に書き換える動作が行われる。

[0363]

ステップSP5には、一例として、処理回路SGPRが、画像データ $D_{(t-1)}[i]$ と画像データ $D_{(t)}[i]$ の比較を行う動作が含まれる。また、ステップSP5には、画像データ $D_{(t-1)}[i]$ と画像データ $D_{(t)}[i]$ が一致する場合、処理回路SGPRが、“0”の論理を含む比較データ $C_{(t)}[i]$ を記憶回路FGM2に送信する動作が含まれる。また、ステップSP5には、画像データ $D_{(t-1)}[i]$ と画像データ $D_{(t)}[i]$ が一致しない場合、処理回路SGPRが、“1”の論理を含む比較データ $C_{(t)}[i]$ を記憶回路FGM2に送信する動作が含まれる。

[0364]

また、ステップSP5には、一例として、記憶回路FGM2に比較データ $C_{(t)}[i]$ が書き込まれる動作も含まれる。

[0365]

ステップSP6では、 i がMに達しているかどうかの判定が行われる。 i がMに達していない場合、ステップSP6からステップSP7に移行する。また、 i がMに達している場合、ステップSP6からステップSP8に移行する。

[0366]

ステップSP7では、 i に1を加える動作が含まれている。 i に1を加えた後は、再度ステップSP2に移行する。

[0367]

ステップSP8では、一例として、画素アレイ部PXAの行番号の変数として k を定義する。また、このステップSP8では、 $k=1$ と定める。なお、ステップSP8乃至ステップSP14において、 k は、1以上M以下を満たす変数とする。

[0368]

ステップSP9には、一例として、記憶回路FGM2から、比較データ $C_{(t)}[k]$ が読み出されて、信号処理回路PGに送信される動作が含まれている。

[0369]

ステップSP10には、一例として、信号処理回路PGにおいて、論理が“1”となっているパルス信号と、比較データ $C_{(t)}[k]$ と、の論理演算が行われて、比較データ $C_{(t)}[k]$ の情報を含

む制御信号が生成される動作が含まれている。また、ステップSP10には、一例として当該制御信号が駆動回路GD及び駆動回路SDに送信される動作も含まれている。

[0370]

ステップSP11には、記憶回路FM2に保持されている画像データ $D_{(t)}[k]$ が読み出されて、駆動回路SDに入力される動作が含まれている。

[0371]

ステップSP12には、駆動回路GDにおいて、画素アレイ部PXAのk行目に送信される選択信号（論理が“1”）と、ステップSP10で生成された制御信号と、の論理演算が行われる動作が含まれている。比較データ $C_{(t)}[k]$ の論理が“0”となっているとき、その論理演算の結果によって当該選択信号が非選択信号（論理が“0”）に変換されて、配線GL[k]に送信される。また、比較データ $C_{(t)}[k]$ の論理が“1”となっているとき、その論理演算の結果によって選択信号が非選択信号に変換されずにそのまま論理が“1”の信号が配線GL[k]に送信される。なお、このとき、非選択信号（論理が“0”）を、低レベル電位の信号としてみなし、選択信号（論理が“1”）を、高レベル電位の信号としてみなすことが好ましい。

[0372]

また、ステップSP12には、駆動回路SDが、信号処理回路PGで生成された制御信号に応じて、駆動回路SDの出力を高インピーダンスにするか否かの動作が行われる。具体的には、比較データ $C_{(t)}[k]$ の論理が“0”となっているとき、駆動回路SDは、その出力を高インピーダンスにして、画像データ $D_{(t)}[k]$ の出力を行わない。また、比較データ $C_{(t)}[k]$ の論理が“1”となっているとき、駆動回路SDは、画像データ $D_{(t)}[k]$ の出力を行う。

[0373]

ステップSP13では、kがMに達しているかどうかの判定が行われる。kがMに達していない場合、ステップSP13からステップSP14に移行する。また、kがMに達している場合、本動作例は終了する。

[0374]

ステップSP14では、kに1を加える動作が含まれている。kに1を加えた後は、再度ステップSP9に移行する。

[0375]

次に、第2動作のステップSQ1乃至ステップSQ4について説明する。

[0376]

なお、第2動作における、第tフレーム目の画像と、第t+1フレーム目の画像と、を比較して、比較データの生成を行う動作は、一例として、第1動作のステップSP9乃至ステップSP14の間で行われる。

[0377]

ステップSQ1では、一例として、画素アレイ部PXAの行番号の変数であるhが1に定められる。なお、ステップSQ1乃至ステップSQ7において、hは、1以上M以下を満たす変数とする。

[0378]

ステップSQ2には、一例として、処理装置PRCの外部から、記憶回路LM1に第t+1フレーム目のh行目の画像データ $D_{(t+1)}[h]$ が送信される動作が含まれる。また、ステップSQ2には、記憶回路LM1に画像データ $D_{(t+1)}[h]$ が書き込まれる動作も含まれる。

[0379]

ステップSQ3には、一例として、記憶回路FM2から第 t フレーム目の h 行目の画像データ $D_{(t)}[h]$ が読み出されて、記憶回路LM2に送信される動作が含まれる。また、ステップSQ3には、記憶回路LM2に画像データ $D_{(t)}[h]$ が書き込まれる動作も含まれる。

[0380]

なお、ステップSQ2とステップSQ3とのそれぞれは同時に行われてもよい。

[0381]

また、ステップSQ2とステップSQ3のそれぞれは、ステップSP9又はステップSP10の動作中に行われていることが好ましい。ステップSP9又はステップSP10では、記憶回路FM2における書き込み動作及び読み出し動作が行われていないため、この期間にステップSQ3の記憶回路FM2の読み出し動作を行うことができる。

[0382]

また、ステップSQ3における、記憶回路FM2から読み出される画像データ $D_{(t)}[h]$ は、ステップSP11における、記憶回路FM2から読み出される画像データ $D_{(t)}[k]$ と一致してもよい。つまり、 $k=h$ として、記憶回路FM2から読み出される画像データ $D_{(t)}[h]$ は、記憶回路LM2と駆動回路SDに同時に送信してもよい。

[0383]

ステップSQ4には、一例として、記憶回路LM2から画像データ $D_{(t)}[h]$ が読み出されて、処理回路SGPRに送信される動作が含まれる。また、ステップSQ4には、記憶回路LM1から画像データ $D_{(t+1)}[h]$ が読み出されて、処理回路SGPRと記憶回路FM1に送信される動作が含まれる。

[0384]

また、ステップSQ4には、一例として、記憶回路FM1に画像データ $D_{(t+1)}[h]$ が書き込まれる動作も含まれる。なお、このとき、記憶回路FM1には、保持している画像データ $D_{(t-1)}[h]$ を記憶回路LM1から読み出された画像データ $D_{(t+1)}[h]$ に書き換える動作が行われる。

[0385]

また、ステップSQ3とステップSQ4のそれぞれは、ステップSP11又はステップSP12の動作中に行われていることが好ましい。ステップSP11又はステップSP12では、記憶回路FM1における書き込み動作及び読み出し動作が行われていないため、この期間にステップSQ4の記憶回路FM1の書き込み動作を行うことができる。

[0386]

ステップSQ5には、一例として、処理回路SGPRが、画像データ $D_{(t)}[h]$ と画像データ $D_{(t+1)}[h]$ の比較を行う動作が含まれる。また、ステップSQ5には、画像データ $D_{(t)}[h]$ と画像データ $D_{(t+1)}[h]$ が一致する場合、処理回路SGPRが、論理として“0”を含む比較データ $C_{(t)}[h]$ を記憶回路FGM1に送信する動作が含まれる。また、ステップSQ5には、画像データ $D_{(t)}[h]$ と画像データ $D_{(t+1)}[h]$ が一致しない場合、処理回路SGPRが、論理として“1”を含む比較データ $C_{(t+1)}[h]$ を記憶回路FGM1に送信する動作が含まれる。

[0387]

また、ステップSQ5には、一例として、記憶回路FGM1に比較データ $C_{(t+1)}[h]$ が書き込まれる動作も含まれる。

[0388]

ステップSQ6では、 h が M に達しているかどうかの判定が行われる。 h が M に達していない場合、ステップSQ6からステップSQ7に移行する。また、 h が M に達している場合、ステップSQ6からステップSQ8に移行する。

[0389]

ステップSQ7では、 h に1を加える動作が含まれている。 h に1を加えた後は、再度ステップSQ2に移行する。

[0390]

ステップSQ8では、一例として、画素アレイ部PXAの行番号の変数として g を定義する。また、このステップSQ8では、 $g = 1$ と定める。なお、ステップSQ8乃至ステップSQ14において、 g は、1以上 M 以下を満たす変数とする。

[0391]

ステップSQ9には、一例として、記憶回路FGM1から、比較データ $C_{(t+1)}[g]$ が読み出されて、信号処理回路PGに送信される動作が含まれている。

[0392]

ステップSQ10には、一例として、信号処理回路PGにおいて、論理が“1”となっているパルス信号と、比較データ $C_{(t+1)}[g]$ と、の論理演算が行われて、比較データ $C_{(t+1)}[g]$ の情報を含む制御信号が生成される動作が含まれている。また、ステップSQ10には、一例として当該制御信号が駆動回路GD及び駆動回路SDに送信される動作も含まれている。

[0393]

ステップSQ11には、記憶回路FM1に保持されている画像データ $D_{(t+1)}[g]$ が読み出されて、駆動回路SDに入力される動作が含まれている。

[0394]

ステップSQ12には、駆動回路GDにおいて、画素アレイ部PXAの g 行目に送信される選択信号（論理が“1”）と、ステップSQ10で生成された制御信号と、の論理演算が行われる動作が含まれている。比較データ $C_{(t+1)}[g]$ の論理が“0”となっているとき、その論理演算の結果によって当該選択信号が非選択信号（論理が“0”）に変換されて、配線GL $[g]$ に送信される。また、比較データ $C_{(t+1)}[g]$ の論理が“1”となっているとき、その論理演算の結果によって選択信号が非選択信号に変換されずにそのまま論理が“1”の信号が配線GL $[g]$ に送信される。なお、このとき、非選択信号（論理が“0”）は、低レベル電位の信号としてみなし、選択信号（論理が“1”）は、高レベル電位の信号としてみなすことが好ましい。

[0395]

また、ステップSQ12には、駆動回路SDが、信号処理回路PGで生成された制御信号に応じて、駆動回路SDの出力を高インピーダンスにするか否かの動作が行われる。具体的には、比較データ $C_{(t+1)}[g]$ の論理が“0”となっているとき、駆動回路SDは、その出力を高インピーダンスにして、画像データ $D_{(t+1)}[g]$ の出力を行わない。また、比較データ $C_{(t+1)}[g]$ の論理が“1”となっているとき、駆動回路SDは、画像データ $D_{(t+1)}[g]$ の出力を行う。

[0396]

ステップSQ13では、 g が M に達しているかどうかの判定が行われる。 g が M に達していない場合、ステップSQ13からステップSQ14に移行する。また、 g が M に達している場合、本動作例

は終了する。

[0397]

ステップSQ14では、 g に1を加える動作が含まれている。 g に1を加えた後は、再度ステップSQ9に移行する。

[0398]

なお、第1動作が終了した後には、ステップSQ8乃至ステップSQ14の間に、新たに第 $t+2$ フレーム目の画像を処理装置PRCに入力することができる。また、このとき、第1動作のステップSP1乃至ステップSP7と同様に、第 $t+1$ フレーム目の画像と第 $t+2$ フレーム目の画像の比較を行って比較データを生成することができる。その後は、第1動作のステップSP8乃至ステップSP14と同様に表示装置DSPへの画像データの入力を行えばよい。

[0399]

図14の表示システムDSYSAを、図15のフローチャートに示す動作方法で動作させることにより、処理装置PRCにおいて、第 t フレーム目の画像と第 $t+1$ フレーム目の画像の比較を行っている間に、第 t フレーム目の画像を表示装置DSPに表示することができる。つまり、画像同士の比較と、画像の表示と、を同時に行うことができるため、表示システムDSYSAを効率的に動作させることができる。また、このため、表示装置DSPのフレーム周波数の低下を防ぐことができる。

[0400]

<表示システムの各回路の構成例>

次に、図14に示した表示システムDSYSAに含まれる各回路の構成例について説明する。

[0401]

なお、本構成例では、画素アレイ部PXAに予め表示されている、第 $t-1$ フレーム目(t は2以上の整数とする)の画像から、第 t フレーム目の画像に書き換える動作について示している。

[0402]

なお、記憶回路FM1には、予め第 $t-1$ フレーム目の画像として、画像データ $D_{(t-1)}[1]$ 乃至画像データ $D_{(t-1)}[M]$ が保持されているものとし、記憶回路FM2には、予め第 t フレーム目の画像として、画像データ $D_{(t)}[1]$ 乃至画像データ $D_{(t)}[M]$ が保持されているものとする。

[0403]

[記憶回路LM1]

図16は、記憶回路LM1の構成例を示すブロック図である。なお、図16には、記憶回路LM1とその周辺の回路との接続構成を示すため、処理回路SGPRと、記憶回路FM1と、も図示している。また、図16では、記憶装置LM1の外部から送信される i 行目の画像データを $D[i]$ と示している。

[0404]

図16に示す記憶回路LM1は、一例として、図3で説明した記憶回路LM1と同様の構成とすることができる。そのため、図16の記憶回路LM1については、図3の記憶回路LM1の説明を参照することができる。

[0405]

なお、図16に図示した配線WBLF1[1]乃至配線WBLF1[N]は図3の配線WBLF[1]乃至配線WBLF[N]とすることができる。

[0406]

〔記憶回路LM2〕

図17は、記憶回路LM2の構成例を示すブロック図である。なお、図17には、記憶回路LM2とその周辺の回路との接続構成を示すため、処理回路SGPRと、記憶回路FM2と、も図示している。また、図17では、記憶装置LM2の外部から送信されるi行目の画像データをD[i]と示している。

〔0407〕

図17に示す記憶回路LM2は、一例として、図3で説明した記憶回路LM1と同様の構成とすることができる。具体的には、図17の記憶回路LM2は、駆動回路WBD2と、駆動回路WWD2と、駆動回路RWD2と、駆動回路RBD2と、出力部OPT2と、を有しており、図17の駆動回路WBD2は図3の駆動回路WBD1の説明を参照し、図17の駆動回路WWD2は図3の駆動回路WWD1の説明を参照し、図17の駆動回路RWD2は図3の駆動回路RWD1の説明を参照し、図17の駆動回路RBD2は図3の駆動回路RBD1の説明を参照し、図17の出力部OPT2は図3の出力部OPT1の説明を参照することができる。

〔0408〕

また、図17の駆動回路RBD2は、N個のセンスアンプSA2を有しており、センスアンプSA2は、図3の駆動回路RBD1に含まれるセンスアンプSA1の説明を参照することができる。

〔0409〕

図17に図示した配線WBL2[1]乃至配線WBL2[N]は、図3の配線WBL1[1]乃至配線WBL1[N]の説明を参照することができる。また、図17に図示した配線WWL2は、図3の配線WWL1の説明を参照することができる。また、図17に図示した配線RWL2は、図3の配線RWL1の説明を参照することができる。図17に図示した配線RBL2[1]乃至配線RBL2[N]は、図3の配線RBL1[1]乃至配線RBL1[N]の説明を参照することができる。また、図17に図示した配線SWL2Aは図3の配線SWL1Aの説明を参照することができる、図17に図示した配線SWL2Bは図3の配線SWL1Bの説明を参照することができる。また、図17に図示した配線OL2[1]乃至配線OL2[N]は図3の配線OL1[1]乃至配線OL1[N]の説明を参照することができる。また、図17に図示した配線WBLF2[1]乃至配線WBLF2[N]は図3の配線WBLF[1]乃至配線WBLF[N]の説明を参照することができる。

〔0410〕

そのため、図17に示す記憶回路LM2は、一例として、図3で説明した記憶回路LM1と同様の構成とすることができる。そのため、図17の記憶回路LM2については、図3の記憶回路LM1の説明を参照することができる。

〔0411〕

〔記憶回路FM1及び記憶回路FM2〕

図18は、記憶回路FM1又は記憶回路FM2の構成例を示すブロック図である。なお、記憶回路FM1と記憶回路FM2は、互いに同様の構成とすることができるため、図18では、FM1(FM2)と示している。また、以下では、記憶回路FM1について説明するが、記憶回路FM1の説明において、記憶回路LM1を記憶回路LM2に置き換え、配線WBLF1[1]乃至配線WBLF1[N]を配線WBLF2[1]乃至配線WBLF2[N]に置き換え、配線WBL1[1]乃至配線WBL1[N]を配線WBL2[1]乃至配線WBL2[N]に置き換え、且つ画像データD_(t)[i]を画像データD_(t+1)[i]に置き換えることで、記憶回路FM2の説明とみなすことができる。

[0412]

図18には、記憶回路FM1とその周辺の回路との接続構成を示すため、記憶回路LM1と、表示装置DSPに含まれる駆動回路SDと、も図示している。

[0413]

図18の記憶回路FM1は、図4に示す記憶回路FMを変更した構成例であって、出力部OPTFから信号を伝達させる配線WBL1[1]乃至配線WBL1[N]を記憶回路LM1に接続している点で、図4に示す記憶回路FMと異なっている。

[0414]

出力部OPTFから信号を伝達させる配線WBL1[1]乃至配線WBL1[N]を記憶回路LM1に接続することによって、記憶回路FM1から読み出した画像データ $D_{(t)}[i]$ (画像データ $D_{(t+1)}[i]$)を記憶回路LM1に送信することができる。

[0415]

また、その他の図18の記憶回路FM1の構成については、図4の記憶回路FMの説明を参照することができる。

[0416]

[処理回路SGPR]

図19は、処理回路SGPRの構成例を示すブロック図である。なお、図19には、処理回路SGPRとその周辺の回路との接続構成を示すため、記憶回路LM1と、記憶回路LM2と、記憶回路FGM1と、記憶回路FGM2と、も図示している。

[0417]

図19に示す処理回路SGPRは、一例として、図6の処理回路SGPRの変更例であって、出力部OPTPを有する点で、図6の処理回路SGPRと異なっている。

[0418]

図19の処理回路SGPRにおいて、出力部OPTPは、スイッチSWPAと、スイッチSWPBと、を有する。

[0419]

スイッチSWPAの第1端子と、スイッチSWPBの第1端子と、は論理回路LGMPの出力端子に接続され、スイッチSWPAの第2端子は、配線WBLG1に接続され、スイッチSWPBの第2端子は、配線WBLG2に接続されている。また、スイッチSWPAの制御端子は、配線SWLPAに接続され、スイッチSWPBの制御端子は、配線SWLPBに接続されている。

[0420]

スイッチSWPA及びスイッチSWPBには、例えば、図3の記憶回路LM1のスイッチSW1A又はスイッチSW1Bに適用できるスイッチを用いることができる。このため、スイッチSWPA及びスイッチSWPBについては、特に断らない限りは、図3の記憶回路LM1のスイッチSW1A又はスイッチSW1Bの説明を参照することができる。

[0421]

配線SWLPAは、処理回路SGPRに含まれるスイッチSWPAのオン状態とオフ状態との切り替えを行うための配線としての機能を有する。そのため、配線SWLPAには、一例として、その切り替えを行う信号として、高レベル電位又は低レベル電位が供給される。同様に、配線SWLPBは、処理回路SGPRに含まれるスイッチSWPBのオン状態とオフ状態との切り替えを行うための配

線としての機能を有する。そのため、配線SWLPBには、一例として、その切り替えを行う信号として、高レベル電位又は低レベル電位が供給される。

[0422]

配線WBLG1は、一例として、記憶回路FGM1に接続されている配線であり、配線WBLG2は、一例として、記憶回路FGM2に接続されている配線である。なお、配線WBLG1及び配線WBLG2のそれぞれは、図6の記憶回路FGMにおける配線WBLGとすることができる。

[0423]

[記憶回路FGM1及び記憶回路FGM2]

図14の処理装置PRCに含まれる記憶回路FGM1及び記憶回路FGM2のそれぞれには、一例として、図6に図示している記憶回路FGMを適用することができる。そのため、記憶回路FGM1及び記憶回路FGM2のそれぞれの構成例については、図6の記憶回路FGMの説明を参照することができる。

[0424]

また、記憶回路FGM1及び記憶回路FGM2のそれぞれに、図6の記憶回路FGMを適用した場合、記憶回路FGM1に延在する配線SWLGと、記憶回路FGM2に延在する配線SWLGと、のそれぞれは別配線とすることが好ましい。これにより、記憶回路FGM1及び記憶回路FGM2のそれぞれの出力部として機能するスイッチSWGの一方のみをオン状態にできるようになる。図14の処理装置PRCは、記憶回路FGM1及び記憶回路FGM2の一方から比較データを読み出して、信号処理回路PGに送信する構成となっているため、上記の通り、記憶回路FGM1及び記憶回路FGM2のそれぞれのスイッチSWGは異なる配線によって制御されることが好ましい。

[0425]

[信号処理回路PG]

図14の処理装置PRCに含まれる信号処理回路PGには、一例として、図9Aに図示している信号処理回路PGを適用することができる。そのため、信号処理回路PGの構成例については、図9Aの信号処理回路PGの説明を参照することができる。

[0426]

[駆動回路GD]

図14の表示装置DSPに含まれる駆動回路GDには、一例として、図10A乃至図10Dのそれぞれに図示しているいずれか一の駆動回路GDを適用することができる。そのため、駆動回路GDの構成例については、図10A乃至図10Dのそれぞれの駆動回路GDの説明を参照することができる。

[0427]

[駆動回路SD]

図14の処理装置PRCに含まれる駆動回路SDには、一例として、図12に示している駆動回路SDを適用することができる。そのため、駆動回路SDの構成例については、図12の駆動回路SDの説明を参照することができる。

[0428]

上記の通り、表示システムDSYSAを構成することによって、図1の表示システムDSYSと同様に、表示装置DSPに表示する画像が変化しないときには、配線SL[1]乃至配線SL[N]のそれぞれに画像データに応じた電荷の供給を無くすことができるため、表示システムDSYSAにおける消費電力を抑えることができる。

[0429]

なお、本実施の形態は、本明細書で示す、同一の、又は他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、その本実施の形態で示す構成、構造、方法などと適宜組み合わせる用いることができる。また、例えば、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせる用いることができる。

[0430]

(実施の形態3)

本実施の形態では、実施の形態1及び実施の形態2で説明した表示システムの構成とは異なる、本発明の一態様の表示システムについて説明する。

[0431]

<表示システムの構成例>

実施の形態1で説明した表示システムDSYSは、画像信号が表示システムDSYSに送信される度に、当該画像信号とその前のフレームの画像信号との比較動作を行うため、比較動作の処理時間によっては、表示装置DSPのフレーム周波数を高くし難い場合がある。

[0432]

また、実施の形態2で説明した表示システムDSYSAの構成では、2つのラインメモリ（記憶回路LM1と記憶回路LM2）と、2つのフレームメモリ（記憶回路FM1と記憶回路FM2）と、2つのフラグメモリ（記憶回路FGM1と記憶回路FGM2）と、を用いて、 n フレーム目と $n+1$ フレーム目の画像信号の比較動作を行っている最中に、 n フレーム目の画像信号を表示装置に入力する構成となっているが、表示システムDSYSAの回路規模が表示システムDSYSよりも大きくなりやすい。

[0433]

そこで、本実施の形態では、回路面積を低減し、表示装置DSPのフレーム周波数を高くしやすい、又はフレーム周波数の低下を防ぐことができる表示システムの構成について説明する。

[0434]

図20は、本発明の一態様の表示システムの構成例を示したブロック図である。特に、図20に示す表示システムDSYSBは、図1の表示システムDSYSの変更例であって、記憶回路FMと構成が異なる記憶回路FMAを有する点と、記憶回路LM1及び記憶回路LM2を有さない点と、で表示システムDSYSと異なっている。

[0435]

このため、本明細書において、図20の表示システムDSYSBの一部の構成については、図1の表示システムDSYSの説明を参照することができる。また、本明細書において、図20の表示システムDSYSBの説明については、図1の表示システムDSYSの内容が重複する部分の記載を省略することができる。

[0436]

図20の表示装置DSPに含まれる画素アレイ部PXAについては、図1の画素アレイ部PXAの説明を参照することができる。また、配線SL[1]乃至配線SL[N]及び配線GL[1]乃至配線GL[M]についても、図1の配線SL[1]乃至配線SL[N]及び配線GL[1]乃至配線GL[M]の説明を参照することができる。

[0437]

図20の表示装置DSPに含まれる駆動回路SD及び駆動回路GDについては、図1の駆動回路SD及び駆動回路GDの説明を参照することができる。

[0438]

図20の処理装置PRCに含まれる処理回路SGPRは、図1の処理回路SGPRの説明を参照することができる。また、図20の処理装置PRCに含まれる記憶回路FGMは、図1の記憶回路FGMの説明を参照することができる。また、図20の処理装置PRCに含まれる信号処理回路PGは、図1の信号処理回路PGの説明を参照することができる。

[0439]

記憶回路FMAは、一例として、フレームメモリとしての機能を有する。具体的には、例えば、記憶回路FMAは、画素アレイ部PXAに表示するための画像の全行分の画像データを一時的に保持する機能を有する。特に、記憶回路FMAは、図1の記憶回路FMと異なり、連続する2フレーム分の画像データを一時的に保持する機能を有する。なお、場合によっては、記憶回路FMAには、互いに連続しない2フレーム分の画像データが保持されていてもよい。

[0440]

また、記憶回路FMAは、一例として、画素アレイ部PXAの1行目乃至M行目のそれぞれに送信される、第tフレーム目の画像データD_(t)[1]乃至画像データD_(t)[M]を処理装置PRCの外部から取得する機能を有する。また、記憶回路FMAは、保持されている画像データD_(t)[1]乃至画像データD_(t)[M]のそれぞれを順次読み出して、駆動回路SDに送信する機能を有する。

[0441]

また、記憶回路FMAは、2フレーム分の画像データを同時に読み出すことが可能な構成とする。また、記憶回路FMAは、2フレーム分の画像データ的一方を書き込む動作を行っている間に、2フレーム分の画像データの他方を読み出す動作を行う構成とすることが好ましい。

[0442]

また、記憶回路FMAは、連続する2フレーム分の画像データを一時的に保持することができるため、記憶回路FMAには、例えば、第tフレーム目の画像データD_(t)[1]乃至画像データD_(t)[M]と、第t+1フレーム目の画像データD_(t+1)[1]乃至画像データD_(t+1)[M]と、の2フレーム分の画像データを保持することができる。

[0443]

図20の処理装置PRCに含まれる制御回路TCは、一例として、処理装置PRCに含まれる各回路と、表示装置DSPに含まれる各回路と、のそれぞれを制御する機能を有する。例えば、制御回路TCは、記憶回路FMA及び記憶回路FGMのそれぞれに含まれる駆動回路に、書き込み動作、読み出し動作などを実行させるための命令信号を送信する機能を有する。また、制御回路TCは、一例として、駆動回路SD及び駆動回路GDに書き込み動作、読み出し動作などを実行させるための命令信号を送信する機能を有する。また、制御回路TCは、一例として、記憶回路FMA、記憶回路FGM及び処理回路SGPRのそれぞれに含まれるスイッチング素子のオン状態とオフ状態との切り替えを制御するための命令信号を送信する機能を有する。また、制御回路TCは、一例として、処理装置PRCに含まれる各回路と、表示装置DSPに含まれる各回路と、に供給するためのクロック信号を生成する機能を有する。

[0444]

また、制御回路TCは、処理装置PRCに含まれる各回路と、表示装置DSPに含まれる各回路と、から選ばれた二以上を同期させるために、上述したクロック信号等を同期信号として選ばれた二以上の回路に送信する機能を有してもよい。

[0445]

<表示システムの動作例>

次に、図20に示した表示システムDSYSBの動作例について説明する。

[0446]

図21は、図20の表示システムDSYSBの動作例を示したフローチャートである。図21のフローチャートには、画素アレイ部PXAに、第 $t-2$ フレーム目(t は3以上の整数とする)から第 $t-1$ フレーム目までの画像を表示し、且つ第 $t-1$ フレーム目から第 t フレーム目までの画像を表示する動作(以下、第1動作と呼称する)を示すステップSR1乃至ステップSR16と、第 t フレーム目の画像から第 $t+1$ フレーム目の画像に書き換える動作(以下、第2動作と呼称する)を示すステップSS1乃至ステップSS16と、の2つの動作について示している。

[0447]

なお、図21のフローチャートでは、第1動作と第2動作は別々に行われず、第1動作の一部が、第2動作の一部とタイミングが重なっていることがある点で注意する。言い換えると、第1動作の一部と、第2動作の一部と、が同時に行われることがある点で注意する。

[0448]

また、記憶回路FMAには、予め第 $t-1$ フレーム目の画像として、画像データ $D_{(t-1)}[1]$ 乃至画像データ $D_{(t-1)}[M]$ が保持されているものとする。また、記憶回路FGMには、予め第 $t-2$ フレーム目の画像データ $D_{(t-2)}[1]$ 乃至画像データ $D_{(t-2)}[M]$ と第 $t-1$ フレーム目の画像データ $D_{(t-1)}[1]$ 乃至画像データ $D_{(t-1)}[M]$ との比較データ $C_{(t-1)}[1]$ 乃至比較データ $C_{(t-1)}[M]$ が保持されているものとする。

[0449]

初めに、第1動作のステップSR1乃至ステップSR16について説明する。

[0450]

ステップSR1では、一例として、画素アレイ部PXAの行番号の変数である i が1に定められる。なお、ステップSR1乃至ステップSR4において、 i は、1以上 M 以下を満たす変数とする。

[0451]

ステップSR2には、一例として、処理装置PRCの外部から、記憶回路FMAに第 t フレーム目の i 行目の画像データ $D_{(t)}[i]$ が送信される動作が含まれる。また、ステップSR2には、記憶回路FMAに画像データ $D_{(t)}[i]$ が書き込まれる動作も含まれる。

[0452]

また、記憶回路FMAが、画像データ $D_{(t)}[i]$ を書き込んでいる間に、画像データ $D_{(t-1)}[i]$ の読み出しを行ってもよい。このとき、読み出された画像データ $D_{(t-1)}[i]$ は、駆動回路SDに送信される。

[0453]

ステップSR3では、 i が M に達しているかどうかの判定が行われる。 i が M に達していない場合、ステップSR3からステップSR4に移行する。また、 i が M に達している場合、ステップSR3からステップSR5に移行する。

[0454]

ステップSR4では、 i に1を加える動作が含まれている。 i に1を加えた後は、再度ステップSR2に移行する。

[0455]

ステップSR5では、一例として、画素アレイ部PXAの行番号の変数として h を定義する。また、このステップSR5では、 $h=1$ と定める。なお、ステップSR5乃至ステップSR9において、 h は、1以上M以下を満たす変数とする。

[0456]

ステップSR6には、一例として、記憶回路FMAから画像データ $D_{(t-1)}[h]$ と画像データ $D_{(t)}[h]$ とが同時に読み出されて、処理回路SGPRに送信される動作が含まれる。

[0457]

ステップSR7には、一例として、処理回路SGPRが、画像データ $D_{(t-1)}[h]$ と画像データ $D_{(t)}[h]$ の比較を行う動作が含まれる。また、ステップSR7には、画像データ $D_{(t-1)}[h]$ と画像データ $D_{(t)}[h]$ が一致する場合、処理回路SGPRが、“0”の論理を含む比較データ $C_{(t)}[h]$ を記憶回路FGMに送信する動作が含まれる。また、ステップSR7には、画像データ $D_{(t-1)}[h]$ と画像データ $D_{(t)}[h]$ が一致しない場合、処理回路SGPRが、“1”の論理を含む比較データ $C_{(t)}[h]$ を記憶回路FGMに送信する動作が含まれる。

[0458]

また、ステップSR7には、一例として、記憶回路FGMに比較データ $C_{(t)}[h]$ が書き込まれる動作も含まれる。

[0459]

ステップSR8では、 h がMに達しているかどうかの判定が行われる。 h がMに達していない場合、ステップSR8からステップSR9に移行する。また、 h がMに達している場合、ステップSR8からステップSR10に移行する。

[0460]

ステップSR9では、 h に1を加える動作が含まれている。 h に1を加えた後は、再度ステップSR6に移行する。

[0461]

ステップSR10では、一例として、画素アレイ部PXAの行番号の変数として k を定義する。また、このステップSR10では、 $k=1$ と定める。なお、ステップSR10乃至ステップSR16において、 k は、1以上M以下を満たす変数とする。

[0462]

ステップSR11には、一例として、記憶回路FGMから、比較データ $C_{(t)}[k]$ が読み出されて、信号処理回路PGに送信される動作が含まれている。

[0463]

ステップSR12には、一例として、信号処理回路PGにおいて、論理が“1”となっているパルス信号と、比較データ $C_{(t)}[k]$ と、の論理演算が行われて、比較データ $C_{(t)}[k]$ の情報を含む制御信号が生成される動作が含まれている。また、ステップSR12には、一例として当該制御信号が駆動回路GD及び駆動回路SDに送信される動作も含まれている。

[0464]

ステップSR13には、記憶回路FMAに保持されている画像データ $D_{(t)}[k]$ が読み出されて、駆動回路SDに入力される動作が含まれている。

[0465]

ステップSR14には、駆動回路GDにおいて、画素アレイ部PXAの k 行目に送信される選択信号（論理が“1”）と、ステップSR12で生成された制御信号と、の論理演算が行われる動作が含まれている。比較データ $C_{(t)}[k]$ の論理が“0”となっているとき、その論理演算の結果によって当該選択信号が非選択信号（論理が“0”）に変換されて、配線GL $[k]$ に送信される。また、比較データ $C_{(t)}[k]$ の論理が“1”となっているとき、その論理演算の結果によって選択信号が非選択信号に変換されずにそのまま論理が“1”の信号が配線GL $[k]$ に送信される。なお、このとき、非選択信号（論理が“0”）は、低レベル電位の信号としてみなし、選択信号（論理が“1”）は、高レベル電位の信号としてみなすことが好ましい。

[0466]

また、ステップSR14には、駆動回路SDが、信号処理回路PGで生成された制御信号に応じて、駆動回路SDの出力を高インピーダンスにするか否かの動作が行われる。具体的には、比較データ $C_{(t)}[k]$ の論理が“0”となっているとき、駆動回路SDは、その出力を高インピーダンスにして、画像データ $D_{(t)}[k]$ の出力を行わない。また、比較データ $C_{(t)}[k]$ の論理が“1”となっているとき、駆動回路SDは、画像データ $D_{(t)}[k]$ の出力を行う。

[0467]

ステップSR15では、 k がMに達しているかどうかの判定が行われる。 k がMに達していない場合、ステップSR15からステップSR16に移行する。また、 k がMに達している場合、第1動作が終了する。

[0468]

ステップSR16では、 k に1を加える動作が含まれている。 k に1を加えた後は、再度ステップSR11に移行する。

[0469]

次に、第2動作のステップSS1乃至ステップSS16について説明する。

[0470]

ステップSS1では、一例として、画素アレイ部PXAの行番号の変数である g が1に定められる。なお、ステップSS1乃至ステップSS4において、 g は、1以上M以下を満たす変数とする。

[0471]

ステップSS2には、一例として、処理装置PRCの外部から、記憶回路FMAに第 $t+1$ フレーム目の g 行目の画像データ $D_{(t+1)}[g]$ が送信される動作が含まれる。また、ステップSS2には、記憶回路FMAに画像データ $D_{(t+1)}[g]$ が書き込まれる動作も含まれる。

[0472]

ステップSS3では、 g がMに達しているかどうかの判定が行われる。 g がMに達していない場合、ステップSS3からステップSS4に移行する。また、 g がMに達している場合、ステップSS3からステップSS5に移行する。

[0473]

ステップSS4では、 g に1を加える動作が含まれている。 g に1を加えた後は、再度ステップSS2に移行する。

[0474]

また、ステップSS2は、例えば、第1動作のステップSR11乃至ステップSR14の動作中に行われていることが好ましい。特に、ステップSR13では、記憶回路FMAから画像データ $D_{(t)}$ [k]の読み出し動作が行われるが、記憶回路FMAが書き込み動作と読み出し動作を同時に行うことができる構成とすることによって、ステップSS2とステップSR13とを同時に実行することができる。

[0475]

また、このとき、記憶回路FMAにおいて、ステップSS2で行われる書き込み動作の対象となる行アドレスと、ステップSR13で行われる読み出し動作の対象となる行アドレスと、は互いに一致してもよい。つまり、 $k = g$ として、ステップSS2乃至ステップSS4と、ステップSR11乃至ステップSR16と、を同時に進めてもよい。

[0476]

ステップSS5乃至ステップSS16のそれぞれの動作については、第1動作のステップSR5乃至ステップSR16のそれぞれの説明を参照することができる。この場合、ステップSR5乃至ステップSR16の説明において、画像データ $D_{(t)}$ [h]を画像データ $D_{(t+1)}$ [h]に置き換え、画像データ $D_{(t-1)}$ [h]を画像データ $D_{(t)}$ [h]に置き換えることで、ステップSS5乃至ステップSS16の説明とみなすことができる。

[0477]

図20の表示システムDSYSBを、図21のフローチャートに示す動作方法で動作させることにより、処理装置PRCの記憶回路FMAにおいて、第tフレーム目の画像の読み出しと、第t+1フレーム目の画像の書き込みと、を同時に行うことができるため、表示システムDSYSBを効率的に動作させることができる。また、このため、表示装置DSPのフレーム周波数の低下を防ぐことができる。

[0478]

<表示システムの各回路の構成例>

次に、図20に示した表示システムDSYSBに含まれる各回路の構成例について説明する。

[0479]

なお、本構成例では、画素アレイ部PXAに予め表示されている、第t-1フレーム目(tは3以上の整数とする)の画像から、第tフレーム目の画像に書き換える動作について示している。

[0480]

なお、記憶回路FMAには、予め、第t-2フレーム目の画像として、画像データ $D_{(t-2)}$ [1]乃至画像データ $D_{(t-2)}$ [M]と、第t-1フレーム目の画像として、画像データ $D_{(t-1)}$ [1]乃至画像データ $D_{(t-1)}$ [M]と、が保持されているものとする。

[0481]

[記憶回路FMA]

図22は、記憶回路FMAの構成例を示すブロック図である。また、図22には、記憶回路FMAとその周辺の回路との接続構成を示すため、処理回路SGPRも図示している。

[0482]

図22に示す記憶回路FMAは、一例として、駆動回路WBDFと、駆動回路WWDFXと、駆動回路WWDFYと、駆動回路RWDFと、駆動回路RBDFと、メモリセル部MC AAと、入力部I

P T F と、出力部 O P T F と、を有する。

[0483]

メモリセル部 M C A A は、一例として、複数のメモリセル M C X と、複数のメモリセル M C Y と、を有する。特に、図 22 のメモリセル部 M C A A では、一例として、複数のメモリセル M C X と、複数のメモリセル M C Y と、のそれぞれは列毎に交互に配置されている。具体的には、図 22 のメモリセル部 M C A A では、複数のメモリセル M C X と、複数のメモリセル M C Y と、のそれぞれは、M 行 2 × N 列のマトリクス状に配置されており、特に、1 列目乃至 2 × N 列目のうち、奇数列にメモリセル M C X が配置され、偶数列にメモリセル M C Y が配置されている。

[0484]

なお、メモリセル M C X に付記している [x, y] は、図 22 のメモリセル部 M C A A において、メモリセル M C X のみ着目した（メモリセル M C Y を無視した）場合における、メモリセル M C X のアドレスを示している。同様に、メモリセル M C Y に付記している [x, y] は、図 22 のメモリセル部 M C A A において、メモリセル M C Y のみ着目した（メモリセル M C X を無視した）場合における、メモリセル M C Y のアドレスを示している。例えば、図 22 には示していないが、メモリセル M C X [i, j] は、メモリセル M C X を着目した場合において i 行 j 列に位置していることを意味し、同様に、メモリセル M C Y [i, j] は、メモリセル M C Y を着目した場合において i 行 j 列に位置していることを意味する。

[0485]

また、メモリセル M C X [1, 1] 乃至メモリセル M C X [M, N] と、メモリセル M C Y [1, 1] 乃至メモリセル M C Y [M, N] と、については、特に断らない限りは、図 3 の記憶回路 L M 1 のメモリセル M C 1 の説明を参照することができる。

[0486]

メモリセル M C X [i, 1] 乃至メモリセル M C X [i, N] には、例えば、処理装置 P R C の外部から送信される i 行目の画像データ D [i] を保持する。また、メモリセル M C X [i, 1] 乃至メモリセル M C X [i, N] が保持する i 行目の画像データ D [i] は、一例として、処理回路 S G P R と、画素アレイ部 P X A の i 行目の画素回路 P X [i, 1] 乃至画素回路 P X [i, N] と、に送信される。

[0487]

同様に、メモリセル M C Y [i, 1] 乃至メモリセル M C Y [i, N] には、例えば、処理装置 P R C の外部から送信される i 行目の画像データ D [i] を保持する。また、メモリセル M C Y [i, 1] 乃至メモリセル M C Y [i, N] が保持する i 行目の画像データ D [i] は、一例として、処理回路 S G P R と、画素アレイ部 P X A の i 行目の画素回路 P X [i, 1] 乃至画素回路 P X [i, N] と、に送信される。

[0488]

特に、メモリセル M C X [i, 1] 乃至メモリセル M C X [i, N] には、奇数番目又は偶数番目の一方のフレームの画像データ D [i] が保持され、メモリセル M C Y [i, 1] 乃至メモリセル M C Y [i, N] には、奇数番目又は偶数番目の他方のフレームの画像データ D [i] が保持されるものとする。

[0489]

メモリセル M C X [i, j] は、一例として、配線 W B L F X [j] と、配線 R B L F X [j] と、

配線WWLFX[i]と、配線RWLFI[i]と、に接続されている。また、メモリセルMCY[i, j]は、一例として、配線WBLFY[j]と、配線RBLFY[j]と、配線WWLFY[i]と、配線RWLFI[i]と、に接続されている。

[0490]

配線WBLFXは、一例として、メモリセルMCXにおける書き込みデータ線、書き込みビット線などとしての機能を有する。また、配線WBLFYは、一例として、メモリセルMCYにおける書き込みデータ線、書き込みビット線などとしての機能を有する。

[0491]

配線RBLFXは、一例として、メモリセルMCXにおける読み出しデータ線、読み出しビット線などとしての機能を有する。また、配線RBLFYは、一例として、メモリセルMCYにおける読み出しデータ線、読み出しビット線などとしての機能を有する。

[0492]

配線WWLFXは、一例として、メモリセルMCXにおける書き込みワード線としての機能を有する。また、配線WWLFYは、一例として、メモリセルMCYにおける書き込みワード線としての機能を有する。

[0493]

配線RWLFIは、メモリセルMCX及びメモリセルMCYに対して、読み出しワード線としての機能を有する。なお、配線RWLFIは、読み出し用の選択信号だけでなく書き込み用の選択信号を送信する配線としての機能も有してもよい。

[0494]

駆動回路WBDFは、一例として、記憶回路FMAの外部から送信される画像データを取得して、画像データに含まれるデータを、配線WBLFX[1]乃至配線WBLFX[N]又は配線WBLFY[1]乃至配線WBLFY[N]に送信する機能を有する。つまり、駆動回路WBDFは、一例として、メモリセル部MCXAにおける書き込みビット線ドライバ回路としての機能を有する。

[0495]

入力部IPTFIは、一例として、メモリセルMCX及びメモリセルMCYの一方を選択して、その一方に駆動回路WBDFから送信される画像データを送信する機能を有する。具体的には、入力部IPTFIは、例えば、駆動回路WBDFと、配線WBLFX及び配線WBLFYの一方と、の間を導通状態にし、駆動回路WBDFと、配線WBLFX及び配線WBLFYの他方と、の間を非導通状態にする機能を有する。

[0496]

入力部IPTFIは、例えば、N個の切替回路SWCIを有する構成とすることができる。また、この構成では、N個の切替回路SWCIのそれぞれは、スイッチSW1Xと、スイッチSW1Yと、を有する。

[0497]

スイッチSW1X及びスイッチSW1Yには、例えば、実施の形態1で説明した記憶回路LM1のスイッチSW1A又はスイッチSW1Bに適用できるスイッチを用いることができる。このため、スイッチSW1X及びスイッチSW1Yについては、特に断らない限りは、記憶回路LM1のスイッチSW1A又はスイッチSW1Bの説明を参照することができる。

[0498]

j 列目において、スイッチSW1 Xの第1端子は、スイッチSW1 Yの第1端子と、駆動回路WBDFと、に接続されている。また、スイッチSW1 Xの第2端子は、配線WBLFX [j] に接続されている。また、スイッチSW1 Xの制御端子は、配線SWLF1 Xに接続されている。また、スイッチSW1 Yの第2端子は、配線WBLFY [j] に接続されている。また、スイッチSW1 Yの制御端子は、配線SWLF1 Yに接続されている。

[0499]

配線SWLF1 Xは、切替回路SWCIに含まれるスイッチSW1 Xのオン状態とオフ状態との切り替えを行うための配線としての機能を有する。そのため、配線SWLF1 Xには、一例として、その切り替えを行う信号として、高レベル電位又は低レベル電位が供給される。

[0500]

配線SWLF1 Yは、切替回路SWCIに含まれるスイッチSW1 Yのオン状態とオフ状態との切り替えを行うための配線としての機能を有する。そのため、配線SWLF1 Yには、一例として、配線SWLF1 Xと同様に、その切り替えを行う信号として、高レベル電位又は低レベル電位が供給される。

[0501]

なお、入力部IPTFは、一例として、駆動回路WBDFに含まれていてもよい。

[0502]

駆動回路WWDFXは、一例として、メモリセルMCXに画像データを書き込むときに、配線WWLFXに書き込み用の選択信号又は非選択信号を送信する機能を有する。例えば、配線WWLFX [i] に書き込み用の選択信号が送信されることによって、i 行目のメモリセルMCX [i, 1] 乃至メモリセルMCX [i, N] のそれぞれに含まれる書き込みトランジスタがオン状態となるため、メモリセルMCX [i, 1] 乃至メモリセルMCX [i, N] は、配線WBLFX [1] 乃至配線WBLFX [N] に送信されている、画像データを取得することができる。また、その後、駆動回路WWDFXが、配線WWLFX [i] に非選択信号を送信することによって、メモリセルMCX [i, 1] 乃至メモリセルMCX [i, N] のそれぞれに含まれる書き込みトランジスタがオフ状態となるため、メモリセルMCX [i, 1] 乃至メモリセルMCX [i, N] は、画像データを保持することができる。つまり、駆動回路WWDFXは、一例として、メモリセル部MCXAに含まれるメモリセルMCXにおける書き込みワード線ドライバ回路としての機能を有する。また、駆動回路WWDFXは、上記より、選択回路と呼ばれる場合がある。

[0503]

例えば、駆動回路WBDFから、入力部IPTFを介して、i 行目のメモリセルMCX [i, 1] 乃至メモリセルMCX [i, N] に、第s フレーム目のi 行目の画像データD_(s) [i] が書き込まれる場合について説明する。

[0504]

このとき、駆動回路WWDFXが、配線WWLFX [i] に書き込み用の選択信号を送信し、かつ配線WWLFX [i] 以外の配線WWLFX [1] 乃至配線WWLFX [M] に非選択信号を送信している間に、スイッチSW1 Xをオン状態、スイッチSW1 Yをオフ状態にして、駆動回路WBDFから配線WBLFX [1] 乃至配線WBLFX [N] に画像データD_(s) [i] が送信されることによって、メモリセル部MCXAのi 行目のメモリセルMCX [i, 1] 乃至メモリセルMCX [i, N] に画像データD_(s) [i] を書き込むことができる。

[0505]

駆動回路WWDFYは、一例として、メモリセルMCYに画像データを書き込むときに、配線WWLFYに書き込み用の選択信号又は非選択信号を送信する機能を有する。例えば、配線WWLFY[i]に書き込み用の選択信号が送信されることによって、i行目のメモリセルMCY[i, 1]乃至メモリセルMCY[i, N]のそれぞれに含まれる書き込みトランジスタがオン状態となるため、メモリセルMCY[i, 1]乃至メモリセルMCY[i, N]は、配線WBLFY[1]乃至配線WBLFY[N]に送信されている、画像データD[i]を取得することができる。また、その後、駆動回路WWDFYが、配線WWLFY[i]に非選択信号を送信することによって、メモリセルMCY[i, 1]乃至メモリセルMCY[i, N]のそれぞれに含まれる書き込みトランジスタがオフ状態となるため、メモリセルMCY[i, 1]乃至メモリセルMCY[i, N]は、画像データD_(t)[i]を保持することができる。つまり、駆動回路WWDFYは、一例として、メモリセル部MCAAに含まれるメモリセルMCYにおける書き込みワード線ドライバ回路としての機能を有する。また、駆動回路WWDFYは、上記より、選択回路と呼ばれる場合がある。

[0506]

例えば、駆動回路WBDFから、入力部IPTFを介して、i行目のメモリセルMCY[i, 1]乃至メモリセルMCY[i, N]に、第sフレーム目のi行目の画像データD_(s)[i]が書き込まれる場合について説明する。

[0507]

このとき、駆動回路WWDFYが、配線WWLFY[i]に書き込み用の選択信号を送信し、かつ配線WWLFY[i]以外の配線WWLFY[1]乃至配線WWLFY[M]に非選択信号を送信している間に、スイッチSW1Xをオフ状態、スイッチSW1Yをオン状態にして、駆動回路WBDFから配線WBLFY[1]乃至配線WBLFY[N]に画像データD_(s)[i]が送信されることによって、メモリセル部MCAAのi行目のメモリセルMCY[i, 1]乃至メモリセルMCY[i, N]に画像データD_(s)[i]を書き込むことができる。

[0508]

駆動回路RWDFは、一例として、メモリセル部MCAAのi行目のメモリセルMCX[i, 1]乃至メモリセルMCX[i, N]及びメモリセルMCY[i, 1]乃至メモリセルMCY[i, N]のそれぞれから画像データを読み出すときに、配線RWLF[i]に読み出し用の選択信号を送信する機能を有する。また、メモリセル部MCAAのi行目以外の行のメモリセルMCX[1, 1]乃至メモリセルMCX[M, N]及びメモリセルMCY[1, 1]乃至メモリセルMCY[M, N]のそれぞれにおいて読み出しが行われないようにするため、配線RWLF[i]を除く配線RWLF[1]乃至配線RWLF[M]に非選択信号を送信する機能を有する。また、配線RWLF[1]乃至配線RWLF[M]のそれぞれに順次選択信号を送信することによって、画像データの読み出し元として、メモリセル部MCAAに含まれるメモリセルMCX[1, 1]乃至メモリセルMCX[M, N]とメモリセルMCY[1, 1]乃至メモリセルMCY[M, N]を行毎に順次選択することができる。つまり、駆動回路RWDFは、一例として、メモリセル部MCAAにおける読み出しワード線ドライバ回路としての機能を有する。また、駆動回路RWDFは、上記より、選択回路と呼ばれる場合がある。

[0509]

例えば、i行目のメモリセルMCX[i, 1]乃至メモリセルMCX[i, N]から第t-2フレームの画像データD_(t-2)[i]が読み出され、且つi行目のメモリセルMCY[i, 1]乃至メモ

リセルMCY [i, N] から第 t - 1 フレームの画像データ D_(t-1) [i] が読み出される場合について説明する。

[0510]

このとき、駆動回路RWDFが、配線RWLF [i] に読み出し用の選択信号を送信し、かつ配線RWLF [i] 以外の配線RWLF [1] 乃至配線RWLF [M] に非選択信号を送信することによって、メモリセル部MC AAの i 行目のメモリセルMCX [i, 1] 乃至メモリセルMCX [i, N] のそれぞれから、配線RBLFX [1] 乃至配線RBLFX [N] のそれぞれに画像データ D_(t-2) [i] に応じた読み出し電位を出力することができる。また、同時に、メモリセル部MC AAの i 行目のメモリセルMCY [i, 1] 乃至メモリセルMCY [i, N] のそれぞれから、配線RBLFY [1] 乃至配線RBLFY [N] のそれぞれに画像データ D_(t-1) [i] に応じた読み出し電位を出力することができる。

[0511]

駆動回路RBDFは、一例として、メモリセルMCX及びメモリセルMCYのそれぞれから、配線RBLFX及び配線RBLFYのそれぞれに出力された読み出し電位をデジタルデータとして扱うことができるレベルまで増幅する機能を有する。これにより、i 行目のメモリセルMCX [i, 1] 乃至メモリセルMCX [i, N] から読み出された画像データをデジタルデータとして、駆動回路SD又は処理回路SGPRに送信することができる。つまり、駆動回路RBDFは、一例として、メモリセル部MC AAにおける読み出し回路としての機能を有する。

[0512]

例えば、駆動回路RBDFは、図22に示す通り、N個のセンスアンプSAXとN個のセンスアンプSAYとを有する構成とすることができる。また、この構成では、配線RBLFX [1] 乃至配線RBLFX [N] のそれぞれは、1個ずつセンスアンプSAXに接続され、且つ、配線RBLFY [1] 乃至配線RBLFY [N] のそれぞれは、1個ずつセンスアンプSAYに接続されている。N個のセンスアンプSAXによって、i 行目のメモリセルMCX [i, 1] 乃至メモリセルMCX [i, N] から読み出された画像データに応じた読み出し電位をデジタルデータとして扱うレベルに増幅することができる。同様に、N個のセンスアンプSAYによって、i 行目のメモリセルMCY [i, 1] 乃至メモリセルMCY [i, N] から読み出された画像データに応じた読み出し電位をデジタルデータとして扱うレベルに増幅することができる。

[0513]

出力部OPTFは、一例として、メモリセルMCX及びメモリセルMCYのそれぞれから読み出された画像データの出力先の切り替えを行う機能を有する。具体的には、出力部OPTFは、メモリセルMCX及びメモリセルMCYのそれぞれから読み出された画像データを処理回路SGPRに送信する、若しくはメモリセルMCX及びメモリセルMCYのそれぞれから読み出された画像データの一方を選択して駆動回路SDに送信する。

[0514]

例えば、出力部OPTFは、図22に示す通り、N個の切替回路SWCOを有する構成とすることができる。また、この構成では、N個の切替回路SWCOのそれぞれは、スイッチSW2Xと、スイッチSW2Yと、スイッチSW3Xと、スイッチSW3Yと、を有する。

[0515]

スイッチSW2X、スイッチSW2Y、スイッチSW3X及びスイッチSW3Yには、例えば、実

施の形態1で説明した記憶回路LM1のスイッチSW1A又はスイッチSW1Bに適用できるスイッチを用いることができる。このため、スイッチSW2X、スイッチSW2Y、スイッチSW3X及びスイッチSW3Yについては、特に断らない限りは、記憶回路LM1のスイッチSW1A又はスイッチSW1Bの説明を参照することができる。

[0516]

また、例えば、出力部OPTFは、図22に示す通り、切替回路MXを有する構成とすることができる。図22の切替回路MXは、図4で説明した切替回路MXと同様に、マルチプレクサとしての機能を有する。このため、図22の切替回路MXについては、図4の切替回路MXの説明を参照することができる。これにより、図22の切替回路MXは、出力端子と導通状態となる入力端子を順次切り替えることによって、メモリセルMCX又はメモリセルMCYから読み出された画像データを一列ずつ配線PDLに順次出力することができる。

[0517]

j列目において、センスアンプSAXは、スイッチSW2Xの第1端子と、スイッチSW3Xの第1端子と、に接続され、センスアンプSAYは、スイッチSW2Yの第1端子と、スイッチSW3Yの第1端子と、に接続されている。また、スイッチSW2Xの第2端子と、スイッチSW2Yの第2端子と、のそれぞれは、切替回路MXのN個の入力端子の一に接続されている。また、スイッチSW3Xの第2端子は、配線OLX[j] (図示しない) に接続され、スイッチSW3Yの第2端子は、配線OLY[j] (図示しない) に接続されている。また、スイッチSW2Xの制御端子は、配線SWLF2Xに接続され、スイッチSW2Yの制御端子は、配線SWLF2Yに接続され、スイッチSW3Xの制御端子とスイッチSW3Yの制御端子とのそれぞれは、配線SWLF3に接続されている。

[0518]

また、配線OLX[j]及び配線OLY[j]は、処理回路SGPRに接続されている。また、切替回路MXの出力端子は、配線PDLを介して、表示装置DSPに含まれる駆動回路SDに接続されている。

[0519]

配線SWLF2Xは、切替回路SWCOに含まれるスイッチSW2Xのオン状態とオフ状態との切り替えを行うための配線としての機能を有する。そのため、配線SWLF2Xには、一例として、その切り替えを行う信号として、高レベル電位又は低レベル電位が供給される。また、配線SWLF2Yは、切替回路SWCOに含まれるスイッチSW2Yのオン状態とオフ状態との切り替えを行うための配線としての機能を有する。そのため、配線SWLF2Yには、一例として、配線SWLF2Xと同様に、その切り替えを行う信号として、高レベル電位又は低レベル電位が供給される。

[0520]

配線SWLF3は、切替回路SWCOに含まれるスイッチSW3X及びスイッチSW3Yのそれぞれのオン状態とオフ状態との切り替えを行うための配線としての機能を有する。そのため、配線SWLF3には、一例として、配線SWLF2X及び配線SWLF2Yと同様に、その切り替えを行う信号として、高レベル電位又は低レベル電位が供給される。

[0521]

図22では、配線OLX[1]乃至配線OLX[N]と配線OLY[1]乃至配線OLY[N]は、記憶回路FMAから処理回路SGPRに画像データを送信するための配線として示している。また、配線PDLは、記憶回路FMAから駆動回路SDに画像データを送信するための配線として示してい

る。

[0522]

なお、図22には、記憶回路FMAと駆動回路SDとの間を、配線PDLを用いて接続しているが、出力部OPTFに切替回路MXを設けずに、複数のスイッチSW2Xの第2端子及び複数のスイッチSW2Yの第2端子のそれぞれを駆動回路SDに直接接続する構成としてもよい。これにより、画像データを一括で送信することができるため、画像データの送信に必要な時間を短縮することができる。

[0523]

<<記憶回路FMAの動作例>>

次に、記憶回路FMAの動作例について説明する。

[0524]

図23は、図22の記憶回路FMAにおいて、メモリセル部MC AAの1列に着目した構成を示した回路図である。また、図23において、メモリセル部MC AAのメモリセルMC X及びメモリセルMC Yのそれぞれには、実施の形態5で説明する図32Aの2個のトランジスタと1個の容量素子を有するメモリセルの構成を適用している。このため、図23に示すメモリセルMC X及びメモリセルMC Yの具体的な構成及び動作については、実施の形態5で説明する図32Aの説明を参照することができる。

[0525]

なお、図23には、切替回路SWCIにおいて、スイッチSW1Xの第1端子と、スイッチSW1Yの第1端子と、の接続箇所をノードNWと示している。また、図23には、切替回路SWCOにおいて、スイッチSW2Xの第2端子と、スイッチSW2Yの第2端子と、切替回路MXの入力端子と、接続箇所をノードNOと示している。

[0526]

図23のメモリセルMC X及びメモリセルMC Yのそれぞれは、トランジスタM1と、トランジスタM2と、容量素子C1と、を有する。トランジスタM1は、そのメモリセルにおける書き込みトランジスタとしての機能を有し、トランジスタM2は、読み出しトランジスタとしての機能を有する。また、容量素子C1は、画像データに応じた電位を保持する機能を有する。

[0527]

メモリセルMC Xにおいて、トランジスタM1の第1端子は、トランジスタM2のゲートと、容量素子C1の第1端子と、に接続されている。また、トランジスタM1の第2端子は、配線WBLFXに接続され、トランジスタM1のゲートは、配線WWLFXに接続されている。また、トランジスタM2の第1端子は、配線RBLFXに接続され、トランジスタM2の第2端子は、配線SLXに接続されている。容量素子C1の第2端子は、配線RWLFに接続されている。

[0528]

また、メモリセルMC Yにおいて、トランジスタM1の第1端子は、トランジスタM2のゲートと、容量素子C1の第1端子と、に接続されている。また、トランジスタM1の第2端子は、配線WBLFYに接続され、トランジスタM1のゲートは、配線WWLFYに接続されている。また、トランジスタM2の第1端子は、配線RBLFYに接続され、トランジスタM2の第2端子は、配線SLYに接続されている。容量素子C1の第2端子は、配線RWLFに接続されている。

[0529]

配線SLXは、一例として、メモリセルMC Xから画像データを読み出すときに必要な電位を供給

するための配線としての機能を有する。また、配線S L Yは、一例として、配線S L Xと同様に、メモリセルM C Yから画像データを読み出すときに必要な電位を供給するための配線としての機能を有する。

[0530]

メモリセルM C Xに画像データを書き込む場合、例えば、初めに、駆動回路W W D F Xが配線W W L F Xに選択信号として高レベル電位を与えることで、メモリセルM C XのトランジスタM 1がオン状態となって、配線W B L F Xと容量素子C 1の第1端子との間が導通状態となる。その後、駆動回路R W D Fが配線R W L Fに選択信号として高レベル電位を与え、更に、駆動回路W B D Fから、スイッチS W 1 Xを介して配線W B L F Xに画像データを送信することによって、当該画像データをメモリセルM C Xに書き込むことができる。その後、駆動回路W W D F Xが配線W W L F Xに非選択信号として低レベル電位を与えることで、メモリセルM C XのトランジスタM 1をオフ状態にすることで、容量素子C 1の第1端子ー第2端子間に当該画像データに応じた電圧を保持することができる。また、トランジスタM 1をオフ状態にした後は、駆動回路R W D Fが配線R W L Fに非選択信号として低レベル電位を与える。これにより、容量素子C 1による容量結合によって容量素子C 1の第1端子の電位が低下するため、メモリセルM C XのトランジスタM 2をオフ状態にすることができる。なお、容量素子C 1の第1端子は、フローティング状態となっているため、容量素子C 1の第1端子の電位が低下しても、容量素子C 1の第1端子ー第2端子間の当該画像データに応じた電圧は保持される。

[0531]

また、メモリセルM C Xから画像データを読み出す場合、例えば、初めに、配線S L Xに高レベル電位を供給し、配線R B L F Xに低レベル電位をプリチャージする。その後、駆動回路R W D Fが配線R W L Fに選択信号として高レベル電位を与えることで、容量素子C 1の容量結合によって容量素子C 1の第1端子の電位が上昇する。このとき、メモリセルM C XのトランジスタM 2がオン状態になり、配線S L Xから配線R B L F Xに電流が流れて、配線R B L F Xの電位が上昇する。なお、配線R B L F Xの最終的に到達する電位は、メモリセルM C XのトランジスタM 2のゲートの電位、つまり当該画像データに応じた電位によって決まる。その後、配線R B L F Xの電位を駆動回路R B D Fによって増幅することによって、メモリセルM C Xから画像データを読み出すことができる。

[0532]

メモリセルM C Yに画像データを書き込む場合、例えば、初めに、駆動回路W W D F Yが配線W W L F Yに選択信号として高レベル電位を与えることで、メモリセルM C YのトランジスタM 1がオン状態となって、配線W B L F Yと容量素子C 1の第1端子との間が導通状態となる。その後、駆動回路R W D Fが配線R W L Fに選択信号として高レベル電位を与え、更に、駆動回路W B D Fから、スイッチS W 1 Yを介して配線W B L F Yに画像データを送信することによって、当該画像データをメモリセルM C Yに書き込むことができる。その後、駆動回路W W D F Yが配線W W L F Yに非選択信号として低レベル電位を与えることで、メモリセルM C YのトランジスタM 1をオフ状態にすることで、容量素子C 1の第1端子ー第2端子間に当該画像データに応じた電圧を保持することができる。また、トランジスタM 1をオフ状態にした後は、駆動回路R W D Fが配線R W L Fに非選択信号として低レベル電位を与える。これにより、容量素子C 1による容量結合によって容量素子C 1の第1端子の電位が低下するため、メモリセルM C YのトランジスタM 2をオフ状態にすることができる。なお、容量素子C 1の第1端子は、フローティング状態となっているため、容量素子C 1の第1端子の

電位が低下しても、容量素子C 1の第1端子ー第2端子間の当該画像データに応じた電圧は保持される。

[0533]

また、メモリセルMC Yから画像データを読み出す場合、例えば、初めに、配線S L Yに高レベル電位を供給し、配線R B L F Yに低レベル電位をプリチャージする。その後、駆動回路R W D Fが配線R W L Fに選択信号として高レベル電位を与えることで、容量素子C 1の容量結合によって容量素子C 1の第1端子の電位が上昇する。このとき、メモリセルMC YのトランジスタM 2がオン状態になり、配線S L Yから配線R B L F Yに電流が流れて、配線R B L F Yの電位が上昇する。なお、配線R B L F Yの最終的に到達する電位は、メモリセルMC YのトランジスタM 2のゲートの電位、つまり当該画像データに応じた電位によって決まる。その後、配線R B L F Yの電位を駆動回路R B D Fによって増幅することによって、メモリセルMC Yから画像データを読み出すことができる。

[0534]

上記の通り、記憶回路FMAには、メモリセルMC Xの書き込みワード線としての配線W W L F Xと、メモリセルMC Yの書き込みワード線としての配線W W L F Yと、が設けられているため、メモリセルMC XとメモリセルMC Yのそれぞれは独立して、画像データの書き込みを行うことができる。

[0535]

一方、メモリセルMC X及びメモリセルMC Yにおいて、読み出しワード線として機能する配線R W L Fは、互いに共有しているため、メモリセルMC X及びメモリセルMC Yのそれぞれは同時に読み出し動作を行うことができる。また、上記の通り、配線R W L Fは、書き込みワード線としても機能するため、メモリセルMC X及びメモリセルMC Yの一方で書き込み動作又は読み出し動作が行われるときには、配線R W L Fには選択信号が送信される。

[0536]

このため、例えば、配線W W L F Xに選択信号、配線W W L F Yに非選択信号、配線R W L Fに選択信号を送信することによって、メモリセルMC Xでは書き込み動作が行われ、メモリセルMC Yでは読み出し動作が行われる。また、例えば、配線W W L F Xに非選択信号、配線W W L F Yに選択信号、配線R W L Fに選択信号を送信することによって、メモリセルMC Xでは読み出し動作が行われ、メモリセルMC Yでは書き込み動作が行われる。また、例えば、配線W W L F Xに非選択信号、配線W W L F Yに非選択信号、配線R W L Fに選択信号を送信することによって、メモリセルMC X及びメモリセルMC Yのそれぞれでは読み出し動作が行われる。

[0537]

図24は、図23の記憶回路FMAのメモリセル部MC A Aのj列目における、メモリセルMC X及びメモリセルMC Yのそれぞれの書き込み動作例と読み出し動作例を示したタイミングチャートである。また、当該タイミングチャートは、一例として、図21のフローチャートのステップS R 13とステップS S 2のそれぞれにおける記憶回路FMAの動作例でもある。つまり、当該タイミングチャートは、メモリセルMC XとメモリセルMC Yのそれぞれに保持された画像フレームを同時に読み出す動作例について示している。また、当該タイミングチャートは、メモリセルMC X又はメモリセルMC Yに対して書き込み動作を行う動作例についても示している。

[0538]

当該タイミングチャートには、時刻T 1以前と、時刻T 1乃至時刻T 14と、時刻T 14以降と、における、配線S W L F 1 X、配線S W L F 1 Y、配線W W L F X [1]、配線W W L F Y [1]、配

線WWLFX [2]、配線WWLFY [2]、配線WWLFX [M]、配線WWLFY [M]、配線RWLF [1]、配線RWLF [2]、配線RWLF [M]、配線SWLF2X、配線SWLF2Y及び配線SWLF3のそれぞれの電位の変化を示している。また、当該タイミングチャートには、時刻T1以前と、時刻T1乃至時刻T14と、時刻T14以降と、ノードNW及びノードNOに送信されている画像データについても示している。

[0539]

また、記憶回路FMAのメモリセル部MC A Aの複数のメモリセルMC Yには、第 $t-1$ フレームの画像データ $D_{(t-1)} [1]$ 乃至 $D_{(t-1)} [M]$ が保持されているものとする。

[0540]

時刻T1から時刻T7までの間において、配線SWLF1Xには高レベル電位が与えられ、配線SWLF1Yには低レベル電位が与えられている。これにより、記憶回路FMAの入力部IPTFにおいて、スイッチSW1Xがオン状態となり、スイッチSW1Yがオフ状態となる。また、時刻T1から時刻T7までの間において、配線SWLF2Xには低レベル電位が与えられ、配線SWLF2Yには高レベル電位が与えられ、配線SWLF3には低レベル電位が与えられている。これにより、記憶回路FMAの出力部OPTFにおいて、スイッチSW2Xがオフ状態となり、スイッチSW2Yがオン状態となり、スイッチSW3X及びスイッチSW3Yのそれぞれがオフ状態となる。

[0541]

また、時刻T2から時刻T6までの間において、駆動回路WBDFから入力部IPTFに第 t フレームの画像データ $D_{(t)} [1]$ 乃至 $D_{(t)} [M]$ が順次入力される。なお、図24のタイミングチャートでは、時刻T2から時刻T3までの間に $D_{(t)} [1]$ が入力部IPTFに入力され、時刻T3から時刻T4までの間に $D_{(t)} [2]$ が入力部IPTFに入力され、時刻T5から時刻T6までの間に $D_{(t)} [M]$ が入力部IPTFに入力される。なお、時刻T4から時刻T5までの間には、 $D_{(t)} [3]$ 乃至 $D_{(t)} [M-1]$ が順次、入力部IPTFに入力されるものとする。

[0542]

時刻T2から時刻T3までの間において、配線RWLF [1]には高レベル電位が入力される。つまり、メモリセルMCX [1, j]及びメモリセルMCY [1, j]のそれぞれの容量素子C1の第2端子に高レベル電位が入力される。

[0543]

また、配線RWLF [1]に高レベル電位が入力されている間に、配線WWLFX [1]に高レベル電位が入力されている。つまり、メモリセルMCX [1, j]のトランジスタM1のゲートに当該高レベル電位が印加されて、トランジスタM1がオン状態となり、容量素子C1の第1端子及びトランジスタM2のゲートと、配線WBLFXと、の間が導通する。これにより、メモリセルMCX [1, j]の容量素子C1の第1端子に $D_{(t)} [1]$ のj列目のデータが入力される。その後、配線RWLF [1]に低レベル電位が入力されて、トランジスタM1のゲートに低レベル電位が印加されて、トランジスタM1がオフ状態となることによって、メモリセルMCX [1, j]の容量素子C1の第1端子がフローティング状態となり、メモリセルMCX [1, j]に $D_{(t)} [1]$ のj列目のデータが保持される。

[0544]

また、その後、配線RWLF [1]の電位を高レベル電位から低レベル電位に遷移させることによって、メモリセルMCX [1, j]の容量素子C1の第1端子の電位が、容量結合によって低下する。

これにより、メモリセルMCX [1, j] のトランジスタM2がオフ状態となるため、配線SLXと配線RBLFXとの間が非導通となり、メモリセルMCX [1, j] から画像データの読み出しが行われない。

[0545]

また、時刻T2から時刻T3までの間では、配線WWLFY [1] には常に低レベル電位が入力されているため、メモリセルMCY [1, j] のトランジスタM1のゲートに当該低レベル電位が印加される。これにより、時刻T2から時刻T3までの間ではトランジスタM1がオフ状態となっており、メモリセルMCY [1, j] の容量素子C1の第1端子がフローティング状態となっている。ここで、配線RWLF [1] に高レベル電位が入力されることにより、メモリセルMCY [1, j] の容量素子C1の第1端子の電位が、容量結合によって上昇する。これにより、メモリセルMCY [1, j] のトランジスタM2がオン状態となるため、配線SLYと配線RBLFYとの間が導通となり、メモリセルMCY [1, j] から配線RBLFYに、第t-1フレームのD_(t-1) [1] のj列目の画像データに応じた電位が出力される。

[0546]

また、メモリセルMCY [1, j] から出力された、第t-1フレームのD_(t-1) [1] のj列目の画像データに応じた電位は、配線RBLFYを介して、駆動回路RBDFのセンスアンプSAYによって増幅され、出力部OPTF側に出力される。なお、出力部OPTFでは、スイッチSW2Xがオフ状態となり、スイッチSW2Yがオン状態となり、スイッチSW3Xがオフ状態となり、スイッチSW3Yがオフ状態となっているため、第t-1フレームのD_(t-1) [1] のj列目の画像データは、ノードNO及び切替回路MXを介して、配線PDLに出力される。

[0547]

上記の通り、時刻T2から時刻T3までの間では、メモリセル部MC AAの1行目において、メモリセルMCX [1, j] に第tフレームのD_(t) [1] のj列目の画像データを書き込んでいる間に、メモリセルMCY [1, j] から第t-1フレームのD_(t-1) [1] のj列目の画像データを読み出して、配線PDLに送信することができる。

[0548]

時刻T3から時刻T4までの間において、配線RWLF [2] には高レベル電位が入力される。また、配線RWLF [2] に高レベル電位が入力されている間に、配線WWLFX [2] には、高レベル電位が入力される。これにより、時刻T2から時刻T3までの間でのメモリセルMCX [1, j] と同様に、メモリセルMCX [2, j] には第tフレームのD_(t) [2] のj列目の画像データが書き込まれ、また、時刻T2から時刻T3までの間でのメモリセルMCY [1, j] と同様に、メモリセルMCY [2, j] から第t-1フレームのD_(t-1) [2] のj列目の画像データが読み出される。

[0549]

また、時刻T5から時刻T6までの間において、配線RWLF [M] には高レベル電位が入力される。また、配線RWLF [M] に高レベル電位が入力されている間に、配線WWLFX [M] には、高レベル電位が入力される。これにより、時刻T2から時刻T3までの間でのメモリセルMCX [1, j] と同様に、メモリセルMCX [M, j] には第tフレームのD_(t) [M] のj列目の画像データが書き込まれ、また、時刻T2から時刻T3までの間でのメモリセルMCY [1, j] と同様に、メモリセルMCY [M, j] から第t-1フレームのD_(t-1) [M] のj列目の画像データが読み出される。

[0550]

時刻T7から時刻T8までの間では、例えば、図21のフローチャートで説明したステップSR5乃至ステップSR9の動作が行われる。つまり、記憶回路FMAから画像データ $D_{(t-1)}[h]$ と画像データ $D_{(t)}[h]$ とが同時に読み出されて、処理回路SGPRに送信される動作が含まれている。なお、記憶回路FMAから画像データ $D_{(t-1)}[h]$ と画像データ $D_{(t)}[h]$ とを同時に読み出す動作と、処理回路SGPRに送信する動作については、後述する図25のタイミングチャートを用いて説明する。

[0551]

時刻T8から時刻T14までの間において、配線SWLF1Xには低レベル電位が与えられ、配線SWLF1Yには高レベル電位が与えられている。これにより、記憶回路FMAの入力部IPTFにおいて、スイッチSW1Xがオフ状態となり、スイッチSW1Yがオン状態となる。また、時刻T8から時刻T14までの間において、配線SWLF2Xには高レベル電位が与えられ、配線SWLF2Yには低レベル電位が与えられ、配線SWLF3には低レベル電位が与えられている。これにより、記憶回路FMAの出力部OPTFにおいて、スイッチSW2Xがオン状態となり、スイッチSW2Yがオフ状態となり、スイッチSW3X及びスイッチSW3Yのそれぞれがオフ状態となる。

[0552]

また、時刻T9から時刻T13までの間において、駆動回路WBDFから入力部IPTFに第 $t+1$ フレームの画像データ $D_{(t+1)}[1]$ 乃至 $D_{(t+1)}[M]$ が順次入力される。なお、図24のタイミングチャートでは、時刻T9から時刻T10までの間に $D_{(t+1)}[1]$ が入力部IPTFに入力され、時刻T10から時刻T11までの間に $D_{(t+1)}[2]$ が入力部IPTFに入力され、時刻T12から時刻T13までの間に $D_{(t+1)}[M]$ が入力部IPTFに入力される。なお、時刻T11から時刻T12までの間には、 $D_{(t+1)}[3]$ 乃至 $D_{(t+1)}[M-1]$ が順次、入力部IPTFに入力されるものとする。

[0553]

時刻T9から時刻T10までの間において、配線RWLF[1]には高レベル電位が入力される。つまり、メモリセルMCX[1, j]及びメモリセルMCY[1, j]のそれぞれの容量素子C1の第2端子に高レベル電位が入力される。

[0554]

また、配線RWLF[1]に高レベル電位が入力されている間に、配線WWLFY[1]に高レベル電位が入力されている。つまり、メモリセルMCY[1, j]のトランジスタM1のゲートに当該高レベル電位が印加されて、トランジスタM1がオン状態となり、容量素子C1の第1端子及びトランジスタM2のゲートと、配線WBLFYと、の間が導通する。これにより、メモリセルMCY[1, j]の容量素子C1の第1端子において、 $D_{(t-1)}[1]$ のj列目のデータから $D_{(t+1)}[1]$ のj列目のデータへの書き換えが行われる。その後、配線RWLF[1]に低レベル電位が入力されて、トランジスタM1のゲートに低レベル電位が印加されて、トランジスタM1がオフ状態となることによって、メモリセルMCY[1, j]の容量素子C1の第1端子がフローティング状態となり、メモリセルMCY[1, j]に $D_{(t+1)}[1]$ のj列目のデータが保持される。

[0555]

また、その後、配線RWLF[1]の電位を高レベル電位から低レベル電位に遷移させることによって、メモリセルMCY[1, j]の容量素子C1の第1端子の電位が、容量結合によって低下する。

これにより、メモリセルMCY [1, j] のトランジスタM2がオフ状態となるため、配線SLYと配線RBLFYとの間が非導通となり、メモリセルMCY [1, j] から画像データの読み出しが行われない。

[0556]

また、時刻T9から時刻T10までの間では、配線WWLFX [1] には常に低レベル電位が入力されているため、メモリセルMCX [1, j] のトランジスタM1のゲートに当該低レベル電位が印加される。これにより、時刻T9から時刻T10までの間ではトランジスタM1がオフ状態となっており、メモリセルMCX [1, j] の容量素子C1の第1端子がフローティング状態となっている。ここで、配線RWLF [1] に高レベル電位が入力されることにより、メモリセルMCX [1, j] の容量素子C1の第1端子の電位が、容量結合によって上昇する。これにより、メモリセルMCX [1, j] のトランジスタM2がオン状態となるため、配線SLXと配線RBLFXとの間が導通となり、メモリセルMCX [1, j] から配線RBLFXに、第tフレームのD_(t) [1] のj列目の画像データに応じた電位が出力される。

[0557]

また、メモリセルMCX [1, j] から出力された、第tフレームのD_(t) [1] のj列目の画像データに応じた電位は、配線RBLFXを介して、駆動回路RBDFのセンスアンプSAXによって増幅され、出力部OPTF側に出力される。なお、出力部OPTFでは、スイッチSW2Xがオン状態となり、スイッチSW2Yがオフ状態となり、スイッチSW3Xがオフ状態となり、スイッチSW3Yがオフ状態となっているため、第tフレームのD_(t) [1] のj列目の画像データは、ノードNO及び切替回路MXを介して、配線PDLに出力される。

[0558]

上記の通り、時刻T9から時刻T10までの間では、メモリセル部MCAAの1行目において、メモリセルMCY [1, j] に第t+1フレームのD_(t+1) [1] のj列目の画像データを書き込んでいる間に、メモリセルMCX [1, j] から第tフレームのD_(t) [1] のj列目の画像データを読み出して、配線PDLに送信することができる。

[0559]

時刻T10から時刻T11までの間において、配線RWLF [2] には高レベル電位が入力される。また、配線RWLF [2] に高レベル電位が入力されている間に、配線WWLFX [2] には、高レベル電位が入力される。これにより、時刻T9から時刻T10までの間でのメモリセルMCY [1, j] と同様に、メモリセルMCY [2, j] には第t+1フレームのD_(t+1) [2] のj列目の画像データが書き込まれ、また、時刻T9から時刻T10までの間でのメモリセルMCX [1, j] と同様に、メモリセルMCX [2, j] から第tフレームのD_(t) [2] のj列目の画像データが読み出される。

[0560]

また、時刻T12から時刻T13までの間において、配線RWLF [M] には高レベル電位が入力される。また、配線RWLF [M] に高レベル電位が入力されている間に、配線WWLFX [M] には、高レベル電位が入力される。これにより、時刻T9から時刻T10までの間でのメモリセルMCY [1, j] と同様に、メモリセルMCY [M, j] には第t+1フレームのD_(t+1) [M] のj列目の画像データが書き込まれ、また、時刻T9から時刻T10までの間でのメモリセルMCX [1, j] と同様に、メモリセルMCX [M, j] から第tフレームのD_(t) [M] のj列目の画像データ

が読み出される。

[0561]

上述した動作の通り、記憶回路FMAは、複数のメモリセルMCXに対して書き込み動作及び読み出し動作の一方を行わせることができ、また、複数のメモリセルMCYに対して書き込み動作及び読み出し動作の他方を行わせることができる。

[0562]

図25は、図23の記憶回路FMAのメモリセル部MCAAのj列目における、メモリセルMCX及びメモリセルMCYのそれぞれの読み出し動作例を示したタイミングチャートである。また、当該タイミングチャートは、一例として、図21のフローチャートのステップSR6又はステップSS6のそれぞれにおける記憶回路FMAの動作例でもある。つまり、当該タイミングチャートは、メモリセルMCXとメモリセルMCYのそれぞれに保持された画像フレームを同時に読み出す動作例について示している。

[0563]

当該タイミングチャートには、時刻T21以前と、時刻T21乃至時刻T27と、時刻T27以降と、における、配線SWLF1X、配線SWLF1Y、配線WWLFX[1]、配線WWLFY[1]、配線WWLFX[2]、配線WWLFY[2]、配線WWLFX[M]、配線WWLFY[M]、配線RWLF[1]、配線RWLF[2]、配線RWLF[M]、配線SWLF2X、配線SWLF2Y及び配線SWLF3のそれぞれの電位の変化を示している。また、当該タイミングチャートには、時刻T21以前と、時刻T21乃至時刻T27と、時刻T27以降と、ノードNW、配線OLX及び配線OLYに送信されている画像データについても示している。

[0564]

また、記憶回路FMAのメモリセル部MCAAの複数のメモリセルMCXには、第tフレームの画像データD_(t)[1]乃至D_(t)[M]が保持されているものとし、また、記憶回路FMAのメモリセル部MCAAの複数のメモリセルMCYには、第t-1フレームの画像データD_(t-1)[1]乃至D_(t-1)[M]が保持されているものとする。

[0565]

時刻T21から時刻T27までの間において、配線SWLF1X及び配線SWLF1Yのそれぞれには低レベル電位が与えられている。これにより、記憶回路FMAの入力部IPTFにおいて、スイッチSW1X及びスイッチSW1Yのそれぞれがオフ状態となる。また、時刻T21から時刻T27までの間において、配線SWLF2X及び配線SWLF2Yのそれぞれには低レベル電位が与えられ、配線SWLF3には高レベル電位が与えられている。これにより、記憶回路FMAの出力部OPTFにおいて、スイッチSW2X及びスイッチSW2Yのそれぞれがオフ状態となり、スイッチSW3X及びスイッチSW3Yのそれぞれがオン状態となる。

[0566]

また、時刻T21から時刻T27までの間において、駆動回路RWDFから配線RWLF[1]乃至配線RWLF[M]のそれぞれに順次、高レベル電位が入力されている。なお、図25のタイミングチャートでは、時刻T22から時刻T23までの間に配線RWLF[1]に高レベル電位が与えられ、時刻T23から時刻T24までの間に配線RWLF[2]に高レベル電位が与えられ、時刻T25から時刻T26までの間に配線RWLF[M]に高レベル電位が与えられている。なお、時刻T24から時刻T25までの間には、配線RWLF[3]乃至配線RWLF[M-1]のそれぞれに順次、

高レベル電位が与えられているものとする。

[0567]

時刻T22から時刻T23までの間において、配線RWLF[1]には高レベル電位が入力される。つまり、メモリセルMCX[1, j]及びメモリセルMCY[1, j]のそれぞれの容量素子C1の第2端子に高レベル電位が入力される。また、配線RWLF[1]に高レベル電位が入力されている間に、配線WWLFX[1]及び配線WWLFY[1]のそれぞれには、低レベル電位が入力されている。これにより、時刻T22から時刻T23の間では、メモリセルMCX[1, j]及びメモリセルMCY[1, j]のそれぞれのトランジスタM1がオフ状態となっており、メモリセルMCX[1, j]及びメモリセルMCY[1, j]のそれぞれの容量素子C1の第1端子がフローティング状態となっている。ここで、配線RWLF[1]に高レベル電位が入力されることにより、メモリセルMCX[1, j]及びメモリセルMCY[1, j]のそれぞれの容量素子C1の第1端子の電位が、容量結合によって上昇する。

[0568]

これにより、メモリセルMCX[1, j]のトランジスタM2がオン状態となるため、配線SLXと配線RBLFXとの間が導通となり、メモリセルMCX[1, j]から配線RBLFXに、第tフレームの $D_{(t)}[1]$ のj列目の画像データに応じた電位が出力される。また、メモリセルMCX[1, j]から出力された、第tフレームの $D_{(t)}[1]$ のj列目の画像データに応じた電位は、配線RBLFXを介して、駆動回路RBDFのセンスアンプSAXによって増幅され、出力部OPTF側に出される。また、スイッチSW2Xがオフ状態、且つスイッチSW3Xがオン状態となっているため、センスアンプSAXによって増幅された電位（第tフレームの $D_{(t)}[1]$ のj列目の画像データ）は、配線OLXに出力される。

[0569]

また、メモリセルMCY[1, j]のトランジスタM2がオン状態となるため、配線SLYと配線RBLFYとの間が導通となり、メモリセルMCY[1, j]から配線RBLFYに、第t-1フレームの $D_{(t-1)}[1]$ のj列目の画像データに応じた電位が出力される。また、メモリセルMCY[1, j]から出力された、第t-1フレームの $D_{(t-1)}[1]$ のj列目の画像データに応じた電位は、配線RBLFYを介して、駆動回路RBDFのセンスアンプSAYによって増幅され、出力部OPTF側に出される。また、スイッチSW2Yがオフ状態、且つスイッチSW3Yがオン状態となっているため、センスアンプSAYによって増幅された電位（第t-1フレームの $D_{(t-1)}[1]$ のj列目の画像データ）は、配線OLYに出力される。

[0570]

上記の通り、時刻T22から時刻T23の間では、メモリセル部MCAAの1行目において、メモリセルMCX[1, j]に保持されている第tフレームの $D_{(t)}[1]$ のj列目の画像データと、メモリセルMCY[1, j]に保持されている第t-1フレームの $D_{(t-1)}[1]$ のj列目の画像データと、を同時に読み出して、それぞれを配線OLXと、配線OLYと、に送信することができる。

[0571]

時刻T23から時刻T24までの間において、配線RWLF[2]には高レベル電位が入力される。これにより、時刻T22から時刻T23までの間でのメモリセルMCX[1, j]及びメモリセルMCY[1, j]と同様に、メモリセルMCX[2, j]から第tフレームの $D_{(t)}[2]$ のj列目の画像データが読み出され、かつメモリセルMCY[2, j]から第t-1フレームの $D_{(t-1)}[2]$

の j 列目の画像データが読み出される。

[0572]

また、時刻 T_{25} から時刻 T_{26} までの間において、配線 $RWLF[M]$ には高レベル電位が入力される。これにより、時刻 T_{22} から時刻 T_{23} までの間でのメモリセル $MCX[1, j]$ 及びメモリセル $MCY[1, j]$ と同様に、メモリセル $MCX[M, j]$ から第 t フレームの $D_{(t)}[M]$ の j 列目の画像データが読み出され、かつメモリセル $MCY[M, j]$ から第 $t-1$ フレームの $D_{(t-1)}[M]$ の j 列目の画像データが読み出される。

[0573]

上述した動作の通り、記憶回路 FMA は、同じ行に位置するメモリセル MCX とメモリセル MCY とに対して、同時に読み出し動作を行うことができる。

[0574]

[処理回路 $SGPR$]

図26は、処理回路 $SGPR$ の構成例を示すブロック図である。また、図26には、処理回路 $SGPR$ とその周辺の回路との接続構成を示すため、記憶回路 FMA と、記憶回路 FGM と、信号処理回路 PG と、も図示している。

[0575]

図26に示す処理回路 $SGPR$ は、一例として、図6に示す処理回路 $SGPR$ と同様の構成となっている。そのため、図26に示す処理回路 $SGPR$ は、図6の処理回路 $SGPR$ と同様に、比較回路 CPA 、論理回路 $LGMP$ と、を有する。また、比較回路 CPA は、一例として、比較器 $CPAa[1]$ 乃至比較器 $CPAa[N]$ を有する。

[0576]

また、比較器 $CPAa[1]$ 乃至比較器 $CPAa[N]$ と、論理回路 $LGMP$ と、のそれぞれの構成については、図6の処理回路 $SGPR$ に含まれる比較器 $CPAa[1]$ 乃至比較器 $CPAa[N]$ と、論理回路 $LGMP$ と、の説明を参照することができる。

[0577]

j 列目において、比較器 $CPAa[j]$ の第1入力端子は、配線 $OLX[j]$ に接続され、比較器 $CPAa[j]$ の第2入力端子は、配線 $OLY[j]$ に接続されている。また、比較器 $CPAa[j]$ の出力端子は、論理回路 $LGMP$ の第 j の入力端子に接続されている。

[0578]

論理回路 $LGMP$ の出力端子は、後述する配線 $WBLG$ に接続されている。なお、図26では、配線 $WBLG$ は、処理回路 $SGPR$ から記憶回路 FGM に比較データ $C[i]$ を送信するための配線として示している。

[0579]

次に、処理回路 $SGPR$ の動作例について説明する。例えば、記憶回路 FMA において、メモリセル MCX 及びメモリセル MCY のそれぞれから同時に画像データを読み出すことによって、記憶回路 FMA は、配線 $OLX[1]$ 乃至配線 $OLX[N]$ を介して、第 t フレームの $D_{(t)}[i]$ の画像データを送信し、且つ配線 $OLY[1]$ 乃至配線 $OLY[N]$ を介して、第 $t-1$ フレームの $D_{(t-1)}[i]$ の画像データを送信する場合を考える。この場合、処理回路 $SGPR$ では、比較回路 CPA によって $D_{(t)}[i]$ と $D_{(t-1)}[i]$ との比較が行われる。その後、比較回路 CPA の各出力端子から出力された比較結果に基に、論理回路 $LGMP$ によって論理演算が行われる。これによって、処理

回路SGPRは、論理回路LGMPの論理演算の結果である、比較データ $C_{(t)}[i]$ を配線WBLGに出力する。

[0580]

また、例えば、記憶回路FMAにおいて、メモリセルMCX及びメモリセルMCYのそれぞれから同時に画像データを読み出すことによって、記憶回路FMAは、配線OLX[1]乃至配線OLX[N]を介して、第tフレームの $D_{(t)}[i]$ の画像データを送信し、且つ配線OLY[1]乃至配線OLY[N]を介して、第t+1フレームの $D_{(t+1)}[i]$ の画像データを送信した場合は、上記と同様の動作が行われ、結果として、処理回路SGPRは、比較データ $C_{(t+1)}[i]$ を配線WBLGに出力する。

[0581]

[記憶回路FGM]

図26に示す記憶回路FGMのブロック図は、図20の処理装置PRCに含まれる記憶回路FGMに適用できる構成例を示している。なお、図26に示す記憶回路FGMは、一例として、図6に示す記憶回路FGMと同様の構成となっている。そのため、図26の記憶回路FGMの構成については、図6の記憶回路FGMの説明を参照することができる。

[0582]

例えば、処理回路SGPRから、配線WBLGを介して、比較データ $C_{(t)}[i]$ が送信されたとき、駆動回路WWDGが、配線WWLG[i]に選択信号として高レベル電位を与えることによって、メモリセルMCG[i]に比較データ $C_{(t)}[i]$ を書き込むことができる。その後、駆動回路WWDGが、配線WWLG[i]に非選択信号として低レベル電位を与えることによって、メモリセルMCG[i]に比較データ $C_{(t)}[i]$ を保持することができる。

[0583]

また、例えば、記憶回路FGMから信号処理回路PGに比較データ $C_{(t)}[i]$ を送信する場合、駆動回路RWDGが、配線RWLG[i]に選択信号として高レベル電位を与えることによって、メモリセルMCG[i]から比較データ $C_{(t)}[i]$ に応じた電位を配線RBLGに出力することができる。また、このとき、センスアンプSAGによって、当該電位は、他の回路でも扱えるレベルまで増幅される。その後、スイッチSWGをオン状態にすることによって、比較データ $C_{(t)}[i]$ を、配線FOLを介して、信号処理回路PGに送信することができる。

[0584]

[信号処理回路PG]

図26に示す信号処理回路PGには、例えば、実施の形態1で説明した図9Aの信号処理回路PGを適用することができる。このため、図26の信号処理回路PGについては、図9Aの信号処理回路PGの説明を参照することができる。

[0585]

例えば、記憶回路FGMから、比較データ $C_{(t)}[1]$ 乃至比較データ $C_{(t)}[M]$ が順次読み出されて、配線FOLを介して、論理回路CPBの第1入力端子に入力され、且つ配線PWILに送られる信号に基づいてパルス信号生成回路PWGで生成されたクロック信号が論理回路CPBの第2入力端子に入力されることによって、論理回路CPBは、比較データ $C_{(t)}[1]$ 乃至比較データ $C_{(t)}[M]$ のそれぞれの論理を反映したパルス信号（例えば、駆動回路GDに送信される制御信号とすることができる）を生成して、配線PWCLに出力する。

[0586]

[駆動回路GD]

図20の表示装置DSPの駆動回路部DRAに含まれる駆動回路GDのそれぞれは、実施の形態1で説明した、図1に示した表示装置DSPの駆動回路部DRAの駆動回路GDの説明を参照することができる。このため、図20の表示装置DSPの駆動回路部DRAに含まれる駆動回路GDには、図10A乃至図10Dのそれぞれに示す駆動回路GDのいずれか一を適用することができる。

[0587]

このため、駆動回路GDは、例えば、信号処理回路PGからの制御信号を受け取ることによって、比較データ $C_{(t)}$ [1] 乃至比較データ $C_{(t)}$ [M] に基づいて、第 t フレームと第 $t-1$ フレームのそれぞれで画像データが変化しない、画素アレイ部PXAの行の配線GLに非選択信号を送信することができる。また、第 t フレームと第 $t-1$ フレームのそれぞれで画像データが変化する、画素アレイ部PXAの行の配線GLに選択信号を送信することができる。

[0588]

[駆動回路SD]

図20の表示装置DSPの駆動回路部DRAに含まれる駆動回路SDは、実施の形態1で説明した、図1に示した表示装置DSPの駆動回路部DRAの駆動回路SDの説明を参照することができる。このため、図20の表示装置DSPの駆動回路部DRAに含まれる駆動回路SDには、図12に示す駆動回路SDを適用することができる。

[0589]

このため、駆動回路SDは、例えば、信号処理回路PGからの制御信号を受け取ることによって、第 t フレームと第 $t-1$ フレームのそれぞれで画像データが変化しない行に配置されている画素回路PXに、第 t フレームの画像データを送信するタイミングで、スイッチSWS [1] 乃至スイッチSWS [N] をオフ状態にすることができる。これにより、駆動回路SDから配線SL [1] 乃至配線SL [N] への出力が高インピーダンスとなり、デジタルアナログ変換回路DAC [1] 乃至デジタルアナログ変換回路DAC [N] から出力される第 t フレームの当該行の画像データが、配線SL [1] 乃至配線SL [N] に出力されなくなるため、デジタルアナログ変換回路DAC [1] 乃至デジタルアナログ変換回路DAC [N] の消費電力を低く抑えることができる。

[0590]

本実施の形態で説明した通り、図20の表示システムDSYSBを用いることによって、記憶回路FMAにおいて、表示装置DSPの画素アレイ部PXAに表示する画像データを読み出すタイミングで、処理装置PRCの外部から別の画像データを取得することができるため、図1の表示システムDSYS及び図14の表示システムDSYSAと比較して、動作ステップを少なくすることができる。これにより、表示装置DSPのフレーム周波数の低減を防ぐことができる。また、記憶回路FMAにおいて、複数のメモリセルMCXに保持された画像データと、複数のメモリセルMCYに保持された画像データと、同時に読み出すことができるため、処理回路SGPRにおいてそれらの画像データの比較結果である比較データを生成することができる。

[0591]

なお、本実施の形態は、本明細書で示す、同一の、又は他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、その本実施の形態で示す構成、構造、方法などと適宜組み合わせて用いることができる。また、例えば、本実施の形態に示す構成、構造、

方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせ用いることができる。

[0592]

(実施の形態4)

本実施の形態では、実施の形態3で説明した表示システムの変更例について説明する。

[0593]

<表示システムの構成例>

図27は、本発明の一態様の表示システムの構成例を示したブロック図である。特に、図27に示す表示システムDSYSCは、図20の表示システムDSYSBの変更例であって、記憶回路FGMが記憶回路FGM1及び記憶回路FGM2に置き換わっている点で、表示システムDSYSBと異なっている。

[0594]

このため、本明細書において、図27の表示システムDSYSCの一部の構成については、図20の表示システムDSYSBの説明を参照することができる。また、本明細書において、図27の表示システムDSYSCの説明については、図20の表示システムDSYSBの内容が重複する部分の記載を省略することがある。

[0595]

図27の表示装置DSPに含まれる画素アレイ部PXAについては、図1の画素アレイ部PXAの説明を参照することができる。また、配線SL[1]乃至配線SL[N]及び配線GL[1]乃至配線GL[M]についても、図1の配線SL[1]乃至配線SL[N]及び配線GL[1]乃至配線GL[M]の説明を参照することができる。

[0596]

図27の表示装置DSPに含まれる駆動回路SD及び駆動回路GDについては、図1の駆動回路SD及び駆動回路GDの説明を参照することができる。

[0597]

図27の処理装置PRCに含まれる処理回路SGPRは、図1の処理回路SGPRの説明を参照することができる。また、図27の処理装置PRCに含まれる記憶回路FMAは、図20の記憶回路FMAの説明を参照することができる。また、図20の処理装置PRCに含まれる信号処理回路PGは、図1の信号処理回路PGの説明を参照することができる。

[0598]

また、図27の処理装置PRCに含まれる記憶回路FGM1及び記憶回路FGM2のそれぞれは、一例として、処理回路SGPRから送信された比較データC[i]を保持する機能を有し、図1の処理装置PRCの記憶回路FGMと同様にフラグメモリと呼ばれる場合がある。また、記憶回路FGM1及び記憶回路FGM2のそれぞれは、画素アレイ部PXAの行数分として比較データC[1]乃至比較データC[M]の保持を行うことができるものとする。また、記憶回路FGM1及び記憶回路FGM2のそれぞれは、比較データC[i]を読み出して、信号処理回路PGに送信する機能を有する。

[0599]

また、記憶回路FGM1には、記憶回路FGM2に保持される比較データとは異なる、比較データが保持されることが好ましい。例えば、記憶回路FGM1及び記憶回路FGM2の一方は、第t-1フレームと第tフレームのそれぞれの画像データの比較データを保持し、記憶回路FGM1及び記憶

回路FGM2の他方は、第 t フレームと第 $t+1$ フレームのそれぞれの画像データの比較データを保持することが好ましい。

[0600]

図27の処理装置PRCに含まれる制御回路TCは、一例として、処理装置PRCに含まれる各回路と、表示装置DSPに含まれる各回路と、のそれぞれを制御する機能を有する。例えば、制御回路TCは、記憶回路FMA、記憶回路FGM1及び記憶回路FGM2のそれぞれに含まれる駆動回路に、書き込み動作、読み出し動作などを実行させるための命令信号を送信する機能を有する。また、制御回路TCは、一例として、駆動回路SD及び駆動回路GDに書き込み動作、読み出し動作などを実行させるための命令信号を送信する機能を有する。また、制御回路TCは、一例として、記憶回路FMA、記憶回路FGM1、記憶回路FGM2及び処理回路SGPRのそれぞれに含まれるスイッチング素子のオン状態とオフ状態との切り替えを制御するための命令信号を送信する機能を有する。また、制御回路TCは、一例として、処理装置PRCに含まれる各回路と、表示装置DSPに含まれる各回路と、に供給するためのクロック信号を生成する機能を有する。

[0601]

また、制御回路TCは、処理装置PRCに含まれる各回路と、表示装置DSPに含まれる各回路と、から選ばれた二以上を同期させるために、上述したクロック信号等を同期信号として選ばれた二以上の回路に送信する機能を有してもよい。

[0602]

<表示システムの動作例>

次に、図27に示した表示システムDSYSCの動作例について説明する。

[0603]

図28は、図27の表示システムDSYSCの動作例を示したフローチャートである。図28のフローチャートには、画素アレイ部PXAに、第 $t-1$ フレーム目(t は3以上の整数とする)から第 t フレーム目までの画像を表示する動作(以下、第3動作と呼称する)を示すステップSU1乃至ステップSU9と、第 t フレーム目の画像から第 $t+1$ フレーム目の画像に書き換える動作(以下、第4動作と呼称する)を示すステップSV1乃至ステップSV7と、の2つの動作について示している。

[0604]

なお、図28のフローチャートでは、第3動作と第4動作は別々に行われず、第3動作の一部が、第4動作の一部とタイミングが重なっていることがある点で注意する。言い換えると、第3動作の一部と、第4動作の一部と、が同時に行われることがある点で注意する。

[0605]

また、記憶回路FMAには、予め第 $t-1$ フレーム目の画像として画像データ $D_{(t-1)}[1]$ 乃至画像データ $D_{(t-1)}[M]$ が保持されているものとする。また、記憶回路FGM1及び記憶回路FGM2の一方には、予め第 $t-2$ フレーム目の画像データ $D_{(t-2)}[1]$ 乃至画像データ $D_{(t-2)}[M]$ と第 $t-1$ フレーム目の画像データ $D_{(t-1)}[1]$ 乃至画像データ $D_{(t-1)}[M]$ との比較データ $C_{(t-1)}[1]$ 乃至比較データ $C_{(t-1)}[M]$ が保持されているものとする。

[0606]

初めに、第3動作のステップSU1乃至ステップSU9について説明する。

[0607]

ステップSU1では、一例として、画素アレイ部PXAの行番号の変数である i が1に定められる。

なお、ステップSU1乃至ステップSU4において、 i は、1以上M以下を満たす変数とする。

[0608]

ステップSU2には、一例として、処理装置PRCの外部から、記憶回路FMAに第 t フレーム目の i 行目の画像データ $D_{(t)}[i]$ が送信される動作が含まれる。また、ステップSU2には、記憶回路FMAに画像データ $D_{(t)}[i]$ が書き込まれる動作も含まれる。

[0609]

なお、実施の形態3で説明した第1動作のステップSR2では、記憶回路FMAに画像データ $D_{(t)}[i]$ が書き込まれるタイミングで、記憶回路FMAから画像データ $D_{(t-1)}[i]$ の読み出しが行われる場合があったが、ステップSU2では、記憶回路FMAから画像データ $D_{(t-1)}[i]$ の読み出しは行われない。

[0610]

ステップSU3では、 i がMに達しているかどうかの判定が行われる。 i がMに達していない場合、ステップSU3からステップSU4に移行する。また、 i がMに達している場合、ステップSU3からステップSU5に移行する。

[0611]

ステップSU4では、 i に1を加える動作が含まれている。 i に1を加えた後は、再度ステップSU2に移行する。

[0612]

ステップSU5では、一例として、画素アレイ部PXAの行番号の変数として h を定義する。また、このステップSU5では、 $h=1$ と定める。なお、ステップSU5乃至ステップSU9において、 h は、1以上M以下を満たす変数とする。

[0613]

ステップSU6には、一例として、記憶回路FMAから画像データ $D_{(t-1)}[h]$ と画像データ $D_{(t)}[h]$ とが同時に読み出されて、処理回路SGPRに送信される動作が含まれる。

[0614]

ステップSU7には、一例として、処理回路SGPRが、画像データ $D_{(t-1)}[h]$ と画像データ $D_{(t)}[h]$ の比較を行う動作が含まれる。また、ステップSU7には、画像データ $D_{(t-1)}[h]$ と画像データ $D_{(t)}[h]$ が一致する場合、処理回路SGPRが、“0”の論理を含む比較データ $C_{(t)}[h]$ を記憶回路FGM1及び記憶回路FGM2の他方に送信する動作が含まれる。また、ステップSU7には、画像データ $D_{(t-1)}[h]$ と画像データ $D_{(t)}[h]$ が一致しない場合、処理回路SGPRが、“1”の論理を含む比較データ $C_{(t)}[h]$ を記憶回路FGM1及び記憶回路FGM2の他方に送信する動作が含まれる。

[0615]

また、ステップSU7には、一例として、記憶回路FGM1及び記憶回路FGM2の他方に比較データ $C_{(t)}[h]$ が書き込まれる動作も含まれる。

[0616]

ステップSU8では、 i がMに達しているかどうかの判定が行われる。 i がMに達していない場合、ステップSU8からステップSU9に移行する。また、 i がMに達している場合、第3動作が終了する。

[0617]

ステップSU9では、hに1を加える動作が含まれている。hに1を加えた後は、再度ステップSU6に移行する。

[0618]

次に、第4動作のステップSV1乃至ステップSV7について説明する。

[0619]

なお、ステップSV1乃至ステップSV7は、第3動作のステップSU5乃至ステップSU9の動作中に行われることが好ましい。

[0620]

ステップSV1では、一例として、画素アレイ部PXAの行番号の変数とするgが1に定められる。なお、ステップSV1乃至ステップSV7において、gは、1以上M以下を満たす変数とする。

[0621]

特に、ステップSV1は、上述した第3動作のステップSU5と同時に動作することが好ましい。又は、ステップSV1とステップSU5は同一の動作としてもよい。例えば、ステップSV2乃至ステップSV7で扱われる、画素アレイ部PXAの行番号の変数gを、ステップSU6乃至ステップSU9で扱われる、画素アレイ部PXAの行番号の変数hと同じ値として、動作が行われてもよい。

[0622]

また、ステップSV2乃至ステップSV7で扱われる変数gと、ステップSU6乃至ステップSU9で扱われる変数hと、を同じ値として扱うことで、ステップSV2乃至ステップSV7の動作で扱われる画素アレイ部PXAの行と、ステップSU6乃至ステップSU9の動作で扱われる画素アレイ部PXAの行と、を揃えることができる。

[0623]

ステップSV2では、一例として、記憶回路FMAから画像データD_(t-1)[g]が読み出されて、駆動回路SDに送信される動作が含まれる。

[0624]

特に、ステップSV2は、上述した第3動作のステップSU6と同時に動作することが好ましい。つまり、記憶回路FMAは、画像データD_(t)[g] (g=h)と同時に読み出す画像データD_(t-1)[g]を、処理回路SGPRだけでなく駆動回路SDにも送信するように動作することが好ましい。

[0625]

ステップSV3には、一例として、記憶回路FGM1及び記憶回路FGM2の一方から、比較データC_(t-1)[g] (g=h)が読み出されて、信号処理回路PGに送信される動作が含まれている。

[0626]

ステップSV4には、一例として、信号処理回路PGにおいて、論理が“1”となっているパルス信号と、比較データC_(t-1)[g]と、の論理演算が行われて、比較データC_(t-1)[g]の情報を含む制御信号が生成される動作が含まれている。また、ステップSV4には、一例として当該制御信号が駆動回路GD及び駆動回路SDに送信される動作も含まれている。

[0627]

ステップSV5には、駆動回路GDにおいて、画素アレイ部PXAのg行目に送信される選択信号（論理が“1”）と、ステップSV3で生成された制御信号と、の論理演算が行われる動作が含まれている。比較データC_(t-1)[g]の論理が“0”となっているとき、その論理演算の結果によって当該選択信号が非選択信号（論理が“0”）に変換されて、配線GL[g]に送信される。また、比

較データ $C_{(t-1)}[g]$ の論理が“1”となっているとき、その論理演算の結果によって選択信号が非選択信号に変換されずにそのまま論理が“1”の信号が配線 $GL[g]$ に送信される。なお、このとき、非選択信号（論理が“0”）は、低レベル電位の信号としてみなし、選択信号（論理が“1”）は、高レベル電位の信号としてみなすことが好ましい。

[0628]

また、ステップ $SV5$ には、駆動回路 SD が、信号処理回路 PG で生成された制御信号に応じて、駆動回路 SD の出力を高インピーダンスにするか否かの動作が行われる。具体的には、比較データ $C_{(t-1)}[g]$ の論理が“0”となっているとき、駆動回路 SD は、その出力を高インピーダンスにして、画像データ $D_{(t-1)}[g]$ の出力を行わない。また、比較データ $C_{(t-1)}[g]$ の論理が“1”となっているとき、駆動回路 SD は、画像データ $D_{(t-1)}[g]$ の出力を行う。

[0629]

なお、ステップ $SV5$ は、第3動作のステップ $SU7$ が完了するまでに、行われることが好ましい。

[0630]

ステップ $SV6$ では、 g が M に達しているかどうかの判定が行われる。 g が M に達していない場合、ステップ $SV6$ からステップ $SV7$ に移行する。また、 g が M に達している場合、第4動作が終了する。

[0631]

なお、ステップ $SV6$ は、変数 g と変数 h を同じ値に揃えることで、第3動作のステップ $SU8$ と同一の動作とすることができる。

[0632]

ステップ $SV7$ では、 g に1を加える動作が含まれている。 g に1を加えた後は、再度ステップ $SV2$ に移行する。

[0633]

なお、ステップ $SV7$ も同様に、変数 g と変数 h を同じ値に揃えることで、第3動作のステップ $SU9$ と同一の動作とすることができる。

[0634]

図27の表示システム $DSYSC$ を、図28のフローチャートに示す動作方法で動作させることにより、処理装置 PRC の記憶回路 FMA において、処理回路 $SGPR$ に画像データ $D_{(t-1)}[h]$ と画像データ $D_{(t)}[h]$ を送信するタイミングで、画像データ $D_{(t-1)}[h]$ を駆動回路 SD にも送信することができる。また、表示システム $DSYSC$ が、記憶回路 $FGM1$ と記憶回路 $FGM2$ を有することによって、記憶回路 $FGM1$ と記憶回路 $FGM2$ の他方に、第 $t-1$ フレームと第 t フレームのそれぞれの画像データの比較データ $C_{(t)}[1]$ 乃至比較データ $C_{(t)}[M]$ が書き込まれる間に、記憶回路 $FGM1$ と記憶回路 $FGM2$ の一方に保持されている、第 $t-2$ フレームと第 $t-1$ フレームのそれぞれの画像データの比較データ $C_{(t-1)}[1]$ 乃至比較データ $C_{(t-1)}[M]$ を読み出して、信号処理回路 PG に送信することができる。記憶回路 $FGM1$ と記憶回路 $FGM2$ の他方が比較データの書き込み動作を行い、記憶回路 $FGM1$ と記憶回路 $FGM2$ の一方が比較データの読み出し動作を行うことによって、表示システム $DSYSC$ を効率的に動作させることができる。また、このため、表示装置 DSP のフレーム周波数の低下を防ぐことができる。

[0635]

<表示システムの各回路の構成例>

次に、図 27 に示した表示システム D S Y S C に含まれる各回路の構成例について説明する。

[0636]

[記憶回路 FMA]

図 27 に示す記憶回路 FMA には、例えば、実施の形態 3 で説明した、表示システム D S Y S B の記憶回路 FMA に適用できる回路を用いることができる。具体的には、図 27 に示す記憶回路 FMA には、図 22 及び図 23 に示した記憶回路 FMA を適用することができる。このため、図 27 の記憶回路 FMA については、図 22 又は図 23 に示した記憶回路 FMA の説明を参照することができる。

[0637]

[処理回路 S G P R]

図 29 は、処理回路 S G P R の構成例を示すブロック図である。また、図 29 には、処理回路 S G P R とその周辺の回路との接続構成を説明するため、記憶回路 FMA と、記憶回路 F G M 1 と、記憶回路 F G M 2 と、も示している。

[0638]

図 29 に示す処理回路 S G P R は、一例として、図 6 に示す処理回路 S G P R と同様に、比較回路 C P A と、論理回路 L G M P と、を有する。また、処理回路 S G P R は、切替回路 S W C P を有する。

[0639]

また、比較回路 C P A は、一例として、比較器 C P A a [1] 乃至比較器 C P A a [N] を有する。なお、比較器 C P A a [1] 乃至比較器 C P A a [N] と、論理回路 L G M P と、のそれぞれの構成については、図 6 の処理回路 S G P R に含まれる比較器 C P A a [1] 乃至比較器 C P A a [N] と、論理回路 L G M P と、の説明を参照することができる。

[0640]

切替回路 S W C P は、スイッチ S W P 1 と、スイッチ S W P 2 と、を有する。

[0641]

スイッチ S W P 1 及びスイッチ S W P 2 には、例えば、図 3 に示した記憶回路 L M 1 のスイッチ S W 1 A 又はスイッチ S W 1 B に適用できるスイッチを用いることができる。このため、スイッチ S W P 1 及びスイッチ S W P 2 については、特に断らない限りは、記憶回路 L M 1 のスイッチ S W 1 A 又はスイッチ S W 1 B の説明を参照することができる。

[0642]

j 列目において、比較器 C P A a [j] (図示しない) の第 1 入力端子は、配線 O L X [j] (図示しない) に接続され、比較器 C P A a [j] の第 2 入力端子は、配線 O L Y [j] (図示しない) に接続されている。また、比較器 C P A a [j] の出力端子は、論理回路 L G M P の第 j の入力端子に接続されている。

[0643]

また、論理回路 L G M P の出力端子は、スイッチ S W P 1 の第 1 端子と、スイッチ S W P 2 の第 1 端子と、に接続されている。また、スイッチ S W P 1 の第 2 端子は、配線 W B L G 1 を介して記憶回路 F G M 1 に接続され、スイッチ S W P 2 の第 2 端子は、配線 W B L G 2 を介して記憶回路 F G M 2 に接続されている。また、スイッチ S W P 1 の制御端子は、配線 S W L P 1 に接続され、スイッチ S W P 2 の制御端子は、配線 S W L P 2 に接続されている。

[0644]

配線 S W L P 1 は、切替回路 S W C P に含まれるスイッチ S W P 1 のオン状態とオフ状態との切り

替えを行うための配線としての機能を有する。そのため、配線SWLP1には、一例として、その切り替えを行う信号として、高レベル電位又は低レベル電位が供給される。

[0645]

同様に、配線SWLP2は、切替回路SWCPに含まれるスイッチSWP2のオン状態とオフ状態との切り替えを行うための配線としての機能を有する。そのため、配線SWLP2には、一例として、その切り替えを行う信号として、高レベル電位又は低レベル電位が供給される。

[0646]

次に、処理回路SGPRの動作例について説明する。例えば、記憶回路FMAにおいて、メモリセルMCX及びメモリセルMCYのそれぞれから同時に画像データを読み出すことによって、記憶回路FMAは、配線OLX[1]乃至配線OLX[N]を介して、第tフレームの $D_{(t)}[i]$ の画像データを送信し、且つ配線OLY[1]乃至配線OLY[N]を介して、第t-1フレームの $D_{(t-1)}[i]$ の画像データを送信する場合を考える。この場合、処理回路SGPRでは、比較回路CPAによって $D_{(t)}[i]$ と $D_{(t-1)}[i]$ との比較が行われる。その後、比較回路CPAの各出力端子から出力された比較結果に基に、論理回路LGMPによって論理演算が行われる。これによって、処理回路SGPRから、論理回路LGMPの論理演算の結果である、比較データ $C_{(t)}[i]$ が出力される。

[0647]

また、例えば、記憶回路FMAにおいて、メモリセルMCX及びメモリセルMCYのそれぞれから同時に画像データを読み出すことによって、記憶回路FMAは、配線OLX[1]乃至配線OLX[N]を介して、第tフレームの $D_{(t)}[i]$ の画像データを送信し、且つ配線OLY[1]乃至配線OLY[N]を介して、第t+1フレームの $D_{(t+1)}[i]$ の画像データを送信した場合では、上記と同様の動作が行われ、結果として、処理回路SGPRから、比較データ $C_{(t+1)}[i]$ が出力される。

[0648]

また、論理回路LGMPから出力された比較データ $C_{(t)}[i]$ は、一例として、記憶回路FGM1及び記憶回路FGM2の一方に送信され、また、論理回路LGMPから出力された比較データ $C_{(t+1)}[i]$ は、一例として、記憶回路FGM1及び記憶回路FGM2の他方に送信される。特に、比較データ $C_{(t)}[i]$ 又は比較データ $C_{(t+1)}[i]$ を、一例として、記憶回路FGM1に送信する場合、配線SWLP1に高レベル電位を与え、配線SWLP2に低レベル電位を与えて、スイッチSWP1をオン状態、且つスイッチSWP2をオフ状態とすることが好ましい。また、比較データ $C_{(t)}[i]$ 又は比較データ $C_{(t+1)}[i]$ を、一例として、記憶回路FGM2に送信する場合、配線SWLP1に低レベル電位を与え、配線SWLP2に高レベル電位を与えて、スイッチSWP1をオフ状態、且つスイッチSWP2をオン状態とすることが好ましい。

[0649]

[記憶回路FGM1及び記憶回路FGM2]

図30に示す記憶回路FGM1及び記憶回路FGM2のブロック図は、図27に示す記憶回路FGM1及び記憶回路FGM2に適用できる構成例を示している。なお、図30には、記憶回路FGM1及び記憶回路FGM2とその周辺の回路との接続構成を説明するため、信号処理回路PGも示している。

[0650]

なお、図30に示す記憶回路FGM1及び記憶回路FGM2のそれぞれは、実施の形態3で説明し

た図 2 6 に示す記憶回路 F G M と同様の回路構成となっている。つまり、図 2 7 に示す記憶回路 F G M 1 及び記憶回路 F G M 2 のそれぞれには、図 2 6 の記憶回路 F G M の回路構成を適用することができる。

[0 6 5 1]

図 3 0 において、記憶回路 F G M 1 は、一例として、メモリセル部 M C A G 1 と、駆動回路 W W D G 1 と、駆動回路 R W D G 1 と、センスアンプ S A G 1 と、スイッチ S W G 1 と、を有する。また、メモリセル部 M C A G 1 は、メモリセル M C G 1 [1] 乃至メモリセル M C G 1 [M] を有する。また、図 3 0 において、記憶回路 F G M 2 は、一例として、メモリセル部 M C A G 2 と、駆動回路 W W D G 2 と、駆動回路 R W D G 2 と、センスアンプ S A G 2 と、スイッチ S W G 2 と、を有する。また、メモリセル部 M C A G 2 は、メモリセル M C G 2 [1] 乃至メモリセル M C G 2 [M] を有する。

[0 6 5 2]

なお、メモリセル部 M C A G 1 及びメモリセル部 M C A G 2 のそれぞれについては、図 2 6 の記憶回路 F G M におけるメモリセル部 M C A G の説明を参照し、駆動回路 W W D G 1 及び駆動回路 W W D G 2 のそれぞれについては、図 2 6 の記憶回路 F G M における駆動回路 W W D G の説明を参照し、駆動回路 R W D G 1 及び駆動回路 R W D G 2 のそれぞれについては、図 2 6 の記憶回路 F G M における駆動回路 R W D G の説明を参照し、センスアンプ S A G 1 及びセンスアンプ S A G 2 のそれぞれについては、図 2 6 の記憶回路 F G M におけるセンスアンプ S A G の説明を参照しに相当し、スイッチ S W G 1 及びスイッチ S W G 2 は、図 2 6 の記憶回路 F G M におけるスイッチ S W G の説明を参照することができる。

[0 6 5 3]

また、メモリセル部 M C A G 1 の行方向に延在している配線 W W L G 1 と、メモリセル部 M C A G 2 の行方向に延在している配線 W W L G 2 と、は、図 2 6 の記憶回路 F G M における配線 W W L G の説明を参照することができる。また、メモリセル部 M C A G 1 の行方向に延在している配線 R W L G 1 と、メモリセル部 M C A G 2 の行方向に延在している配線 R W L G 2 と、は、図 2 6 の記憶回路 F G M における配線 R W L G の説明を参照することができる。また、メモリセル部 M C A G 1 の列方向に延在している配線 W B L G 1 と、メモリセル部 M C A G 2 の列方向に延在している配線 W B L G 2 と、は、図 2 6 の記憶回路 F G M における配線 W B L G の説明を参照することができる。また、メモリセル部 M C A G 1 の列方向に延在している配線 R B L G 1 と、メモリセル部 M C A G 2 の列方向に延在している配線 R B L G 2 と、は、図 2 6 の記憶回路 F G M における配線 R B L G の説明を参照することができる。また、図 3 0 に示している配線 S W L G 1 及び配線 S W L G 2 は、図 2 6 の記憶回路 F G M における配線 S W L G の説明を参照することができる。

[0 6 5 4]

スイッチ S W G 1 の第 1 端子は、センスアンプ S A G 1 に接続され、スイッチ S W G 1 の第 2 端子は、配線 F O L を介して、信号処理回路 P G に接続され、スイッチ S W G 1 の制御端子は、配線 S W L G 1 に接続されている。また、スイッチ S W G 2 の第 1 端子は、センスアンプ S A G 2 に接続され、スイッチ S W G 2 の第 2 端子は、配線 F O L を介して、信号処理回路 P G に接続され、スイッチ S W G 2 の制御端子は、配線 S W L G 2 に接続されている。

[0 6 5 5]

上記の構成において、スイッチ S W G 1 及びスイッチ S W G 2 の一方をオン状態、他方をオフ状態にすることによって、記憶回路 F G M 1 及び記憶回路 F G M 2 の一方を選択して、記憶回路 F G M 1

及び記憶回路F GM 2の一方に保持されている比較データC [1] 乃至比較データC [M] を信号処理回路P Gに送信することができる。

[0656]

また、上記の動作中において、記憶回路F GM 1及び記憶回路F GM 2の他方では、処理回路S G P Rからの比較データを取得して、記憶回路F GM 1及び記憶回路F GM 2の他方に書き込むことができる。

[0657]

このため、図30に示す記憶回路F GM 1及び記憶回路F GM 2を構成することによって、図28で説明した第3動作のステップS U 6と、第4動作のステップS V 3と、を同時に実行することができる。

[0658]

なお、図27及び図30に示す記憶回路F GM 1及び記憶回路F GM 2は、1つの記憶回路としてまとめられてもよい。例えば、記憶回路F GM 1及び記憶回路F GM 2は、1つの記憶回路として、図31に示す記憶回路F GMとしてもよい。

[0659]

図31の記憶回路F GMは、メモリセルM C G 1 [1] 乃至メモリセルM C G 1 [M] とメモリセルM C G 2 [1] 乃至メモリセルM C G 2 [M] とをメモリセル部M C A Gにまとめ、且つ駆動回路R W D G 1と駆動回路R W D G 2とを駆動回路R W D Gとしてまとめた構成となっている。

[0660]

なお、駆動回路R W D G 1と駆動回路R W D G 2とを駆動回路R W D Gにまとめられたため、同じ行の配線R W L G 1と配線R W L G 2とが配線R W L Gとしてまとめられている。例えば、i 行目において配線R W L G [i] は、メモリセルM C G 1 [i] と、メモリセルM C G 2 [i] と、に接続されている。

[0661]

上記より、図31に示す記憶回路F GMのメモリセル部M C A Gと駆動回路W W D G 1と駆動回路W W D G 2と駆動回路R W D GとセンスアンプS A G 1とセンスアンプS A G 2の構成は、図22及び図23に示した記憶回路F M Aのメモリセル部M C A Aの1列分と駆動回路W W D F Xと駆動回路W W D F Yと駆動回路R W D FとセンスアンプS A XとセンスアンプS A Yの構成として考えることができる。

[0662]

つまり、図31に示す記憶回路F GMの一部は、図22及び図23に示した記憶回路F M Aの一部を適用した回路構成といえる。このため、図31の記憶回路F GMは、図22及び図23に示した記憶回路F M Aと同様に、メモリセルM C G 1及びメモリセルM C G 2の一方に対して書き込み動作を行い、同時に、メモリセルM C G 1及びメモリセルM C G 2の他方に対して読み出し動作を行うことができる。

[0663]

このため、図31に示す記憶回路F GMは、図30の記憶回路F GM 1及び記憶回路F GM 2と同様に、図28で説明した第3動作のステップS U 6と、第4動作のステップS V 3と、を同時に実行することができる。

[0664]

また、図 3 1 の記憶回路 FGM は、駆動回路 RWDG 1 及び駆動回路 RWDG 2 が一つの駆動回路 RWDG としてまとめられているため、図 3 0 の記憶回路 FGM 1 及び記憶回路 FGM 2 と比較して、回路面積を低減することができる。

[0665]

本実施の形態で説明した通り、図 2 7 の表示システム DSYSC を用いることによって、記憶回路 FMA において、2 つの画像データを読み出すタイミングに合わせて、当該 2 つの画像データのうち、表示装置 DSP の画素アレイ部 PXA に表示する画像データを読み出すことができる。また、このとき、記憶回路 FGM 1 及び記憶回路 FGM 2 の一方に、当該 2 つの画像データの比較データを保持し、記憶回路 FGM 1 及び記憶回路 FGM 2 の他方から、比較データを読み出して、表示装置 DSP の画素アレイ部 PXA に送信する選択信号又は非選択信号を生成することができる。また、図 2 7 の表示システム DSYSC は、図 1 の表示システム DSY S 及び図 1 4 の表示システム DSYSA と比較して、動作ステップを少なくすることができる。これにより、表示装置 DSP のフレーム周波数の低減を防ぐことができる。

[0666]

なお、本実施の形態は、本明細書で示す、同一の、又は他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、その本実施の形態で示す構成、構造、方法などと適宜組み合わせる用いることができる。また、例えば、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせる用いることができる。

[0667]

(実施の形態 5)

本実施の形態では、実施の形態 1 乃至実施の形態 4 で説明した各々の記憶回路に備えられるメモリセルについて説明する。

[0668]

<メモリセルの構成例 1>

図 3 2 A は、2 個のトランジスタと 1 個の容量素子を有するメモリセル (2Tr1C 型のメモリセルと呼称する場合がある) の構成例を示した回路図である。図 3 2 A に示すメモリセル MC は、例えば、記憶回路 LM 1 に含まれているメモリセル MC 1、記憶回路 LM 2 に含まれているメモリセル MC 2、記憶回路 FM と記憶回路 FM 1 と記憶回路 FM 2 とのそれぞれに含まれるメモリセル MCF、並びに記憶回路 FGM に含まれているメモリセル MCG に適用することができる。

[0669]

図 3 2 A のメモリセル MC は、一例として、トランジスタ M1 と、トランジスタ M2 と、容量素子 C1 と、を有している。

[0670]

トランジスタ M1 の第 1 端子は、容量素子 C1 の第 1 端子と、トランジスタ M2 のゲートと、に接続されている。また、トランジスタ M1 の第 2 端子は、配線 WBL に接続され、トランジスタ M1 のゲートは、配線 WWL に接続されている。また、容量素子 C1 の第 2 端子は、配線 RWL に接続されている。また、トランジスタ M2 の第 1 端子は、配線 SL に接続され、トランジスタ M2 の第 2 端子は、配線 RBL に接続されている。

[0671]

なお、図3 2 AのメモリセルMCにおいて、トランジスタM1及びトランジスタM2のそれぞれは、nチャネル型トランジスタとして図示しているが、トランジスタM1及びトランジスタM2の一方又は双方は、pチャネル型トランジスタとしてもよい。また、図3 2 AのメモリセルMCだけでなく、本明細書等に図示しているnチャネル型トランジスタは、pチャネル型トランジスタに置き換えることができる場合がある。また、逆に、本明細書等に図示しているpチャネル型トランジスタは、nチャネル型トランジスタに置き換えることができる場合がある。

[0672]

また、図3 2 Aに示すトランジスタM1及びトランジスタM2の一方又は双方は、一例として、チャネル形成領域にシリコンを含むSiトランジスタとすることができる。また、シリコンとしては、例えば、アモルファスシリコン、微結晶シリコン、多結晶シリコン又は単結晶シリコンが挙げられる。また、トランジスタM1及びトランジスタM2の一方又は双方は、一例として、OSトランジスタとすることができる。また、OSトランジスタについては、本実施の形態及び実施の形態7で詳述する。また、OSトランジスタ及びSiトランジスタ以外のトランジスタとしては、ゲルマニウムなどがチャネル形成領域に含まれているトランジスタ、セレン化亜鉛、硫化カドミウム、ヒ化ガリウム、リン化インジウム、窒化ガリウム、若しくはシリコンゲルマニウムといった化合物半導体がチャネル形成領域に含まれているトランジスタ、カーボンナノチューブがチャネル形成領域に含まれるトランジスタ、又は有機半導体がチャネル形成領域に含まれるトランジスタを用いることができる。

[0673]

特に、OSトランジスタにおいて、チャネル形成領域に含まれる金属酸化物は、インジウム、元素M（元素Mとしては、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルト、及びアンチモンが挙げられる）、亜鉛から選ばれた一以上を含む酸化物であることがより好ましい。また、当該金属酸化物がチャネル形成領域に含まれるOSトランジスタのオフ電流は、チャネル幅1 μm あたり10 aA (1×10^{-17} A) 以下、好ましくはチャネル幅1 μm あたり1 aA (1×10^{-18} A) 以下、さらには好ましくはチャネル幅1 μm あたり10 zA (1×10^{-20} A) 以下、さらに好ましくはチャネル幅1 μm あたり1 zA (1×10^{-21} A) 以下、さらに好ましくはチャネル幅1 μm あたり100 yA (1×10^{-22} A) 以下とすることができる。また当該OSトランジスタは、金属酸化物のキャリア濃度が低いため、OSトランジスタの温度が変化した場合でも、オフ電流は低いままとなる。例えば、OSトランジスタの温度が150℃であっても、オフ電流を、チャネル幅1 μm あたり100 zAとすることもできる。

[0674]

また、トランジスタM1としてOSトランジスタを適用した場合、図3 2 Aに示すメモリセルMCを有する記憶回路をNOSRAM（登録商標）（Nonvolatile Oxide Semiconductor Random Access Memory）と呼称することができる。

[0675]

配線WBLは、一例として、メモリセルMCにおける書き込みビット線としての機能を有する。つまり、配線WBLは、上記実施の形態で説明した、配線WBL1、配線WBL2、配線WBLF、配線WBLF1、配線WBLF2及び配線WBLGとすることができる。

[0676]

また、配線RBLは、一例として、メモリセルMCにおける読み出しビット線としての機能を有する。つまり、配線RBLは、上記実施の形態で説明した、配線RBL1、配線RBL2、配線RBLFX、配線RBLFY、配線RBLF1、配線RBLF2及び配線RBLGとすることができる。

[0677]

また、配線WWLは、一例として、メモリセルMCにおける書き込みワード線としての機能を有する。つまり、配線WWLは、上記実施の形態で説明した、配線WWL1、配線WWL2、配線WWLF、配線WWLF1、配線WWLF2及び配線WWLGとすることができる。

[0678]

また、配線RWLは、一例として、メモリセルMCにおける読み出しワード線としての機能を有する。つまり、配線RWLは、上記実施の形態で説明した、配線RWL1、配線RWL2、配線RWLF、配線RWLF1、配線RWLF2及び配線RWLGとすることができる。

[0679]

また、データの書き込み時、及びデータの読み出し時において、配線RWLには、高レベル電位といった固定電位が与えられることが好ましい。また、データの保持時において、配線RWL[i]には、低レベル電位といった固定電位が与えられることが好ましい。

[0680]

配線SLは、一例として、メモリセルMCからデータを読み出すときに、所定の固定電位を与える配線としての機能を有する。

[0681]

メモリセルMCにデータの書き込みを行う場合、例えば、配線WWLに高レベル電位（論理を“1”とする電位）を印加し、トランジスタM1をオン状態、つまり、配線WBLとメモリセルMCの容量素子C1の第1端子との間を導通状態にすることによって行われる。なお、このとき、配線RWLには、高レベル電位が与えられることが好ましい。具体的には、トランジスタM1がオン状態のときに、配線WBLに記録する情報に対応する電位（高レベル電位又は低レベル電位）を印加し、容量素子C1の第1端子及びトランジスタM2のゲートに該電位を書き込む。その後、配線WWLに低レベル電位を印加し、トランジスタM1をオフ状態にすることによって、容量素子C1の第1端子の電位及びトランジスタM2のゲートの電位が保持される。そして、配線RWLの電位を、高レベル電位から低レベル電位に変化させて、容量素子C1の容量結合によってトランジスタM2のゲート電位を下げることで、トランジスタM2がオフ状態となる。

[0682]

また、メモリセルMCからデータの読み出しを行う場合、例えば、配線RWLに高レベル電位を与え、配線RBLを低レベル電位にプリチャージし、かつ配線SLに高レベル電位を印加することによって行われる。

[0683]

トランジスタM2のゲートの電位が高レベル電位であるとき、トランジスタM2のゲートソース間電圧は、高レベル電位と低レベル電位との電位差となる。また、当該電位差がトランジスタM2のしきい値電圧よりも高いとき、トランジスタM2がオン状態となるため、トランジスタM2のソースドレイン間に電流が流れる。また、このとき、トランジスタM2の第2端子（配線RBL）の電位は、トランジスタM2がオフ状態になるゲートソース間電圧を満たすまで昇圧する。具体的には、トランジスタM2の第2端子（配線RBL）の電位が“高レベル電位－低レベル電位－しきい値電圧”

になったとき、トランジスタM2がオフ状態となる。

[0684]

また、トランジスタM2のゲートの電位が低レベル電位であるとき、トランジスタM2のゲートソース間電圧は、0Vとなる。また、トランジスタM2のしきい値電圧が0Vよりも高いとき、トランジスタM2がオフ状態となり、このとき、トランジスタM2の第2端子（配線RBL）の電位は、低レベル電位から変化しない。

[0685]

その後、配線RBLに接続されているセンスアンプ（例えば、センスアンプSA1、センスアンプSA2、センスアンプSAF、センスアンプSAGなど）によって、配線RBLの電位を増幅することによって、メモリセルMCに保持されているデータを読み出すことができる。

[0686]

実施の形態1で説明した各記憶回路に備えられるメモリセルは、図32Aに示す回路図に限定されず、図32Aの回路図を適宜変更した構成としてもよい。例えば、図32Bに示すとおり、図32AのメモリセルMCにおいて、トランジスタM1及びトランジスタM2のそれぞれにバックゲートを設けた構成としてもよい。

[0687]

図32BのメモリセルMCでは、例えば、トランジスタM1のバックゲートは、トランジスタM1のゲートに接続されている。トランジスタM1のゲートとバックゲートを接続することによって、トランジスタM1のオン状態のときに流れる電流を大きくすることができ、また、トランジスタM1がオフ状態のときに流れるリーク電流を小さくすることができる。

[0688]

また、例えば、トランジスタM2のバックゲートは、配線BGLを介して外部回路（図示しない）と接続されている。当該外部回路によってトランジスタM2のバックゲートに電位を与えることによって、トランジスタM2のしきい値電圧を上げることができる。このような構成にすることにより、当該外部回路によってトランジスタM2のリーク電流を小さくすることができる。

[0689]

また、実施の形態1で説明した各記憶回路に備えられるメモリセル部は、書き込みビット線と読み出しビット線のそれぞれが列方向に延在された構成となっているが、書き込みビット線と読み出しビット線は同一の一本の配線にまとめてもよい。例えば、図32CのメモリセルMCを適用することによって、書き込みビット線と読み出しビット線は一本の配線にまとめることができる。図32CのメモリセルMCは、図32AのメモリセルMCにおいて、配線WBLと配線RBLとが一本の配線として配線WRBLにまとめられた構成となっている。これにより、メモリセルMCに接続される配線の数減らすことができるため、メモリセル部MCA1、メモリセル部MCA2、メモリセル部MCAF又はメモリセル部MCAGの面積を低減することができる。

[0690]

<メモリセルの構成例2>

図32Dは、3個のトランジスタと1個の容量素子を有するメモリセル（3T1C型のメモリセルと呼称する場合がある）の構成例を示した回路図である。図32Dに示すメモリセルMCは、例えば、図32AのメモリセルMCと同様に、記憶回路LM1に含まれているメモリセルMC1、記憶回路LM2に含まれているメモリセルMC2、記憶回路FMと記憶回路FM1と記憶回路FM2とのそ

れぞれに含まれるメモリセルMC F、並びに記憶回路F GMに含まれているメモリセルMC Gに適用することができる。

[0691]

図32DのメモリセルMCは、一例として、トランジスタM1と、トランジスタM2と、トランジスタM3と、容量素子C1と、を有している。

[0692]

トランジスタM1の第1端子は、容量素子C1の第1端子と、トランジスタM2のゲートと、に接続されている。また、トランジスタM1の第2端子は、配線WBLに接続され、トランジスタM1のゲートは、配線WWLに接続されている。また、容量素子C1の第2端子は、配線CLに接続されている。また、トランジスタM2の第1端子は、配線SLに接続され、トランジスタM2の第2端子は、トランジスタM3の第1端子に接続されている。また、トランジスタM3の第2端子は、配線RBLに接続され、トランジスタM3のゲートは、配線RWLに接続されている。

[0693]

また、トランジスタM1としてOSトランジスタを適用した場合、図32Dに示すメモリセルMCを有する記憶回路もNOSRAMと呼称することができる。

[0694]

図32Dに示している配線WBL、配線RBL、配線WWL、配線RWL及び配線SLについては、図32Aに示している配線WBL、配線RBL、配線WWL、配線RWL及び配線SLのそれぞれの説明を参照することができる。

[0695]

また、配線CLは、一例として、所定の固定電位を与える配線としての機能を有する。当該固定電位としては、例えば、高レベル電位、低レベル電位、接地電位などとすることができる。

[0696]

メモリセルMCにデータの書き込みを行う場合、例えば、配線WWLに高レベル電位を印加し、トランジスタM1をオン状態、つまり、配線WBLとメモリセルMCの容量素子C1の第1端子との間を導通状態にすることによって行われる。その後、配線WWLに低レベル電位を印加し、トランジスタM1をオフ状態にすることによって、容量素子C1の第1端子の電位及びトランジスタM2のゲートの電位が保持される。なお、書き込み動作中では、配線RWLには、常に低レベル電位が与えられることが好ましい。

[0697]

また、メモリセルMCからデータの読み出しを行う場合、例えば、配線RWLに高レベル電位を与え、配線RBLを低レベル電位にプリチャージし、かつ配線SLに高レベル電位を印加することによって行われる。なお、このとき、トランジスタM2の第2端子の電位は、トランジスタM3がオン状態となるため、配線RBLから与えられる低レベル電位となる。

[0698]

トランジスタM2のゲートの電位が高レベル電位であるとき、トランジスタM2のゲートソース間電圧は、高レベル電位と低レベル電位との電位差となる。また、当該電位差がトランジスタM2のしきい値電圧よりも高いとき、トランジスタM2がオン状態となるため、トランジスタM2のソースドレイン間に電流が流れる。また、このとき、トランジスタM2の第2端子の電位は、トランジスタM2がオフ状態になるゲートソース間電圧を満たすまで昇圧する。具体的には、トランジスタM

2の第2端子(配線RBL)の電位が“高レベル電位ー低レベル電位ーしきい値電圧”になったとき、トランジスタM2がオフ状態となる。

[0699]

また、トランジスタM2のゲートの電位が低レベル電位であるとき、トランジスタM2のゲートソース間電圧は、0Vとなる。また、トランジスタM2のしきい値電圧が0Vよりも高いとき、トランジスタM2がオフ状態となり、このとき、トランジスタM2の第2端子(配線RBL)の電位は、低レベル電位から変化しない。

[0700]

その後、配線RBLに接続されているセンスアンプ(例えば、センスアンプSA1、センスアンプSA2、センスアンプSAF、センスアンプSAGなど)によって、配線RBLの電位を増幅することによって、メモリセルMCに保持されているデータを読み出すことができる。

[0701]

実施の形態1で説明した各記憶回路に備えられるメモリセルは、図32Dに示す回路図に限定されず、図32Dの回路図を適宜変更した構成としてもよい。例えば、図32Eに示すとおり、図32DのメモリセルMCにおいて、トランジスタM1乃至トランジスタM3のそれぞれにバックゲートを設けた構成としてもよい。

[0702]

図32EのメモリセルMCでは、例えば、トランジスタM1のバックゲートは、トランジスタM1のゲートに接続されている。また、トランジスタM2のバックゲートは、配線BGLを介して外部回路(図示しない)と接続されている。また、トランジスタM3のバックゲートは、トランジスタM3のゲートに接続されている。

[0703]

なお、トランジスタにバックゲートを設けたときの効果については、図32BのメモリセルMCの説明を参照することができる。

[0704]

また、実施の形態1で説明した各記憶回路に備えられるメモリセル部は、書き込みビット線と読み出しビット線のそれぞれが列方向に延在された構成となっているが、書き込みビット線と読み出しビット線は同一の一本の配線にまとめてもよい。例えば、図32FのメモリセルMCを適用することによって、書き込みビット線と読み出しビット線は同一の一本の配線にまとめることができる。図32FのメモリセルMCは、図32DのメモリセルMCにおいて、配線WBLと配線RBLとが一本の配線として配線WRBLにまとめられた構成となっている。これにより、メモリセルMCに接続される配線の数を減らすことができるため、メモリセル部MCA1、メモリセル部MCA2、メモリセル部MCAF又はメモリセル部MCAGの面積を低減することができる。

[0705]

<メモリセルの構成例3>

実施の形態1で説明した各記憶回路に備えられるメモリセル部は、書き込みビット線と読み出しビット線のそれぞれが列方向に延在され、かつ書き込みワード線と読み出しワード線のそれぞれが行方向に延在された構成となっているが、書き込みビット線と読み出しビット線を一本の配線にまとめ、かつ書き込みワード線と読み出しワード線を一本の配線にまとめてもよい。

[0706]

例えば、図33AのメモリセルMCを適用することによって、書き込みビット線と読み出しビット線を同一の一本の配線にまとめ、かつ書き込みワード線と読み出しワード線を同一の一本の配線にまとめることができる。図33Aに示すメモリセルMCは、1個のトランジスタと1個の容量素子を有するメモリセル(1T1C型のメモリセルと呼称する場合がある)の構成例を示した回路図である。

[0707]

また、図33Aに示すメモリセルMCを有する記憶回路をDRAM(Dynamic Random Access Memory)と呼称することができる。また、トランジスタM4としてOSトランジスタを適用した場合、図33Aに示すメモリセルMCを有する記憶回路をDOSRAM(登録商標)(Dynamic Oxide Semiconductor Random Access Memory)と呼称することができる。

[0708]

図33AのメモリセルMCにおいて、書き込みビット線と読み出しビット線の両方の配線としての機能を有する配線WRBLが行方向に延在し、書き込みワード線と読み出しワード線の両方の配線としての機能を有する配線WRWLが列方向に延在している。これにより、メモリセルMCに接続される配線の数減らすことができるため、メモリセル部MCA1、メモリセル部MCA2、メモリセル部MCAF又はメモリセル部MCAGの面積を低減することができる。

[0709]

また、この場合において、配線WRWLには、書き込みワード線ドライバ回路としての機能を有する第1駆動回路(例えば、駆動回路WWD1、駆動回路WWD2、駆動回路WWD F、駆動回路WWD Gなど)と、読み出しワード線ドライバ回路としての機能を有する第2駆動回路(例えば、駆動回路RWD1、駆動回路RWD2、駆動回路RWD F、駆動回路RWD Gなど)と、が接続されていることが好ましい。また、この場合、第1駆動回路と第2駆動回路の一方から配線WRWLに信号が与えられているとき、第1駆動回路と第2駆動回路の他方は配線WRWLに対して高インピーダンスとなっていることが好ましい。

[0710]

図33AのメモリセルMCは、一例として、トランジスタM4と、容量素子C2と、を有している。

[0711]

トランジスタM4の第1端子は、容量素子C2の第1端子に接続され、トランジスタM4の第2端子は、配線WRBLに接続され、トランジスタM4のゲートは、配線WRWLに接続されている。また、容量素子C2の第2端子は、配線CLに接続されている。

[0712]

配線CLは、一例として、図32Dに示した配線CLと同様に、所定の固定電位を与える配線としての機能を有する。当該固定電位としては、例えば、高レベル電位、低レベル電位、接地電位などとすることができる。

[0713]

メモリセルMCにデータの書き込みを行う場合、例えば、配線WRWLに高レベル電位を印加し、トランジスタM4をオン状態、つまり、配線WRBLとメモリセルMCの容量素子C2の第1端子との間を導通状態にすることによって行われる。具体的には、トランジスタM4がオン状態のときに、配線WRBLに記録する情報に対応する電位(高レベル電位又は低レベル電位)を印加し、容量素子C2の第1端子に該電位を書き込む。その後、配線WRWLに低レベル電位を印加し、トランジスタ

M4をオフ状態にすることによって、容量素子C2の第1端子の電位が保持される。

[0714]

また、メモリセルMCからデータの読み出しを行う場合、例えば、初めに配線WRBLを低レベル電位にプリチャージする。その後に、配線WRWLを高レベル電位を印加し、トランジスタM4をオン状態にすることによって、容量素子C2の第1端子に蓄積された電荷を、配線WRBLと容量素子C2の第1端子とで再分配が行われる。このとき、配線WRBLの電位は、メモリセルMCに書き込まれたデータに応じて定められる。

[0715]

その後、配線WRBLに接続されているセンスアンプ（例えば、センスアンプSA1、センスアンプSA2、センスアンプSAF、センスアンプSAGなど）によって、配線WRBLの電位を増幅することによって、メモリセルMCに保持されているデータを読み出すことができる。

[0716]

また、図33Aに示すトランジスタM4には、バックゲートが設けられた構成としてもよい。例えば、図33Bに示すとおり、トランジスタM4のバックゲートが、ゲートに直接接続されている構成としてもよい。

[0717]

なお、トランジスタにバックゲートを設けたときの効果については、図32BのメモリセルMCの説明を参照することができる。

[0718]

<メモリセルの構成例4>

次に、図33A及び図33Bに示すメモリセルMCとは異なる、書き込みビット線と読み出しビット線を一本の配線にまとめ、かつ書き込みワード線と読み出しワード線を一本の配線にまとめることができるメモリセルMCの構成について説明する。

[0719]

図33Cに示すメモリセルMCは、1個のトランジスタと2個のインバータを有するメモリセルの構成例を示した回路図であって、図33CのメモリセルMCを適用することによって、書き込みビット線と読み出しビット線を同一の一本の配線にまとめ、かつ書き込みワード線と読み出しワード線を同一の一本の配線にまとめることができる。

[0720]

図33CのメモリセルMCにおいて、書き込みビット線と読み出しビット線の両方の配線としての機能を有する配線WRBLが行方向に延在し、書き込みワード線と読み出しワード線の両方の配線としての機能を有する配線WRWLが列方向に延在している。これにより、メモリセルMCに接続される配線の数減らすことができるため、メモリセル部MCA1、メモリセル部MCA2、メモリセル部MCAF又はメモリセル部MCAGの面積を低減することができる。

[0721]

また、この場合において、配線WRWLには、書き込みワード線ドライバ回路としての機能を有する第1駆動回路（例えば、駆動回路WWD1、駆動回路WWD2、駆動回路WWD F、駆動回路WWD Gなど）と、読み出しワード線ドライバ回路としての機能を有する第2駆動回路（例えば、駆動回路RWD1、駆動回路RWD2、駆動回路RWD F、駆動回路RWD Gなど）と、が接続されていることが好ましい。また、この場合、第1駆動回路と第2駆動回路の一方から配線WRWLに信号が与

えられているとき、第1駆動回路と第2駆動回路の他方は配線WRWLに対して高インピーダンスとなっていることが好ましい。

[0722]

図33CのメモリセルMCは、一例として、トランジスタM5と、インバータINV1と、インバータINV2と、を有している。

[0723]

トランジスタM5の第1端子は、インバータINV1の入力端子と、インバータINV2の出力端子と、に接続されている。また、インバータINV1の出力端子は、インバータINV2の出力端子に接続されている。つまり、メモリセルMC内には、インバータINV1とインバータINV2によってインバータループが形成されている。

[0724]

メモリセルMCにデータの書き込みを行う場合、例えば、配線WRWLに高レベル電位を印加し、トランジスタM5をオン状態、つまり、配線WRBLとインバータINV1の入力端子との間を導通状態にすることによって行われる。具体的には、トランジスタM5がオン状態のときに、配線WRBLに記録する情報に対応する電位（高レベル電位又は低レベル電位）を印加し、インバータループに当該電位を書き込む。その後、配線WRWLに低レベル電位を印加し、トランジスタM5をオフ状態にすることによって、当該情報を保持することができる。

[0725]

メモリセルMCからデータの読み出しを行う場合、例えば、配線WRWLに高レベル電位を印加し、トランジスタM5をオン状態にすることによって行われる。これにより、インバータINV2の出力端子から出力される電位を配線WRBLに出力することで、メモリセルMCに保持されているデータを読み出すことができる。

[0726]

なお、実施の形態1で説明した各記憶回路のメモリセルとして、図33CのメモリセルMCを適用した場合、各記憶回路には、読み出しビット線ドライバ回路としての機能を有する駆動回路（例えば、駆動回路RBD1、駆動回路RBD2、駆動回路RBDF、センスアンプSAG、センスアンプSAG1、センスアンプSAG2）を設けなくてもよい。これは、メモリセルMCのインバータINV2の出力端子はローインピーダンスとなっており、保持されている情報に応じた信号を常に出力する構成となっているため、配線WRBLの電位を増幅する必要が無いからである。

[0727]

また、図33CのメモリセルMCは、図33Dに示すメモリセルMCに構成を変更することができる。図33Dに示すメモリセルMCは、新たにトランジスタM5rを設けて、データを相補的に保持する構成となっている。

[0728]

具体的には、図33DのメモリセルMCにおいて、トランジスタM5rの第1端子が、インバータINV1の出力端子と、インバータINV2の入力端子と、に接続され、トランジスタM5rのゲートは配線WRWLに接続され、トランジスタM5rの第2端子は配線WRBLrに接続されている。これにより、インバータINV1の出力端子と、インバータINV2の入力端子と、の接続箇所には、インバータINV1の入力端子と、インバータINV2の出力端子と、の接続箇所に保持されるデータの論理が反転されたデータが保持される。

[0729]

また、配線WRBL_rは、配線WRBLと同様に書き込みビット線及び読み出しビット線としての機能を有する。なお、配線WRBL_rには、配線WRBLに送信されるデータの論理が反転されたデータが送信される。このため、書き込みビット線ドライバ回路としての機能を有する駆動回路（例えば、駆動回路WBD1、駆動回路WBD2など）は、例えば、配線WRBLに画像データD[i]を送信し、配線WRBL_rに画像データD[i]の論理が反転されたデータを送信する構成とすることが好ましい。

[0730]

また、図33Dに示すメモリセルMCを有する記憶回路をSRAM(Static Random Access Memory)と呼称することができる。

[0731]

また、図33Dに示すトランジスタM5及びトランジスタM5_rのそれぞれには、バックゲートが設けられた構成としてもよい。例えば、図33Eに示すとおり、トランジスタM5のバックゲートが、トランジスタM5のゲートに接続され、かつトランジスタM5_rのバックゲートが、トランジスタM5_rのゲートに接続されている構成としてもよい。

[0732]

なお、トランジスタにバックゲートを設けたときの効果については、図32BのメモリセルMCの説明を参照することができる。

[0733]

また、図33DのメモリセルMCは、図33Fに示すメモリセルMCに構成を変更することができる。図33Fに示すメモリセルMCは、新たにトランジスタM6とトランジスタM6_rと容量素子C3と容量素子C3_rとを設けて、データのバックアップが可能な構成となっている。

[0734]

具体的には、図33FのメモリセルMCにおいて、トランジスタM6の第1端子は、トランジスタM5の第1端子と、インバータINV1の入力端子と、インバータINV2の出力端子と、に接続され、トランジスタM6の第2端子は、容量素子C3の第1端子に接続され、トランジスタM6のゲートは、配線BULに接続されている。また、トランジスタM6_rの第1端子は、トランジスタM5_rの第1端子と、インバータINV1の出力端子と、インバータINV2の入力端子と、に接続され、トランジスタM6_rの第2端子は、容量素子C3_rの第1端子に接続され、トランジスタM6_rのゲートは、配線BULに接続されている。また、容量素子C3の第2端子は、配線CLに接続され、容量素子C3_rの第2端子は、配線CLに接続されている。

[0735]

配線CLは、一例として、図32Dに示した配線CLと同様に、所定の固定電位を与える配線としての機能を有する。当該固定電位としては、例えば、高レベル電位、低レベル電位、接地電位などとする事ができる。

[0736]

配線BULは、一例として、メモリセルMCにおいて、トランジスタM6及びトランジスタM6_rのそれぞれのオン状態とオフ状態の切り替えを制御する信号を送信するための配線としての機能を有する。例えば、配線BULに高レベル電位が与えられたとき、トランジスタM6及びトランジスタM6_rのそれぞれがオン状態となり、容量素子C3と容量素子C3_rのそれぞれの第1端子に、イン

バータINV2の出力端子の電位と、インバータINV1の出力端子の電位と、が与えられる。その後、配線BULに低レベル電位を与えて、トランジスタM6及びトランジスタM6rのそれぞれをオフ状態にすることによって、メモリセルMCのデータのバックアップが完了する。これにより、インバータINV1及びインバータINV2への電源の供給を停止しても、容量素子C3と容量素子C3rのそれぞれによって、当該データを保持することができる。

[0737]

なお、本実施の形態は、本明細書で示す、同一の、又は他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、その本実施の形態で示す構成、構造、方法などと適宜組み合わせる用いることができる。また、例えば、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせる用いることができる。

[0738]

(実施の形態6)

本実施の形態では、上記実施の形態で説明した画素回路PXに適用できる構成例について説明する。

[0739]

<画素回路の構成例1>

図34Aは、実施の形態1で説明した表示装置DSPの画素回路PXに適用できる回路の構成例を示す回路図である。

[0740]

図34Aに示す画素回路PX1は、一例として、トランジスタTr1と、トランジスタTr2と、容量素子Cs1と、容量素子Cs2と、発光デバイスEDと、を有する。

[0741]

発光デバイスEDとしては、例えば、有機EL材料を含む発光デバイス、無機EL材料を含む発光デバイス及び発光ダイオード（例えば、マイクロLED）が挙げられる。また、画素回路PX1は、上述した発光デバイスEDから選ばれた1つ以上が適用された画素回路とすることができる。なお、本実施の形態では、画素アレイ部PXAの画素回路PXには、有機EL材料が含まれる発光デバイスが適用されたものとして説明する。特に高輝度発光が可能な発光デバイスから発光される光の輝度としては、例えば、 500 cd/m^2 以上、好ましくは 1000 cd/m^2 以上 10000 cd/m^2 以下、さらに好ましくは 2000 cd/m^2 以上 5000 cd/m^2 以下とすることができる。

[0742]

トランジスタTr1の第1端子は、配線SLに接続され、トランジスタTr1の第2端子は、トランジスタTr2のゲートと、容量素子Cs1の第1端子と、に接続され、トランジスタTr1のゲートは、配線GLに接続されている。また、トランジスタTr2の第1端子は、配線ILに接続され、トランジスタTr2の第2端子は、容量素子Cs1の第2端子と、容量素子Cs2の第1端子と、発光デバイスEDのアノードと、に接続されている。また、容量素子Cs2の第2端子は、配線VCOMに接続されている。また、発光デバイスEDのカソードは、配線VCATに接続されている。

[0743]

配線SLは、一例として、上記の実施の形態で説明した図1、図14、図20又は図27に示す配線SLとすることができる配線であって、図1、図14、図20又は図27に示す駆動回路SDから画素回路PX1に画像信号を送信するための配線として機能する。

[0744]

配線GLは、一例として、上記の実施の形態で説明した図1、図14、図20又は図27に示す配線GLとすることができる配線であって、図1、図14、図20又は図27に示す駆動回路GDから画素回路PX1に選択信号又は非選択信号を送信するための配線として機能する。

[0745]

配線ILは、発光デバイスEDのアノードに電流を供給するための配線として機能する。このため、配線ILは、電流供給線と呼ばれる場合がある。

[0746]

配線VCOMは、容量素子Cs2の第2端子に固定電位を与える配線として機能する。特に、当該固定電位は、共通電位と呼ばれる場合がある。共通電位は、一例として、低レベル電位、接地電位又は負電位とすることができる。また、配線VCOMは、同じ画素アレイ部PXA内の別の画素回路PX1に備わる容量素子Cs2の第2端子にも共通電位を与える配線としてもよい。

[0747]

配線VCATは、発光デバイスEDのカソードに固定電位を与える配線として機能する。特に、当該固定電位はカソード電位と呼ばれる場合がある。カソード電位は、一例として、低レベル電位、接地電位、又は負電位とすることができる。また、配線VCATは、同じ画素アレイ部PXA内の別の画素回路PX1に備わる発光デバイスEDのカソードにもカソード電位を与える配線としてもよい。

[0748]

なお、配線VCOMが与える共通電位と、配線VCATが与えるカソード電位は、互いに等しい電位としてもよい。この場合、配線VCOMと配線VCATは同一の配線としてもよい(図示しない)。

[0749]

トランジスタTr1は、画素回路PXにおける、画像信号の書き込みトランジスタとして機能する。このため、表示装置DSPのフレーム周波数を高めたい場合は、トランジスタTr1には、駆動周波数が高いトランジスタを用いることが好ましい。

[0750]

また、トランジスタTr2は、画素回路PXにおける、発光デバイスEDのアノードーカソード間に流れる電流の量を制御するための駆動トランジスタとして機能する。このため、画像信号に応じた電位が高電位となる場合、トランジスタTr2には、電圧に対して高い耐性を有するトランジスタを用いることが好ましい。

[0751]

<画素回路の構成例2>

図34Bは、実施の形態1で説明した表示装置DSPの画素回路PXに適用でき、かつ図34Aの画素回路とは異なる回路の構成例を示す回路図である。

[0752]

図34Bに示す画素回路PX2は、一例として、トランジスタTr1と、トランジスタTr2と、トランジスタTr3と、トランジスタTr4と、容量素子Cs1と、容量素子Cs3と、発光デバイスEDと、を有する。

[0753]

なお、トランジスタTr1、トランジスタTr2、容量素子Cs1及び発光デバイスEDについては、上記の画素回路PX1に含まれるトランジスタTr1、トランジスタTr2、容量素子Cs1及

び発光デバイスEDの説明を参照することができる。

[0754]

画素回路PX2は、入力された画像信号に応じた発光強度の光を発するだけでなく、駆動トランジスタであるトランジスタTr2のしきい値電圧の補正を行う機能も有する。

[0755]

トランジスタTr1の第1端子は、配線SLに接続され、トランジスタTr1の第2端子は、トランジスタTr2のゲートと、容量素子Cs1の第1端子と、に接続され、トランジスタTr1のゲートは、配線GL1に接続されている。また、トランジスタTr2の第1端子は、トランジスタTr3の第1端子に接続され、トランジスタTr2の第2端子は、容量素子Cs1の第2端子と、容量素子Cs3の第1端子と、トランジスタTr4の第1端子と、発光デバイスEDのアノードと、に接続されている。また、トランジスタTr3の第2端子は、配線VELに接続され、トランジスタTr3のゲートは、配線GL2に接続されている。また、容量素子Cs3の第2端子は、配線VELに接続されている。また、トランジスタTr4の第2端子は、配線INILに接続され、トランジスタTr4のゲートは、配線GL3に接続されている。また、発光デバイスEDのカソードは、配線VCATに接続されている。

[0756]

配線SL及び配線VCATについては、図34Aの画素回路PX1に接続されている配線SL及び配線VCATの説明を参照することができる。

[0757]

配線GL1については、図34Aの画素回路PX1に接続されている配線GL1の説明を参照することができる。

[0758]

配線GL2は、一例として、トランジスタTr3のオン状態とオフ状態とを切り替えるための制御信号を送信するための配線としての機能を有する。

[0759]

配線GL3は、一例として、トランジスタTr4のオン状態とオフ状態とを切り替えるための制御信号を送信するための配線としての機能を有する。

[0760]

配線VELは、一例として、発光デバイスEDのアノードに電位を与えるための配線として機能する。また、当該電位は、発光デバイスEDのアノード電位とすることができる。

[0761]

配線INILは、発光デバイスEDのアノードに電位を与えるための配線として機能する。特に、当該電位は、例えば、発光デバイスEDのアノード電位をリセットするための、初期化用の電位とすることができる。

[0762]

トランジスタTr3及びトランジスタTr4には、電圧に対して高い耐性を有するトランジスタを用いることが好ましい。

[0763]

また、画素回路PX2において、トランジスタTr1及びトランジスタTr2はバックゲートを有するトランジスタとしてもよい。具体的には、図35Aに示すとおり、画素回路PX2は、トランジ

スタTr 1のバックゲートがトランジスタTr 1のゲートに接続され、トランジスタTr 2のバックゲートがトランジスタTr 2の第2端子に接続されている構成としてもよい。

[0764]

<画素回路の構成例3>

図34Cは、実施の形態1で説明した表示装置DSPの画素回路PXに適用でき、かつ図34A及び図34Bの画素回路とは異なる回路の構成例を示す回路図である。

[0765]

図34Cに示す画素回路PX3は、一例として、トランジスタTr 1と、トランジスタTr 2と、トランジスタTr 4と、トランジスタTr 5と、容量素子Cs 1と、発光デバイスEDと、を有する。

[0766]

なお、トランジスタTr 1、トランジスタTr 2、トランジスタTr 4、容量素子Cs 1及び発光デバイスEDについては、上記の画素回路PX2に含まれるトランジスタTr 1、トランジスタTr 2、トランジスタTr 4、容量素子Cs 1及び発光デバイスEDの説明を参照することができる。

[0767]

画素回路PX3は、画素回路PX2と同様に、入力された画像信号に応じた発光強度の光を発するだけでなく、駆動トランジスタであるトランジスタTr 2のしきい値電圧の補正を行う機能も有する。

[0768]

トランジスタTr 1の第1端子は、配線SLに接続され、トランジスタTr 1の第2端子は、トランジスタTr 2のゲートと、トランジスタTr 5の第1端子と、容量素子Cs 1の第1端子と、に接続され、トランジスタTr 1のゲートは、配線GL1に接続されている。また、トランジスタTr 2の第1端子は、配線VELに接続され、トランジスタTr 2の第2端子は、容量素子Cs 1の第2端子と、トランジスタTr 4の第1端子と、発光デバイスEDのアノードと、に接続されている。また、トランジスタTr 5の第2端子は、配線VBLに接続され、トランジスタTr 5のゲートは、配線GL4に接続されている。また、トランジスタTr 4の第2端子は、配線INILに接続され、トランジスタTr 4のゲートは、配線GL3に接続されている。また、発光デバイスEDのカソードは、配線VCATに接続されている。

[0769]

配線SL、配線VCAT、配線VEL及び配線INILについては、図34Bの画素回路PX2に接続されている配線SL、配線VCAT、配線VEL、及び配線INILの説明を参照することができる。

[0770]

配線GL1については、図34Aの画素回路PX1に接続されている配線GL1の説明を参照することができる。

[0771]

配線GL3については、図34Bの画素回路PX2に接続されている配線GL1の説明を参照することができる。

[0772]

配線GL4は、一例として、トランジスタTr 5のオン状態とオフ状態とを切り替えるための制御信号を送信するための配線としての機能を有する。

[0773]

配線VBLは、容量素子Cs1の第1端子に固定電位を与えるための配線として機能する。当該固定電位は、例えば、トランジスタTr2のしきい値電圧の補正時において、トランジスタTr2のゲートに入力される電位であって、配線VELを与える電位とほぼ等しいことが好ましい。

[0774]

トランジスタTr5には、電圧に対して高い耐性を有するトランジスタを用いることが好ましい。例えば、トランジスタTr5には、ゲート絶縁膜が厚いトランジスタを用いることが好ましい。

[0775]

<画素回路の構成例4>

図34Dは、実施の形態1で説明した表示装置DSPの画素回路PXに適用でき、かつ図34A乃至図34Cの画素回路とは異なる回路の構成例を示す回路図である。

[0776]

図34Dに示す画素回路PX4は、一例として、トランジスタTr1と、トランジスタTr2と、トランジスタTr4と、容量素子Cs1と、発光デバイスEDと、を有する。

[0777]

なお、トランジスタTr1、トランジスタTr2、トランジスタTr4、容量素子Cs1及び発光デバイスEDについては、上記の画素回路PX3に含まれるトランジスタTr1、トランジスタTr2、トランジスタTr4、容量素子Cs1及び発光デバイスEDの説明を参照することができる。

[0778]

画素回路PX4は、画素回路PX1と同様に、入力された画像信号に応じた発光強度の光を発する機能も有する。

[0779]

トランジスタTr1の第1端子は、配線SLに接続され、トランジスタTr1の第2端子は、トランジスタTr2のゲートと、容量素子Cs1の第1端子と、に接続され、トランジスタTr1のゲートは、配線GL1に接続されている。また、トランジスタTr2の第1端子は、配線VELに接続され、トランジスタTr2の第2端子は、容量素子Cs1の第2端子と、トランジスタTr4の第1端子と、発光デバイスEDのアノードと、に接続されている。また、トランジスタTr4の第2端子は、配線INILに接続され、トランジスタTr4のゲートは、配線GL3に接続されている。また、発光デバイスEDのカソードは、配線VCATに接続されている。

[0780]

配線SL、配線VCAT、配線INIL、配線GL1及び配線GL3については、図34Cの画素回路PX3に接続されている配線SL及び配線VCATの説明を参照することができる。

[0781]

画素回路PX4において、トランジスタTr2はバックゲートを有するトランジスタとしてもよい。具体的には、図35Bに示すとおり、画素回路PX4は、トランジスタTr2のバックゲートがトランジスタTr2の第2端子に接続されている構成としてもよい。

[0782]

<画素回路の構成例5>

図36Aは、実施の形態1で説明した表示装置DSPの画素回路PXに適用でき、かつ図34A乃至図34Dの画素回路とは異なる回路の構成例を示す回路図である。

[0783]

図36Aに示す画素回路PX5は、一例として、トランジスタTr1乃至トランジスタTr4と、トランジスタTr6と、トランジスタTr7と、容量素子Cs1と、発光デバイスEDと、を有する。
[0784]

なお、トランジスタTr1乃至トランジスタTr4、容量素子Cs1及び発光デバイスEDについては、上記の画素回路PX2に含まれるトランジスタTr1乃至トランジスタTr4、容量素子Cs1及び発光デバイスEDの説明を参照することができる。
[0785]

画素回路PX5は、画素回路PX2及び画素回路PX3と同様に、入力された画像信号に応じた発光強度の光を発するだけでなく、駆動トランジスタであるトランジスタTr2のしきい値電圧の補正を行う機能も有する。
[0786]

トランジスタTr1の第1端子は、配線SLに接続され、トランジスタTr1の第2端子は、トランジスタTr2の第1端子と、トランジスタTr7の第1端子と、に接続され、トランジスタTr1のゲートは、配線GL1に接続されている。また、トランジスタTr2の第2端子は、トランジスタTr3の第1端子と、トランジスタTr6の第1端子と、に接続され、トランジスタTr2のゲートは、トランジスタTr6の第2端子と、容量素子Cs1の第1端子と、に接続されている。トランジスタTr3の第2端子は、配線VELに接続され、トランジスタTr3のゲートは、配線GL2に接続されている。また、トランジスタTr6のゲートは、トランジスタTr4のゲートと、配線GL3と、に接続されている。トランジスタTr7の第2端子は、トランジスタTr4の第1端子と、容量素子Cs1の第2端子と、発光デバイスEDのアノードと、に接続されている。また、トランジスタTr4の第2端子は、配線INILに接続されている。また、発光デバイスEDのカソードは、配線VCATに接続されている。
[0787]

配線SL、配線GL1、配線GL2、配線GL3、配線VCAT、配線VEL及び配線INILについては、図34Bの画素回路PX2に接続されている配線SL、配線GL1、配線GL2、配線GL3、配線VCAT、配線VEL及び配線INILの説明を参照することができる。
[0788]

配線GL5は、一例として、トランジスタTr7のオン状態とオフ状態とを切り替えるための制御信号を送信するための配線としての機能を有する。
[0789]

トランジスタTr6及びトランジスタTr7には、電圧に対して高い耐性を有するトランジスタを用いることが好ましい。例えば、トランジスタTr6及びトランジスタTr7には、ゲート絶縁膜が厚いトランジスタを用いることが好ましい。
[0790]

なお、本発明の一態様の半導体装置に係る画素回路は、図36Aに示す画素回路PX5の構成に限定されず、画素回路PX5の回路構成が適宜変更されたものとすることができる。
[0791]

例えば、図36Bに示す画素回路PX5Aの通り、図36Aの画素回路PX5に容量素子Cs4を設けた構成としてもよい。容量素子Cs4の第1端子は、トランジスタTr1のゲートと、配線GL1と、に接続され、容量素子Cs4の第2端子は、トランジスタTr4の第1端子と、トランジスタ

Tr 7の第2端子と、容量素子Cs 1の第2端子と、発光デバイスEDのアノードと、に接続されている。

[0792]

また、画素回路PX 5 Aにおいて、トランジスタTr 1、トランジスタTr 2、及びトランジスタTr 6はバックゲートを有するトランジスタとしてもよい。具体的には、図37に示すとおり、画素回路PX 5 Aは、トランジスタTr 1のバックゲートがトランジスタTr 1のゲートに接続され、トランジスタTr 2のバックゲートがトランジスタTr 2の第2端子に接続され、トランジスタTr 6のバックゲートがトランジスタTr 6のゲートに接続されている構成としてもよい。

[0793]

なお、本実施の形態は、本明細書で示す、同一の、又は他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、その本実施の形態で示す構成、構造、方法などと適宜組み合わせて用いることができる。また、例えば、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

[0794]

(実施の形態7)

本実施の形態では、上記実施の形態で説明した表示装置の断面構成例について説明する。

[0795]

図38Aは、本発明の一態様の表示装置を示す斜視模式図である。表示装置DSP 1は、一例として、表示領域DISと、駆動回路領域DRVと、端子領域TMRと、を有する。また、表示装置DSP 1は、基板BSを有しており、表示領域DISと、駆動回路領域DRVと、端子領域TMRと、のそれぞれは、基板BS上に位置している。なお、表示領域DISには、例えば、上記の実施の形態で説明した、図1、図14、図20又は図27の画素アレイ部PXAが含まれているものとすることができる。また、上記の実施の形態で説明した、処理装置PRCは、図38Aの表示装置DSP 1の外部に設けられているものとすることができる。

[0796]

また、駆動回路領域DRVは、一例として、駆動回路GD 1と、駆動回路GD 2と、駆動回路SDと、を有する。なお、駆動回路GD 1及び駆動回路GD 2は、上記の実施の形態で説明した図1、図14、図20又は図27に示す駆動回路GDとすることができ、駆動回路SDは、上記の実施の形態で説明した図1、図14、図20又は図27に示す駆動回路SDとすることができ。

[0797]

基板BSには、例えば、半導体基板（例えば、シリコン又はゲルマニウムを材料とした単結晶基板）を用いることができる。また、基板BSには、半導体基板以外としては、例えば、SOI（Silicon On Insulator）基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙又は基材フィルムを用いることができる。ガラス基板の一例としては、例えば、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス又はソーダライムガラスが挙げられる。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）、ポリテトラフルオロエチ

レン（PTFE）に代表されるプラスチックが挙げられる。又は、別の一例としては、アクリル樹脂等の合成樹脂が挙げられる。または、別の一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルが挙げられる。または、別の一例としては、ポリアミド、ポリイミド、アラミド、エポキシ樹脂、無機蒸着フィルム又は紙類が挙げられる。なお、表示装置DSP1の作製工程において熱処理が含まれている場合、基板BSには、熱に対して耐性の高い材料を用いることが好ましい。

[0798]

例えば、基板BSを、シリコンを材料として有する半導体基板とした場合、表示領域DIS及び駆動回路領域DRVに含まれるトランジスタをSiトランジスタとして、基板BS上に形成することができる。

[0799]

また、例えば、基板BSをガラス基板とした場合、表示領域DIS及び駆動回路領域DRVに含まれるトランジスタをOSTランジスタとして、基板BS上に形成することができる。

[0800]

なお、駆動回路領域DRVに含まれている、駆動回路GD1、駆動回路GD2及び駆動回路SDから選ばれた一以上は、IC（Integrated Circuit）チップとして、COG（Chip On Glass）技術を用いて基板BS上に実装してもよい。

[0801]

駆動回路GD1及び駆動回路GD2のそれぞれは、例えば、表示領域DISに画像を表示させるための駆動回路として機能する。具体的には、例えば、駆動回路GD1及び駆動回路GD2のそれぞれは、表示領域DISに対するゲートドライバ回路として機能する。また、例えば、駆動回路SDは、表示領域DISに対するソースドライバ回路として機能する。

[0802]

端子領域TMRには、表示装置DSP1の外部から、表示装置DSP1の内部に画像信号、及び電源電位を供給するための端子が含まれている。また、端子領域TMRには、FPC（Flexible Printed Circuit）が接続されていてもよい。また、当該FPC上には、COF（Chip On Film）技術を用いて、ICチップを実装してもよい。当該ICチップは、例えば、表示領域DISに画像を表示させるための駆動回路が含まれていてもよい。

[0803]

表示領域DISは、一例として、複数の画素を有する。また、複数の画素は、表示領域DISにおいて、マトリクス状に配置されていてもよい。

[0804]

また、複数の画素としては、例えば、液晶表示デバイス、有機EL材料を含む発光デバイス、無機EL材料を含む発光デバイス、マイクロLEDなどの発光ダイオードを含む発光デバイスから選ばれた一以上が適用された画素回路とすることができる。

[0805]

また、複数の画素のそれぞれは、一又は複数の色を表現することができる。特に、複数の色としては、例えば、赤、緑及び青の三色とすることができる。又は、複数の色としては、例えば、赤、緑及び青に、更に、シアン、マゼンタ、黄及び白から選ばれた二以上の色としてもよい。なお、異なる色を表現する画素のそれぞれを副画素と呼び、複数の異なる色の副画素によって白色を表現する場合、

その複数の副画素をまとめて画素と呼ぶ場合がある。本明細書等では、便宜上、副画素を画素と呼称して、説明する。

[0806]

なお、本発明の一態様の表示装置は、図38Aに示した表示装置DSP1の構成に限定されない。例えば、本発明の一態様の表示装置は、図38Bに示す表示装置DSP2の構成としてもよい。

[0807]

図38Bに示す表示装置DSP2は、一例として、表示領域DISと、回路領域SICと、端子領域TMRと、を有する。また、表示装置DSP2は、表示装置DSP1と同様に基板BSを有している。なお、表示装置DSP2は、基板BS上に回路領域SIC及び端子領域TMRが設けられ、かつ回路領域SIC上に表示領域DISが設けられている点で、表示領域DSP1と異なっている。

[0808]

回路領域SICは、一例として、上述した駆動回路領域DRVを有する。また、回路領域SICには、駆動回路領域DRV以外の、様々な機能回路が含まれていてもよい。また、本実施の形態では、当該機能回路は、機能回路領域MFNCに含まれているものとする。例えば、実施の形態1で説明した処理装置PRCは、機能回路領域MFNCに含むことができる。

[0809]

また、例えば、機能回路領域MFNCには、GPU(Graphics Processing Unit)が含まれていてもよい。また、表示装置DSP2にタッチパネルが含まれている場合には、機能回路領域MFNCには、当該タッチパネルに含まれるタッチセンサを制御するセンサコントローラが含まれていてもよい。

[0810]

また、表示装置DSP2の表示素子として有機EL材料が用いられた発光デバイスが適用されている場合、機能回路領域MFNCには、EL補正回路が含まれていてもよい。なお、EL補正回路は、例えば、有機EL材料が含まれている発光デバイスに入力される電流量を適切に調整する機能を有する。有機EL材料が含まれている発光デバイスの発光時における輝度は電流に比例するため、当該発光デバイスに接続されている駆動トランジスタの特性が良くない場合には、当該発光デバイスにて発光する光の輝度は所望の輝度よりも低くなることがある。EL補正回路は、例えば、当該発光デバイスに流れる電流量をモニタリングして、当該電流量が所望の電流量よりも小さいときに、当該発光デバイスに流れる電流量を大きくして、当該発光デバイスにて発光する輝度を高くすることができる。また、逆に、当該電流量が所望の電流量よりも大きいときに、当該発光デバイスに流れる電流量を小さく調整してもよい。

[0811]

また、表示装置DSP2の表示素子として液晶素子が適用されている場合、機能回路領域MFNCには、ガンマ補正回路が含まれていてもよい。

[0812]

図39は、図38Bに示した表示装置DSP2の構成例を示したブロック図である。図39に示す表示装置DSP2は、一例として、表示領域DISと、回路領域SICと、を有する。また、図39には、センサPDAを図示しているが、センサPDAは、表示装置DSP2の内部に配置されていてもよいし、外部に配置されていてもよい。

[0813]

また、図38Aの表示装置DSP1は、端子領域TMRを介して、表示装置DSP1の外部に位置する機能回路領域MFNCに接続されていてもよい。このときの表示装置DSP1の構成は、図39に示す表示装置DSP2と同様の構成とみなすことができる。

[0814]

図39において、太い実線は、複数の配線又はバス配線として記載している。

[0815]

また、図39において、表示領域DISには、一例として複数の画素回路PXがマトリクス状に配置されている。また、マトリクス状に配置されている画素回路PXを含めて、上記の実施の形態で説明した図1、図14、図20又は図27の画素アレイ部PXAとみなすことができる。

[0816]

また、図39において、回路領域SICは、上述したとおり、駆動回路領域DRVと、機能回路領域MFNCと、を有する。

[0817]

駆動回路領域DRVは、一例として、表示領域DISを駆動させるための周辺回路として機能する。具体的には、駆動回路領域DRVは、例えば、駆動回路SD及び駆動回路GDを有する。なお、駆動回路SDは、例えば、上記の実施の形態で説明した図1、図14、図20又は図27の駆動回路SDとすることができ、また、駆動回路GDは、例えば、上記の実施の形態で説明した図1、図14、図20又は図27の駆動回路GDとすることができる。

[0818]

また、機能回路領域MFNCは、例えば、表示領域DISに表示させるための画像データが保存されている記憶装置、エンコードされている画像データを復元するためのデコーダ、画像データを処理するためのGPU、電源回路、補正回路又はCPUといった回路を設けることができる。図39において、機能回路領域MFNCは、一例として、記憶装置MEM、GPU22、EL補正回路ECR、タイミングコントローラTMC、CPU21、センサコントローラSCC及び電源回路EPSを有する。

[0819]

また、図39の表示装置DSP2は、駆動回路領域DRVに含まれる回路、及び機能回路領域MFNCに含まれる回路のそれぞれには、一例として、バス配線BSLが接続されている構成となっている。

[0820]

駆動回路SDは、一例として、表示領域DISに含まれる画素回路PXに対して、画像データを送信する機能を有する。そのため、駆動回路SDは、配線SLを介して、画素回路PXに接続されている。

[0821]

なお、駆動回路SDには、デジタルアナログ変換回路が含まれていてもよい。デジタルアナログ変換回路は、一例として、GPU又は補正回路によってデジタル処理された画像データをアナログデータに変換する機能を有する。アナログデータに変換された画像データは、駆動回路SDを介して、表示領域DISに送信される。なお、デジタルアナログ変換回路は、駆動回路SDの外部に配置されていてもよい。

[0822]

駆動回路GDは、一例として、表示領域DISにおいて、画像データの送信先となる画素回路PXを選択する機能を有する。そのため、駆動回路GDは、配線GLを介して、画素回路PXに接続されている。

[0823]

なお、駆動回路SDには、レベルシフタが含まれていてもよい。レベルシフタは、一例として、表示領域DISの画素回路への選択信号を適切なレベルに変換する機能を有する。また、レベルシフタは、駆動回路SD、デジタルアナログ変換回路、駆動回路GDなどに対して入力される信号を適切なレベルに変換する機能も有してもよい。

[0824]

記憶装置MEMは、一例として、表示領域DISに表示させる画像データを保存する機能を有する。なお、記憶装置MEMは、画像データをデジタルデータ又はアナログデータとして保存する構成とすることができる。

[0825]

また、記憶装置MEMに画像データを保存する場合、記憶装置MEMとしては不揮発性メモリとすることが好ましい。この場合、記憶装置MEMとしては、例えば、NAND型メモリなどを適用することができる。

[0826]

また、記憶装置MEMにGPU22、EL補正回路ECR、CPU21などで生じる一時データを保存する場合、記憶装置MEMとしては揮発性メモリとすることが好ましい。この場合、記憶装置MEMとしては、例えば、SRAM、DRAMなどを適用することができる。

[0827]

GPU22は、一例として、記憶装置MEMから読み出された画像データを、表示領域DISに描画するための処理を行う機能を有する。特に、GPU22は、並列にパイプライン処理を行う構成となっているため、表示領域DISに表示させる画像データを高速に処理することができる。また、GPU22は、エンコードされた画像を復元するためのデコーダとしての機能も有することができる。

[0828]

また、機能回路領域MFNCには、表示領域DISの表示品位を高めることができる回路が複数含まれていてもよい。当該回路としては、例えば、表示領域DISに表示された画像の色ムラを検知して、当該色ムラを補正して最適な画像にする補正回路（調色又は調光を補正する回路）を設けてもよい。また、表示領域DISの画素に有機EL材料が用いられた発光デバイスが適用されている場合、機能回路領域MFNCには、前述したEL補正回路を設けてもよい。なお、本実施の形態では、表示領域DISの画素回路PXには、有機EL材料が含まれる発光デバイスが適用されたものとして説明しているため、機能回路領域MFNCには、一例として、EL補正回路ECRを含めている。

[0829]

また、上記で説明した画像補正には、人工知能を用いてもよい。例えば、画素に備えられている表示デバイスに流れる電流（又は表示デバイスに印加される電圧）をモニタリングして取得し、表示領域DISに表示された画像をイメージセンサなどで取得し、電流（又は電圧）と画像を人工知能の演算（例えば、人工ニューラルネットワークなど）の入力データとして扱い、その出力結果で当該画像の補正の有無を判断させてもよい。

[0830]

また、人工知能の演算は、画像補正だけでなく、画像データのアップコンバート処理にも応用することができる。これにより、画面解像度の小さい画像データを表示領域D I Sの画面解像度に合わせて、アップコンバートを行うことで、表示品位の高い画像を表示領域D I Sに表示させることができる。また、人工知能の演算は、画像データのダウンコンバート処理にも応用することができる。

[0831]

なお、上述した人工知能の演算には、機能回路領域MFNCに含まれるGPU22を用いて行うことができる。つまり、GPU22を用いて、各種補正の演算（色ムラの補正、アップコンバート処理など）を行うことができる。また、GPU22には、色ムラを補正する回路22a、及びアップコンバート処理を行う回路22bが含まれていてもよい。

[0832]

なお、本明細書等において、人工知能の演算を行うGPUをAIアクセラレータと呼称する。つまり、本明細書等では、機能回路領域MFNCに備えられているGPUをAIアクセラレータと置き換えて説明する場合がある。

[0833]

タイミングコントローラTMCは、一例として、表示領域D I Sに画像を表示させるフレームレートを可変する機能を有する。例えば、表示領域D I Sに静止画を表示させる場合、表示装置DSP2は、タイミングコントローラTMCによってフレームレートを下げて駆動させることができ、また、例えば、表示領域D I Sに動画を表示させる場合、表示装置DSP2は、タイミングコントローラTMCによってフレームレートを上げて駆動させることができる。つまり、表示装置DSP2にタイミングコントローラTMCを設けることによって、静止画又は動画に応じてフレームレートを変化させることができる。特に、表示領域D I Sに静止画を表示させる場合には、フレームレートを下げて動作させることができるため、表示装置DSP2の消費電力の低減を図ることができる。

[0834]

CPU21は、一例として、オペレーティングシステムの実行、データの制御、各種演算及びプログラムの実行といった、汎用の処理を行う機能を有する。表示装置DSP2では、CPU21は、例えば、記憶装置MEMにおける画像データの書き込み動作若しくは読み出し動作、画像データの補正動作、若しくは後述するセンサへの動作といった命令を行う役割を有する。また、例えば、CPU21は、記憶装置、GPU、補正回路、タイミングコントローラ及び高周波回路といった、機能回路領域MFNCに含まれる回路から選ばれた一以上に制御信号を送信する機能を有してもよい。

[0835]

また、CPU21は、一時的にデータをバックアップする回路（以下、バックアップ回路と呼称する）を有してもよい。バックアップ回路は、例えば、電源電位の供給が停止したとしても、当該データを保持することができることが好ましい。例えば、表示領域D I Sで静止画を表示した場合、現在の静止画と異なる画像を表示するまでは、CPU21は機能を停止することができる。そのため、CPU21で処理中のデータをバックアップ回路に一時的に退避させて、その後CPU21への電源電位の供給を停止して、CPU21を停止させることによって、CPU21における動的な消費電力を低くすることができる。また、本明細書等では、バックアップ回路を有するCPUをNo f f CPU（登録商標）と呼称する。

[0836]

センサコントローラSCCは、一例として、センサPDAを制御する機能を有する。また、図39

では、センサPDAとセンサコントローラSCCとを接続するための配線として、配線SNCLを図示している。

[0837]

また、センサPDAとしては、例えば、照度センサとすることができる。特に、表示領域DISを照らす外光の強さを照度センサによって取得することで、外光に合わせて、表示領域DISに表示する画像の明るさ（輝度）を変化させることができる。例えば、外光が明るい場合、表示領域DISに表示する画像の輝度を高くして、当該画像の視認性を高めることができる。逆に、外光が暗い場合、表示領域DISに表示する画像の輝度を低くして、消費電力を低くすることができる。

[0838]

又は、センサPDAとしては、例えば、イメージセンサとすることができる。例えば、当該イメージセンサによって、画像などを取得することで、表示領域DISに当該画像を表示することができる。

[0839]

電源回路EPSは、一例として、駆動回路領域DRVに含まれている回路、機能回路領域MFNCに含まれている回路、表示領域DISに含まれている画素などに対して供給する電圧を生成する機能を有する。なお、電源回路EPSは、電圧を供給する回路を選択する機能を有してもよい。例えば、電源回路EPSは、表示領域DISに静止画を表示させている期間では、駆動回路領域DRVに含まれている各回路（例えば、駆動回路SD、デジタルアナログ変換回路など）、及び機能回路領域MFNCに含まれている各回路（例えば、CPU21、GPU22など）に対しての電圧供給を停止することによって、表示装置DSP全体の消費電力を低減することができる。

[0840]

また、本発明の一態様の表示装置は、図38Aの表示装置DSP1の構成を変更して、図38Cに示した表示装置DSP3としてもよい。

[0841]

表示装置DSP3は、表示装置DSP1の変更例であって、表示領域DISに重なる領域にセンサ領域TPが設けられた構成となっている。

[0842]

また、表示装置DSP3は、駆動回路TDEと、駆動回路TDRと、を有し、駆動回路TDEと駆動回路TDRのそれぞれは基板BS上に設けられている。また、駆動回路TDEと駆動回路TDRとのそれぞれは、図38Cに示す通り、駆動回路領域DRVに含まれているものとする。

[0843]

駆動回路TDRは、センサ領域TPに含まれている複数のセンサに対して、パルス信号を逐次的に送信する機能を有する。また、駆動回路TDEは、センサ領域TPに含まれている複数のセンサから流れる電流の量の変化を検知する機能を有する。

[0844]

上記の通り、表示装置DSP3は、ユーザーインターフェースとして、タッチパネルが設けられた構成となっている。

[0845]

なお、図示していないが、表示装置DSP2の表示領域DISの上方にもセンサ領域TPを設けてもよい。この場合、回路領域SICに、駆動回路TDR及び駆動回路TDEが設けられていることが好ましい。

[0846]

<表示装置の断面構成例1>

次に、図38Aに示す表示装置DSP1の断面視における構成例について説明する。

[0847]

図40に示す表示装置DSP1Aは、図38Aに示す表示装置DSP1の断面視における構成例である。表示装置DSP1Aは、基板310上に画素回路、駆動回路などが設けられた構成となっている。図40の表示装置DSP1Aには、図38Aに示している駆動回路領域DRVと表示領域DISも図示している。

[0848]

図40における基板310は、図38Aに示す基板BSとすることができる。また、表示装置DSP1Aの対角サイズは、例えば、基板310の種類と大きさによって定めることができる。例えば、テレビジョン装置向けに、又はデジタルサイネージ用途の電子機器向けに、30インチ以上、50インチ以上、70インチ以上又は100インチ以上の対角サイズの表示装置を作製する場合、基板310としては、ガラス基板を用いればよい。また、例えば、XR向け機器向け又はウェアラブル型情報端末向けに、1.5インチ以下、1インチ以下又は0.5インチ以下の対角サイズの表示装置を作製する場合、基板310としては、半導体基板を用いればよい。

[0849]

なお、図40の表示装置DSP1Aの説明では、基板310はガラス基板とする。

[0850]

また、表示装置DSP1Aの画面比率（アスペクト比）については、特に限定はない。例えば、表示装置DSP1Aは、1:1（正方形）、4:3、16:9、16:10、21:9又は32:9といった様々な画面比率に対応することができる。

[0851]

図40の表示装置DSP1において、基板上には、トランジスタMNY及びトランジスタMNxが形成されている。なお、本明細書等では、トランジスタMNY及びトランジスタMNxをまとめて、トランジスタMNと記載する。また、トランジスタMNY及びトランジスタMNxの上方には、発光デバイス130（図40では、発光デバイス130R、発光デバイス130G及び発光デバイス130B）が設けられている。

[0852]

トランジスタMNxは、表示領域DISに含まれており、例えば、画素回路PXが有するトランジスタとして機能する。また、トランジスタMNYは、駆動回路領域DRVに含まれているトランジスタとして機能する。このため、トランジスタMNYは、例えば、実施の形態5で説明した回路100A[1]乃至回路100A[m]又は回路100B[1]乃至回路100B[n]に含まれるトランジスタとすることができる。また、発光デバイス130は、画素回路PXに含まれる発光デバイスとすることができる。

[0853]

次に、トランジスタMNY及びトランジスタMNxの具体的な構成について説明する。図41Aは、トランジスタMNの平面模式図を示している。また、図41Bは、図41Aに示す一点鎖線A1-A2の部位に対応する断面模式図であり、トランジスタMNの断面模式図でもある。図41Cは、図41Aに示す一点鎖線A3-A4の部位に対応する断面模式図であり、トランジスタMNの断面模式図

でもある。

[0854]

なお、図41A乃至図41Cにおいて、一点鎖線A1-A2の方向をX方向とし、一点鎖線A3-A4の方向をY方向とする。また、X方向及びY方向に垂直な方向をZ方向とする。また、X方向とY方向は互いに垂直な方向とすることができる。また、X方向、Y方向及びZ方向の定義は、以降の図面においても同様の場合があり、また異なる場合がある。また、図41A等における平面模式図の説明において、右側を+X方向、左側を-X方向、上側を+Y方向、下側を-Y方向という場合がある。また、図41B等における断面模式図の説明において、右側を+X方向、左側を-X方向、上側をZ方向、下側を-Z方向という場合がある。また、図41Cといった断面模式図の説明において、左側を-Y方向、右側を+Y方向、上側をZ方向、下側を-Z方向という場合がある。

[0855]

図41A乃至図41CのトランジスタMNは、絶縁層IS1乃至絶縁層IS3と、絶縁層GI1と、導電層ME1乃至導電層ME3と、半導体層SC1と、を有する。

[0856]

絶縁層IS1は、一例として、その上方にトランジスタMNのそれぞれのソース、ドレイン、ドレイン及びチャネル形成領域を設けるための下地膜又は層間膜としての機能を有する。

[0857]

絶縁層IS1には、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン又は窒化シリコンを用いることができる。又は、絶縁層IS1には、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素と窒素を添加した酸化シリコン、若しくは空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、若しくは空孔を有する酸化シリコンといった材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。又は、絶縁層IS1には、例えば、樹脂を用いることができる。また、絶縁層IS1に用いる材料は、上述した絶縁材料を適宜組み合わせたものとしてもよい。

[0858]

なお、本明細書などにおいて、酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い材料を指す。例えば、酸化窒化シリコンと記載した場合は、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンと記載した場合は、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0859]

また、絶縁層IS1には、比誘電率が低い絶縁材料を用いることが好ましい。比誘電率が低い絶縁材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。具体的には、例えば、絶縁層IS1の比誘電率は4未満が好ましく、3未満がより好ましい。比誘電率が低い絶縁材料としては、酸化シリコン、酸化窒化シリコン及び窒化酸化シリコンが挙げられる。

[0860]

導電層ME1は、トランジスタMNにおいて、ソース及びドレインの一方としての機能を有する導電体（端子、配線などと言い換える場合がある）である。また、導電層ME2は、トランジスタMNにおいて、ソース及びドレインの他方としての機能を有する導電体（端子、配線などと言い換える場合がある）である。

[0861]

なお、図41A乃至図41Cでは、導電層ME1は、一例として、配線として、Y方向に延在するように設けられている。また、導電層ME2は、一例として、配線として、X方向に延在するように設けられている。

[0862]

導電層ME1と導電層ME2のそれぞれには、例えば、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム及びランタンから選ばれた金属元素、又は上述した金属元素から選ばれた二以上を成分とする合金、又は上述した金属元素から選ばれた二以上を組み合わせた合金を用いることが好ましい。また、導電層ME1には、例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、又はランタンとニッケルを含む酸化物を用いることが好ましい。窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、並びにランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、若しくは酸素を吸収しても導電性を維持する材料であるため、好ましい。また、導電体には、例えば、不純物元素（例えば、リン又はヒ素）を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、若しくはシリサイド（例えば、ニッケルシリサイド）を用いてもよい。

[0863]

また、絶縁層IS2は、一例として、トランジスタMNにおいて、ソースとドレインとを隔てる層間膜として機能する。

[0864]

絶縁層IS2としては、例えば、絶縁層IS1に適用できる材料を用いることができる。

[0865]

また、絶縁層IS2の、トランジスタMNが設けられる領域には、側面がX-Y平面に対して概略垂直（テーパ角が70度以上110度以下）になっている開口KK1が形成されている。特に、テーパ角が90度に近いほど、開口KK1の開口の面積が小さくすることができるため、これにより、トランジスタMNを形成するための面積を小さくすることができる。また、トランジスタMNのチャネル形成領域を含む半導体層SC1は、開口KK1を介して、導電層ME1と導電層ME2とに接触するように設けられている。

[0866]

なお、図41Aの上面模式図では、一例として、開口KK1の形状は真円となっているが、本発明の一態様はこれに限定されない。開口KK1の形状は、例えば、単一閉曲線を縁とする図形（楕円を含む）としてもよいし、角が丸い多角形としてもよい。

[0867]

半導体層SC1には、例えば、酸化物半導体として機能する金属酸化物とすることができる。この場合、トランジスタMNは、OSトランジスタとなる。当該金属酸化物としては、一例として、少なくともインジウム又は亜鉛を含むことが好ましい。特に、インジウム及び亜鉛を含むことが好ましい。また、これらに加えて、元素Mが含まれていることが好ましい。元素Mとして、アルミニウム、ガリ

ウム、シリコン、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルト及びアンチモンから選ばれた一以上を用いることができる。特に、元素Mは、アルミニウム、ガリウム、イットリウム又は錫の一以上とすることが好ましい。また、元素Mは、ガリウム及び錫の一方又は双方を有することがさらに好ましい。

[0868]

半導体層SC1には、一例としては、In-Ga-Zn酸化物を用いることが好ましい。特に、In-Ga-Zn酸化物としては、In:Ga:Zn=1:1:1 [原子数比] 若しくはその近傍の組成、4:2:3 [原子数比] 若しくはその近傍の組成、又は3:1:2 [原子数比] 若しくはその近傍の組成の金属酸化物とすることが、より好ましい。また、半導体層SC1には、別の一例として、In-Zn酸化物を用いることが好ましい。特に、In-Zn酸化物としては、In:Zn=4:1 [原子数比] 若しくはその近傍の組成の金属酸化物とすることがより好ましい。

[0869]

また、トランジスタMNにおいて、半導体層SC1上には、絶縁層GI1が設けられている。具体的には、平面視において、半導体層SC1に含まれるチャネル形成領域の上方に絶縁層GI1が重なるように位置している。このため、絶縁層GI1は、トランジスタMNにおけるゲート絶縁膜として機能する。

[0870]

絶縁層GI1には、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO₃)、又は(Ba, Sr)TiO₃(BST)といったいわゆるhigh-k材料を含む絶縁体を単層又は積層で用いることが好ましい。又は、絶縁層GI1には、比誘電率の高い絶縁体として、アルミニウムとハフニウムとを有する酸化物、アルミニウムとハフニウムとを有する酸化窒化物、シリコンとハフニウムとを有する酸化物、シリコンとハフニウムとを有する酸化窒化物、又はシリコンとハフニウムとを有する窒化物を用いてもよい。

[0871]

また、トランジスタMNにおいて、導電層ME3は、開口KK1を埋めるように絶縁層GI1上に設けられている。また、トランジスタMNにおいて、導電層ME3は、開口KK1を埋めるように絶縁層GI1上に設けられている。導電層ME3は、トランジスタMNのそれぞれにおける、ゲートとして機能する導電体(端子、配線などと言い換える場合がある)である。

[0872]

導電層ME3には、例えば、導電層ME1又は導電層ME2に適用できる材料を用いることができる。

[0873]

なお、図41A乃至図41Cでは、導電層ME3は、一例として、配線として、Y方向に延在するように設けられている。

[0874]

上記のとおり、図41A乃至図41Cに示すトランジスタMNは、層間膜となる絶縁層IS2の下方にソース及びドレインの一方として機能する導電層ME1が位置し、絶縁層IS2の上方にソース及びドレインの他方として機能する導電層ME2が位置している。このため、トランジスタMNは、

チャンネル形成領域が、開口KK1に沿って設けられる構成となっている。

[0875]

このように、トランジスタMNは、ソース電極とドレイン電極とが異なる高さに位置し、半導体層を流れる電流が高さ方向に流れる構造となっている。すなわち、チャンネル長方向が高さ方向(縦方向)の成分を有するといえるため、トランジスタMNは、VFET(Vertical Field Effect Transistor)、縦型トランジスタ、縦型チャンネルトランジスタ、縦チャンネル型トランジスタなどとも呼ぶことができる。

[0876]

図41A乃至図41Cに示すとおり、トランジスタのチャンネル形成領域を層間膜として機能する絶縁体の開口の側面に沿って設けることによって、トランジスタのチャンネル形成領域をX-Y平面に沿って設けた場合よりも、トランジスタの形成面積を小さくすることができる。また、トランジスタMNは、ソース電極、半導体及びドレイン電極を、重ねて設けることができるため、半導体を平面状に配置した、いわゆるプレーナ型のトランジスタと比較して、占有面積を大幅に縮小できる。このため、トランジスタMNの一方又は双方を用いて回路を形成することによって、当該回路の面積を小さくすることができる。また、その結果として、当該回路を含む半導体装置又は表示装置の小型化に繋げることができる。

[0877]

なお、トランジスタMNは、pチャンネル型又はnチャンネル型のいずれも用いることができる。またはトランジスタMNを複数設け、pチャンネル型及びnチャンネル型の双方を用いてもよい。

[0878]

また、トランジスタMNには、図41A乃至図41Cに示した縦チャンネル型トランジスタではなく、VLFT(Vertical Lateral Field Effect Transistor)構造のトランジスタを用いてもよい。

[0879]

図42A乃至図42Cに示すトランジスタMNは、VLFT構造のトランジスタであって、縦方向と、横方向と、の双方に電流が流れる構造を有する。具体的には、第1の絶縁層に設けられた開口の側面と、当該開口の底部にあたる第2の絶縁層の上面と、に接するように、半導体層が位置しており、半導体層にトランジスタMNのチャンネル形成領域が含まれている。つまり、トランジスタMNのチャンネル長は、当該開口の側面に沿った成分と、当該開口の底部に沿った成分と、を有するため、従来のトランジスタ構造のチャンネル長よりも長くしやすい。なお、ここでのチャンネル長とは、チャンネル形成領域の、ソースとドレインとの間の長さとするすることができる。

[0880]

なお、図42BのトランジスタMNには、半導体層SC1に含まれているチャンネル形成領域のチャンネル長CHLを記載している。

[0881]

チャンネル長を長くすることによって、トランジスタのオフ電流(リーク電流と呼ばれる場合がある)を下げるることができる。このため、例えば、図32A乃至図32FのそれぞれのメモリセルMCにおいて、トランジスタM1に図42A乃至図42Cに示すトランジスタMNを適用することによって、容量素子C1の第1端子における電位を長時間保持することができる。換言すると、リーク電流などを起因とする、意図しない容量素子C1の第1端子における電位の変動を防ぐことができる。

[0882]

また、例えば、図34A乃至図34Dのそれぞれの画素回路PXにおいて、トランジスタTr1に図42A乃至図42Cに示すトランジスタMNを適用することによって、容量素子Cs1の第1端子における電位を長時間保持することができる。換言すると、リーク電流などを起因とする、意図しない容量素子Cs1の第1端子における電位の変動を防ぐことができる。

[0883]

図42Aは、トランジスタMNの平面模式図を示している。また、図42Bは、図42Aに示す一点鎖線A1-A2の部位に対応する断面模式図であり、トランジスタMNの断面模式図でもある。また、図42Cは、図42Aに示す一点鎖線A3-A4の部位に対応する断面模式図であり、トランジスタMNの断面模式図でもある。

[0884]

図42A乃至図42CのトランジスタMNは、一例として、絶縁層IS1乃至絶縁層IS3と、絶縁層GI1と、導電層ME2aと、導電層ME2bと、導電層ME3と、半導体層SC1と、を有する。

[0885]

なお、図42A乃至図42Cに示す絶縁層IS1乃至絶縁層IS3と、絶縁層GI1と、導電層ME3と、半導体層SC1と、のそれぞれについては、図41A乃至図41Cに示している絶縁層IS1乃至絶縁層IS3と、絶縁層GI1と、導電層ME3と、半導体層SC1と、の説明を参照することができる。また、図42A乃至図42Cに示す導電層ME2aと、導電層ME2bと、については、図41A乃至図41Cに示している導電層ME2の説明を参照することができる。

[0886]

絶縁層IS2は、一例として、半導体層SC1を形成するための絶縁層としての機能を有する。図42A乃至図42Cに示す通り、絶縁層IS2は、開口KK2を有し、トランジスタMNは、半導体層SC1の一部が、開口KK2に含まれる構成となる。具体的には、絶縁層IS2には、半導体層SC1が、開口KK2の側面にあたる絶縁層IS2の側壁と、開口KK2の底部に当たる絶縁層IS1の上面と、に接する領域を有するように、開口KK2が設けられている。なお、トランジスタMNは、開口KK2の内部に設けられている半導体層SC1に、トランジスタMNのチャネル形成領域が含まれる構成となる。

[0887]

なお、図42Aの上面模式図では、一例として、開口KK2の形状は真円となっているが、本発明の一態様はこれに限定されない。開口KK2の形状は、例えば、単一閉曲線を縁とする図形（楕円を含む）としてもよいし、角が丸い多角形としてもよい。

[0888]

導電層ME2aは、一例として、トランジスタMNにおいて、ソース及びドレインの一方としての機能を有する。また、導電層ME2bは、一例として、トランジスタMNにおいて、ソース及びドレインの他方としての機能を有する。なお、導電層ME2a及び導電層ME2bの全部又は一部は、例えば、電極、端子、配線などと言い換える場合がある。

[0889]

導電層ME2a及び導電層ME2bのそれぞれは、絶縁層IS2の上方に位置している。特に、導電層ME2aと導電層ME2bは、図42Aの上面模式図及び図42Bの断面模式図において、開口

KK 2によって一対の導電層となるように分断されている。このため、図4 2 A乃至図4 2 CのトランジスタMNでは、図4 2 Aの上面模式図において、導電層ME 2 a及び導電層ME 2 bのY方向の幅は、開口KK 2のY方向の幅よりも小さいことが好ましい。なお、図4 2 Aの上面模式図では、一例として、開口KK 2は真円となっており、開口KK 2のY方向の幅とは、その真円の直径とすることができる。

[0890]

なお、図4 2 A乃至図4 2 Cでは、導電体ME 2 aは、一例として、配線として、-X方向に延在するように設けられている。また、導電体ME 2 bは、一例として、配線として、+X方向に延在するように設けられている。

[0891]

また、半導体層SC 1は、上述した通り、開口KK 2の側面にあたる絶縁層IS 2の側壁と、開口KK 2の底部に当たる絶縁層IS 1の上面と、に接する領域を有する。さらに、半導体層SC 1は、導電層ME 2 aの上面と、導電層ME 2 bの上面と、に接する領域を有する。また、上述した通り、半導体層SC 1には、トランジスタMNのチャネル形成領域が含まれている。なお、トランジスタMNのチャネル形成領域のチャネル長CHLは、開口KK 2の底部の面積と、開口KK 2の深さ（開口KK 2の側面の長さ又は絶縁層IS 2の膜厚）によって定められる。

[0892]

また、絶縁層GI 1は、一例として、トランジスタMNのゲート絶縁層（ゲート絶縁膜と呼称する場合がある）としての機能を有する。絶縁層GI 1は、半導体層SC 1の上面と、導電体ME 2 aの上面と、導電体ME 2 bの上面と、に接する領域を有する。

[0893]

特に、絶縁層GI 1の膜厚は、トランジスタMNの電気特性に大きく寄与する。例えば、絶縁層GI 1の膜厚を厚くした場合（トランジスタMNのゲート絶縁層を厚くした場合）、トランジスタMNのゲート（導電体ME 3）と半導体層SC 1のチャネル形成領域との間の電圧の勾配を緩やかにすることができるため、ゲート電位（ゲートソース間電圧又はゲートドレイン間電圧と呼ばれる場合がある）に対する耐性を高めることができる。一方で、トランジスタのゲート絶縁膜を薄くした場合、ゲート電位を変化させたときの、ゲートから半導体のチャネル形成領域にかかる電界の変化が速くなるため、トランジスタの駆動周波数を高めることができる。

[0894]

そのため、例えば、複数のトランジスタMNにおいて、それぞれのゲート絶縁層である絶縁層GI 1の膜厚をトランジスタMN毎に定めることによって、ゲート電位に対する耐性が高いトランジスタと、駆動周波数が高いトランジスタと、を簡易的に作り分けることができる。

[0895]

図4 0に示すトランジスタMN_y及びトランジスタMN_xの上方には、絶縁層5 7 4が形成されており、また、絶縁層5 7 4上には、絶縁層5 8 1が形成されている。また、絶縁層IS 3、絶縁層5 7 4及び絶縁層5 8 1には開口が設けられており、当該開口には導電層MPGが埋め込まれている。このため、導電層ME 2は、導電層MPGに接触している領域を有している。

[0896]

絶縁層5 7 4としては、例えば、水及び水素（例えば、水素原子及び水素分子の一方又は双方）といった不純物の拡散を抑制する機能を有することが好ましい。つまり、絶縁層5 7 4は、当該不純物

がトランジスタMNに混入することを抑制するバリア絶縁膜として機能することが好ましい。また、絶縁層574は、酸素（例えば、酸素原子及び酸素分子の一方又は双方）の拡散を抑制する機能を有することが好ましい。例えば、絶縁層574は、絶縁層IS3及び絶縁層581より酸素透過性が低いことが好ましい。つまり、絶縁層574は、酸素が半導体層SC1から脱離して、絶縁層IS3よりも上方に拡散することを抑制する機能を有することが好ましい。

[0897]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。

[0898]

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS: Thermal Desorption Spectrometry）を用いて分析することができる。例えば、絶縁層324の水素の脱離量は、TDSにおいて、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁層324の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下とすることが好ましく、 $5 \times 10^{15} \text{ atoms/cm}^2$ 以下とすることがより好ましい。

[0899]

そのため、絶縁層574は、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、及びタンタルから選ばれた一以上を含む絶縁体を、単層で、または積層で用いられればよい。具体的には、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁体としては、例えば、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、及び酸化タンタルといった金属酸化物が挙げられる。また、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁体としては、例えば、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）が挙げられる。また、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁体としては、例えば、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化酸化シリコン、及び窒化シリコンといった金属窒化物が挙げられる。

[0900]

特に、絶縁層574には、酸化アルミニウム、又は窒化シリコンを用いることが好ましい。これにより、水及び水素といった不純物が絶縁層574よりも上方からトランジスタMN側に拡散することを抑制できる。また、酸素が、絶縁層574よりも上方からトランジスタMN側に拡散することを抑制できる。

[0901]

絶縁層581は、一例として、絶縁層574と比較して、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。また、絶縁層581は、膜中の水及び水素といった不純物の濃度が低減されていることが好ましい。

[0902]

そのため、絶縁層581には、例えば、絶縁層IS1乃至絶縁層IS3のいずれか一に適用できる材料を用いることができる。

[0903]

各プラグ及び配線（例えば、導電層MPG）の材料としては、金属材料、合金材料、金属窒化物材料及び金属酸化物材料から選ばれた一以上の導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステン又はモリブデンといった高融点材料を用いることが好ましく、タングステンを用いることが好ましい。また、当該材料としては、アルミニウム又は銅といった低抵抗導電性材料を用いることが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0904]

絶縁層581上及び導電層MPG上には、絶縁層592及び絶縁層594が順に積層して設けられている。

[0905]

また、絶縁層592には、基板310又はトランジスタMNから、絶縁層592より上方の領域（例えば、発光デバイス130R、発光デバイス130G及び発光デバイス130Bなどが設けられている領域）に、水及び水素といった不純物が拡散しないようなバリア性を有する絶縁膜（バリア性絶縁膜と呼称する）を用いることが好ましい。このため、絶縁層592には、絶縁層IS1乃至絶縁層IS3のいずれかに適用できる材料を用いることができる。

[0906]

なお、絶縁層594は、絶縁層592よりも誘電率が低いことが好ましい。また、絶縁層594は、膜中の水及び水素といった不純物の濃度が低減されていることが好ましい。このため、絶縁層594には、例えば、絶縁層574に適用できる材料を用いることができる。

[0907]

また、絶縁層592及び絶縁層594には、絶縁層594より上方に設けられている発光デバイスなどと接続する導電層596が埋め込まれている。なお、導電層596は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

[0908]

導電層596には、例えば、導電層MPGに適用できる材料を用いることができる。

[0909]

絶縁層594上と、導電層596上と、には、絶縁層598及び絶縁層599がこの順に形成されている。

[0910]

絶縁層598は、一例として、絶縁層581と絶縁層592と同様に、水素、酸素及び水から選ばれた一以上に対するバリア性を有する絶縁層を用いることが好ましい。また、絶縁層599としては、絶縁層594と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。このため、絶縁層598には、絶縁層581又は絶縁層592に適用できる材料を用いることができる。

[0911]

絶縁層599は、層間絶縁膜及び平坦化膜としての機能を有する。

[0912]

また、絶縁層 599 は、一例として、絶縁層 598 よりも誘電率が低いことが好ましい。また、絶縁層 599 は、膜中の水及び水素といった不純物の濃度が低減されていることが好ましい。このため、絶縁層 599 には、例えば、絶縁層 I S 1 乃至絶縁層 I S 3 のいずれかに適用できる材料を用いることができる。

[0913]

絶縁層 599 上には、発光デバイス 130 及び接続部 140 が形成されている。

[0914]

接続部 140 は、カソードコンタクト部と呼ばれる場合があり、発光デバイス 130R、発光デバイス 130G 及び発光デバイス 130B のそれぞれのカソード電極に接続されている。図 40 では、接続部 140 は、後述する導電層 112a 乃至導電層 112c から選ばれた一以上の導電層と、後述する導電層 126a 乃至導電層 126c のから選ばれた一以上の導電層と、後述する導電層 129a 乃至導電層 129c から選ばれた一以上の導電層と、後述する共通層 114 と、後述する共通電極 115 と、を有する。

[0915]

なお、接続部 140 は、平面視において表示部の四辺を囲むように設けられてもよく、又は、表示部内（例えば、隣り合う発光デバイス 130 同士の間）に設けられてもよい。

[0916]

発光デバイス 130R は、導電層 112a と、導電層 112a 上の導電層 126a と、導電層 126a 上の導電層 129a と、を有する。導電層 112a、導電層 126a 及び導電層 129a の全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。また、発光デバイス 130G は、導電層 112b と、導電層 112b 上の導電層 126b と、導電層 126b 上の導電層 129b と、を有する。発光デバイス 130R と同様に、導電層 112b、導電層 126b 及び導電層 129b の全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。また、発光デバイス 130B は、導電層 112c と、導電層 112c 上の導電層 126c と、導電層 126c 上の導電層 129c と、を有する。発光デバイス 130R 及び発光デバイス 130G と同様に、導電層 112c、導電層 126c 及び導電層 129c の全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。

[0917]

導電層 112a 乃至導電層 112c 及び導電層 126a 乃至導電層 126c には、例えば、反射電極として機能する導電層を用いることができる。反射電極として機能する導電層には、可視光に対して反射率の高い導電体として、例えば、銀、アルミニウム、銀 (Ag) とパラジウム (Pd) と銅 (Cu) の合金膜 (Ag-Pd-Cu (APC) 膜) を適用することができる。また、導電層 112a 乃至導電層 112c 及び導電層 126a 乃至導電層 126c には、一対のチタンで挟まれたアルミニウムの積層膜 (Ti、Al、Ti の順の積層膜)、又は一対のインジウム錫酸化物で挟まれた銀の積層膜 (ITO、Ag、ITO の順の積層膜) を用いることができる。

[0918]

また、例えば、導電層 112a 乃至導電層 112c に反射電極として機能する導電層を用いて、導電層 126a 乃至導電層 126c に、透光性が高い導電体を用いてもよい。透光性が高い導電体としては、例えば、インジウム錫酸化物 (ITO と呼ばれる場合がある)、が挙げられる。また、導電層 126a 乃至導電層 126c には、光が透過する程の薄膜であれば、銀とマグネシウムの合金を用い

ることができる。

[0919]

導電層129a乃至導電層129cには、例えば、透明電極として機能する導電層を用いることができる。透明電極として機能する導電層としては、例えば、上述した透光性が高い導電体とすることができる。

[0920]

導電層112aは、絶縁層599に設けられた開口を介して、絶縁層594に埋め込まれている導電層596と接続されている。また、導電層112aの端部よりも外側に導電層126aの端部が位置している。導電層126aの端部と導電層129aの端部は、揃っている、又は概略揃っている。

[0921]

発光デバイス130Gにおける導電層112bと導電層126bと導電層129b、並びに発光デバイス130Bにおける導電層112cと導電層126cと導電層129cについては、発光デバイス130Rにおける導電層112aと導電層126aと導電層129aと同様であるため詳細な説明は省略する。

[0922]

導電層112aと導電層112bと導電層112cとには、絶縁層599に設けられた開口を覆うように凹部が形成される。また、当該凹部には、層128が埋め込まれている。

[0923]

層128は、導電層112a乃至導電層112cの凹部を平坦化する機能を有する。導電層112a上乃至導電層112c上と層128上とには、導電層112a乃至導電層112cのそれぞれに接する導電層126a乃至導電層126cが設けられている。したがって、導電層112a乃至導電層112cの凹部と重なる領域も発光領域として使用でき、画素の開口率を高めることができる。

[0924]

層128は、絶縁層であってもよく、導電層であってもよい。層128には、各種無機絶縁材料、有機絶縁材料及び導電材料を適宜用いることができる。特に、層128は、絶縁材料を用いて形成されることが好ましい。

[0925]

層128には、有機材料を有する絶縁層を好適に用いることができる。例えば、層128には、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、又はこれら樹脂の前駆体を適用することができる。また、層128として、感光性の樹脂を用いることができる。感光性の樹脂としては、ポジ型の材料又はネガ型の材料が挙げられる。

[0926]

感光性の樹脂を用いることにより、露光及び現像の工程のみで層128を作製することができ、ドライエッチング、若しくはウェットエッチングによる導電層112a、導電層112b、導電層112cの表面への影響を低減することができる。また、ネガ型の感光性樹脂を用いて層128を形成することにより、絶縁層599の開口の形成に用いるフォトリソマスク（露光マスク）と同一のフォトリソマスクを用いて、層128を形成できる場合がある。

[0927]

なお、図40では、層128の上面が平坦部を有する例を示すが、層128の形状は、特に限定さ

れない。図43Aに示すとおり、層128の上面は、断面視において、中央及びその近傍において凹曲面を有する形状としてもよい。又は、図43Bに示すとおり、層128は、断面視において、中央及びその近傍において凸曲面を有する形状としてもよい。また、図43Cに示すとおり、層128は、中央及びその近傍において凹曲面及び凸曲面を有する形状としてもよい。

[0928]

発光デバイス130Rは、第1の層113aと、第1の層113a上の共通層114と、共通層114上の共通電極115と、を有する。また、発光デバイス130Gは、第2の層113bと、第2の層113b上の共通層114と、共通層114上の共通電極115と、を有する。また、発光デバイス130Bは、第3の層113cと、第3の層113c上の共通層114と、共通層114上の共通電極115と、を有する。

[0929]

なお、第1の層113aは、導電層126aの上面及び側面と導電層129aの上面及び側面を覆うように形成されている。同様に、第2の層113bは、導電層126bの上面及び側面と導電層129bの上面及び側面を覆うように形成されている。また、同様に、第3の層113cは、導電層126cの上面及び側面と導電層129cの上面及び側面を覆うように形成されている。したがって、導電層126a、導電層126b及び導電層126cが設けられている領域全体を、発光デバイス130R、発光デバイス130G及び発光デバイス130Bの発光領域として用いることができるため、画素の開口率を高めることができる。

[0930]

発光デバイス130Rにおいて、第1の層113aと共通層114をまとめてEL層と呼ぶことができる。また、同様に、発光デバイス130Gにおいて、第2の層113bと共通層114をまとめてEL層と呼ぶこともできる。また、同様に、発光デバイス130Bにおいて、第3の層113cと共通層114をまとめてEL層と呼ぶことができる。

[0931]

本実施の形態の発光デバイスの構成に、特に限定はなく、シングル構造としてもよいし、タンデム構造としてもよい。

[0932]

第1の層113a、第2の層113b及び第3の層113cは、リソグラフィ法により島状に加工されている。そのため、第1の層113aと、第2の層113bと、第3の層113cとのそれぞれは、各々の端部において、上面と側面との成す角が90度に近い形状となる。一方、例えば、FMM (Fine Metal Mask) を用いて形成された有機膜は、その厚さが端部に近いほど徐々に薄くなる傾向があり、例えば1 μ m以上10 μ m以下の範囲にわたって、上面がスロープ状に形成されるため、上面と側面の区別が困難な形状となる。

[0933]

第1の層113aと、第2の層113bと、第3の層113cと、のそれぞれは、上面と側面の区別が明瞭となる。これにより、隣接する第1の層113aと第2の層113bにおいて、第1の層113aの側面の一と、第2の層113bの側面の一は、互いに対向して配置される。これは、第1の層113a、第2の層113b及び第3の層113cのうちいずれの組み合わせにおいても同様である。

[0934]

第1の層113aと、第2の層113bと、第3の層113cと、は少なくとも発光層を有する。例えば、第1の層113aが、赤色の光を発する発光層を有し、第2の層113bが緑色の光を発する発光層を有し、第3の層113cが、青色の光を発する発光層を有する構成であると好ましい。また、それぞれの発光層は、上記以外の色としては、シアン、マゼンタ、黄又は白を適用することができる。

[0935]

第1の層113aと、第2の層113bと、第3の層113cと、のそれぞれは、発光層と、発光層上のキャリア輸送層（電子輸送層または正孔輸送層）と、を有することが好ましい。第1の層113aと、第2の層113bと、第3の層113cと、のそれぞれの表面は、表示装置の作製工程中に露出する場合があるため、キャリア輸送層を発光層上に設けることで、発光層が最表面に露出することを抑制し、発光層が受けるダメージを低減することができる。これにより、発光デバイスの信頼性を高めることができる。

[0936]

共通層114は、例えば電子注入層又は正孔注入層を有する。または、共通層114は、電子輸送層と電子注入層とを積層して有していてもよく、正孔輸送層と正孔注入層とを積層して有していてもよい。共通層114は、発光デバイス130R、発光デバイス130G及び発光デバイス130Bで共有されている。

[0937]

また、共通電極115は、発光デバイス130R、発光デバイス130G及び発光デバイス130Bで共有されている。また、図40に示すように、複数の発光デバイスが共通して有する共通電極115は、接続部140に含まれている導電体に接する。

[0938]

絶縁層125は、水及び酸素の一方又は双方に対するバリア絶縁層としての機能を有することが好ましい。また、絶縁層125は、水及び酸素の一方又は双方の拡散を抑制する機能を有することが好ましい。また、絶縁層125は、水及び酸素の一方又は双方を捕獲する機能、あるいは固着する（ゲッタリングともいう）機能を有することが好ましい。絶縁層125が、バリア絶縁層としての機能、又はゲッタリング機能を有することで、外部から各発光デバイスに拡散しうる不純物（代表的には、水及び酸素の一方又は双方）の侵入を抑制することが可能な構成となる。当該構成とすることで、信頼性の高い発光デバイス、さらには、信頼性の高い表示パネルを提供することができる。

[0939]

また、絶縁層125は、不純物濃度が低いことが好ましい。これにより、絶縁層125からEL層に不純物が混入し、EL層が劣化することを抑制することができる。また、絶縁層125において、不純物濃度を低くすることで、水及び酸素の一方又は双方に対するバリア性を高めることができる。例えば、絶縁層125は、水素濃度及び炭素濃度の一方、好ましくは双方が十分に低いことが望ましい。

[0940]

絶縁層127としては、有機材料を有する絶縁層を好適に用いることができる。有機材料としては、感光性の有機樹脂を用いることが好ましく、例えば、アクリル樹脂を含む感光性の樹脂組成物を用いればよい。また、絶縁層127の材料の粘度は、1cP以上1500cP以下とすることが好ましく、1cP以上12cP以下とすることがより好ましい。絶縁層127の材料の粘度を上記の範囲にする

ことで、後述するテーパ形状を有する絶縁層 1 2 7 を、比較的容易に形成することができる。なお、本明細書などにおいて、アクリル樹脂とは、ポリメタクリル酸エステル、またはメタクリル樹脂だけを指すものではなく、広義のアクリル系ポリマー全体を指す場合がある。

[0941]

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面とがなす角（テーパ角ともいう）が 90 度未満である領域を有すると好ましい。

[0942]

なお、絶縁層 1 2 7 は、後述するように側面にテーパ形状を有していればよく、絶縁層 1 2 7 に用いることができる有機材料は上記に限られるものではない。例えば、絶縁層 1 2 7 には、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、イミド樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シリコーン樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、又はこれら樹脂の前駆体を適用することができる場合がある。また、絶縁層 1 2 7 として、ポリビニルアルコール（PVA）、ポリビニルブチラール（PVB）、ポリビニルピロリドン、ポリエチレングリコール、ポリグリセリン、プルラン、水溶性のセルロース、またはアルコール可溶性のポリアミド樹脂といった有機材料を適用することができる場合がある。また、絶縁層 1 2 7 には、例えば、感光性の樹脂として、フォトレジストを用いることができる場合がある。なお、感光性の樹脂としては、ポジ型の材料又はネガ型の材料が挙げられる。

[0943]

絶縁層 1 2 7 には可視光を吸収する材料を用いてもよい。絶縁層 1 2 7 が発光デバイスからの発光を吸収することで、発光デバイスから絶縁層 1 2 7 を介して隣接する発光デバイスに光が漏れること（迷光）を抑制することができる。これにより、表示パネルの表示品位を高めることができる。また、表示パネルに偏光板を用いなくても、表示品位を高めることができるため、表示パネルの軽量化及び薄型化を図ることができる。

[0944]

可視光を吸収する材料としては、黒色などの顔料を含む材料、染料を含む材料、光吸収性を有する樹脂材料（例えば、ポリイミド）、及び、カラーフィルタに用いることのできる樹脂材料（カラーフィルタ材料）が挙げられる。特に、2 色又は 3 色以上のカラーフィルタ材料を積層または混合した樹脂材料を用いると、可視光の遮蔽効果を高めることができるため好ましい。特に 3 色以上のカラーフィルタ材料を混合させることで、黒色または黒色近傍の樹脂層とすることが可能となる。

[0945]

絶縁層 1 2 7 は、例えば、スピコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーデコート又はナイフコートといった湿式の成膜方法を用いて形成することができる。特に、スピコートにより、絶縁層 1 2 7 となる有機絶縁膜を形成することが好ましい。

[0946]

絶縁層 1 2 7 は、EL 層の耐熱温度よりも低い温度で形成する。絶縁層 1 2 7 を形成する際の基板温度としては、代表的には、200℃以下、好ましくは 180℃以下、より好ましくは 160℃以下、より好ましくは 150℃以下、より好ましくは 140℃以下である。

[0947]

以下では、発光デバイス130Rと発光デバイス130Gの間の絶縁層127の構造を例に挙げて、絶縁層127などの構造について説明を行う。なお、発光デバイス130Gと発光デバイス130Bの間の絶縁層127と、発光デバイス130Bと発光デバイス130Rの間の絶縁層127と、についても同様のことが言える。また、以下では、第2の層113b上の絶縁層127の端部を例に挙げて説明する場合があるが、第1の層113a上の絶縁層127の端部と、第3の層113c上の絶縁層127の端部と、についても同様のことが言える。

[0948]

絶縁層127は、表示装置の断面視において、側面にテーパ角 $\theta 1$ のテーパ形状を有することが好ましい。テーパ角 $\theta 1$ は、絶縁層127の側面と基板面のなす角である。ただし、基板面に限らず、絶縁層125の平坦部の上面又は第2の層113bの平坦部の上面と、絶縁層127の側面とのなす角としてもよい。また、絶縁層127の側面をテーパ形状にすることにより、絶縁層125の側面と、マスク層118aの側面と、もテーパ形状となる場合がある。

[0949]

絶縁層127のテーパ角 $\theta 1$ は、90度未満であり、60度以下が好ましく、45度以下がより好ましい。絶縁層127の側面端部をこのような順テーパ形状にすることで、絶縁層127の側面端部上に設けられる、共通層114及び共通電極115に、段切れ、または局所的な薄膜化などを生じさせることなく、被覆性良く成膜することができる。これにより、共通層114及び共通電極115の面内均一性を向上させることができるため、表示装置の表示品位を向上させることができる。

[0950]

また、表示装置の断面視において、絶縁層127の上面は凸曲面形状を有することが好ましい。絶縁層127の上面の凸曲面形状は、中心に向かってなだらかに膨らんだ形状であることが好ましい。また、絶縁層127上面の中心部の突曲面部が、側面端部のテーパ部に滑らかに接続される形状であることが好ましい。絶縁層127をこのような形状にすることで、絶縁層127上全体で、共通層114及び共通電極115を被覆性良く成膜することができる。

[0951]

また、絶縁層127は、二つのEL層の間の領域（例えば、第1の層113aと第2の層113bとの間の領域）に形成される。このとき、絶縁層127の一部が、一方のEL層（例えば、第1の層113a）の側面端部と、もう一方のEL層（例えば、第2の層113b）の側面端部に挟まれる位置に配置されることになる。

[0952]

また、絶縁層127の一方の端部が画素電極として機能する導電層126aと重なり、絶縁層127の他方の端部が画素電極として機能する導電層126bと重なることが好ましい。このような構造にすることで、絶縁層127の端部を第1の層113a（第2の層113b）の概略平坦な領域の上に形成することができる。よって、絶縁層127のテーパ形状を、上記の通り加工することが比較的容易になる。

[0953]

以上のように、絶縁層127などを設けることにより、第1の層113aの概略平坦な領域から第2の層113bの概略平坦な領域まで、共通層114及び共通電極115に段切れ箇所、及び局所的に膜厚が薄い箇所が形成されるのを防ぐことができる。よって、各発光デバイス間において、共通層114及び共通電極115に、段切れ箇所に起因する接続不良、及び局所的に膜厚が薄い箇所に起因

する電気抵抗の上昇が発生するのを抑制することができる。

[0954]

本実施の形態の表示装置は、発光デバイス間の距離を狭くすることができる。具体的には、発光デバイス間の距離、EL層間の距離又は画素電極間の距離を、 $10\mu\text{m}$ 未満、 $8\mu\text{m}$ 以下、 $5\mu\text{m}$ 以下、 $3\mu\text{m}$ 以下、 $2\mu\text{m}$ 以下、 $1\mu\text{m}$ 以下、 500nm 以下、 200nm 以下、 100nm 以下、 90nm 以下、 70nm 以下、 50nm 以下、 30nm 以下、 20nm 以下、 15nm 以下又は 10nm 以下とすることができる。別言すると、本実施の形態の表示装置は、隣接する2つの島状のEL層の間隔が $1\mu\text{m}$ 以下の領域を有し、好ましくは $0.5\mu\text{m}$ (500nm) 以下の領域を有し、さらに好ましくは 100nm 以下の領域を有する。このように、各発光デバイス間の距離を狭めることで、高い精細度と、大きな開口率を有する表示装置を提供することができる。

[0955]

発光デバイス130上には、保護層131が設けられている。保護層131は、発光デバイス130を保護するパッシベーション膜として機能する膜である。発光デバイスを覆う保護層131を設けることで、発光デバイスに水及び酸素といった不純物が入り込むことを抑制し、発光デバイス130の信頼性を高めることができる。保護層131には、例えば、酸化アルミニウム、窒化シリコン又は窒化酸化シリコンを用いることができる。

[0956]

保護層131と、基板110と、は接着層107を介して接着されている。発光デバイスの封止には、固体封止構造または中空封止構造などが適用できる。図40では、基板310と基板110との間の空間が、接着層107で充填されており、固体封止構造が適用されている。または、当該空間を不活性ガス（窒素又はアルゴンなど）で充填し、中空封止構造を適用してもよい。このとき、接着層107は、発光デバイスと重ならないように設けられていてもよい。また、当該空間を、枠状に設けられた接着層107とは異なる樹脂で充填してもよい。

[0957]

接着層107には、紫外線硬化型の光硬化型接着剤、反応硬化型接着剤、又は熱硬化型接着剤、嫌気型接着剤といった各種硬化型接着剤を用いることができる。これら接着剤としては、例えば、エポキシ樹脂、アクリル樹脂、シリコーン樹脂、フェノール樹脂、ポリイミド樹脂、イミド樹脂、PVC（ポリビニルクロライド）樹脂、PVB（ポリビニルブチラル）樹脂、EVA（エチレンビニルアセテート）樹脂が挙げられる。特に、エポキシ樹脂などの透湿性が低い材料が好ましい。また、二液混合型の樹脂を用いてもよい。また、接着シートを用いてもよい。

[0958]

表示装置DSP1Aは、トップエミッション型である。発光デバイスが発する光は、基板110側に射出される。そのため、基板110には、可視光に対する透過性が高い材料を用いることが好ましい。例えば、基板110には、基板310及び基板BSに適用できる基板のうち、可視光に対する透過性が高い基板を選択することが好ましい。画素電極は可視光を反射する材料を含み、対向電極（共通電極115）は可視光を透過する材料を含む。

[0959]

なお、本発明の一態様の表示装置は、トップエミッション型ではなく、発光デバイスが発する光が基板310側に射出されるボトムエミッション型としてもよい。なお、この場合、基板310には、可視光に対する透過性が高い基板を選択することが好ましい。

[0960]

次に、図40の表示装置DSP1Aとは異なる、図38Aに示す表示装置DSP1の断面視における構成例について説明する。

[0961]

図44に示す表示装置DSP1Bは、図38Aに示す表示装置DSP1の断面視における構成例であって、透過型液晶素子を含む表示装置（液晶表示装置と呼ばれる場合がある）である。

[0962]

表示装置DSP1Bは、基板310と基板610とを有し、基板310と基板610とによって、液晶素子を含む画素回路と駆動回路とが挟持されている。

[0963]

表示装置DSP1Bは、一例として、光源であるバックライト（図示しない）の光を、後述する液晶素子613a乃至液晶素子613cを介することによって、画像を表示することができる。このため、基板310及び基板610は、図40で説明した表示装置DSP1Aの基板310に適用できる基板のうち、可視光に対する透過性が高い基板を用いることが好ましい。

[0964]

図44において、表示素子である液晶素子613aは、第1の電極としての機能を有する導電層112aと、第2の電極としての機能を有する導電層631と、液晶層608と、を有する。同様に、液晶素子613bは、第1の電極としての機能を有する導電層112bと、第2の電極としての機能を有する導電層631と、液晶層608と、を有し、第1の電極としての機能を有する導電層112cと、第2の電極としての機能を有する導電層631と、液晶層608と、を有する。

[0965]

なお、以後、液晶素子613a乃至液晶素子613cをまとめて液晶素子613と呼称する。

[0966]

また、表示装置DSP1Bには、液晶層608を挟持するように配向膜としての機能を有する絶縁層632及び絶縁層633が設けられている。導電層631は基板610側に設けられ、導電層112a乃至導電層112cと、導電層631と、は、液晶層608を介して、互いに重畳している。また、液晶層608は、基板310側と基板610側と接着する機能を有する封止材605によって封止されている。表示領域DISに設けられたトランジスタMNxは、液晶素子613に接続されている。

[0967]

導電層112a乃至導電層112c及び導電層631には、可視光を透過する導電性材料を用いることが好適である。当該導電性材料としては、例えば、インジウム（In）、亜鉛（Zn）、錫（Sn）から選ばれた一種以上を含む材料を用いることができる。具体的には、酸化インジウム、酸化錫インジウム（ITO）、インジウム亜鉛酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、酸化シリコンを含むインジウム錫酸化物（ITSO）、酸化亜鉛、ガリウムを含む酸化亜鉛等が挙げられる。なお、導電層112a乃至導電層112c及び導電層631には、グラフェンを含む膜を用いることができる。グラフェンを含む膜は、例えば絶縁体、導電体などの膜上に形成された酸化グラフェンを含む膜を還元して形成することができる。

[0968]

また、図40の表示装置DSP1A及び図41のトランジスタMNで説明した、絶縁層IS1乃至絶縁層IS3、絶縁層GI1、導電層ME1乃至導電層ME3、半導体層SC1、絶縁層574、絶縁層581、絶縁層592、絶縁層594、絶縁層598、絶縁層599、導電層596及び導電層MPGのそれぞれには、光源であるバックライト（図示しない）の光を透過させるため、透光性の高い材料を用いることが好ましい。

[0969]

液晶素子613としては、例えば、FFS（Fringe Field Switching）モードが適用された液晶素子とすることができる。また、一般的に、液晶材料には、誘電率の異方性($\Delta\epsilon$)が正であるポジ型の液晶材料と、負であるネガ型の液晶材料がある。本実施の形態に示す、液晶素子613には、両者の材料を適用することができ、適用するモード及び設計に応じて最適な液晶材料を用いることができる。

[0970]

本実施の形態に示す表示装置では、ネガ型の液晶材料を用いることが好ましい。ネガ型液晶では、液晶分子の分極に由来するフレクソエレクトリック効果の影響を抑制でき、極性による透過率の差がほとんどない。したがって、表示装置の使用者からフリッカーが視認されることを抑制できる。フレクソエレクトリック効果とは、主に分子形状に起因し、配向歪みにより分極が発生する現象である。ネガ型の液晶材料は、広がり変形及び曲げ変形の配向歪みが生じにくい。

[0971]

なお、ここでは液晶素子613としてFFSモードが適用された素子を用いたが、これに限られず様々なモードが適用された液晶素子を用いることができる。例えば、VA（Vertical Alignment）モード、TN（Twisted Nematic）モード、IPS（In-Plane-Switching）モード、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optically Compensated Birefringence）モード、FLC（Ferroelectric Liquid Crystal）モード、AFLC（AntiFerroelectric Liquid Crystal）モード、ECB（Electrically Controlled Birefringence）モード、VA-IPSモード、ゲストホストモード等が適用された液晶素子を用いることができる。

[0972]

また、本実施の形態に示す表示装置にノーマリーブラック型の液晶表示装置、例えば垂直配向（VA）モードを採用した透過型の液晶表示装置を適用してもよい。垂直配向モードとしては、MVA（Multi-Domain Vertical Alignment）モード、PVA（Patterned Vertical Alignment）モード、ASV（Advanced Super View）モードなどを用いることができる。

[0973]

なお、液晶素子は、液晶の光学変調作用によって光の透過または非透過を制御する素子である。液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界または斜め方向の電界を含む）によって制御される。液晶素子に用いる液晶としては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（PDLC：Polymer Dispersed Liquid Crystal）、高分子ネットワーク型液晶（PNLC：Polymer Network Liquid Crystal）、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶

材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

[0974]

図44では、縦電界方式の液晶素子を有する表示装置の例を示したが、本発明の一態様には、横電界方式の液晶素子を有する表示装置を適用することができる。横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を液晶層608に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性を示す。また、ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良または破損を軽減することができる。

[0975]

スペーサ635は絶縁層を選択的にエッチングすることで得られる柱状のスペーサであり、導電層112a乃至導電層112cと導電層631との間隔（セルギャップ）を制御するために設けられている。なお球状のスペーサを用いてもよい。

[0976]

また、必要に応じて、ブラックマトリクス（遮光層）、着色層（カラーフィルタ）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などを適宜設けてもよい。例えば、偏光基板および位相差基板による円偏光を用いてもよい。また、光源としてバックライトユニット、サイドライトユニットなどを用いてもよい（図示しない）。また、上記バックライトユニット及びサイドライトユニットとして、マイクロLEDなどを用いてもよい。図44の表示装置DSP1Bの場合、例えば、基板610の表面側（着色層666Rと着色層666Gと着色層666Bと遮光層642とが設けられた面の反対側）と、基板310の裏面側（トランジスタMN_x及びトランジスタMN_yが設けられた面の反対側）と、にそれぞれ偏光基板を設け、基板310の裏面側に、偏光基板を介して、バックライトユニットを設けた構成としてもよい（図示しない）。

[0977]

図44に示す表示装置では、基板610と導電層631の間に、遮光層642、着色層666R、着色層666G、着色層666B及び絶縁層641が設けられている。

[0978]

遮光層642として用いることのできる材料としては、カーボンブラック、チタンブラック、金属、金属酸化物、複数の金属酸化物の固溶体を含む複合酸化物等が挙げられる。遮光層は、樹脂材料を含む膜であってもよいし、金属などの無機材料の薄膜であってもよい。また、遮光層642には、着色層666R乃至着色層666Bのいずれか一の材料を含む膜の積層膜を用いることもできる。例えば、ある色の光を透過する着色層666Rに用いる材料を含む膜と、他の色の光を透過する着色層666Gに用いる材料を含む膜との積層構造を用いることができる。着色層666R乃至着色層666Bと遮光層642との材料を共通化することで、装置を共通化できるほか工程を簡略化できるため好ましい。

[0979]

着色層 6 6 6 R 乃至着色層 6 6 6 B に用いることのできる材料としては、金属材料、樹脂材料、顔料または染料が含まれた樹脂材料などが挙げられる。遮光層および着色層の形成方法は、前述した各層の形成方法と同様に行なえばよい。例えば、インクジェット法などで行なってもよい。

[0980]

絶縁層 6 4 1 としては、平坦化機能を有するオーバーコートであることが好ましい。絶縁層 6 4 1 が平坦化機能を有することによって、それぞれの厚さが異なる着色層 6 6 6 R 乃至着色層 6 6 6 B と遮光層 6 4 2 との形成面上に、平坦な絶縁膜を形成することができる。絶縁層 6 4 1 が平坦化することによって、導電層 6 3 1 を平坦に形成することができるため、液晶層 6 0 8 の厚さのばらつきを低減することができる。このような絶縁層 6 4 1 としては、例えば、アクリル樹脂などが挙げられる。

[0981]

<表示装置の断面構成例 2>

次に、図 3 8 B に示す表示装置 D S P 2 の断面視における構成例について説明する。

[0982]

図 4 5 に示す表示装置 D S P 2 A は、図 3 8 B に示す表示装置 D S P 2 の断面視における構成例である。表示装置 D S P 2 A は、基板 3 1 0 上に画素回路、駆動回路などが設けられた構成となっている。なお、図 4 5 の表示装置 D S P 2 A には、図 3 8 B に示している回路領域 S I C と表示領域 D I S に加えて、配線領域 L I N についても図示している。

[0983]

回路領域 S I C は、一例として、基板 3 1 0 を有し、基板 3 1 0 上には、トランジスタ 3 0 0 d が形成されている。また、トランジスタ 3 0 0 d の上方には、配線領域 L I N が設けられており、配線領域 L I N には、トランジスタ 3 0 0 d、後述するトランジスタ 5 0 0 x、発光デバイス 1 3 0 R、発光デバイス 1 3 0 G、発光デバイス 1 3 0 B などと接続する配線が設けられている。また、配線領域 L I N の上方には、表示領域 D I S が設けられており、表示領域 D I S は、一例として、トランジスタ 5 0 0 x と、発光デバイス 1 3 0（図 4 5 では、発光デバイス 1 3 0 R、発光デバイス 1 3 0 G 及び発光デバイス 1 3 0 B）と、を有する。

[0984]

つまり、トランジスタ 3 0 0 d は、回路領域 S I C に含まれているトランジスタとすることができる。また、トランジスタ 5 0 0 x は、画素回路 P X に含まれるトランジスタとすることができる。また、発光デバイス 1 3 0 は、画素回路 P X に含まれる発光デバイスとすることができる。

[0985]

また、トランジスタ 5 0 0 x の上方に位置する、発光デバイス 1 3 0（図 4 5 では、発光デバイス 1 3 0 R、発光デバイス 1 3 0 G 及び発光デバイス 1 3 0 B）については、図 4 0 の発光デバイス 1 3 0 の説明を参照することができる。

[0986]

基板 3 1 0 には、例えば、基板 B S に適用できる基板を用いることができる。なお、本実施の形態では、基板 3 1 0 は、シリコンを材料として有する半導体基板として説明する。そのため、回路領域 S I C に含まれるトランジスタは、S i トランジスタとすることができる。例えば、S i トランジスタとしては、チャンネル形成領域に単結晶シリコンが含まれているトランジスタ、若しくはチャンネル形成領域に低温ポリシリコン（L T P S）を含むトランジスタが挙げられる。

[0987]

このため、基板310上に形成されているトランジスタ300dは、図40に示すトランジスタMN_x及びトランジスタMN_yと構造が異なっている。なお、図45の表示装置DSP2Aにおいて、回路領域SICに含まれるトランジスタは、図40に示したトランジスタMN_x及びトランジスタMN_yとしてもよい。この場合、基板310は、ガラス基板とすることが好ましい。

[0988]

表示装置DSP2Aの画面比率（アスペクト比）については、表示装置DSP1Aの画面比率の説明を参照することができる。また、表示装置DSP2Aの対角サイズについても、表示装置DSP1Aの対角サイズの説明を参照することができる。

[0989]

トランジスタ300dは、素子分離層312と、導電層316と、絶縁層315と、絶縁層317と、基板310の一部からなる半導体領域313と、ソース領域又はドレイン領域として機能する低抵抗領域314a及び低抵抗領域314bと、を有する。このため、トランジスタ300dは、Siトランジスタとなっている。なお、図45では、トランジスタ300dのソース又はドレインの一方が、後述する導電層328を介して、後述する導電層330及び導電層356に接続されている構成を示しているが、本発明の一態様の表示装置の接続構成は、これに限定されない。本発明の一態様の表示装置は、例えば、トランジスタ300dのゲートが、導電層328に接続されている構成としてもよい。

[0990]

トランジスタ300dは、例えば、半導体領域313の上面及びチャネル幅方向の側面が、ゲート絶縁体として機能する絶縁層315を介して導電層316に覆われる構成にすることによって、Fin型にすることができる。トランジスタ300dをFin型にすることにより、実効上のチャネル幅が増大することができ、トランジスタ300dのオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300dのオフ特性を向上させることができる。また、トランジスタ300dは、Fin型でなくプレーナ型としてもよい。

[0991]

なお、トランジスタ300dは、pチャネル型、あるいはnチャネル型のいずれも用いることができる。またはトランジスタ300dを複数設け、pチャネル型及びnチャネル型の双方を用いてもよい。

[0992]

半導体領域313のチャネルが形成される領域と、その近傍の領域と、ソース領域又はドレイン領域となる低抵抗領域314a及び低抵抗領域314bと、には、シリコン系半導体を含むことが好ましく、具体的には、単結晶シリコンを含むことが好ましい。又は、上述した各領域は、例えば、ゲルマニウム、シリコンゲルマニウム、ヒ化ガリウム、ヒ化アルミニウムガリウム、又は窒化ガリウムを用いて形成されてもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又は、トランジスタ300dは、例えば、ヒ化ガリウムとヒ化アルミニウムガリウムを用いたHEMT(High Electron Mobility Transistor)としてもよい。

[0993]

ゲート電極として機能する導電層316には、ヒ素又はリンといったn型の導電性を付与する元素、もしくはホウ素又はアルミニウムといったp型の導電性を付与する元素を含むシリコンなどの半導

体材料を用いることができる。又は、導電層 316 には、例えば、金属材料、合金材料、又は金属酸化物材料といった導電性材料を用いることができる。

[0994]

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタン、及び窒化タンタルの一方又は双方の材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステン及びアルミニウムの一方又は双方の金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0995]

素子分離層 312 は、基板 310 上に形成されている複数のトランジスタ同士を分離するために設けられている。素子分離層は、例えば、LOCOS (Local Oxidation of Silicon) 法、STI (Shallow Trench Isolation) 法、又はメサ分離法を用いて形成することができる。

[0996]

図 45 に示すトランジスタ 300d 上には、絶縁層 320 及び絶縁層 322 が、基板 310 側から順に積層して設けられている。

[0997]

絶縁層 320 及び絶縁層 322 として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム及び窒化アルミニウムから選ばれた一以上を用いればよい。

[0998]

絶縁層 322 は、絶縁層 320 及び絶縁層 322 に覆われているトランジスタ 300d などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁層 322 の上面は、平坦性を高めるために化学機械研磨 (CMP) 法を用いた平坦化处理により平坦化されていてもよい。

[0999]

絶縁層 320 及び絶縁層 322 には、絶縁層 322 より上方に設けられているトランジスタ 500x などと接続する導電層 328 が埋め込まれている。なお、導電層 328 は、プラグ又は配線としての機能を有する。このため、導電層 328 には、前述した導電層 MPG に適用できる材料を用いることができる。

[1000]

表示装置 DSP2A では、トランジスタ 300d 上に配線領域 LIN が設けられている。配線領域 LIN は、例えば、絶縁層 324 と、絶縁層 326 と、導電層 330 と、絶縁層 350 と、絶縁層 352 と、絶縁層 354 と、導電層 356 と、を有する。

[1001]

絶縁層 322 上及び導電層 328 上には、絶縁層 324 と絶縁層 326 とが順に積層して設けられている。また、導電層 328 に重なる領域において、絶縁層 324 と絶縁層 326 とには、開口が形成されている。また、当該開口には導電層 330 が埋め込まれている。

[1002]

また、絶縁層 326 上と、導電層 330 上と、には、絶縁層 350 と絶縁層 352 と絶縁層 354

とがこの順に積層して設けられている。また、導電層 330 に重なる領域において、絶縁層 350 と絶縁層 352 と絶縁層 354 とには、開口が形成されている。また、当該開口には導電層 356 が埋め込まれている。

[1003]

導電層 330 及び導電層 356 は、トランジスタ 300d と接続するプラグ又は配線としての機能を有する。なお、導電層 330 及び導電層 356 は、前述した導電層 328 又は導電層 596 と同様の材料を用いて設けることができる。

[1004]

なお、例えば、絶縁層 324 及び絶縁層 350 は、絶縁層 592 と同様に、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する絶縁体を用いることが好ましい。また、絶縁層 326、絶縁層 352 及び絶縁層 354 としては、絶縁層 594 と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。また、絶縁層 326、絶縁層 352 及び絶縁層 354 は、層間絶縁膜及び平坦化膜としての機能を有する。また、絶縁層 326、絶縁層 352 及び絶縁層 354 は、水素、酸素及び水から選ばれた一以上に対するバリア性を有する絶縁層を含むことが好ましい。

[1005]

また、絶縁層 354 及び導電層 356 の上方には、絶縁層 512 及び絶縁層 514 がこの順に積層されている。また、絶縁層 514 上には、トランジスタ 500x が設けられている。

[1006]

トランジスタ 500x は、絶縁層 512 及び絶縁層 514 を下地膜として、当該下地膜上に形成された島状の半導体層を活性層とするトランジスタである。また、トランジスタ 500x のゲートは、島状の半導体層の一部の上面及び側面を囲むように設けられている。なお、図 45 では、島状の半導体層の一部の上面に当該ゲートとして機能する導電層が設けられている。また、島状の半導体層の別の上面には、ソース及びドレインの一方として機能する導電層と、ソース及びドレインの他方として機能する導電層と、が設けられている。なお、ソース及びドレインの一方として機能する導電層と、ソース及びドレインの他方として機能する導電層と、は、当該ゲートを挟むように、設けられている。

[1007]

図 45 に示すトランジスタ 500x は、島状の半導体層と、当該半導体層を覆う層間膜と、を有し、且つ当該層間膜にゲートとしての機能を有する導電層を埋め込むための開口を有する構造となっている。また、当該開口の形成後に、当該導電層を形成することによって、当該導電層は、当該開口の内部に自己整合的に形成される。このように、ゲートが開口の内部に自己整合的に形成されるトランジスタ 500x を、本明細書等では、TGS A 構造のトランジスタと呼ぶ場合がある。

[1008]

特に、TGS A 構造のトランジスタは、当該開口にゲート絶縁膜としての機能を有する絶縁層の形成後に、ゲートとしての機能を有する導電層が形成される。つまり、当該半導体層と当該導電層との間には、当該絶縁層が位置している。ゲート絶縁膜としての機能を有する当該絶縁層は、トランジスタ 500x の電気特性に大きく寄与する。例えば、当該絶縁層の膜厚を厚くした場合（トランジスタ MN のゲート絶縁膜を厚くした場合）、トランジスタ 500x のゲートと半導体層のチャネル形成領域との間の電圧の勾配を緩やかにすることができるため、ゲート電位（ゲートーソース間電圧又はゲートードレイン間電圧と呼ばれる場合がある）に対する耐性を高めることができる。一方で、ラン

ジスタのゲート絶縁膜を薄くした場合、ゲート電位を変化させたときの、ゲートから半導体のチャネル形成領域にかかる電界の変化が速くなるため、トランジスタの駆動周波数を高めることができる。

[1009]

なお、図45の表示装置DSP2Aにおいて、表示領域DISに含まれるトランジスタ500xは、図40に示したトランジスタMNx及びトランジスタMNyとしてもよい。特に、トランジスタMNx及びトランジスタMNyのそれぞれのチャネル長は、トランジスタ500xのチャネル長よりも短いため、表示領域DISに含まれる画素回路の面積を低減することができる。また、図45の表示装置DSP2Aにおいて、表示領域DISに含まれるトランジスタ500xのオン電流を大きくしたい場合には、トランジスタ500xをトランジスタMNに変更することが好ましい。

[1010]

トランジスタ500xの上方には、絶縁層574と、絶縁層581と、絶縁層592と、絶縁層594と、絶縁層598と、絶縁層599と、がこの順に形成されている。また、絶縁層574及び絶縁層581には、導電層MPGが埋め込まれており、また、絶縁層592及び絶縁層594には、導電層596が埋め込まれている。

[1011]

なお、絶縁層574と、絶縁層581と、絶縁層592と、絶縁層594と、絶縁層598と、絶縁層599と、導電層MPGと、導電層596と、については、図40の表示装置DSP1Aの説明を参照することができる。

[1012]

<表示装置の断面構成例3>

次に、図38Cに示す表示装置DSP3の断面視における構成例について説明する。

[1013]

図46に示す表示装置DSP3Aは、図38Cに示す表示装置DSP3の断面視における構成例である。表示装置DSP3Aは、図40に示した表示装置DSP1Aにタッチセンサ機能が設けられた構成となっている。このため、図46の表示装置DSP3Aには、図38Cに示しているセンサ領域TPを図示している。

[1014]

図46に示す表示装置DSP3Aにおいて、保護層131上には、一例として、樹脂層147、絶縁層103、導電層104、絶縁層105及び導電層106がこの順に形成されている。

[1015]

樹脂層147は、有機絶縁材料を含むことが好ましい。有機絶縁材料としては、例えば、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂及びこれら樹脂の前駆体が挙げられる。

[1016]

絶縁層103は、無機絶縁材料を含むことが好ましい。無機絶縁材料としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム及び酸化ハフニウムといった酸化物または窒化物が挙げられる。

[1017]

導電層104と導電層106は、タッチセンサの電極として機能する。タッチセンサの方式として、相互容量方式を用いる場合では、例えば、導電層104及び導電層106の一方に、パルス電位が与

えられ、他方にアナログデジタル（AD）変換回路又はセンスアンプといった検知回路が接続されている構成にしてもよい。この場合、導電層104と導電層106の間に容量が形成される。指などが近づくと、静電容量の大きさが変化する（具体的には、静電容量が小さくなる）。この容量の変化は、導電層104及び導電層106の一方にパルス電位を与えたときに、他方に生じる信号の振幅の大きさの変化として表れる。これにより、指などの接触及び近接を検知することができる。

[1018]

また、表示装置DSP3Aにおいて、タッチセンサの方式としては、自己容量方式としてもよい。この場合、表示装置DSP3Aのセンサ領域TPのタッチセンサの電極としては、導電層104及び導電層106の少なくとも一方が設けられていればよい。

[1019]

絶縁層105には、例えば、無機絶縁膜又は有機絶縁膜を用いることができる。具体的には、絶縁層105には、例えば、アクリル樹脂又はエポキシ樹脂といった樹脂を用いることができる。又は、絶縁層105には、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン又は酸化アルミニウムといった無機絶縁材料を用いることができる。なお、絶縁層105は、単層構造としてもよいし、積層構造としてもよい。

[1020]

なお、図46では、発光デバイス130の上方にタッチセンサの電極を設けた構成を示したが、タッチセンサは、発光デバイス130と同じ層内に設けてもよい（図示しない）。例えば、タッチセンサは、発光デバイス130と同時に形成することによって、発光デバイス130と同じ層内に設けることができる。

[1021]

本発明の一態様の半導体装置である保持回路を駆動回路に設けることによって、上記で説明した各々の表示装置に適用することによって、高い画面解像度、かつ高い精細度を有する表示装置を実現することができる場合がある。具体的には、例えば、HD（画素数1280×720）、FHD（画素数1920×1080）、WQHD（画素数2560×1440）、WQXGA（画素数2560×1600）、4K（画素数3840×2160）又は8K（画素数7680×4320）の画面解像度の表示装置を実現できる場合がある。また、具体的には、例えば、100ppi以上、300ppi以上、500ppi以上、1000ppi以上、2000ppi以上、3000ppi以上、5000ppi以上又は6000ppi以上の精細度の表示装置を実現することができる場合がある。

[1022]

なお、本実施の形態は、本明細書で示す、同一の、又は他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、その本実施の形態で示す構成、構造、方法などと適宜組み合わせ用いることができる。また、例えば、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせ用いることができる。

[1023]

（実施の形態8）

本実施の形態では、本発明の一態様の表示装置を備えた表示モジュールについて説明する。

[1024]

<表示モジュールの構成例>

図47Aに、表示モジュール1280の斜視図を示す。表示モジュール1280は、表示装置1000と、FPC1290と、を有する。

[1025]

表示モジュール1280は、基板1291及び基板1292を有する。表示モジュール1280は、表示部1281を有する。表示部1281は、表示モジュール1280における画像を表示する領域であり、後述する画素部1284に設けられる各画素からの光を視認できる領域である。

[1026]

図47Bに、基板1291側の構成を模式的に示した斜視図を示している。基板1291上には、回路部1282と、回路部1282上の画素回路部1283と、画素回路部1283上の画素部1284と、が積層されている。また、基板1291上の画素部1284と重ならない部分に、FPC1290と接続するための端子部1285が設けられている。端子部1285と回路部1282とは、複数の配線により構成される配線部1286によって接続されている。

[1027]

なお、画素部1284、及び画素回路部1283は、例えば、前述した表示領域DISとすることができる。また、回路部1282は、例えば、前述した回路領域SICとすることができる。

[1028]

画素部1284は、周期的に配列した複数の画素1284aを有する。図47Bの右側に、1つの画素1284aの拡大図を示している。画素1284aは、発光色が互いに異なる発光デバイス1430a、発光デバイス1430b及び発光デバイス1430cを有する。なお、発光デバイス1430a、発光デバイス1430b及び発光デバイス1430cは、例えば、前述した発光デバイス130R、発光デバイス130G及び発光デバイス130Bのそれぞれは、図47Bに示すようにストライプ配列で配置してもよい。また、Sストライプ配列、マトリクス配列、デルタ配列、ベイヤー配列及びペンタイル配列といった様々な配列方法を適用することができる。

[1029]

画素回路部1283は、周期的に配列した複数の画素回路1283aを有する。

[1030]

1つの画素回路1283aは、1つの画素1284aが有する3つの発光デバイスの発光を制御する回路である。1つの画素回路1283aは、1つの発光デバイスの発光を制御する回路が3つ設けられる構成としてもよい。例えば、画素回路1283aは、1つの発光デバイスにつき、1つの選択トランジスタと、1つの電流制御用トランジスタ（駆動トランジスタ）と、容量素子と、を少なくとも有する構成とすることができる。このとき、選択トランジスタのゲートにはゲート信号が、ソース及びドレインの一方にはソース信号が、それぞれ入力される。これにより、アクティブマトリクス型の表示装置が実現されている。

[1031]

回路部1282は、画素回路部1283の各画素回路1283aを駆動する回路を有する。例えば、ゲート線駆動回路及びソース線駆動回路の一方又は双方を有することが好ましい。このほか、演算回路、メモリ回路及び電源回路から選ばれた一以上を有していてもよい。

[1032]

FPC1290は、外部から回路部1282にビデオ信号又は電源電位を供給するための配線として機能する。また、FPC1290上にICが実装されていてもよい。

[1033]

表示モジュール1280は、画素部1284の下側に画素回路部1283及び回路部1282の一方又は双方が積層された構成とすることができるため、表示部1281の開口率（有効表示面積比）を極めて高くすることができる。例えば、表示部1281の開口率は、40%以上100%未満、好ましくは50%以上95%以下、より好ましくは60%以上95%以下とすることができる。また、画素1284aを極めて高密度に配置することが可能で、表示部1281の精細度を極めて高くすることができる。例えば、表示部1281には、100ppi以上、好ましくは300ppi以上、より好ましくは500ppi以上、より好ましくは1000ppi以上、より好ましくは2000ppi以上、より好ましくは3000ppi以上、より好ましくは5000ppi以上、さらに好ましくは6000ppi以上であって、20000ppi以下又は30000ppi以下の精細度で、画素1284aが配置されることが好ましい。

[1034]

本実施の形態で説明した本発明の一態様の表示装置を備えた表示モジュールは、例えば、後の実施の形態で説明する電子機器に備えることができる。

[1035]

例えば、表示モジュール1280は、極めて高精細であることから、ヘッドマウントディスプレイなどのVR向け機器又はメガネ型のAR向け機器に好適に用いることができる。例えば、レンズを通して表示モジュール1280の表示部を視認する構成の場合であっても、表示モジュール1280は極めて高精細な表示部1281を有するためにレンズで表示部を拡大しても画素が視認されず、没入感の高い表示を行うことができる。また、表示モジュール1280はこれに限られず、比較的小型の表示部を有する電子機器に好適に用いることができる。例えば、腕時計などの装着型の電子機器の表示部に好適に用いることができる。

[1036]

なお、本実施の形態は、本明細書で示す、同一の、又は他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、その本実施の形態で示す構成、構造、方法などと適宜組み合わせて用いることができる。また、例えば、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

[1037]

(実施の形態9)

本実施の形態では、本発明の一態様を用いて作製された表示装置を備える電子機器について説明する。なお、本実施の形態で例示する電子機器は、表示部に本発明の一態様の表示装置を備えるものである。したがって、高い精細度が実現された電子機器である。

[1038]

本発明の一態様は、表示装置と、アンテナ、バッテリー、筐体、カメラ、スピーカ、マイク、タッチパネル又は操作ボタンから選ばれた一以上と、を有する。

[1039]

また、本発明の一態様の電子機器は、二次電池を有していてもよく、非接触電力伝送を用いて、二次電池を充電することができると好ましい。

[1040]

二次電池としては、例えば、リチウムイオン二次電池（例えば、ゲル状電解質を用いるリチウムポリマー電池（リチウムイオンポリマー電池））、ニッケル水素電池、ニカド電池、有機ラジカル電池、鉛蓄電池、空気二次電池、ニッケル亜鉛電池又は銀亜鉛電池が挙げられる。

[1041]

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像、情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

[1042]

本発明の一態様の電子機器の表示部には、例えばフルハイビジョン、4K2K、8K4K、16K8K又はそれ以上の画面解像度を有する映像を表示させることができる。

[1043]

電子機器としては、例えば、テレビジョン装置、ノート型のパーソナルコンピュータ、モニタ装置、デジタルサイネージ、パチンコ機及びゲーム機といった比較的大きな画面を備える電子機器が挙げられる。また、電子機器としては、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末又は音響再生装置が挙げられる。

[1044]

本発明の一態様が適用された電子機器は、家屋又はビルといった建物の内壁又は外壁が有する平面又は曲面に沿って組み込むことができる。また当該電子機器は、自動車等の内装または外装等有する平面又は曲面に沿って組み込むことができる。

[1045]

[携帯電話]

図48Aに示す情報端末5500は、情報端末の一種である携帯電話（スマートフォン）である。情報端末5500は、筐体5510と、表示部5511と、を有しており、入力用インターフェースとして、タッチパネルが表示部5511に備えられ、ボタンが筐体5510に備えられている。

[1046]

[ウェアラブル端末]

図48Bは、ウェアラブル端末の一例である情報端末5900の外観を示す図である。情報端末5900は、筐体5901、表示部5902、操作ボタン5903、竜頭5904及びバンド5905を有する。

[1047]

[情報端末]

また、図48Cには、ノート型情報端末5300が図示されている。図48Cに示すノート型情報端末5300には、一例として、筐体5330aに表示部5331が備えられ、筐体5330bにキーボード部5350が備えられている。

[1048]

なお、上述では、電子機器としてスマートフォン、ウェアラブル端末及びノート型情報端末を例として、それぞれ図48A乃至図48Cに図示したが、スマートフォン、ウェアラブル端末及びノート型情報端末以外の情報端末を適用することができる。スマートフォン、ウェアラブル端末及びノート型情報端末以外の情報端末としては、例えば、PDA（Personal Digital Assistant）、デスクトップ用情報端末及びワークステーションが挙げられる。

[1049]

[カメラ]

図48Dは、ファインダー8100を取り付けた状態のカメラ8000の外観を示す図である。カメラ8000は、筐体8001、表示部8002、操作ボタン8003及びシャッターボタン8004を有する。またカメラ8000には、着脱可能なレンズ8006が取り付けられている。ファインダー8100は、筐体8101、表示部8102及びボタン8103を有する。

[1050]

なお、カメラ8000は、レンズ8006と筐体とが一体となってもよい。

[1051]

カメラ8000は、シャッターボタン8004を押すことにより、若しくはタッチパネルとして機能する表示部8002をタッチすることにより、撮像することができる。

[1052]

筐体8001は、電極を有するマウントを有し、ファインダー8100の他、例えば、ストロボ装置を接続することができる。

[1053]

筐体8101は、カメラ8000のマウントと係合するマウントにより、カメラ8000に取り付けられている。ファインダー8100はカメラ8000から受信した映像を表示部8102に表示させることができる。

[1054]

ボタン8103は、電源ボタンとしての機能を有する。

[1055]

カメラ8000の表示部8002及びファインダー8100の表示部8102に、本発明の一態様の表示装置を適用することができる。なお、ファインダーが内蔵されたカメラ8000であってもよい。

[1056]

[ゲーム機]

図48Eは、ゲーム機の一例である携帯ゲーム機5200の外観を示す図である。携帯ゲーム機5200は、筐体5201、表示部5202及びボタン5203を有する。

[1057]

また、携帯ゲーム機5200の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ及びヘッドマウントディスプレイに備えられる表示装置によって、出力することができる。

[1058]

携帯ゲーム機5200に上記実施の形態で説明した表示装置を適用することによって、低消費電力の携帯ゲーム機5200を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路及びモジュールへの影響を少なくすることができる。

[1059]

図48Eでは、ゲーム機の一例として携帯ゲーム機を示しているが、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、据え置き型ゲーム機、娯楽施設

(例えば、ゲームセンター及び遊園地)に設置されるアーケードゲーム機、及びスポーツ施設に設置されるバッティング練習用の投球マシンが挙げられる。

[1060]

[テレビジョン装置]

図48Fは、テレビジョン装置を示す斜視図である。テレビジョン装置9000は、筐体9002、表示部9001、スピーカ9003、操作キー9005(電源スイッチ、または操作スイッチを含む)、接続端子9006及びセンサ9007(例えば、力、変位、位置、速度、加速度、角速度、回転数、距離、光(赤外線を含む)、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動又はにおいを測定する機能を含むもの。又は、例えば、におい又は光を検知又は検出する機能を含むもの。)を有する。本発明の一態様の記憶装置は、テレビジョン装置に備えることができる。テレビジョン装置は、例えば、50インチ以上又は100インチ以上の表示部9001を組み込むことが可能である。

[1061]

テレビジョン装置9000に上記実施の形態で説明した表示装置を適用することによって、低消費電力のテレビジョン装置9000を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路及びモジュールへの影響を少なくすることができる。

[1062]

[移動体]

本発明の一態様の表示装置は、移動体である自動車の運転席周辺に適用することもできる。

[1063]

図48Gは、自動車の室内におけるフロントガラス周辺を表す図である。図48Gでは、ダッシュボードに取り付けられた表示パネル5701、表示パネル5702、表示パネル5703の他、ピラーに取り付けられた表示パネル5704を図示している。

[1064]

表示パネル5701乃至表示パネル5703は、ナビゲーション情報、スピードメーター、タコメーター、走行距離、燃料計、ギア状態又は空調の設定といった様々な情報を表示することができる。また、表示パネルに表示される表示項目及びレイアウトは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル5701乃至表示パネル5703は、照明装置として用いることも可能である。

[1065]

表示パネル5704には、車体に設けられた撮像手段からの映像を映し出すことによって、ピラーで遮られた視界(死角)を補完することができる。すなわち、自動車の外側に設けられた撮像手段からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル5704は、照明装置として用いることもできる。

[1066]

本発明の一態様の表示装置は、例えば、表示パネル5701乃至表示パネル5704に適用できる。

[1067]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定され

ない。例えば、移動体としては、電車、モノレール、船及び飛行体（例えば、ヘリコプター、無人航空機（ドローン）、飛行機及びロケット）も挙げることができ、これらの移動体に本発明の一態様の表示装置を適用することができる。

[1068]

[電子看板]

図48Hは、壁に取り付けが可能な電子看板（デジタルサイネージ）の例を示している。図48Hは、電子看板6200が壁6201に取り付けられている様子を示している。本発明の一態様の表示装置は、例えば、電子看板6200の表示部に適用することができる。また、電子看板6200には、タッチパネルといったインターフェースなどが設けられていてもよい。

[1069]

なお、上述では、電子看板の一例として、壁に取り付けが可能な電子機器の例を示しているが、電子看板の種類はこれに限定されない。例えば、電子看板としては、柱に取り付けるタイプ、地面に置くスタンドタイプ又は建築物の屋上若しくは側壁に設置するタイプが挙げられる。

[1070]

[ヘッドマウントディスプレイ]

図48Iは、例えばVR向けのヘッドマウントディスプレイである電子機器8300の外観を示す図である。電子機器8300は、筐体8301と、表示部8302と、バンド状の固定具8304と、頭部に装着する固定具8304aと、一対のレンズ8305と、を有する。

[1071]

また、図48Iには示していないが、電子機器8300は、操作ボタン又は電源ボタンといったインターフェースが備えられていてもよい。

[1072]

使用者は、レンズ8305を通して、表示部8302の表示を視認することができる。なお、表示部8302を湾曲して配置させると、使用者が高い臨場感を感じることができるため好ましい。また、表示部8302の異なる領域に表示された別の画像を、レンズ8305を通して視認することで、視差を用いた3次元表示を行うこともできる。なお、表示部8302を1つ設ける構成に限らず、表示部8302を2つ設け、使用者の片方の目につき1つの表示部を配置してもよい。

[1073]

なお、表示部8302には、例えば、極めて精細度が高い表示装置を用いることが好ましい。表示部8302に精細度が高い表示装置を用いることによって、レンズ8305を用いて拡大したとしても、使用者に画素が視認されることなく、より現実感の高い映像を表示することができる。

[1074]

また、本発明の一態様の電子機器である、ヘッドマウントディスプレイは、図48Iのようなゴーグル型のヘッドマウントディスプレイである電子機器8300ではなく、グラス型のヘッドマウントディスプレイである電子機器の構成であってもよい。特に、グラス型のヘッドマウントディスプレイは、AR向けの電子機器として好適である。

[1075]

なお、本実施の形態は、本明細書で示す、同一の、又は他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、その本実施の形態で示す構成、構造、方法などと適宜組み合わせる用いることができる。また、例えば、本実施の形態に示す構成、構造、

方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせ用いることができる。

[符号の説明]

[1076]

DSYS : 表示システム、DSYSA : 表示システム、DSYSB : 表示システム、DSYSC : 表示システム、DSP : 表示装置、PRC : 処理装置、DRA : 駆動回路部、SD : 駆動回路、GD : 駆動回路、PXA : 画素アレイ部、PX : 画素回路、PX1 : 画素回路、PX2 : 画素回路、PX3 : 画素回路、PX4 : 画素回路、PX5 : 画素回路、PX5A : 画素回路、LM1 : 記憶回路、LM2 : 記憶回路、FM : 記憶回路、FMA : 記憶回路、FM1 : 記憶回路、FM2 : 記憶回路、FGM : 記憶回路、FGM1 : 記憶回路、FGM2 : 記憶回路、SGPR : 処理回路、PG : 信号処理回路、TC : 制御回路、WBD1 : 駆動回路、WBD2 : 駆動回路、WBDF : 駆動回路、WWD1 : 駆動回路、WWD2 : 駆動回路、WWDG : 駆動回路、WWDF : 駆動回路、WWDFX : 駆動回路、WWDFY : 駆動回路、RWD1 : 駆動回路、RWD2 : 駆動回路、RWDG : 駆動回路、RWDF : 駆動回路、RBD1 : 駆動回路、RBD2 : 駆動回路、RBDF : 駆動回路、MCA1 : メモリセル部、MCA2 : メモリセル部、MCAA : メモリセル部、MCAF : メモリセル部、MCAG : メモリセル部、OPT1 : 出力部、OPT2 : 出力部、OPTP : 出力部、OPTF : 出力部、SWC1 : 切替回路、SWCF : 切替回路、SWCO : 切替回路、SWCP : 切替回路、SWCI : 切替回路、CPA : 比較回路、LGMP : 論理回路、RDC : 回路、PWCS : 論理回路、BFS : 回路、SR : シフトレジスタ、WBL : 配線、WBL1 : 配線、WBL2 : 配線、WBLF : 配線、WBLFX : 配線、WBLFY : 配線、WBLG : 配線、RBL : 配線、RBL1 : 配線、RBL2 : 配線、RBLF : 配線、RBLFX : 配線、RBLFY : 配線、RBLG : 配線、WWL : 配線、WWL1 : 配線、WWLF : 配線、WWLFX : 配線、WWLFY : 配線、WWLG : 配線、RWL : 配線、RWL1 : 配線、RWLF : 配線、RWLG : 配線、BGL : 配線、CL : 配線、WRBL : 配線、WRBLr : 配線、WRWL : 配線、BUL : 配線、SWL1A : 配線、SWL1B : 配線、SWL2 : 配線、SWLFA : 配線、SWLFB : 配線、SWLG : 配線、SWLP : 配線、SWLPA : 配線、SWLPB : 配線、OL1 : 配線、OL2 : 配線、OLX : 配線、OLY : 配線、PDL : 配線、FOL : 配線、POL : 配線、PWIL : 配線、PWCL : 配線、GSPL : 配線、CLK1L : 配線、RL : 配線、SSPL : 配線、LTHL : 配線、SL : 配線、SLX : 配線、SLY : 配線、GL : 配線、GL1 : 配線、GL2 : 配線、GL3 : 配線、GL4 : 配線、GL5 : 配線、IL : 配線、VEL : 配線、INIL : 配線、VCOM : 配線、VCAT : 配線、VBL : 配線、MC : メモリセル、MC1 : メモリセル、MC2 : メモリセル、MCF : メモリセル、MCG : メモリセル、MCX : メモリセル、MCY : メモリセル、SA1 : センスアンプ、SAF : センスアンプ、SAG : センスアンプ、SAX : センスアンプ、SAY : センスアンプ、SW1A : スイッチ、SW1B : スイッチ、SW2 : スイッチ、SWFA : スイッチ、SWFB : スイッチ、SWG : スイッチ、SWP : スイッチ、SWPA : スイッチ、SWPB : スイッチ、SWS : スイッチ、M1 : トランジスタ、M2 : トランジスタ、M3 : トランジスタ、M4 : トランジスタ、M5 : トランジスタ、M5r : トランジスタ、M6 : トランジスタ、M6r : トランジスタ、Tr1 : トランジスタ、Tr2 : トランジスタ、Tr3 : トランジスタ、Tr4 : トランジスタ、Tr5 : トランジスタ、Tr6 : トランジスタ、Tr7 : トランジスタ、C1 : 容量素子、C2 : 容量素子、C3 : 容量素子、C3r : 容量素子、Cs1 : 容量素子、Cs2 : 容量素子、Cs3 : 容量素子、Cs4 : 容量素子、ED : 発光デバイス、M

X : 切替回路、CPAa : 比較器、PWG : パルス信号生成回路、CPB : 論理回路、LGA : 論理回路、LGN : 論理回路、BF : バッファ回路、LS : レベルシフタ、NT : インバータ、INV1 : インバータ、INV2 : インバータ、LA : 保持回路、LATS : ラッチ回路、LATH : ラッチ回路、DAC : デジタルアナログ変換回路、DSP1 : 表示装置、DSP1A : 表示装置、DSP1B : 表示装置、DSP2 : 表示装置、DSP2A : 表示装置、DSP3 : 表示装置、DSP3A : 表示装置、BS : 基板、DIS : 表示領域、DRV : 駆動回路領域、TMR : 端子領域、MFNC : 機能回路領域、SIC : 回路領域、TP : センサ領域、TDE : 駆動回路、TDR : 駆動回路、MEM : 記憶装置、TMC : タイミングコントローラ、SCC : センサコントローラ、EPS : 電源回路、PDA : センサ、ECR : EL補正回路、SNCL : 配線、BSL : バス配線、MN : トランジスタ、MNx : トランジスタ、MNy : トランジスタ、ME1 : 導電層、ME2 : 導電層、ME2a : 導電層、ME2b : 導電層、ME3 : 導電層、MPG : 導電層、IS1 : 絶縁層、IS2 : 絶縁層、IS3 : 絶縁層、GI1 : 絶縁層、SC1 : 半導体層、KK1 : 開口、KK2 : 開口、CHL : チャンネル長、ST1 : ステップ、ST2 : ステップ、ST3 : ステップ、ST4 : ステップ、ST5 : ステップ、ST6 : ステップ、ST7 : ステップ、ST8 : ステップ、ST9 : ステップ、ST10 : ステップ、ST11 : ステップ、ST12 : ステップ、ST13 : ステップ、ST14 : ステップ、SP1 : ステップ、SP2 : ステップ、SP3 : ステップ、SP4 : ステップ、SP5 : ステップ、SP6 : ステップ、SP7 : ステップ、SP8 : ステップ、SP9 : ステップ、SP10 : ステップ、SP11 : ステップ、SP12 : ステップ、SP13 : ステップ、SP14 : ステップ、SQ1 : ステップ、SQ2 : ステップ、SQ3 : ステップ、SQ4 : ステップ、SQ5 : ステップ、SQ6 : ステップ、SQ7 : ステップ、SQ8 : ステップ、SQ9 : ステップ、SQ10 : ステップ、SQ11 : ステップ、SQ12 : ステップ、SQ13 : ステップ、SQ14 : ステップ、21 : CPU、22 : GPU、22a : 回路、22b : 回路、103 : 絶縁層、105 : 絶縁層、104 : 導電層、106 : 導電層、107 : 接着層、110 : 基板、112a : 導電層、112b : 導電層、112c : 導電層、113a : 第1の層、113b : 第2の層、113c : 第3の層、114 : 共通層、115 : 共通電極、118a : マスク層、125 : 絶縁層、126a : 導電層、126b : 導電層、126c : 導電層、127 : 絶縁層、128 : 層、129a : 導電層、129b : 導電層、129c : 導電層、130R : 発光デバイス、130G : 発光デバイス、130B : 発光デバイス、131 : 保護層、140 : 接続部、300d : トランジスタ、310 : 基板、312 : 素子分離層、313 : 半導体領域、314a : 低抵抗領域、314b : 低抵抗領域、315 : 絶縁層、316 : 導電層、317 : 絶縁層、320 : 絶縁層、322 : 絶縁層、324 : 絶縁層、326 : 絶縁層、328 : 導電層、330 : 導電層、350 : 絶縁層、352 : 絶縁層、354 : 絶縁層、356 : 導電層、500x : トランジスタ、512 : 絶縁層、514 : 絶縁層、574 : 絶縁層、581 : 絶縁層、592 : 絶縁層、594 : 絶縁層、596 : 導電層、598 : 絶縁層、599 : 絶縁層、608 : 液晶層、610 : 基板、613a : 液晶素子、613b : 液晶素子、613c : 液晶素子、631 : 導電層、632 : 絶縁層、633 : 絶縁層、635 : スペース、641 : 絶縁層、642 : 遮光層、666R : 着色層、666G : 着色層、666B : 着色層、1000 : 表示装置、1280 : 表示モジュール、1281 : 表示部、1282 : 回路部、1283 : 画素回路部、1283a : 画素回路、1284 : 画素部、1284a : 画素、1285 : 端子部、1286 : 配線部、1291 : 基板、1292 : 基板、1430a : 発光デバイス、1430b : 発光デバイス、1430c : 発光デバイス、5200 : 携帯ゲーム機、5201 : 筐体、5202 : 表示部、5203 : ボタン、5300 : ノート型情報端末、5330a : 筐体、5330

b : 筐体、5331 : 表示部、5350 : キーボード部、5500 : 情報端末、5510 : 筐体、5511 : 表示部、5701 : 表示パネル、5702 : 表示パネル、5703 : 表示パネル、5704 : 表示パネル、5900 : 情報端末、5901 : 筐体、5902 : 表示部、5903 : 操作ボタン、5904 : 竜頭、5905 : バンド、6200 : 電子看板、6201 : 壁、8000 : カメラ、8001 : 筐体、8002 : 表示部、8003 : 操作ボタン、8004 : シャッターボタン、8006 : レンズ、8100 : ファインダー、8101 : 筐体、8102 : 表示部、8103 : ボタン、8300 : 電子機器、8301 : 筐体、8302 : 表示部、8304a : 固定具、8304 : 固定具、8305 : レンズ、9000 : テレビジョン装置、9001 : 表示部、9002 : 筐体、9003 : スピーカ、9005 : 操作キー、9006 : 接続端子、9007 : センサ

請求の範囲

[請求項 1]

第 1 ラインメモリと、第 2 ラインメモリと、フレームメモリと、処理回路と、記憶回路と、を有し、
前記第 1 ラインメモリは、第 1 画像データのうちの第 1 の行のデータを取得して、前記第 1 の行のデータを保持する機能を有し、

前記フレームメモリは、第 2 画像データを保持する機能を有し、

前記第 2 ラインメモリは、前記フレームメモリから読み出された前記第 2 画像データのうちの第 2 の行のデータを取得して、前記第 2 の行のデータを保持する機能を有し、

前記処理回路は、前記第 1 ラインメモリから読み出された前記第 1 の行のデータと、前記第 2 ラインメモリから読み出された前記第 2 の行のデータと、を比較して、比較結果を含む比較データを出力する機能を有し、

前記第 1 ラインメモリは、前記処理回路から前記比較データを取得して、前記比較データが前記第 1 の行のデータと前記第 2 の行のデータが一致しないという前記比較結果を含む場合に、前記第 1 の行のデータを前記フレームメモリに出力する機能を有し、

前記フレームメモリは、保持している前記第 2 の行のデータを、前記第 1 ラインメモリから送信された前記第 1 の行のデータに書き換える機能を有し、

前記記憶回路は、前記処理回路から前記比較データを取得して、前記比較データを保持する機能を有する、

処理装置。

[請求項 2]

請求項 1 において、

前記処理回路は、N 個（N は 1 以上の整数）の否定排他的論理和回路と、N 個の入力端子を含む否定論理積回路と、を有し、

前記 N 個の否定排他的論理和回路の一は、前記第 1 ラインメモリから読み出された前記第 1 の行のデータの j 列目（ j は 1 以上 N 以下の整数）の値と、前記第 2 ラインメモリから読み出された前記第 2 の行のデータの j 列目の値と、を用いて第 1 の論理演算を行って、前記第 1 の論理演算の結果を出力する機能を有し、

前記否定論理積回路は、前記 N 個の入力端子のそれぞれから N 個の前記第 1 の論理演算の結果を取得して、前記 N 個の前記第 1 の論理演算の結果を用いて第 2 の論理演算を行って、前記比較データを生成する機能を有する、

処理装置。

[請求項 3]

表示装置と、請求項 1 に記載の処理装置と、を有し、

前記表示装置は、第 1 駆動回路と、第 2 駆動回路と、画素回路と、を有し、

前記処理装置は、信号処理回路を有し、

前記信号処理回路は、前記記憶回路から読み出された前記比較データを取得して、前記比較データを用いて制御信号を生成する機能を有し、

前記第 1 駆動回路は、前記信号処理回路から送信される前記制御信号と、前記画素回路を選択するための選択信号と、を用いて第 3 の論理演算を行って、前記第 3 の論理演算の結果を前記画素回路に送信する機能を有し、

前記第2駆動回路は、前記信号処理回路から送信される前記制御信号に応じて、前記第1の行のデータ又は前記第2の行のデータを前記画素回路に送信するか否かを定める機能を有する、表示システム。

[請求項4]

請求項3において、

前記第1駆動回路は、デコーダと、論理積回路と、を有し、

前記デコーダは、前記選択信号を生成して、前記選択信号を前記論理積回路の第1入力端子に送信する機能を有し、

前記信号処理回路は、前記制御信号を前記論理積回路の第2入力端子に送信する機能を有し、

前記論理積回路は、前記制御信号と前記選択信号とを用いて前記第3の論理演算を行って、前記第3の論理演算の結果を出力する、

表示システム。

[請求項5]

請求項3において、

前記第2駆動回路は、保持回路と、デジタルアナログ変換回路と、スイッチと、を有し、

前記保持回路の出力端子は、前記デジタルアナログ変換回路の入力端子に電氣的に接続され、

前記スイッチの第1端子は、前記デジタルアナログ変換回路の出力端子に電氣的に接続され、

前記スイッチの第2端子は、前記画素回路に電氣的に接続され、

前記スイッチの制御端子は、前記制御信号が送信される配線に電氣的に接続され、

前記フレームメモリは、前記第1の行のデータ又は前記第2の行のデータを前記保持回路の入力端子に送信する機能を有する、

表示システム。

[請求項6]

処理装置と、表示装置と、を有し、

前記処理装置は、第1ラインメモリと、第2ラインメモリと、第1フレームメモリと、第2フレームメモリと、処理回路と、記憶回路と、を有し、

前記第1ラインメモリは、第1画像データのうちの第1の行のデータを取得して、前記第1の行のデータを保持する機能を有し、

前記第1フレームメモリは、前記第1ラインメモリから読み出された前記第1の行のデータを取得して、前記第1の行のデータを保持する機能を有し、

前記第2フレームメモリは、第2画像データを保持する機能と、前記第2画像データのうちの第2の行のデータを読み出して、前記第2ラインメモリと、前記表示装置と、に送信する機能を有し、

前記第2ラインメモリは、前記第2フレームメモリから読み出された前記第2の行のデータを取得して、前記第2の行のデータを保持する機能を有し、

前記処理回路は、前記第1ラインメモリから読み出された前記第1の行のデータと、前記第2ラインメモリから読み出された前記第2の行のデータと、を比較して、比較結果を含む比較データを出力する機能を有し、

前記記憶回路は、前記処理回路から前記比較データを取得して、前記比較データを保持する機能を有する、

表示システム。

[請求項 7]

請求項 6 において、

前記処理回路は、N 個（N は 1 以上の整数）の否定排他的論理和回路と、N 個の入力端子を含む否定論理積回路と、を有し、

前記 N 個の否定排他的論理和回路の一は、前記第 1 ラインメモリから読み出された前記第 1 の行のデータの j 列目（j は 1 以上 N 以下の整数）の値と、前記第 2 ラインメモリから読み出された前記第 2 の行のデータの j 列目の値と、を用いて第 1 の論理演算を行って、前記第 1 の論理演算の結果を出力する機能を有し、

前記否定論理積回路は、前記 N 個の入力端子のそれぞれから N 個の前記第 1 の論理演算の結果を用いて第 2 の論理演算を行って、前記比較データを生成する機能を有する、

表示システム。

[請求項 8]

請求項 6 において、

前記表示装置は、第 1 駆動回路と、第 2 駆動回路と、画素回路と、を有し、

前記処理装置は、信号処理回路を有し、

前記信号処理回路は、前記記憶回路から読み出された前記比較データを取得し、前記比較データを用いて制御信号を生成する機能を有し、

前記第 1 駆動回路は、前記信号処理回路から送信される前記制御信号と、前記画素回路を選択するための選択信号と、を用いて第 3 の論理演算を行って、前記第 3 の論理演算の結果を前記画素回路に送信する機能を有し、

前記第 2 駆動回路は、前記信号処理回路から送信される前記制御信号に応じて、前記第 1 の行のデータ又は前記第 2 の行のデータを前記画素回路に送信するか否かを定める機能を有する、

表示システム。

[請求項 9]

請求項 8 において、

前記第 1 駆動回路は、デコーダと、論理積回路と、を有し、

前記デコーダは、前記選択信号を生成して、前記選択信号を前記論理積回路の第 1 入力端子に送信する機能を有し、

前記信号処理回路は、前記制御信号を前記論理積回路の第 2 入力端子に送信する機能を有し、

前記論理積回路は、前記制御信号と前記選択信号とを用いて前記第 3 の論理演算を行って、前記第 3 の論理演算の結果を出力する、

表示システム。

[請求項 10]

請求項 8 において、

前記第 2 駆動回路は、保持回路と、デジタルアナログ変換回路と、スイッチと、を有し、

前記保持回路の出力端子は、前記デジタルアナログ変換回路の入力端子に電氣的に接続され、

前記スイッチの第 1 端子は、前記デジタルアナログ変換回路の出力端子に電氣的に接続され、

前記スイッチの第 2 端子は、前記画素回路に電氣的に接続され、

前記スイッチの制御端子は、前記制御信号が送信される配線に電氣的に接続され、

前記第 1 フレームメモリは、前記第 1 の行のデータ又は前記第 2 の行のデータを前記保持回路の入

力端子に送信する機能を有する、
表示システム。

[請求項 1 1]

フレームメモリと、記憶回路と、処理回路と、を有し、
前記フレームメモリは、第 1 メモリセルと、第 2 メモリセルと、を有し、
前記フレームメモリは、

前記第 1 メモリセル及び前記第 2 メモリセルの一方での書き込み動作と、前記第 1 メモリセル及び前記第 2 メモリセルの他方での読み出し動作と、を重複して行う機能と、

前記第 1 メモリセルでの読み出し動作と、前記第 2 メモリセルでの読み出し動作と、を重複して行う機能と、を有し、

前記処理回路は、前記第 1 メモリセルから読み出された第 1 画像データと、前記第 2 メモリセルから読み出された第 2 画像データと、を比較して、比較結果を含む比較データを出力する機能を有し、

前記記憶回路は、前記処理回路から前記比較データを取得して、前記比較データを保持する機能を有する、

処理装置。

[請求項 1 2]

請求項 1 1 において、

前記フレームメモリは、第 1 選択回路と、第 2 選択回路と、第 3 選択回路と、を有し、

前記第 1 メモリセル及び前記第 2 メモリセルのそれぞれは、第 1 トランジスタと、第 2 トランジスタと、容量素子と、を有し、

前記第 1 メモリセル及び前記第 2 メモリセルのそれぞれにおいて、前記第 1 トランジスタのソース及びドレインの一方は、前記容量素子の一对の端子の一方と、前記第 2 トランジスタのゲートと、に電氣的に接続され、

前記第 1 選択回路は、前記第 1 メモリセルの前記第 1 トランジスタのゲートに電氣的に接続され、

前記第 2 選択回路は、前記第 2 メモリセルの前記第 1 トランジスタのゲートに電氣的に接続され、

前記第 3 選択回路は、前記第 1 メモリセルの前記容量素子の一对の端子の他方と、前記第 2 メモリセルの前記容量素子の一对の端子の他方と、に電氣的に接続される、

処理装置。

[請求項 1 3]

請求項 1 2 において、

前記処理回路は、 N 個 (N は 1 以上の整数) の否定排他的論理和回路と、 N 個の入力端子を含む否定論理積回路と、を有し、

前記 N 個の否定排他的論理和回路の一は、前記第 1 メモリセルから読み出された前記第 1 画像データの j 列目 (j は 1 以上 N 以下の整数) の値と、前記第 2 メモリセルから読み出された前記第 2 画像データの j 列目の値と、を用いて第 1 の論理演算を行って、前記第 1 の論理演算の結果を出力する機能を有し、

前記否定論理積回路は、前記 N 個の入力端子のそれぞれから N 個の前記第 1 の論理演算の結果を取得して、前記 N 個の前記第 1 の論理演算の結果を用いて第 2 の論理演算を行って、前記比較データを生成する機能を有する、

処理装置。

[請求項 1 4]

表示装置と、請求項 1 1 に記載の処理装置と、を有し、

前記表示装置は、第 1 駆動回路と、第 2 駆動回路と、画素回路と、を有し、

前記処理装置は、信号処理回路を有し、

前記信号処理回路は、前記記憶回路から読み出された前記比較データを取得して、前記比較データを用いて制御信号を生成する機能を有し、

前記第 1 駆動回路は、前記信号処理回路から送信される前記制御信号と、前記画素回路を選択するための選択信号と、を用いて第 3 の論理演算を行って、前記第 3 の論理演算の結果を前記画素回路に送信する機能を有し、

前記フレームメモリは、前記第 2 メモリセルの保持されている前記第 2 画像データを第 3 画像データに書き換えている間に、前記第 1 メモリセルから前記第 1 画像データを読み出して、前記第 1 画像データを前記第 2 駆動回路に送信する機能を有し、

前記第 2 駆動回路は、前記信号処理回路から送信される前記制御信号に応じて、前記第 1 画像データを前記画素回路に送信するか否かを定める機能を有する、

表示システム。

[請求項 1 5]

請求項 1 4 において、

前記第 1 駆動回路は、デコーダと、論理積回路と、を有し、

前記デコーダは、前記選択信号を生成して、前記選択信号を前記論理積回路の第 1 入力端子に送信する機能を有し、

前記信号処理回路は、前記制御信号を前記論理積回路の第 2 入力端子に送信する機能を有し、

前記論理積回路は、前記制御信号と前記選択信号とを用いて前記第 3 の論理演算を行って、前記第 3 の論理演算の結果を出力する機能を有する、

表示システム。

[請求項 1 6]

請求項 1 4 において、

前記第 2 駆動回路は、保持回路と、デジタルアナログ変換回路と、スイッチと、を有し、

前記保持回路の出力端子は、前記デジタルアナログ変換回路の入力端子に電氣的に接続され、

前記スイッチの第 1 端子は、前記デジタルアナログ変換回路の出力端子に電氣的に接続され、

前記スイッチの第 2 端子は、前記画素回路に電氣的に接続され、

前記スイッチの制御端子は、前記制御信号が送信される配線に電氣的に接続され、

前記フレームメモリは、前記第 1 画像データを前記保持回路の入力端子に送信する機能を有する、
表示システム。

[請求項 1 7]

フレームメモリと、第 1 記憶回路と、第 2 記憶回路と、処理回路と、を有し、

前記フレームメモリは、第 1 メモリセルと、第 2 メモリセルと、を有し、

前記フレームメモリは、

前記第 1 メモリセル及び前記第 2 メモリセルの一方での書き込み動作と、前記第 1 メモリセル及び前記第 2 メモリセルの他方での読み出し動作と、を重複して行う機能と、

前記第 1 メモリセルでの読み出し動作と、前記第 2 メモリセルでの読み出し動作と、を重複して

行う機能と、を有し、

前記処理回路は、前記第1メモリセルから読み出された第1画像データと、前記第2メモリセルから読み出された第2画像データと、を比較して、比較結果を含む第1比較データを出力する機能を有し、

前記第1記憶回路及び前記第2記憶回路の一方は、前記処理回路から前記第1比較データを取得して、前記第1比較データを保持する機能を有する、

処理装置。

[請求項18]

請求項17において、

前記フレームメモリは、第1選択回路と、第2選択回路と、第3選択回路と、を有し、

前記第1メモリセル及び前記第2メモリセルのそれぞれは、第1トランジスタと、第2トランジスタと、容量素子と、を有し、

前記第1メモリセル及び前記第2メモリセルのそれぞれにおいて、前記第1トランジスタのソース及びドレインの一方は、前記容量素子の一对の端子の一方と、前記第2トランジスタのゲートと、に電氣的に接続され、

前記第1選択回路は、前記第1メモリセルの前記第1トランジスタのゲートに電氣的に接続され、
前記第2選択回路は、前記第2メモリセルの前記第1トランジスタのゲートに電氣的に接続され、
前記第3選択回路は、前記第1メモリセルの前記容量素子の一对の端子の他方と、前記第2メモリセルの前記容量素子の一对の端子の他方と、に電氣的に接続される、

処理装置。

[請求項19]

請求項18において、

前記処理回路は、 N 個 (N は1以上の整数) の否定排他的論理和回路と、 N 個の入力端子を含む否定論理積回路と、を有し、

前記 N 個の否定排他的論理和回路の一は、前記第1メモリセルから読み出された前記第1画像データの j 列目 (j は1以上 N 以下の整数) の値と、前記第2メモリセルから読み出された前記第2画像データの j 列目の値と、を用いて第1の論理演算を行って、前記第1の論理演算の結果を出力する機能を有し、

前記否定論理積回路は、前記 N 個の入力端子のそれぞれから N 個の前記第1の論理演算の結果を取得して、前記 N 個の前記第1の論理演算の結果を用いて第2の論理演算を行って、前記第1比較データを生成する機能を有する、

処理装置。

[請求項20]

表示装置と、請求項17に記載の処理装置と、を有し、

前記表示装置は、第1駆動回路と、第2駆動回路と、画素回路と、を有し、

前記処理装置は、信号処理回路を有し、

前記信号処理回路は、前記第1記憶回路及び前記第2記憶回路の一方から読み出された前記第1比較データを取得して、前記第1比較データを用いて制御信号を生成する機能を有し、

前記第1駆動回路は、前記信号処理回路から送信される前記制御信号と、前記画素回路を選択するための選択信号と、を用いて第3の論理演算を行って、前記第3の論理演算の結果を前記画素回路に

送信する機能を有し、

前記フレームメモリは、前記第2メモリセルに第3画像データを書き込んでいる間に、前記第1メモリセルから前記第1画像データを読み出して、前記第1画像データを前記第2駆動回路に送信する機能を有し、

前記第2駆動回路は、前記信号処理回路から送信される前記制御信号に応じて、前記第1画像データを前記画素回路に送信するか否かを定める機能を有する、

表示システム。

[請求項21]

請求項20において、

前記処理回路は、前記第1メモリセルから読み出された前記第1画像データと、前記第2メモリセルから読み出された前記第3画像データと、を比較して、比較結果を含む第2比較データを出力する機能を有し、

前記第1記憶回路及び前記第2記憶回路の他方は、前記処理回路から前記第2比較データを取得して、前記第2比較データを保持する機能を有する、

表示システム。

[請求項22]

請求項21において、

前記第1駆動回路は、デコーダと、論理積回路と、を有し、

前記デコーダは、前記選択信号を生成して、前記選択信号を前記論理積回路の第1入力端子に送信する機能を有し、

前記信号処理回路は、前記制御信号を前記論理積回路の第2入力端子に送信する機能を有し、

前記論理積回路は、前記制御信号と前記選択信号とを用いて前記第3の論理演算を行って、前記第3の論理演算の結果を出力する、

表示システム。

[請求項23]

請求項21において、

前記第2駆動回路は、保持回路と、デジタルアナログ変換回路と、スイッチと、を有し、

前記保持回路の出力端子は、前記デジタルアナログ変換回路の入力端子に電氣的に接続され、

前記スイッチの第1端子は、前記デジタルアナログ変換回路の出力端子に電氣的に接続され、

前記スイッチの第2端子は、前記画素回路に電氣的に接続され、

前記スイッチの制御端子は、前記制御信号が送信される配線に電氣的に接続され、

前記フレームメモリは、前記第1画像データを前記保持回路の入力端子に送信する機能を有する、
表示システム。

図 1

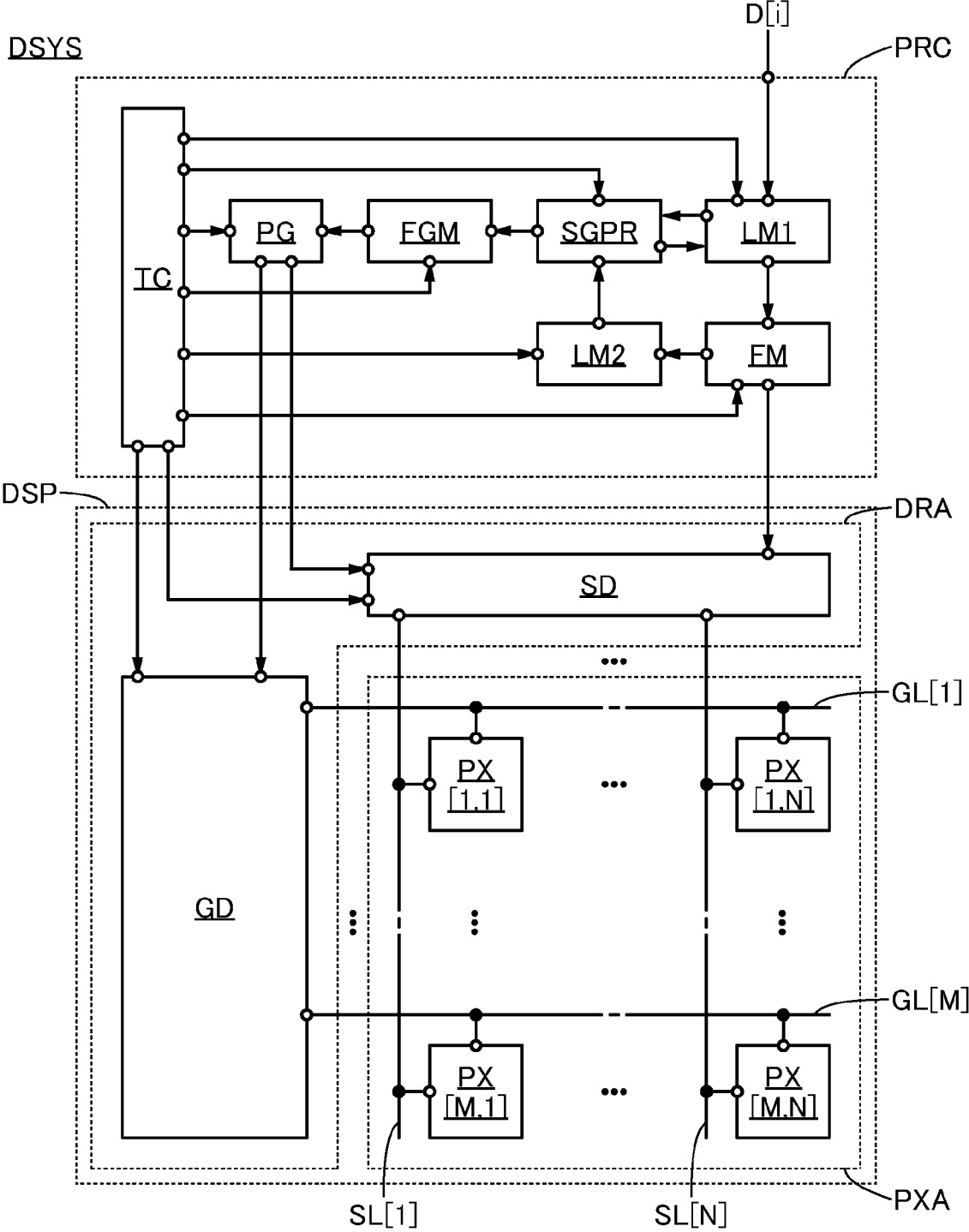


図2

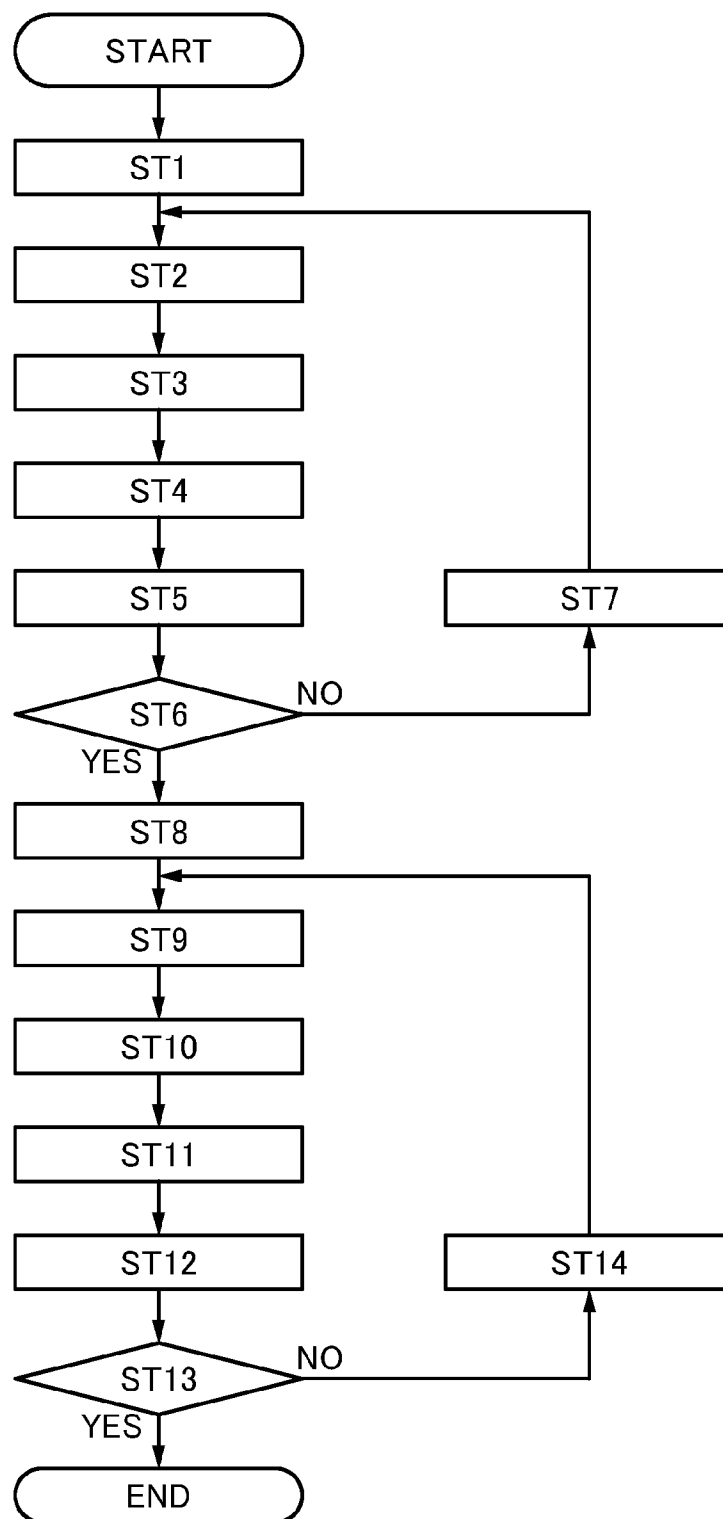
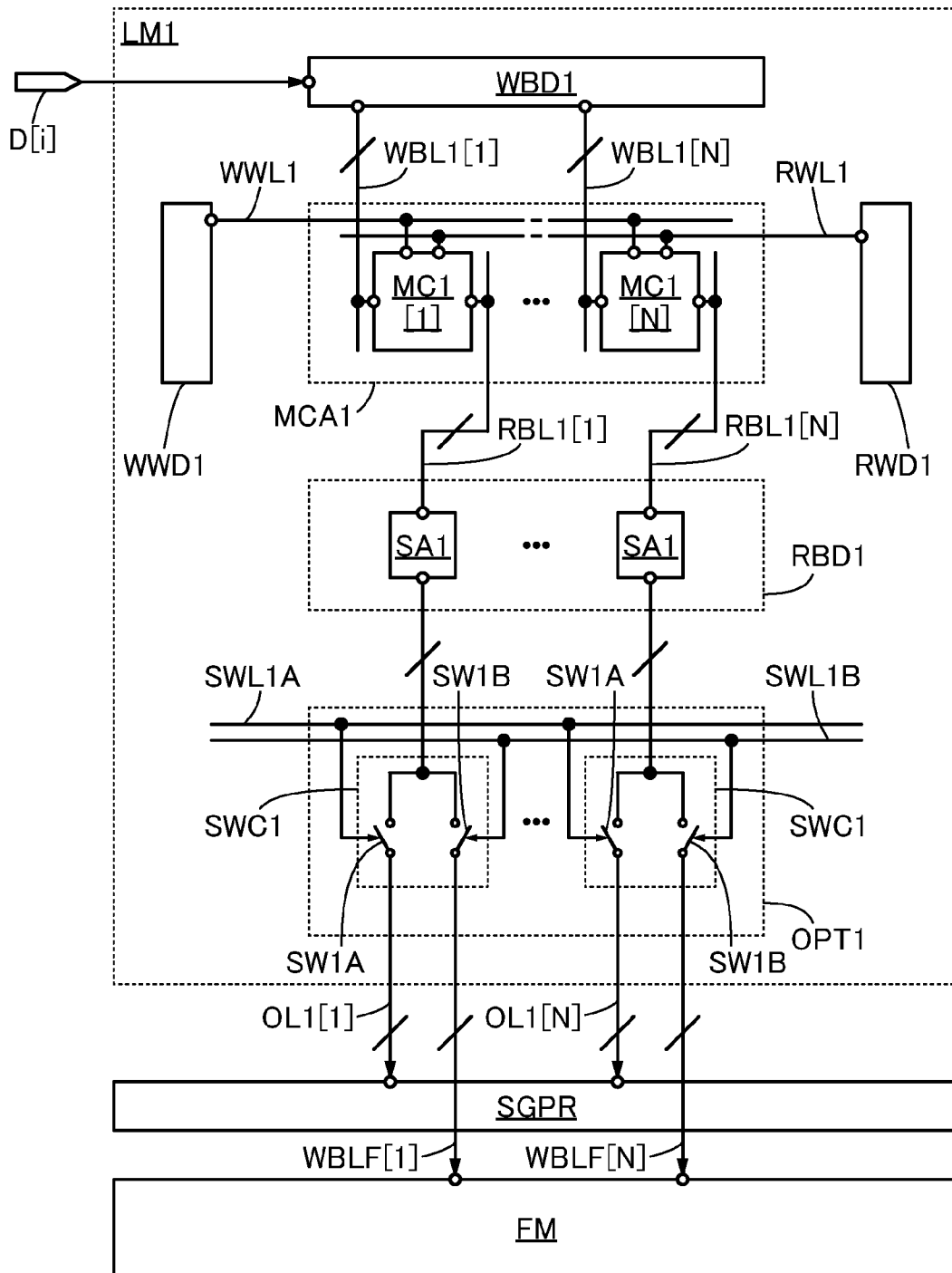


図3



4

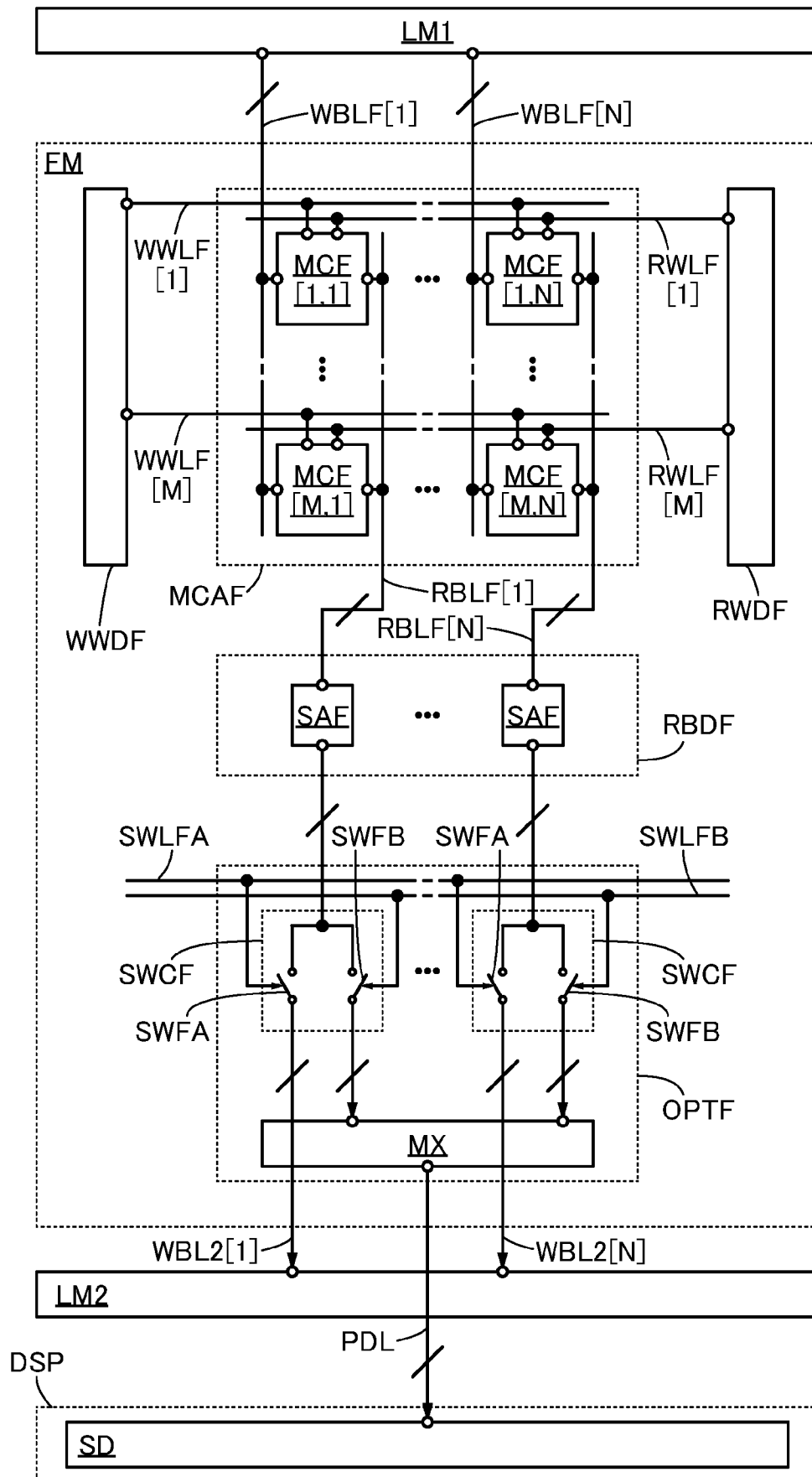


図5

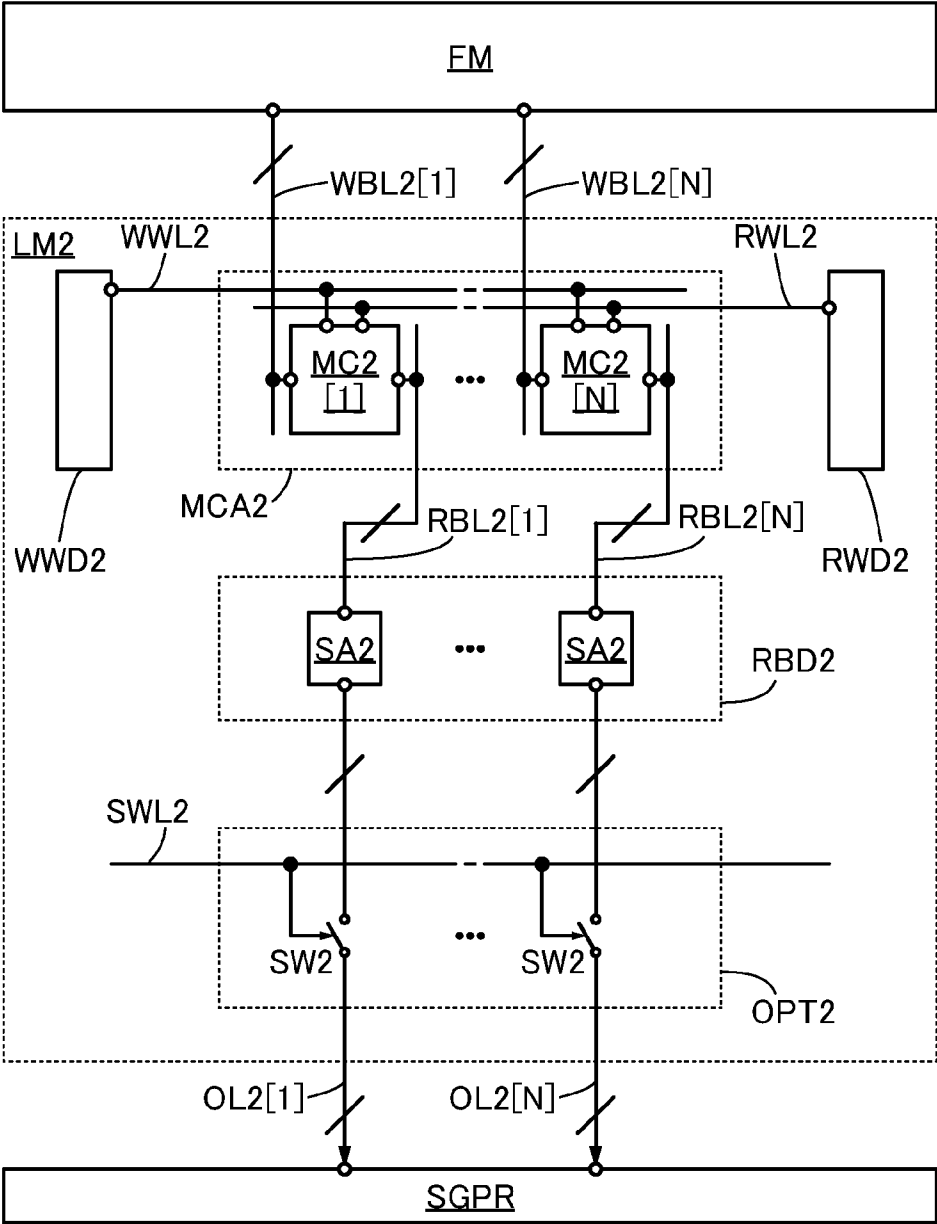


図6

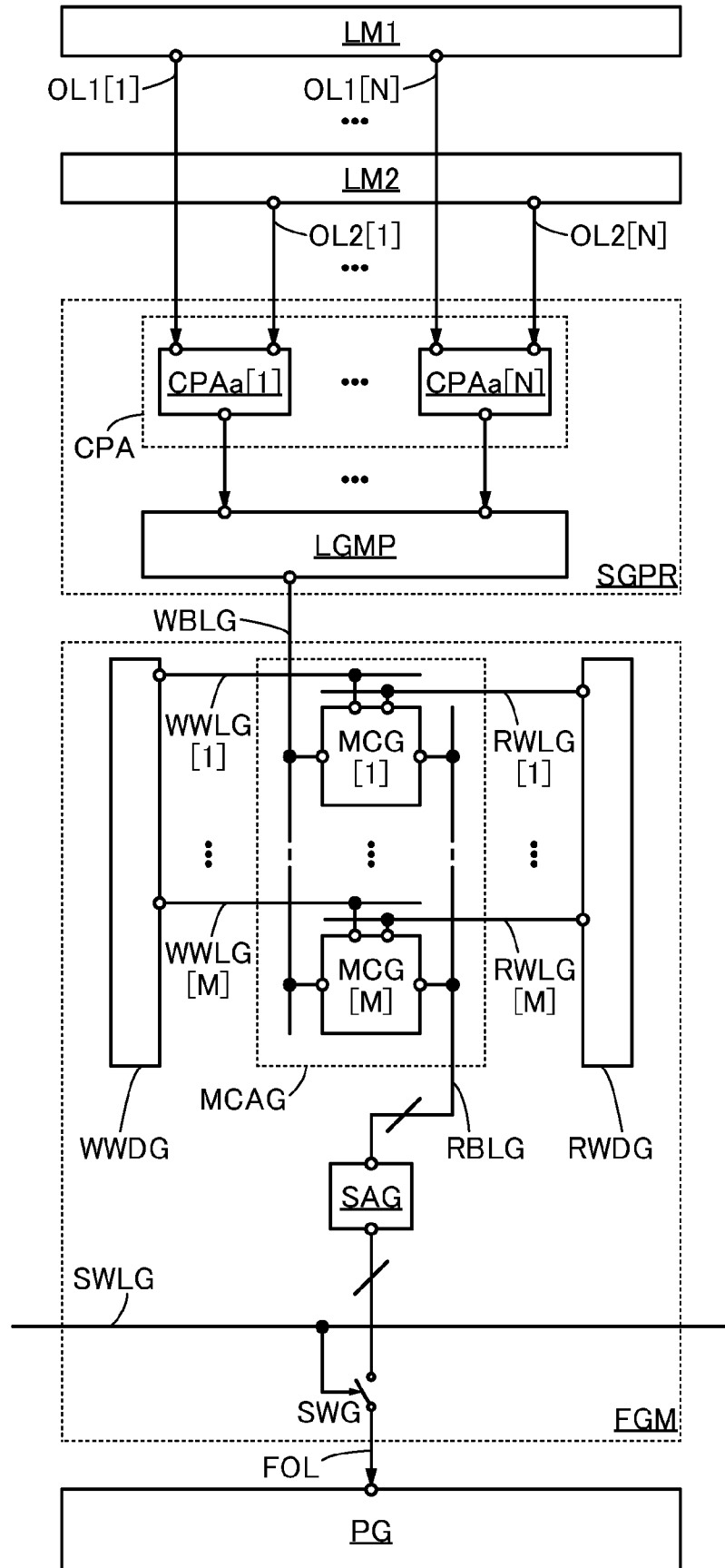
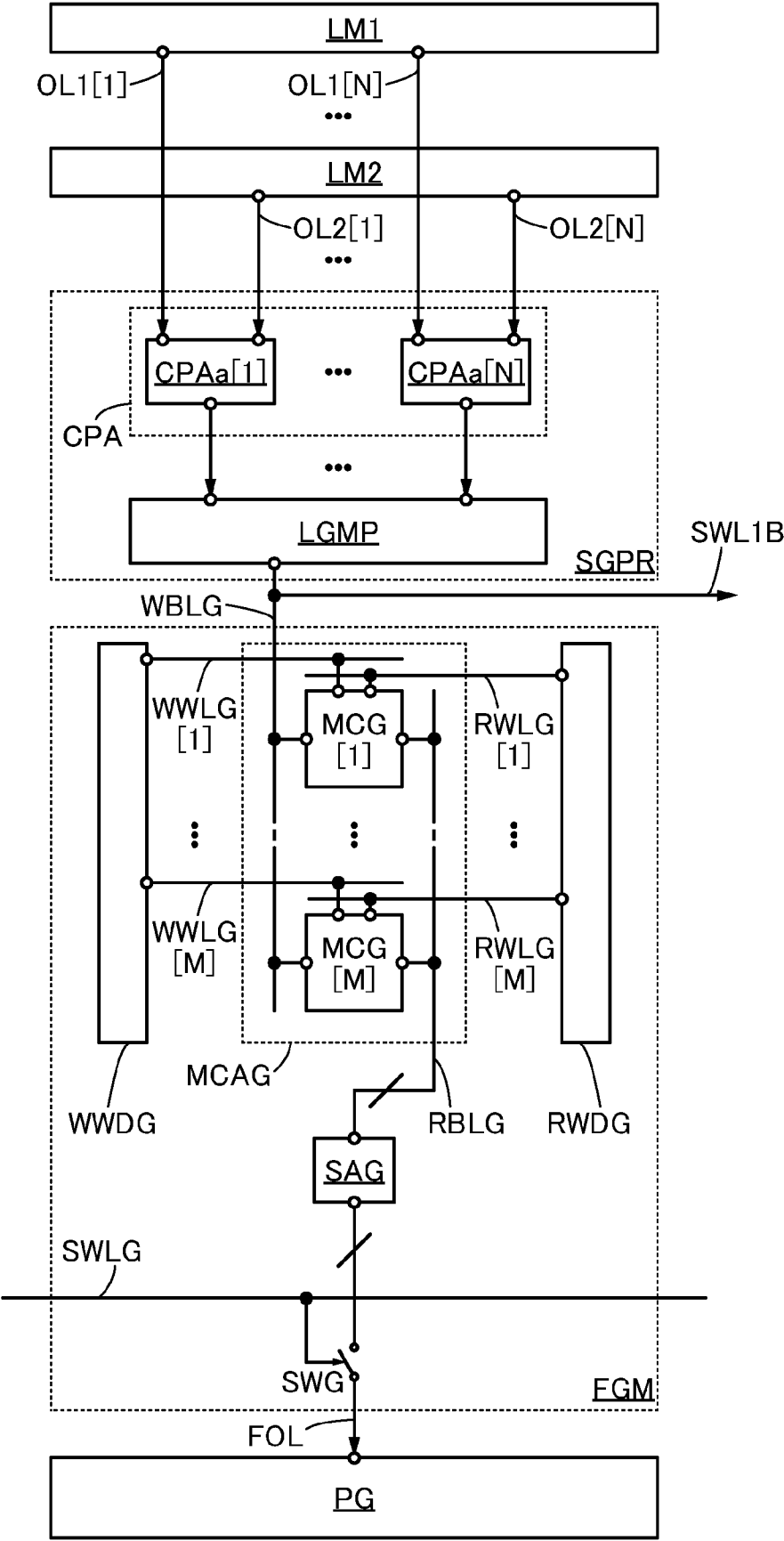


図7



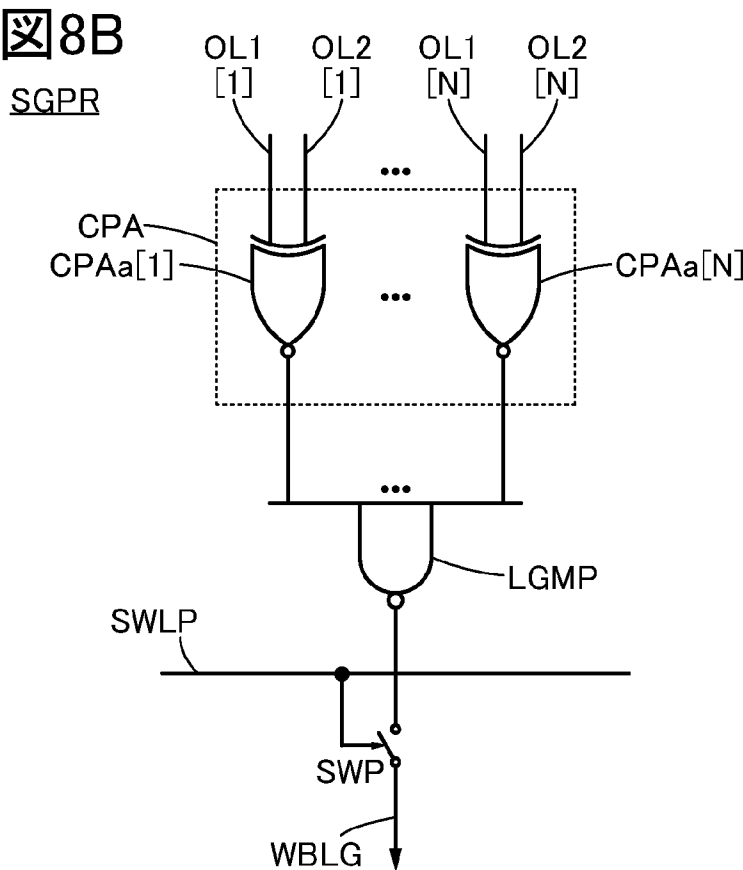
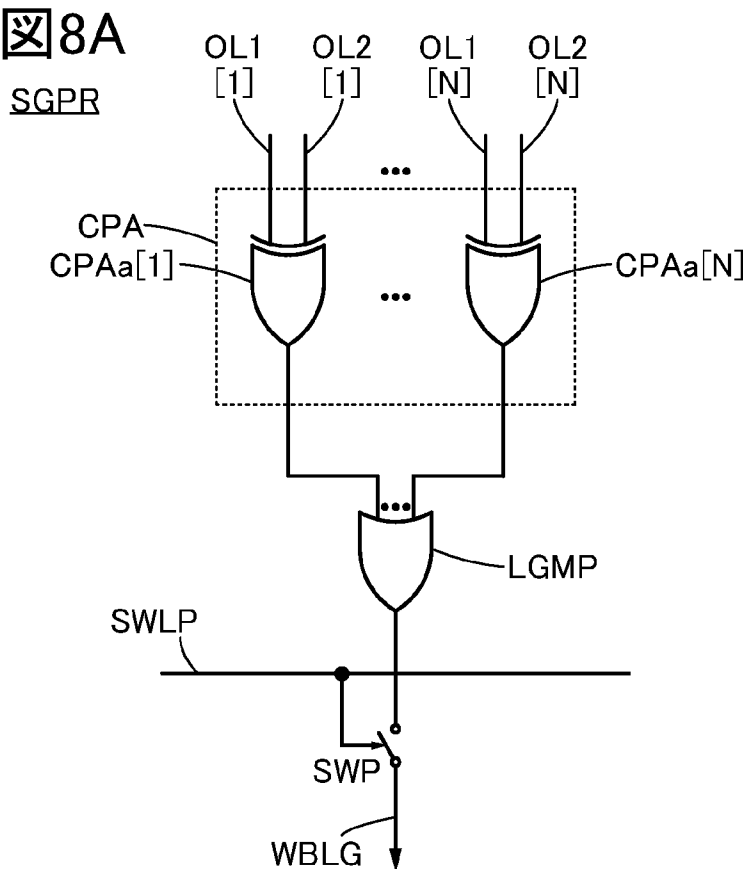


図9A

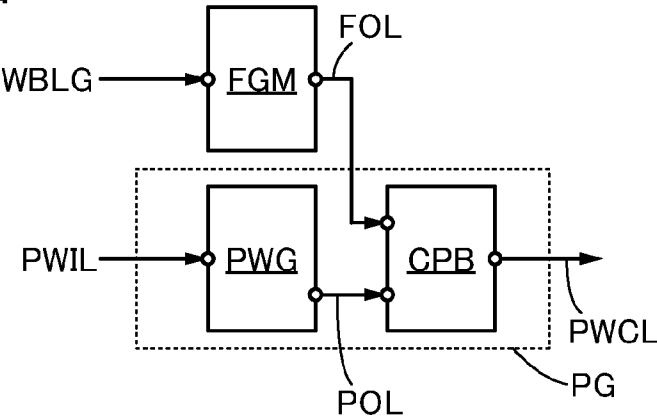
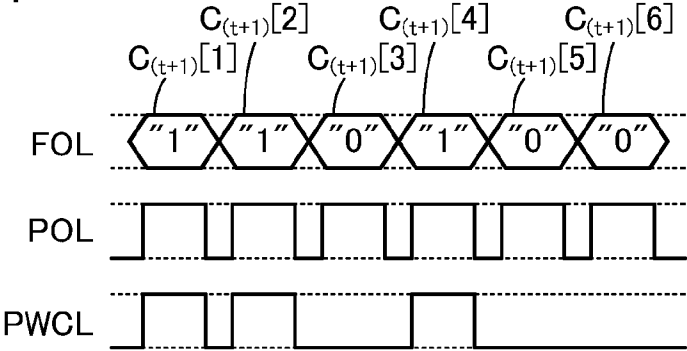
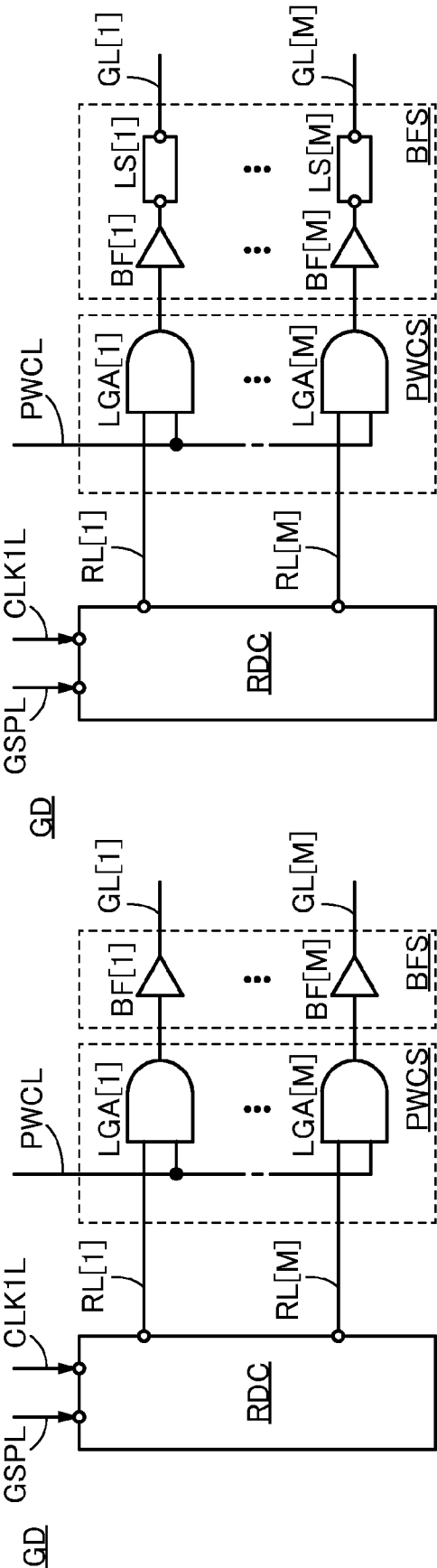


図9B



10A

10B



10C

10D

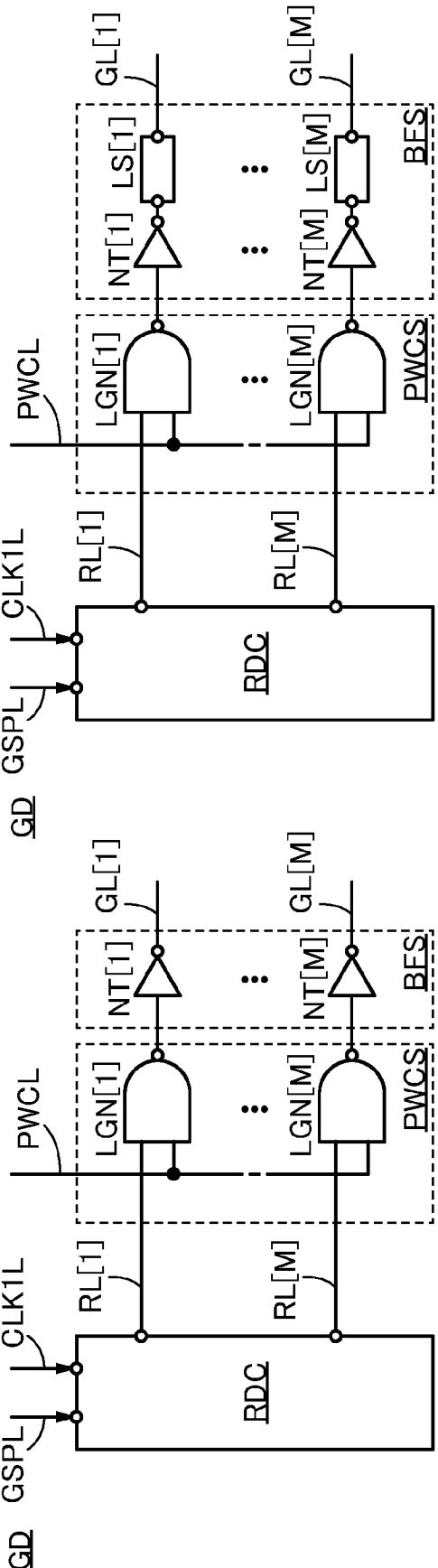


図11

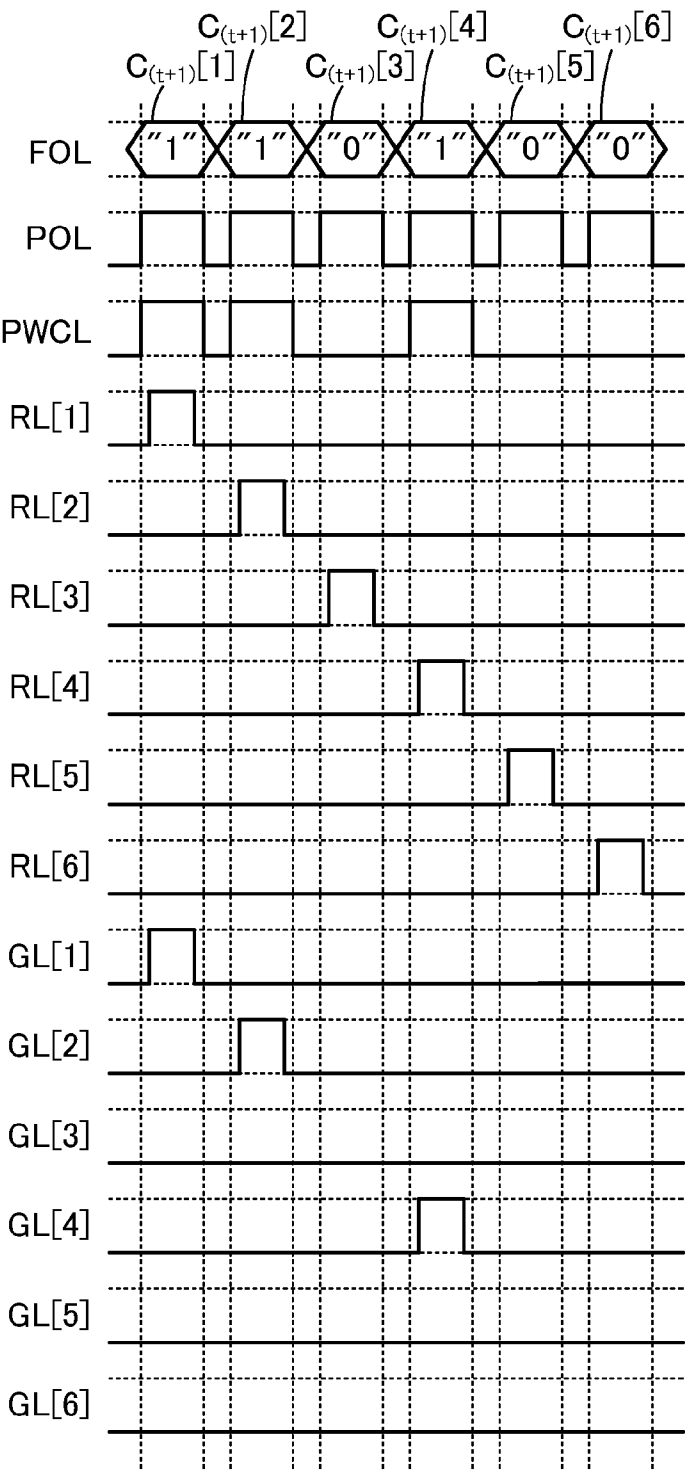


図12

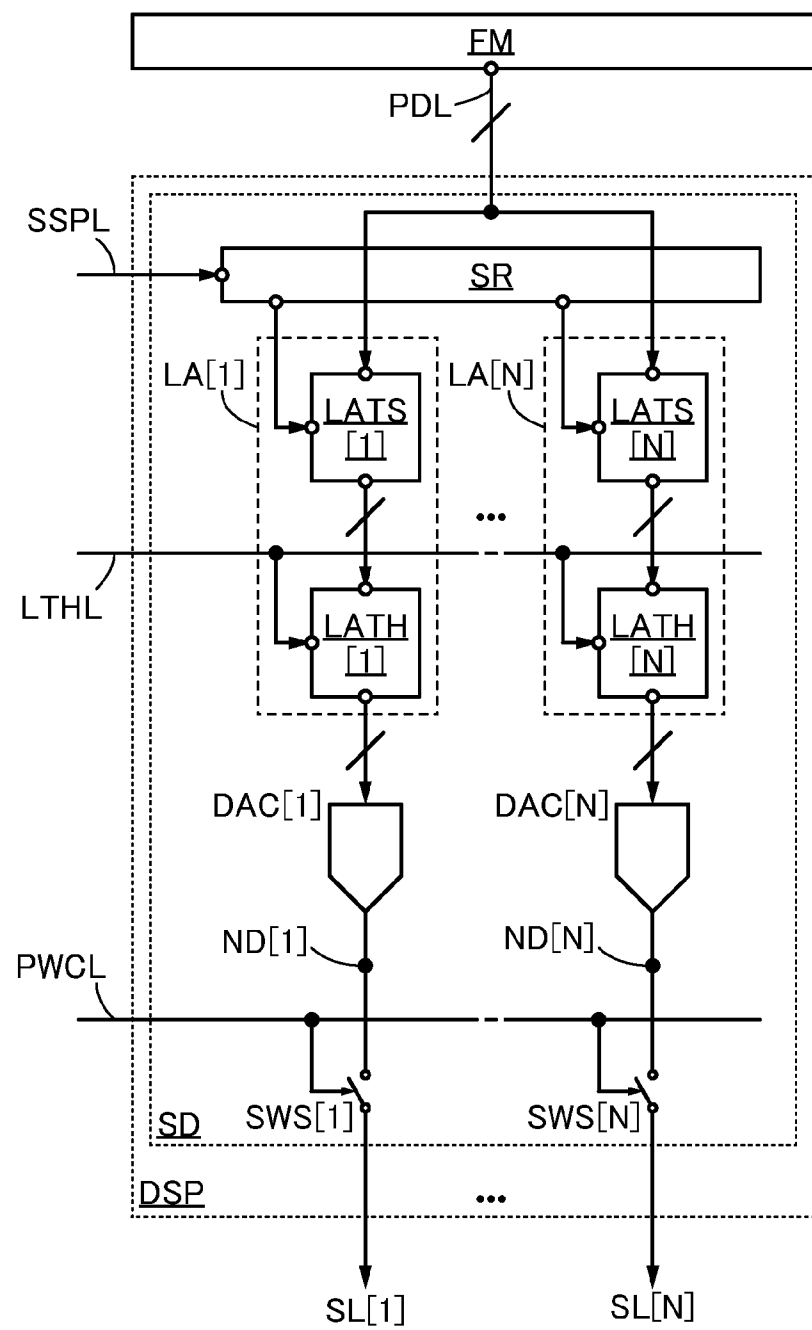
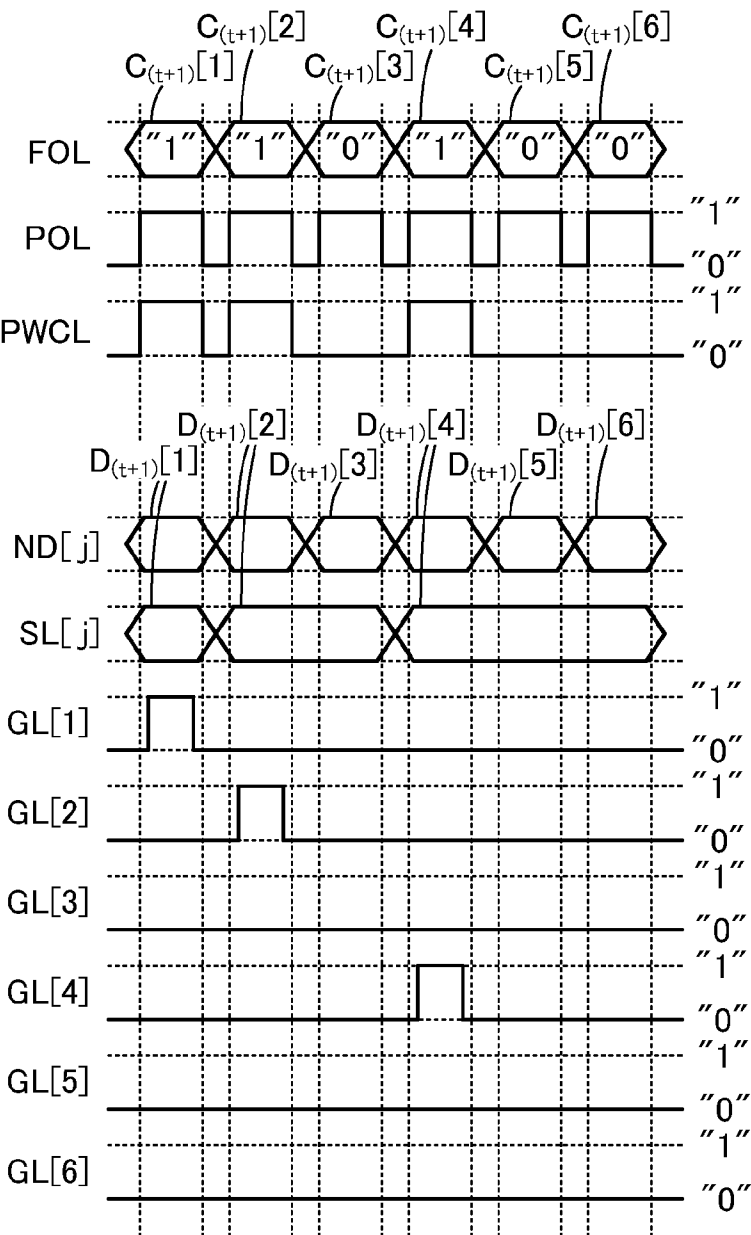


図13



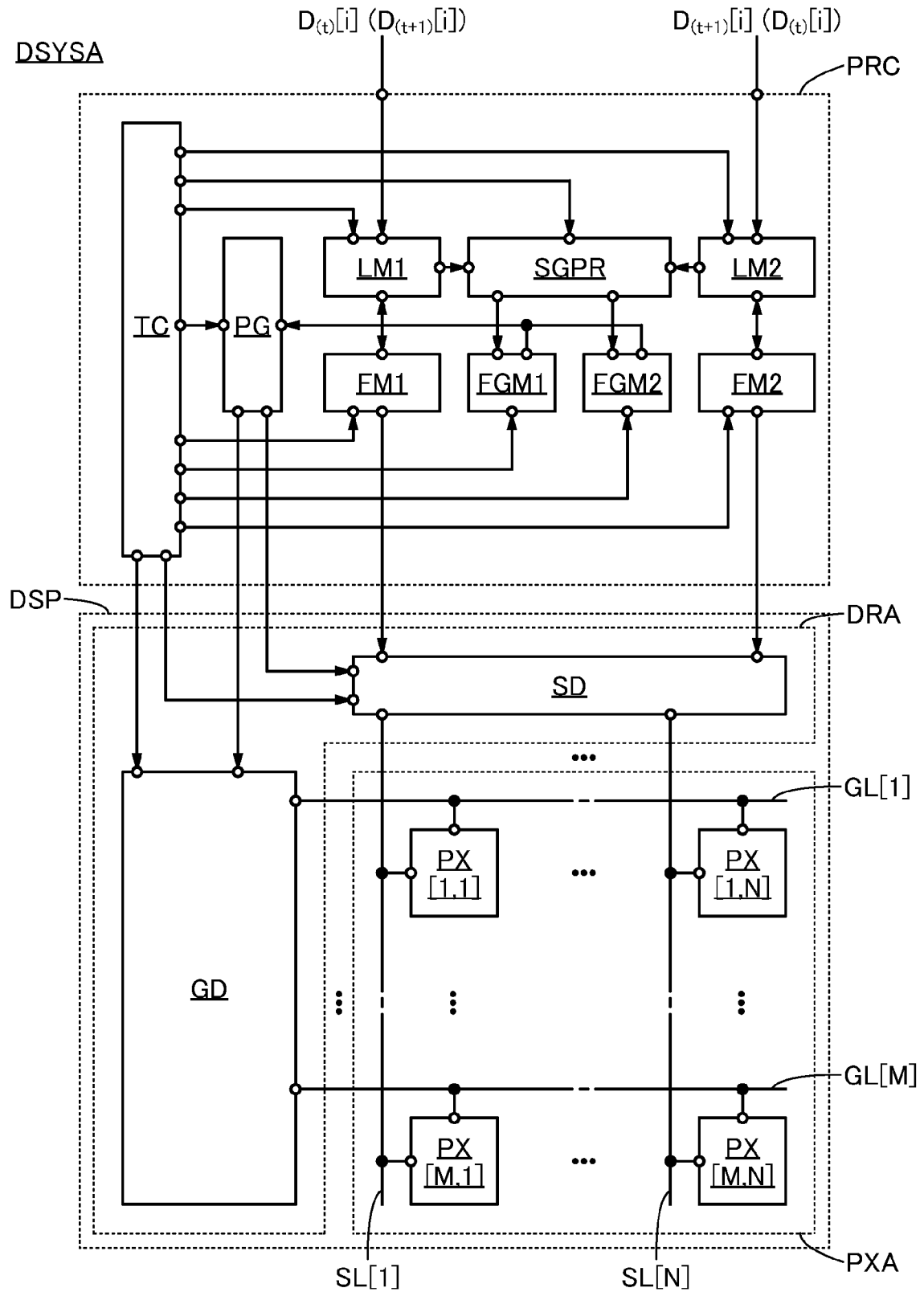
 14


図15

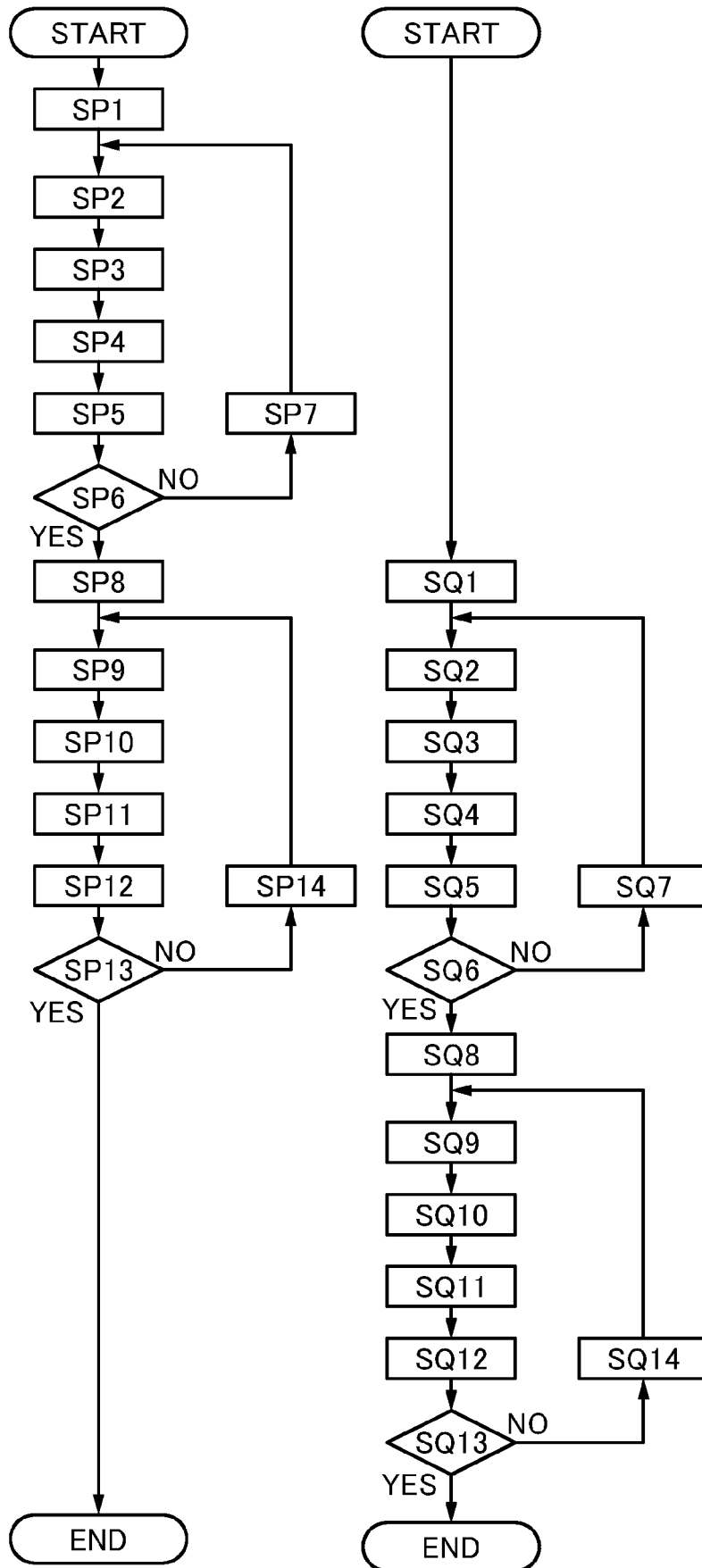


図16

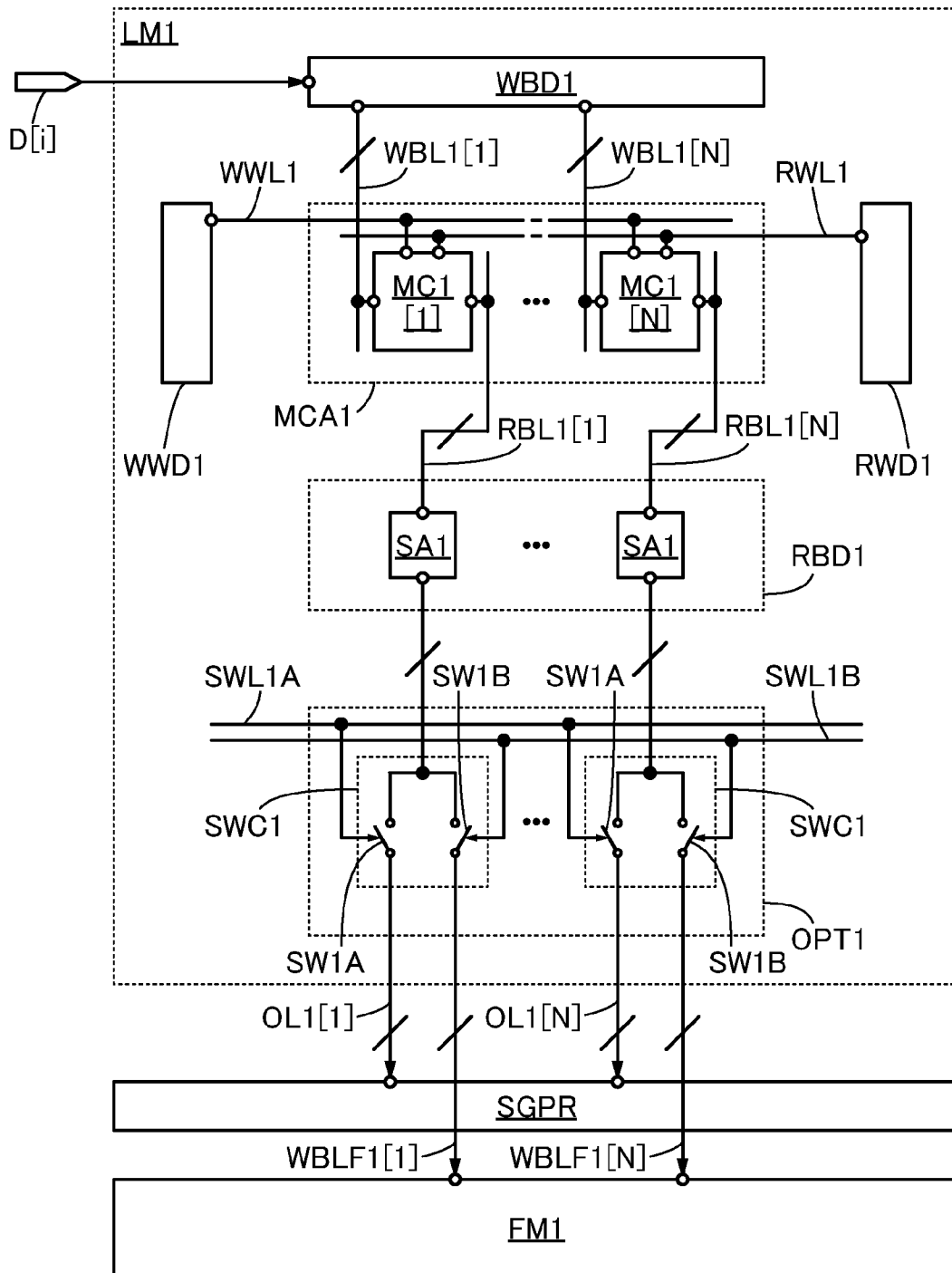


図17

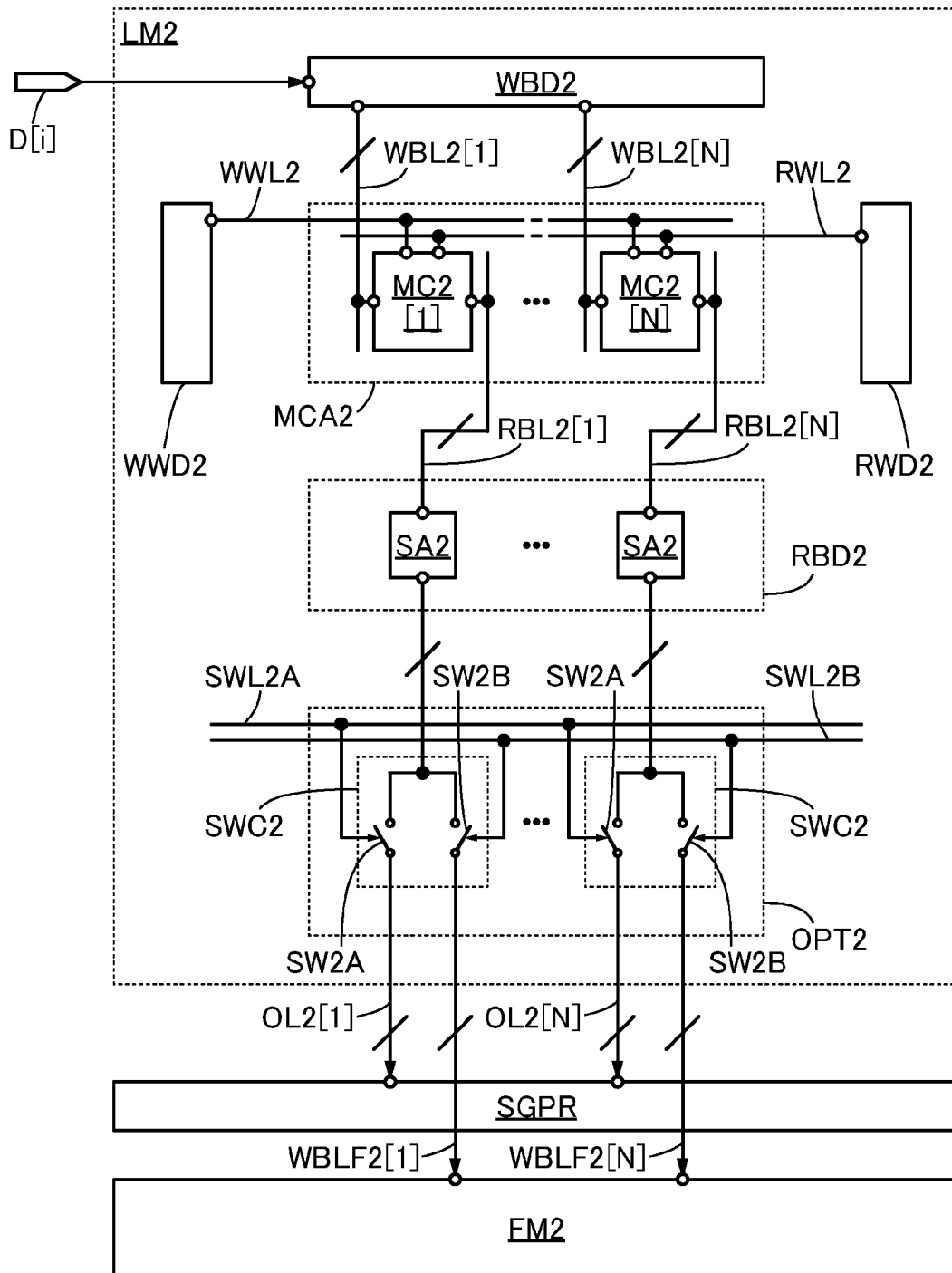


Figure 18 is a block diagram of a system architecture. At the top, a horizontal bar represents a memory or storage unit labeled $LM1(LM2)$. Below this, a dashed box labeled $EM1(EM2)$ contains a central array of blocks. The array has rows labeled $WWLF[1]$ to $WWLF[M]$ on the left and $RWLF[1]$ to $RWLF[M]$ on the right. Each row contains a series of blocks labeled $MCE[1.1]$ to $MCE[1.N]$ in the first row, and $MCE[M.1]$ to $MCE[M.N]$ in the M -th row. Above the array, two vertical lines are labeled $WBLF1[1]$ ($WBLF2[1]$) and $WBLF1[N]$ ($WBLF2[N]$). Below the array, a dashed box labeled $RBDF$ contains a series of blocks labeled SAE . Above $RBDF$, two vertical lines are labeled $RBLF[1]$ and $RBLF[N]$. Below $RBDF$, a dashed box labeled $OPTF$ contains a series of blocks labeled $SWCF$ and $SWFB$. Above $OPTF$, two vertical lines are labeled $SWLFA$ and $SWLFB$. Below $OPTF$, a dashed box labeled MX contains a series of blocks labeled $SWFA$ and $SWFB$. Below MX , a dashed box labeled SD contains a block labeled SD . Above SD , a dashed box labeled DSP contains a block labeled DSP . The diagram shows various connections between these components, including a PDL block and a $WBL1[N]$ ($WBL2[N]$) line.

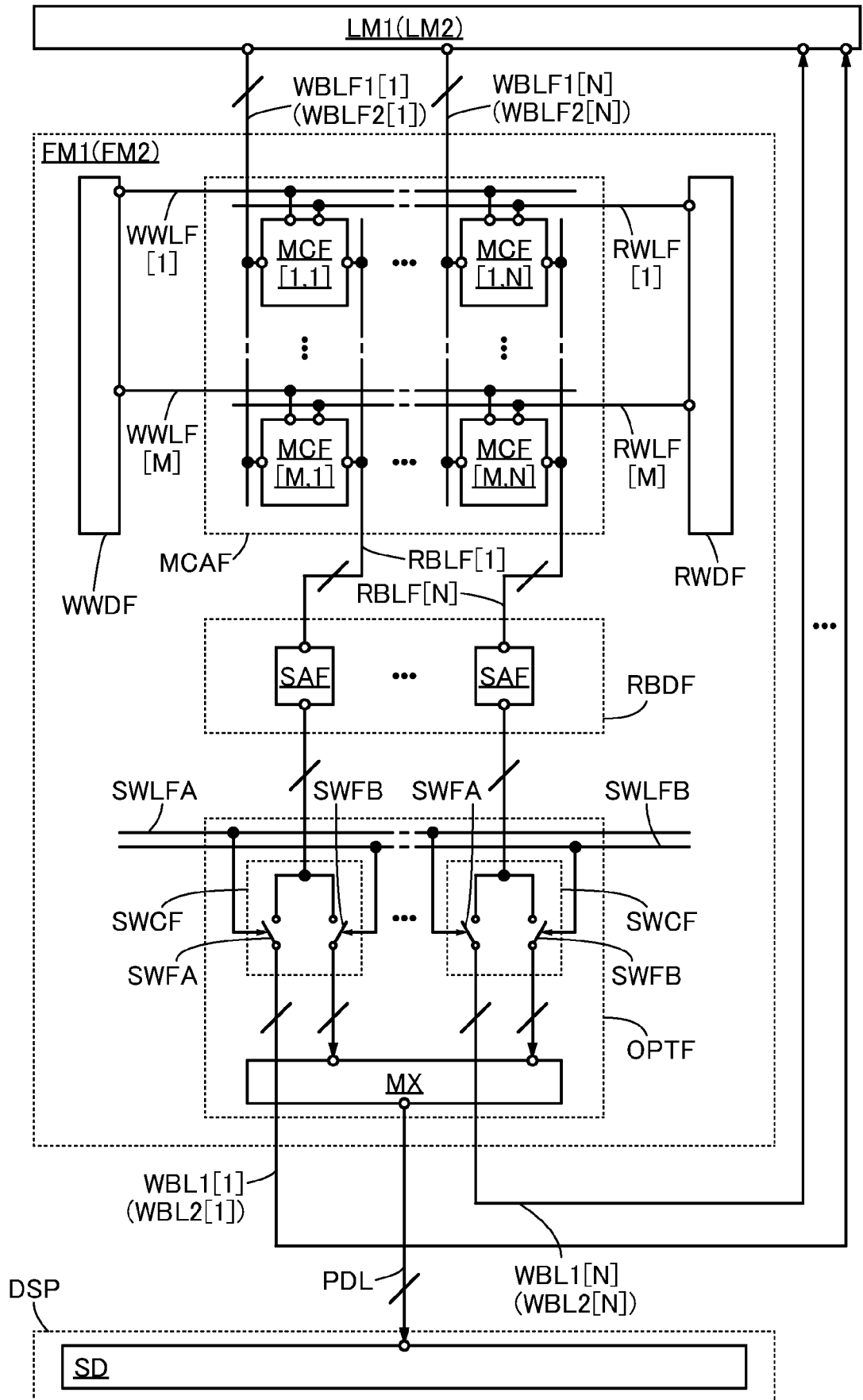


図19

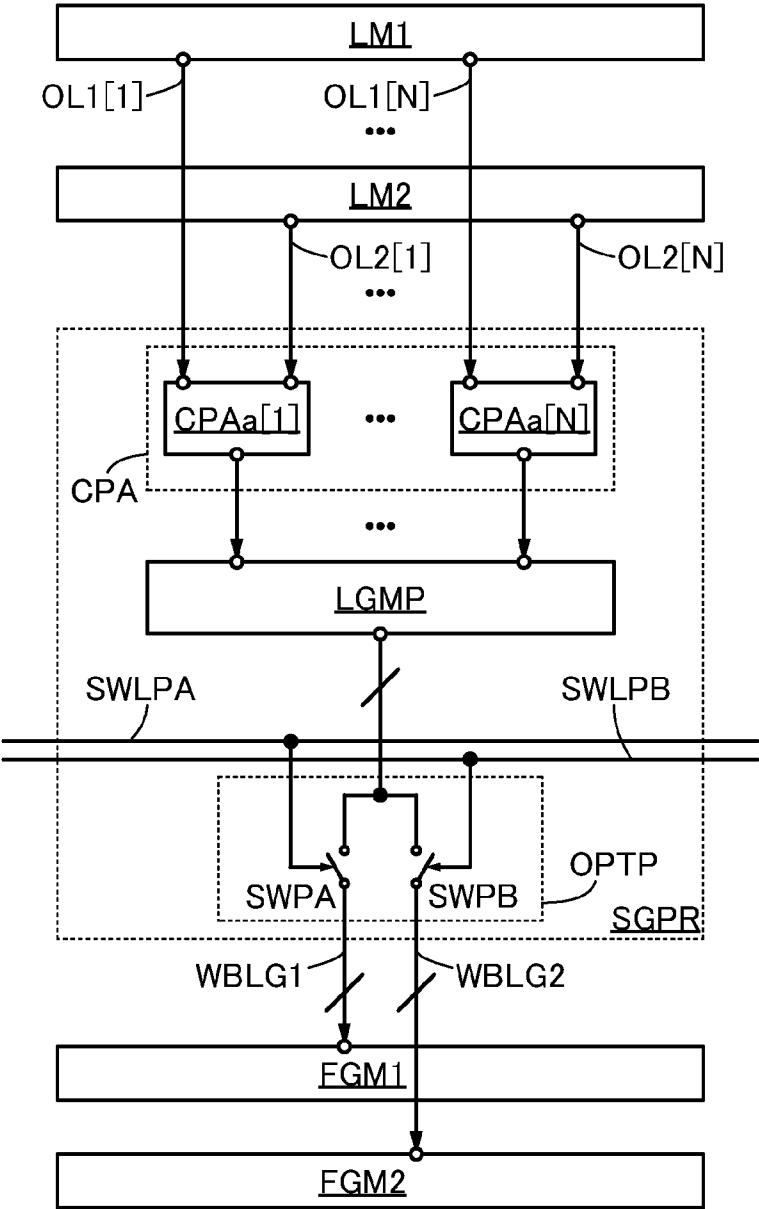


図20

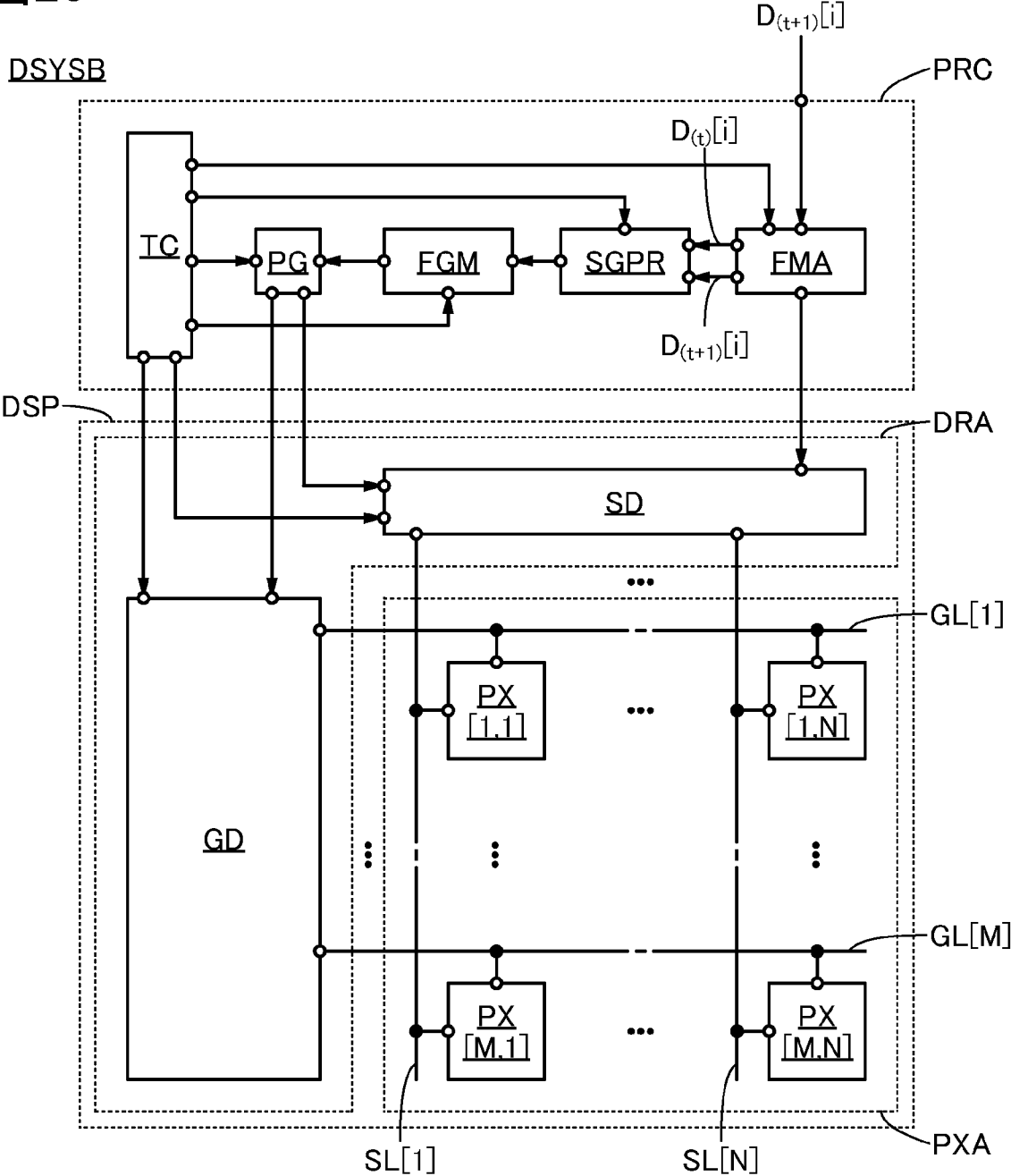
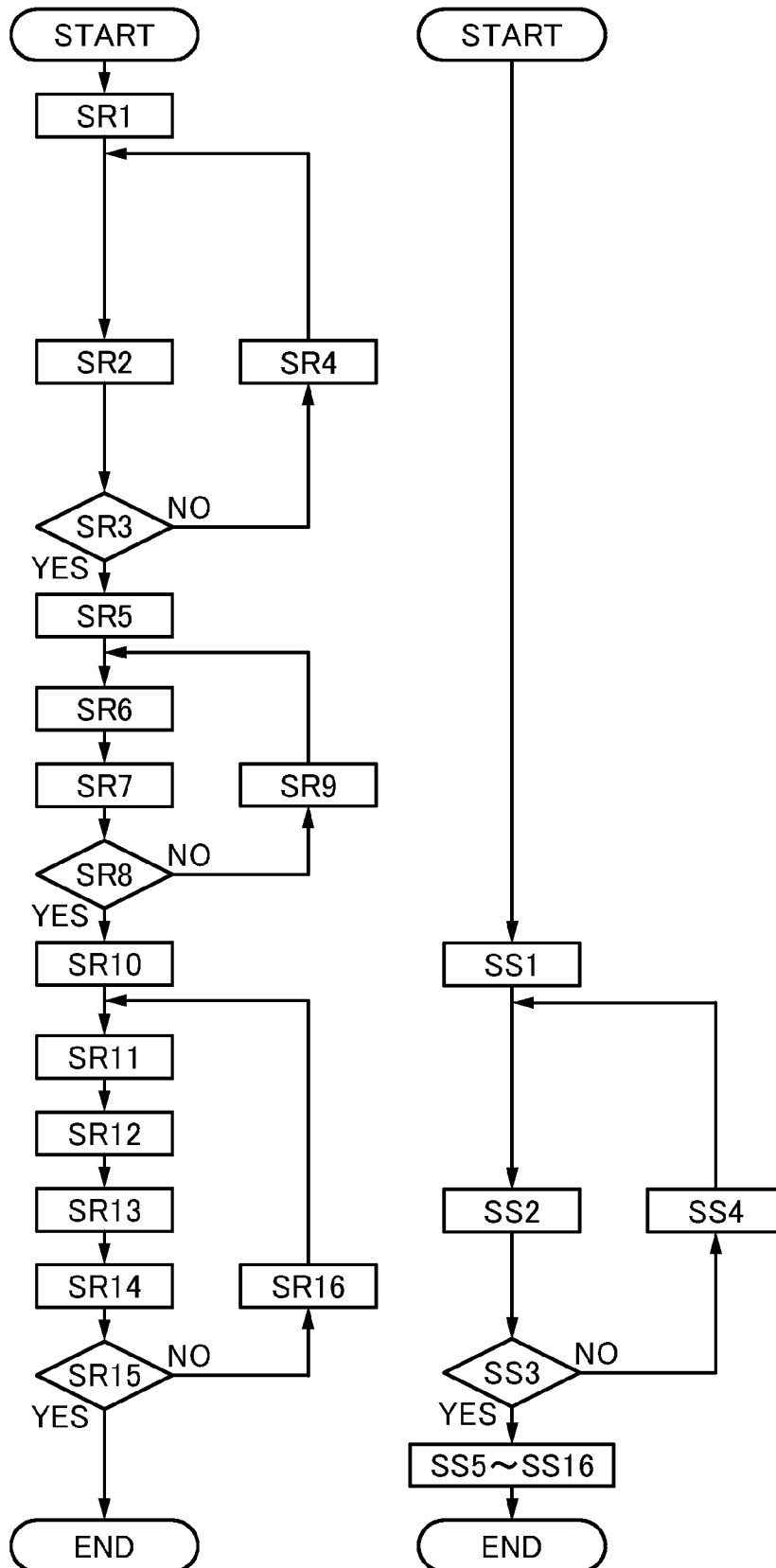
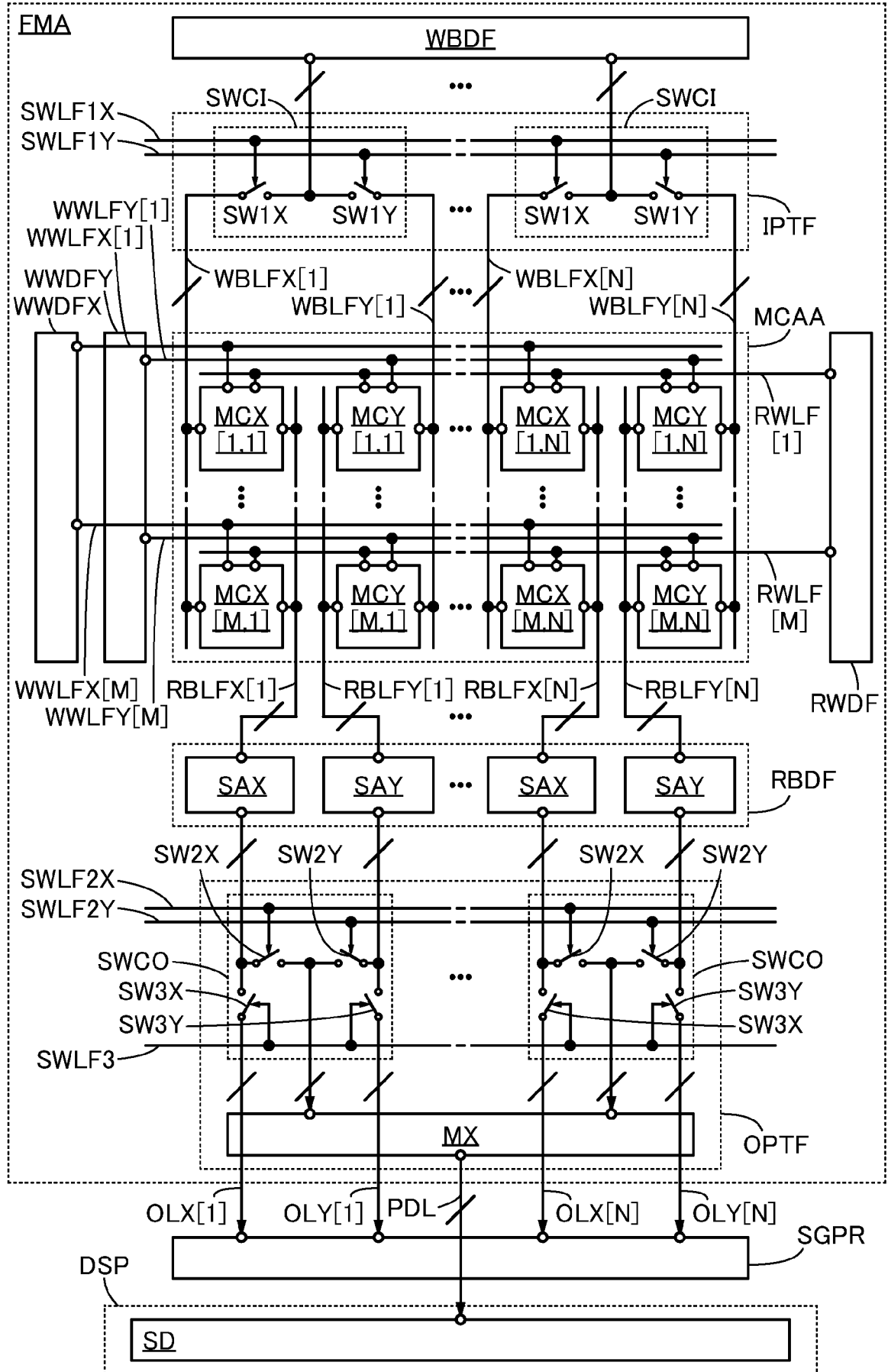


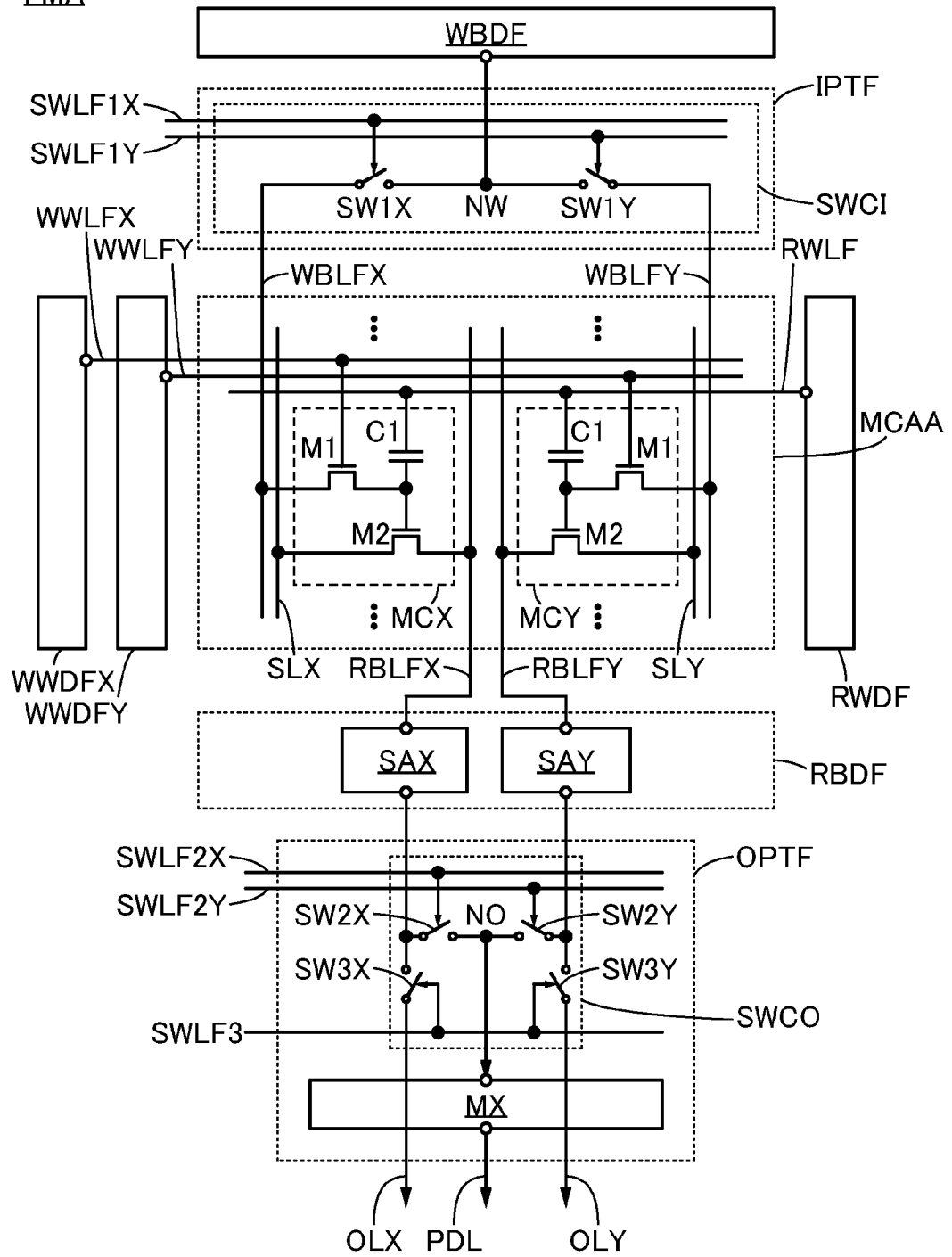
図21



 22


 23

FMA



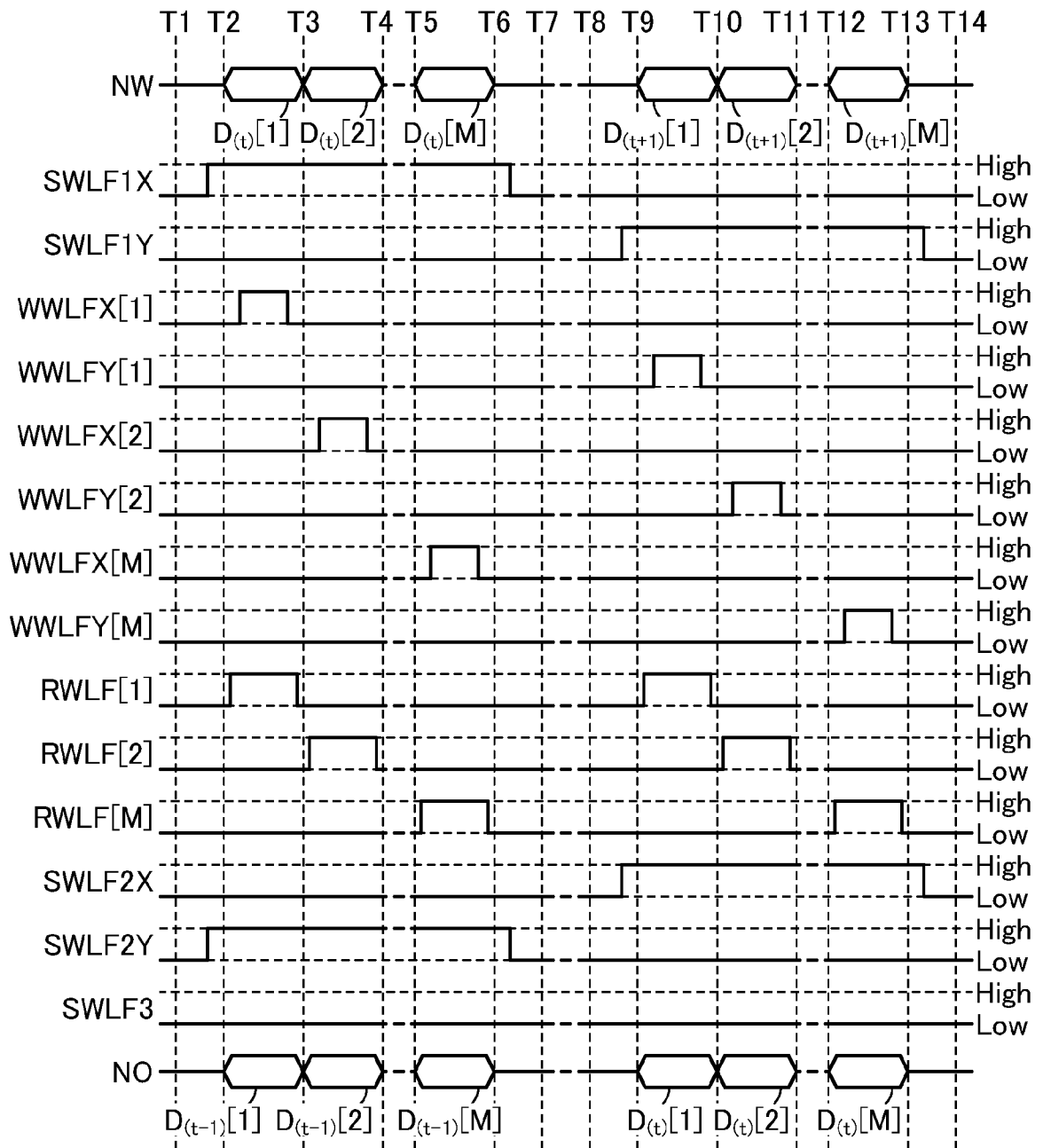
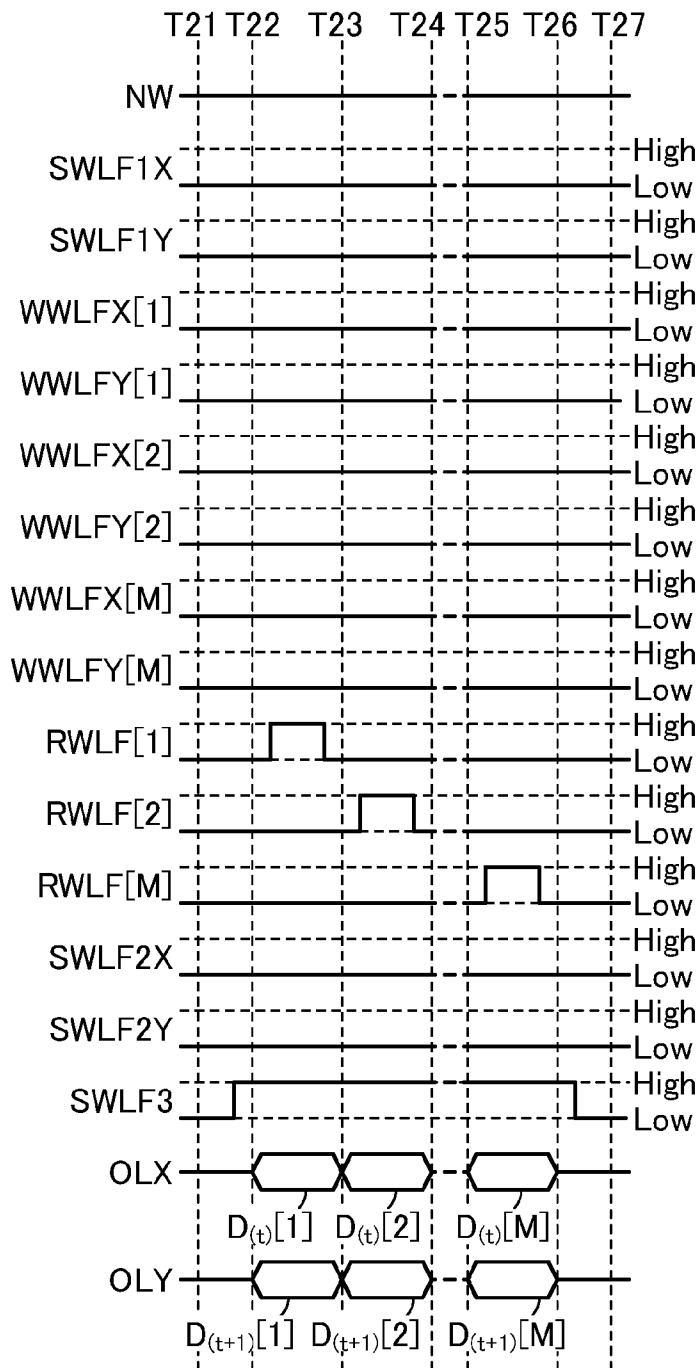
 24


図25



26

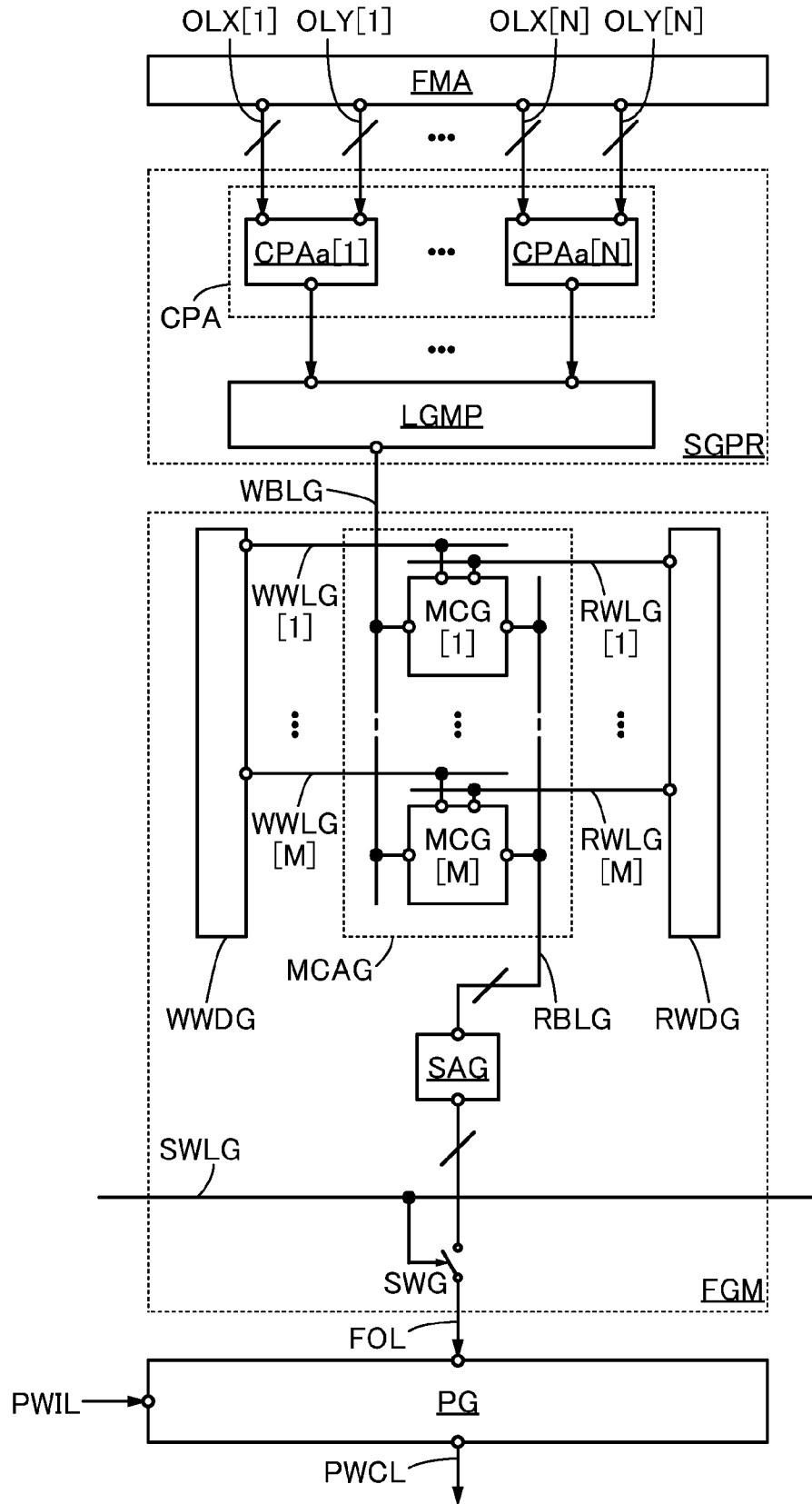


図27

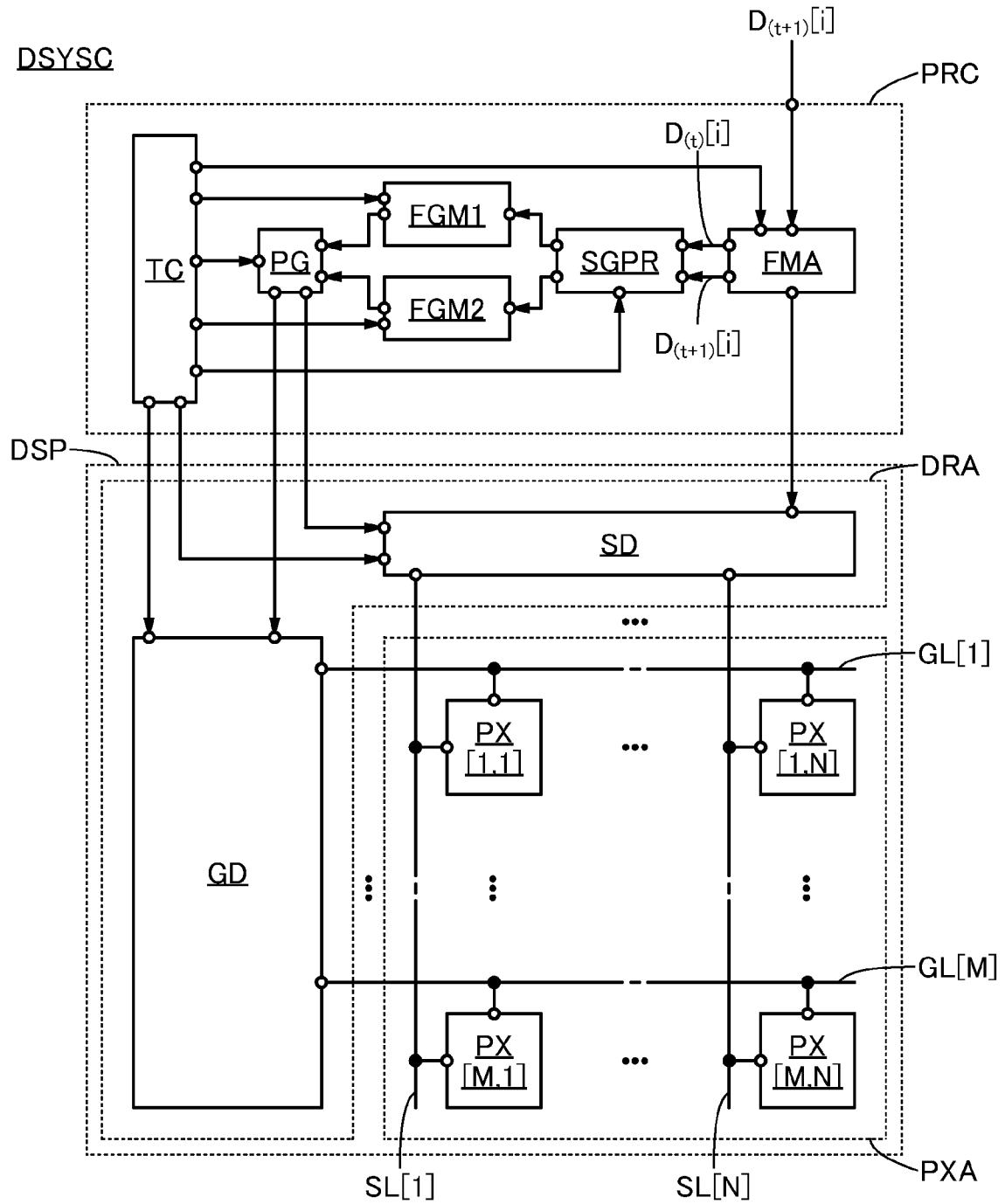


図28

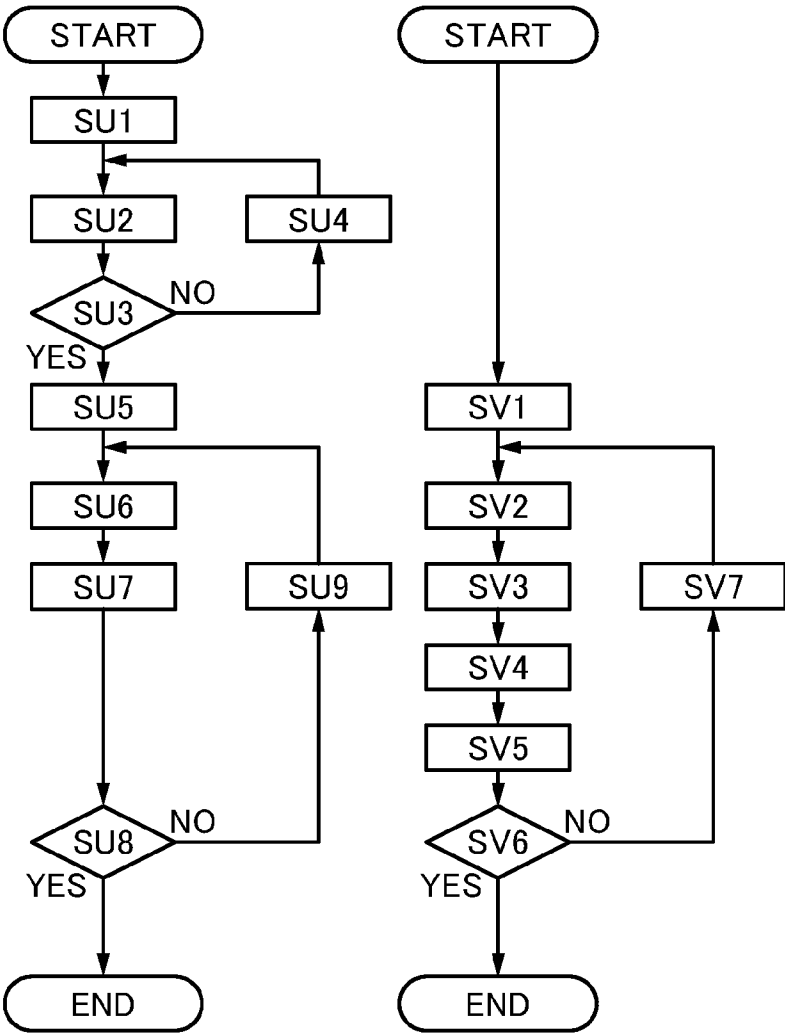


図29

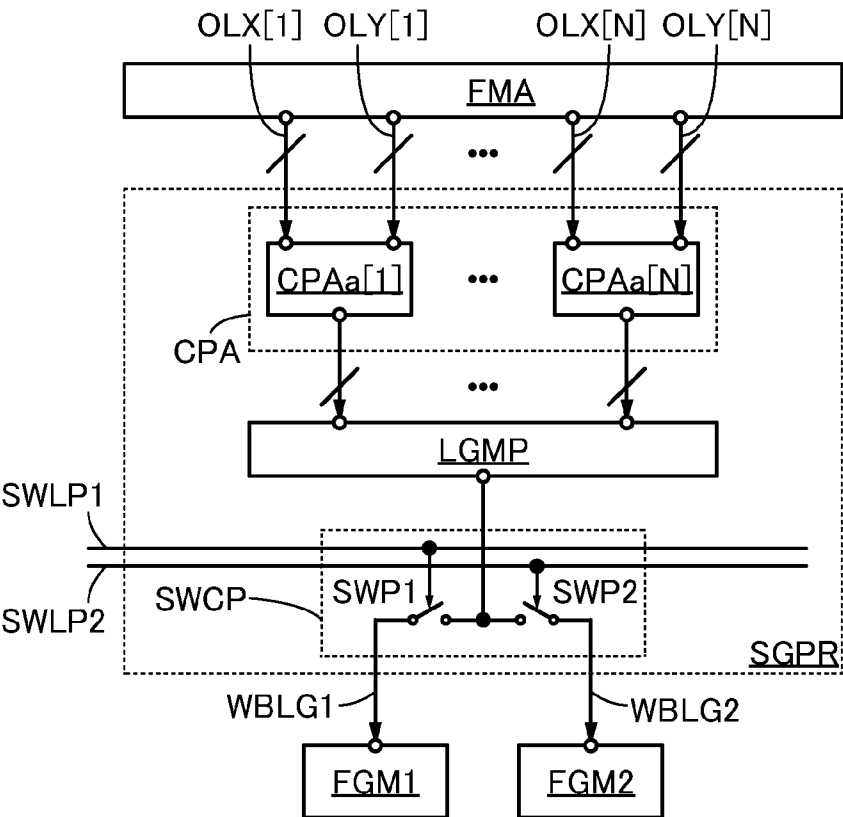
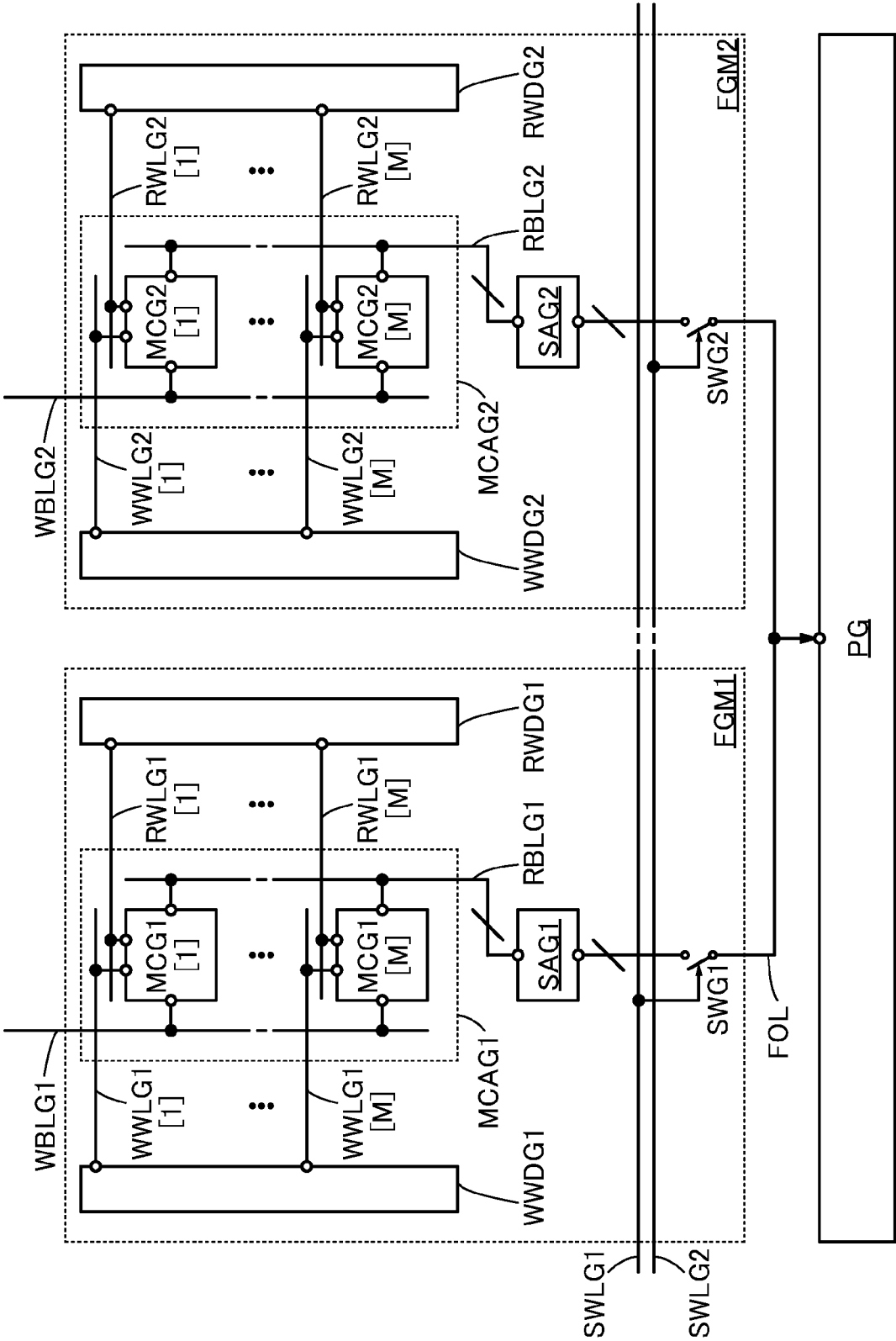


図 30



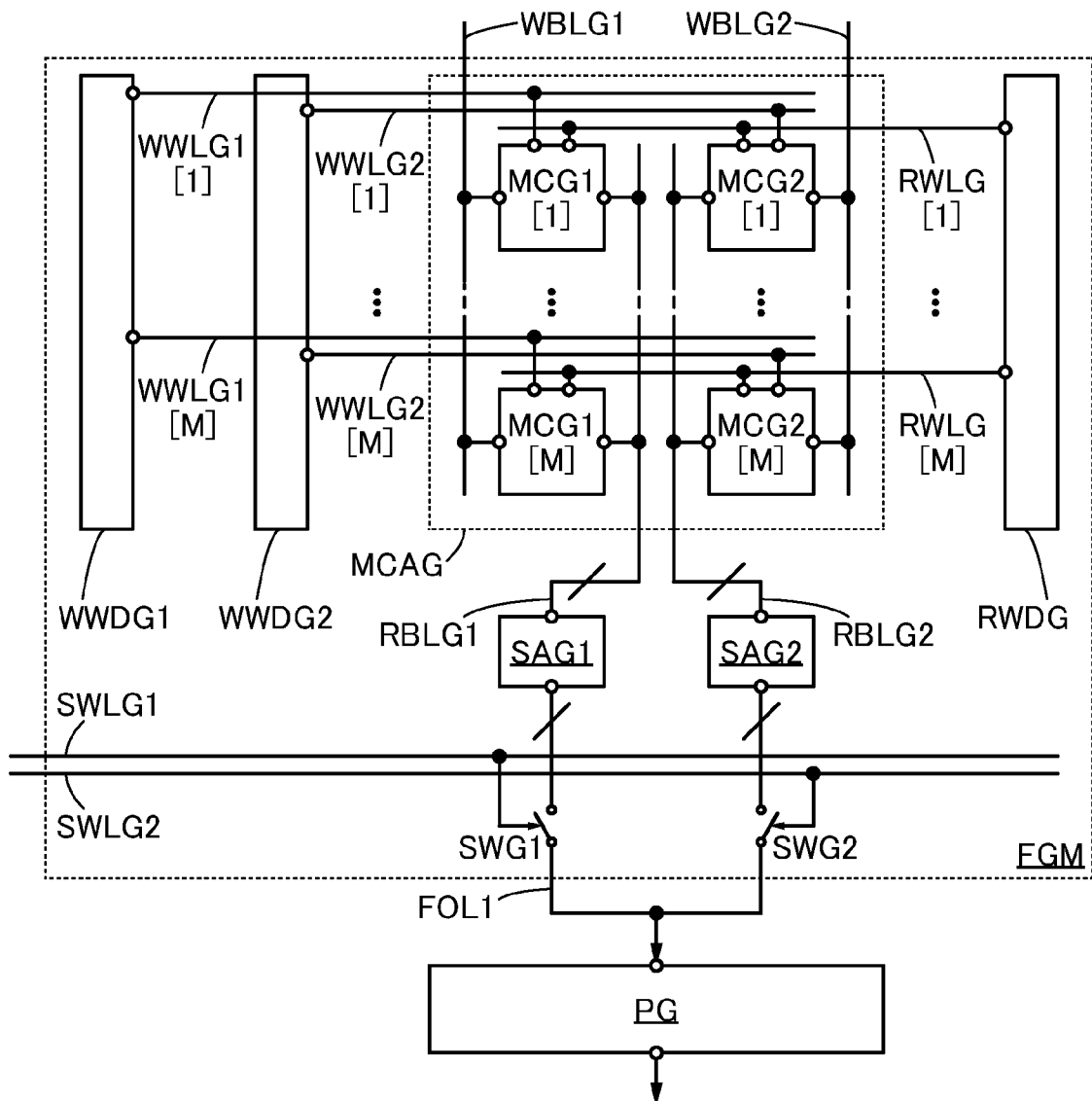


图 32A

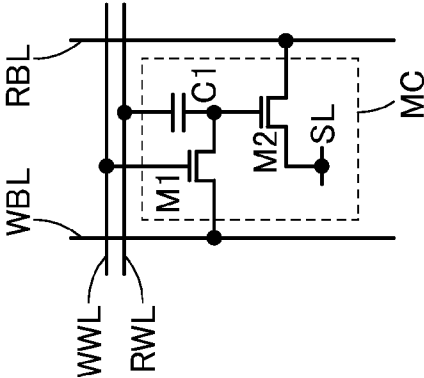


图 32B

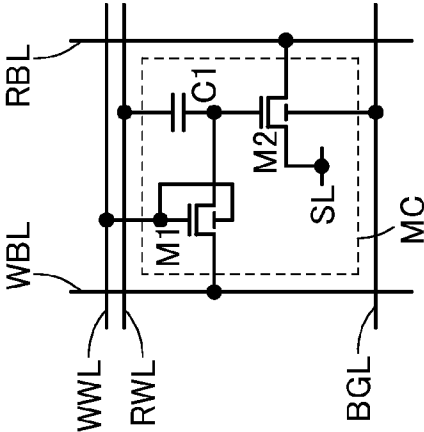


图 32C

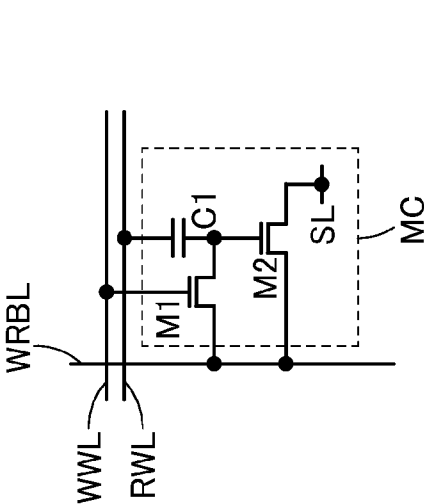


图 32D

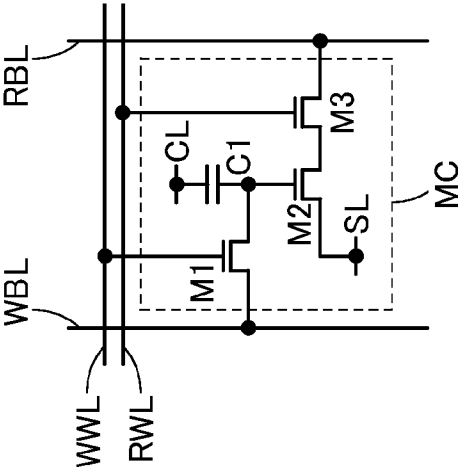


图 32E

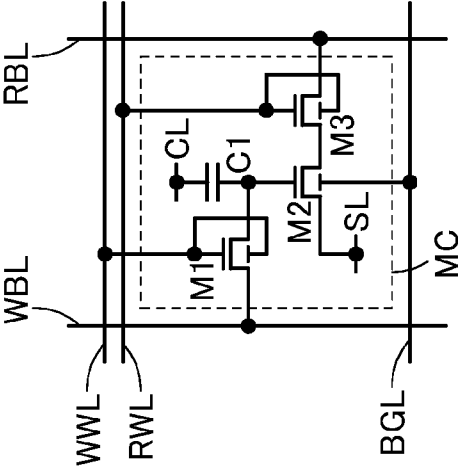


图 32F

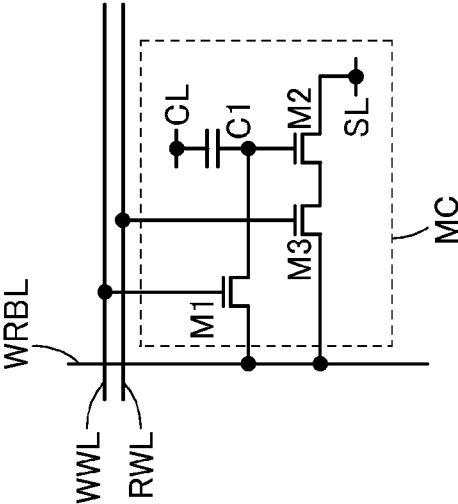


図33A

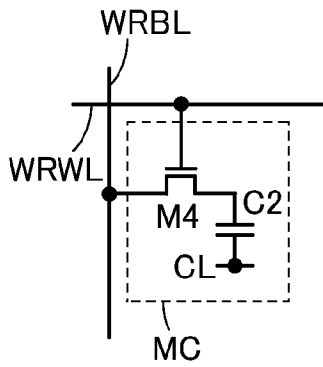


図33B

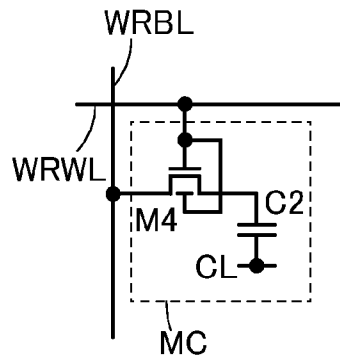


図33C

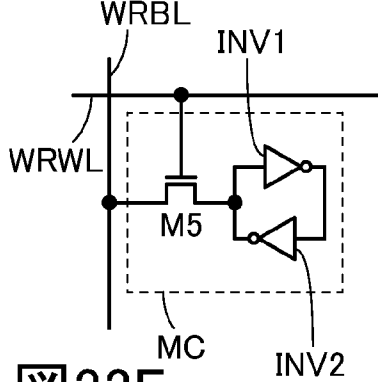


図33D

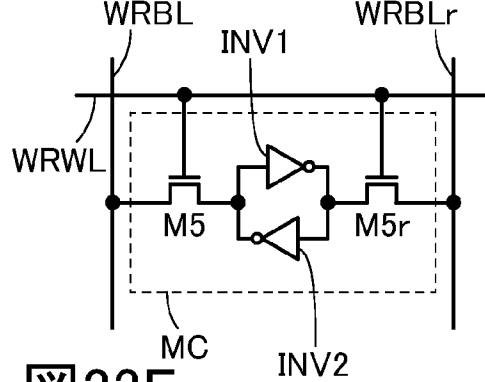


図33E

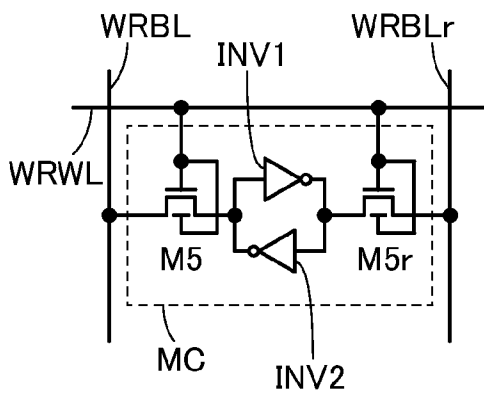


図33F

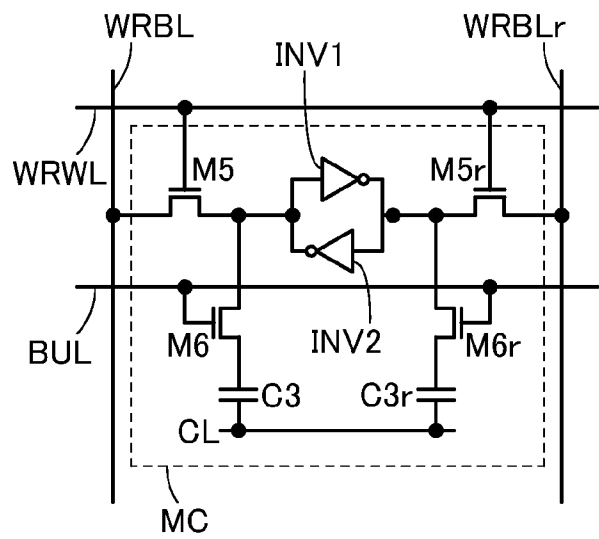


図34A

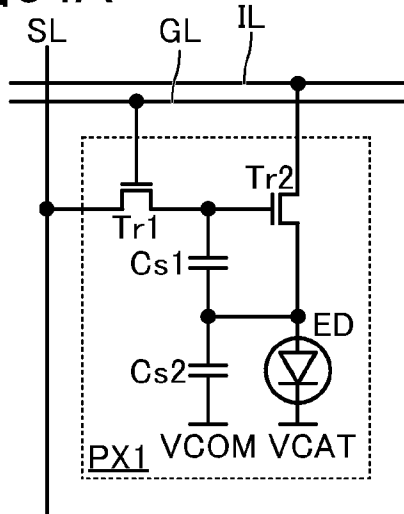


図34B

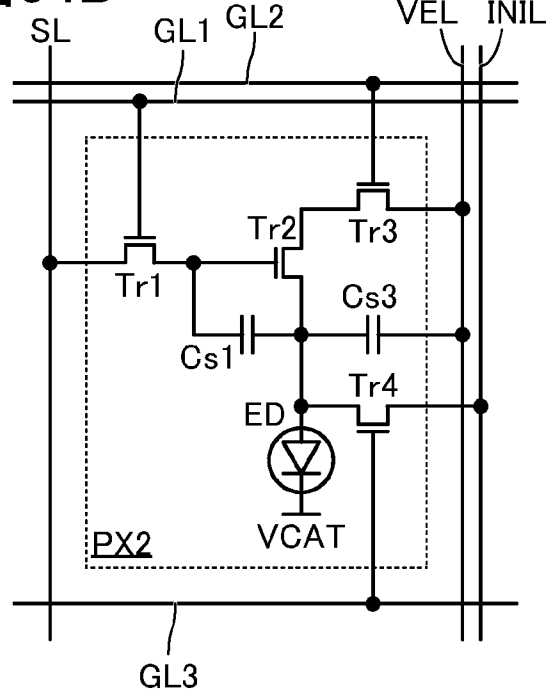


図34C

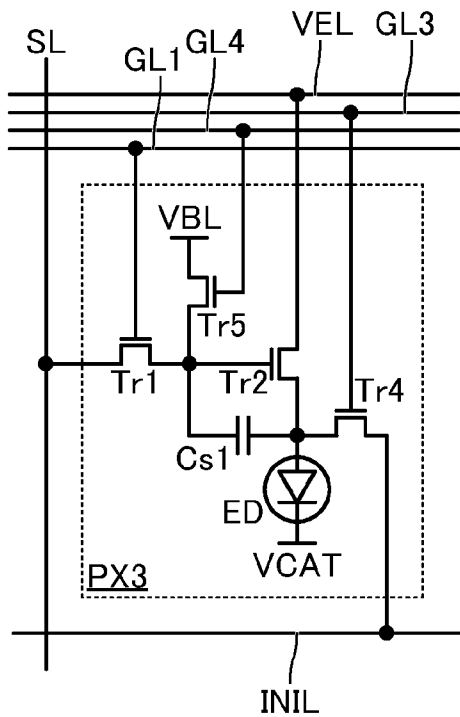


図34D

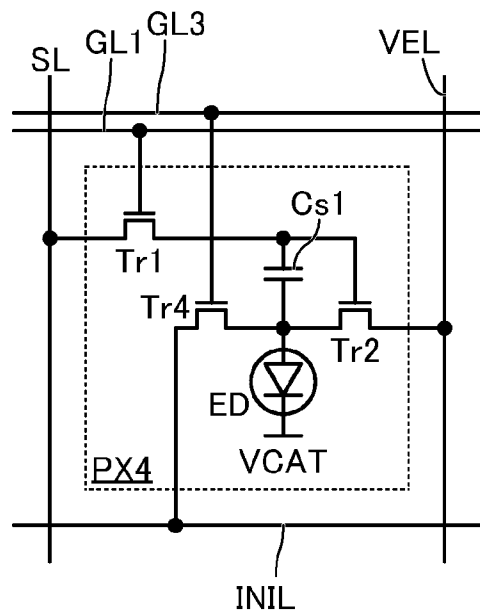


図35A

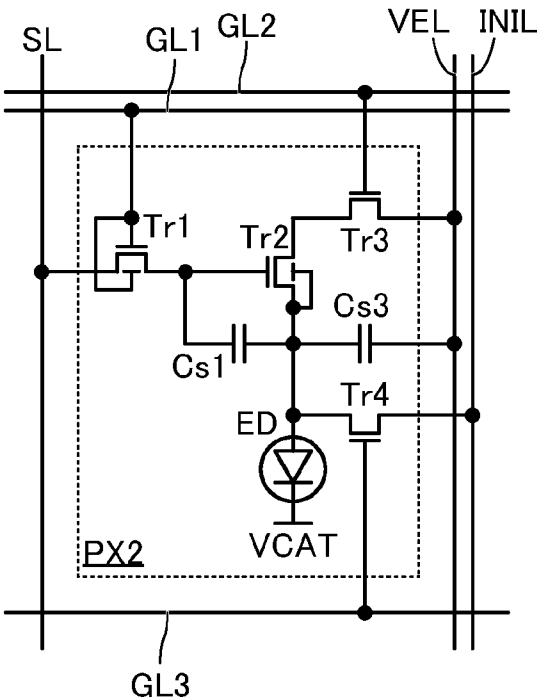
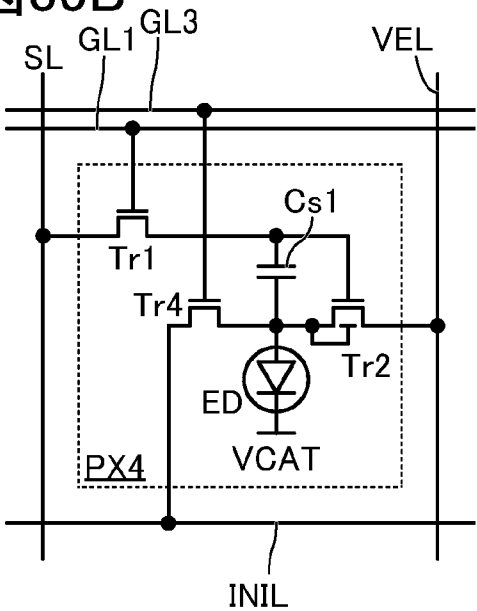
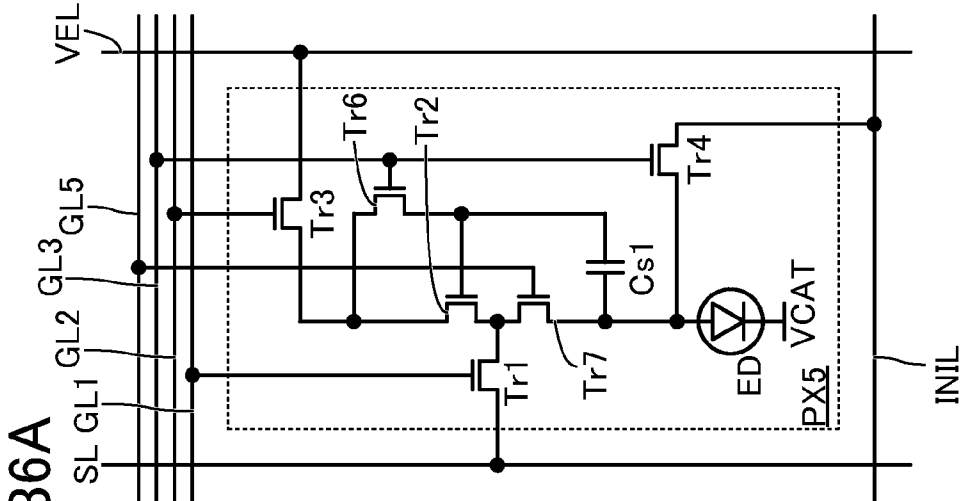


図35B



36A



36B

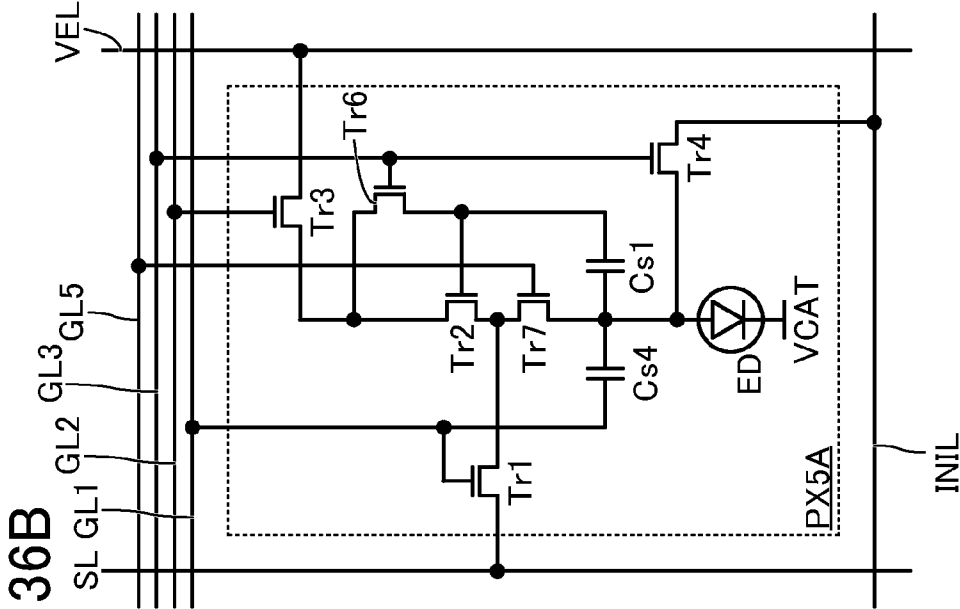


図37

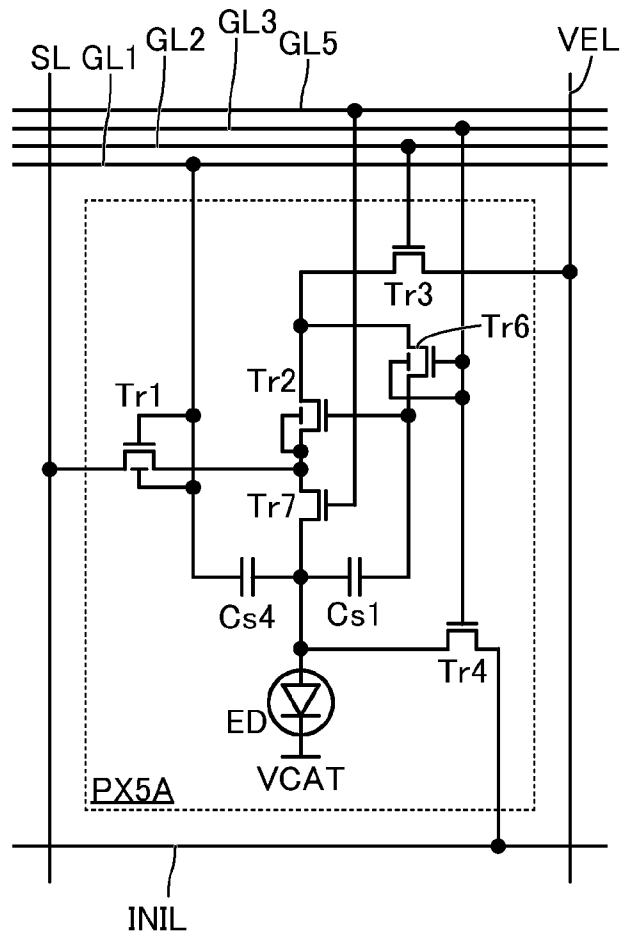


図38A

DSP1

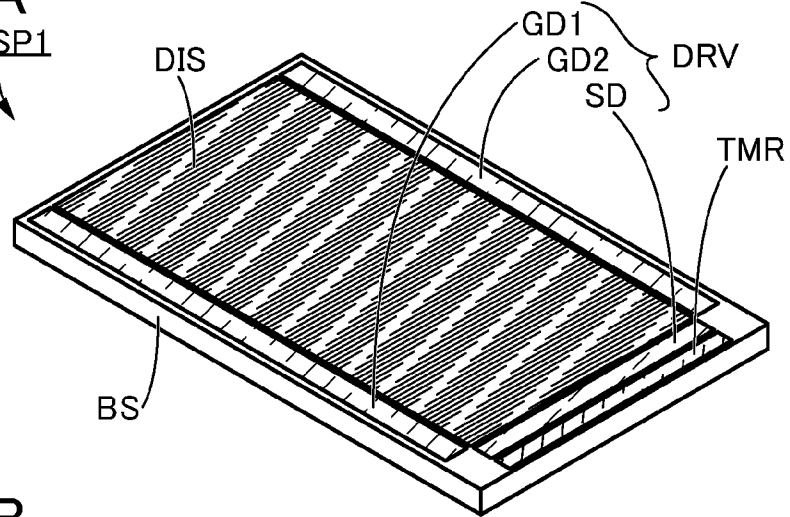


図38B

DSP2

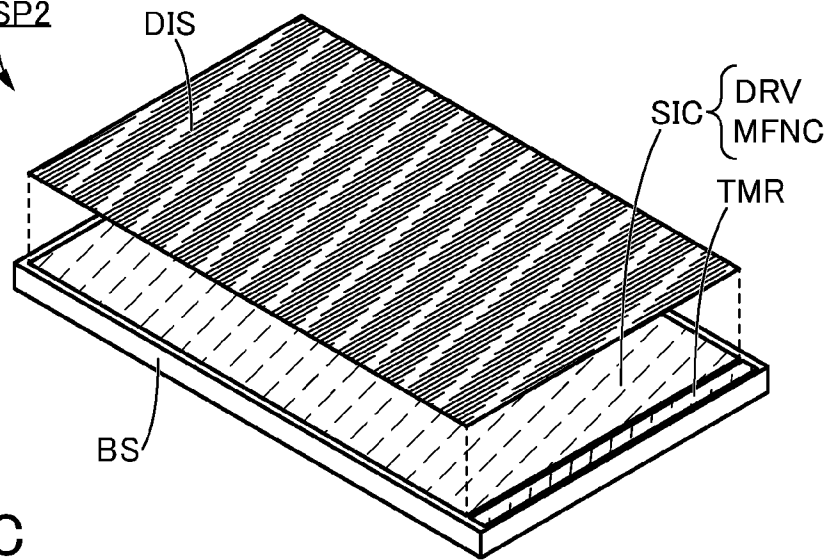
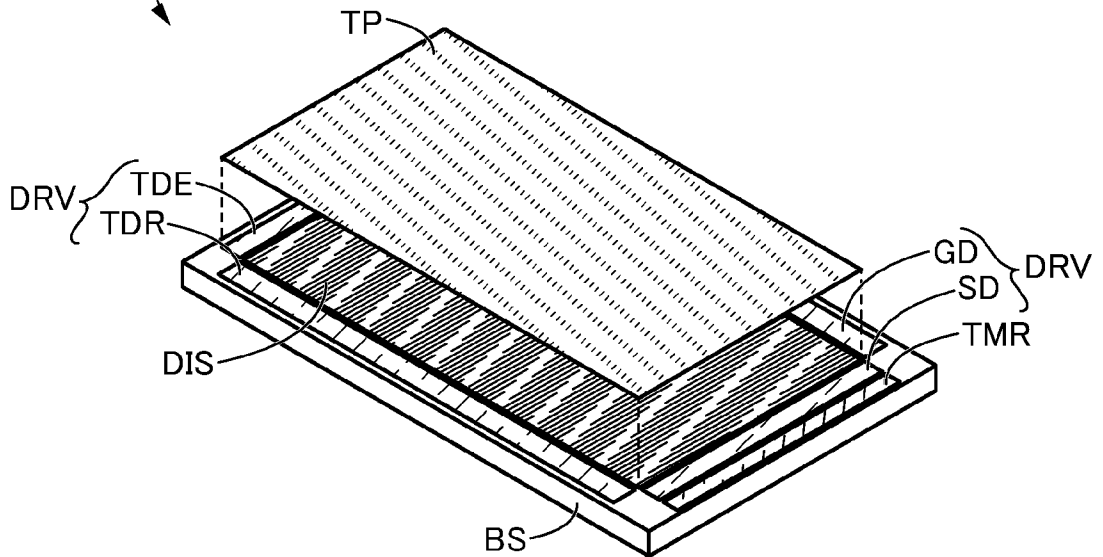


図38C

DSP3



39

DSP2

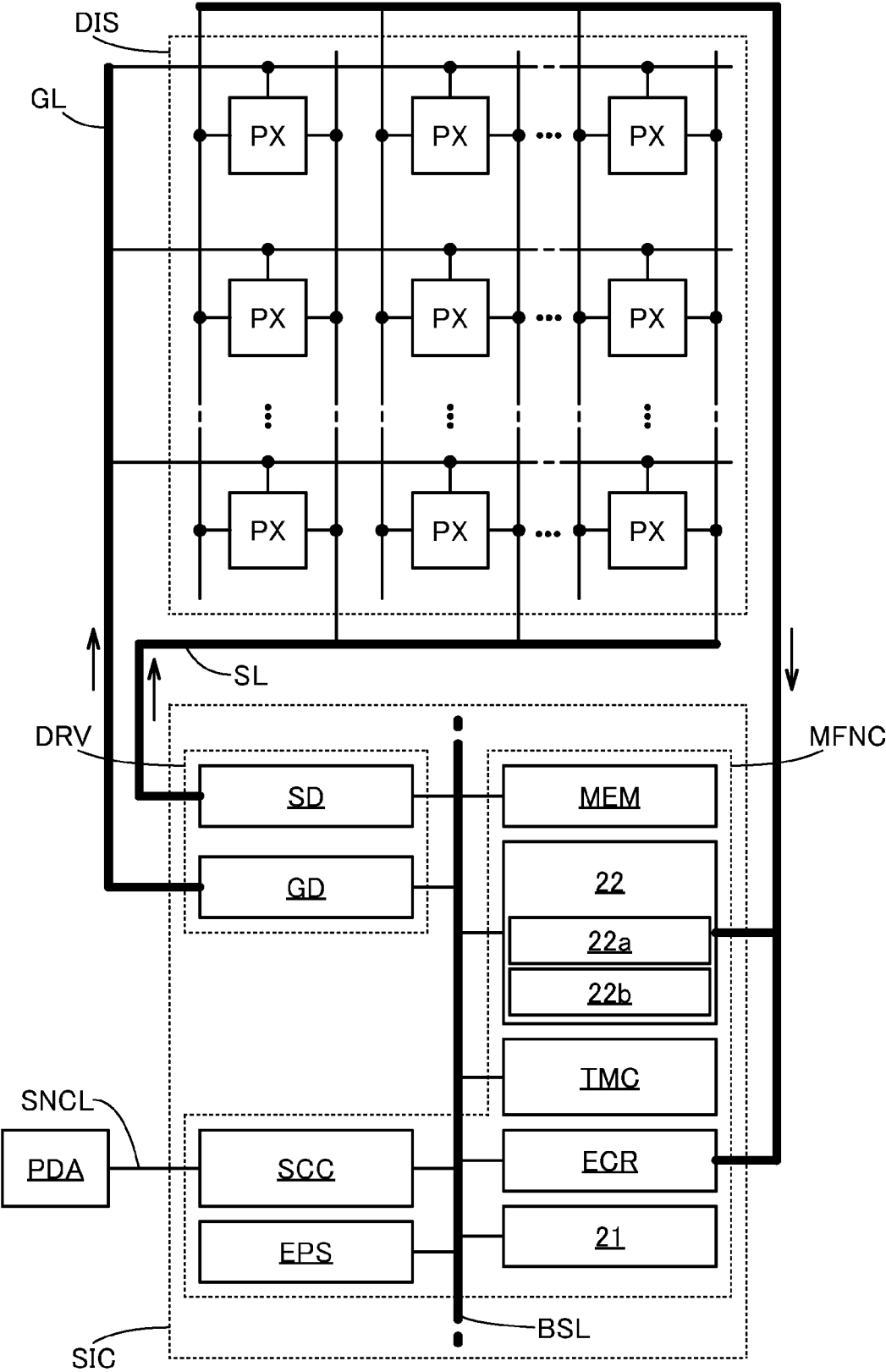


图40

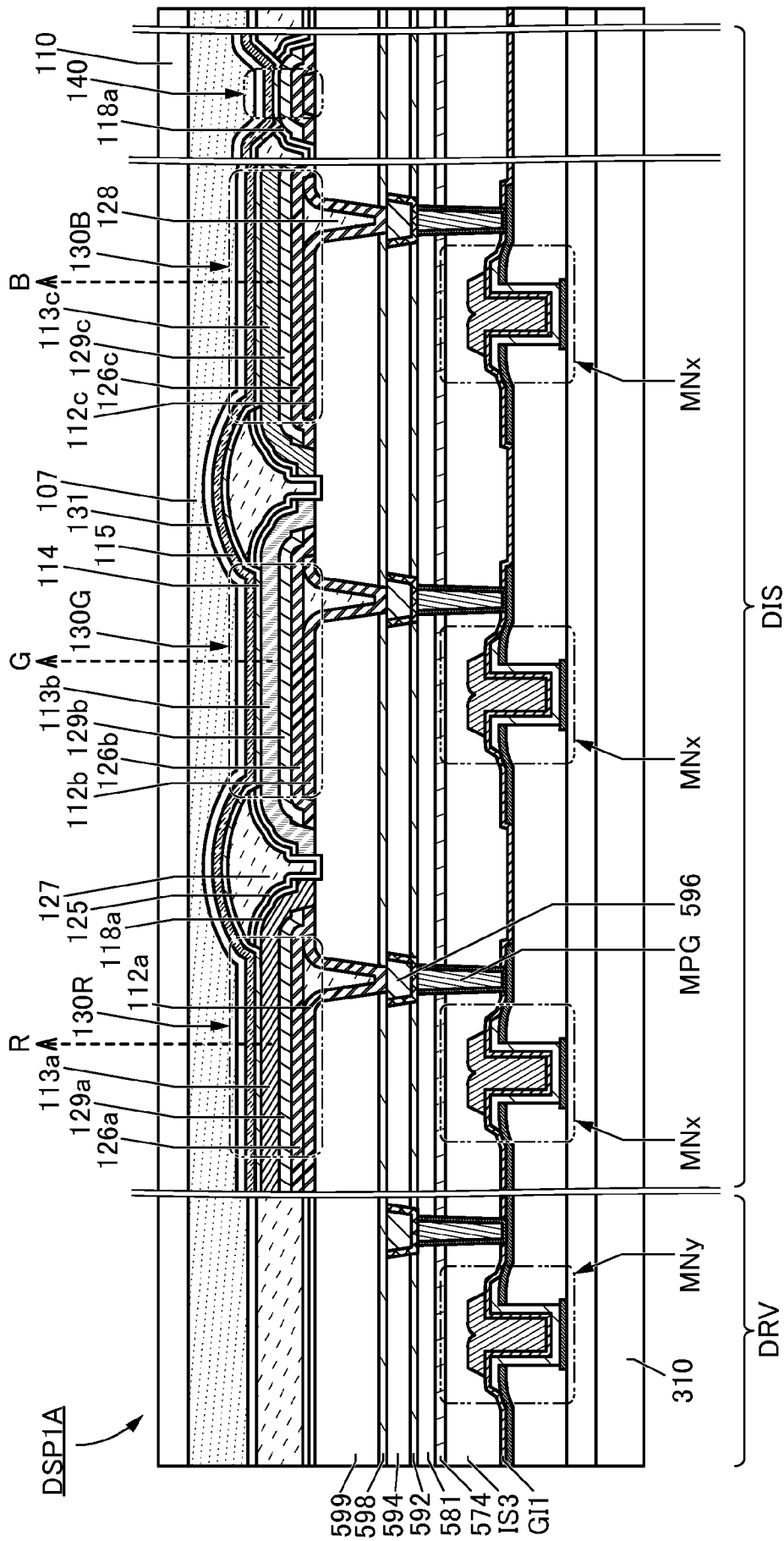


図41A

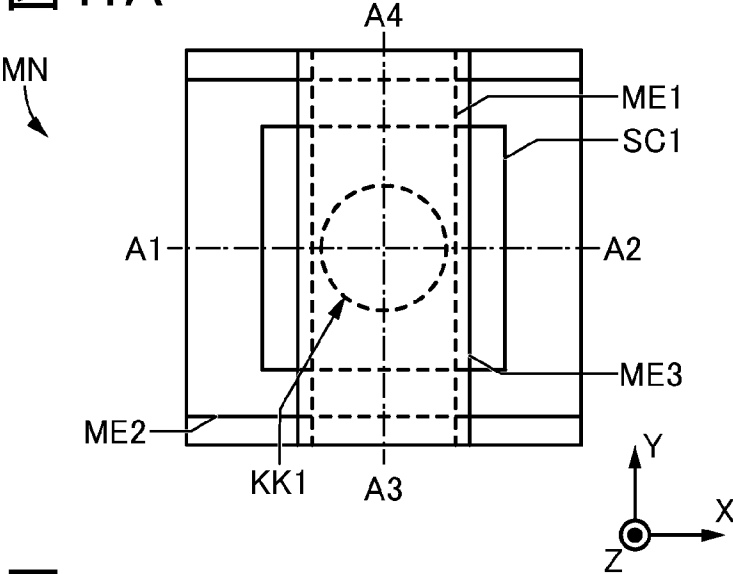


図41B

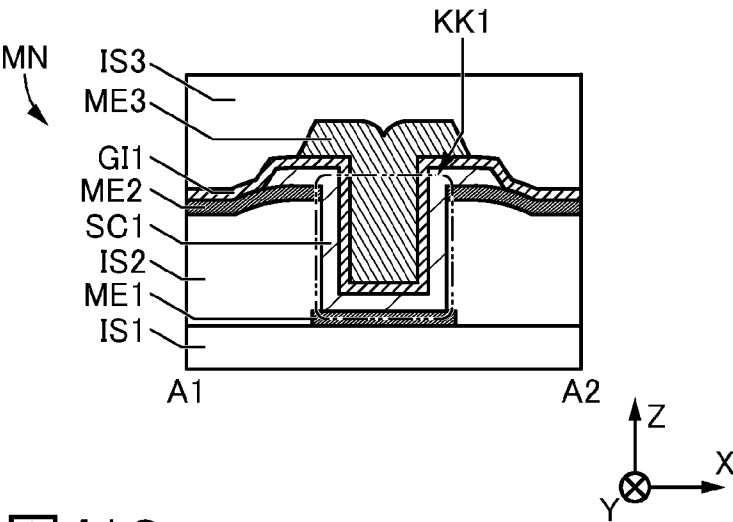


図41C

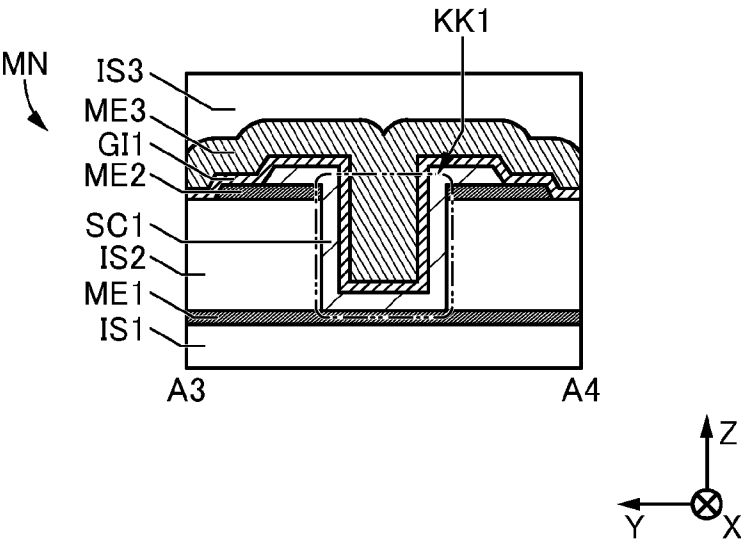


図42A

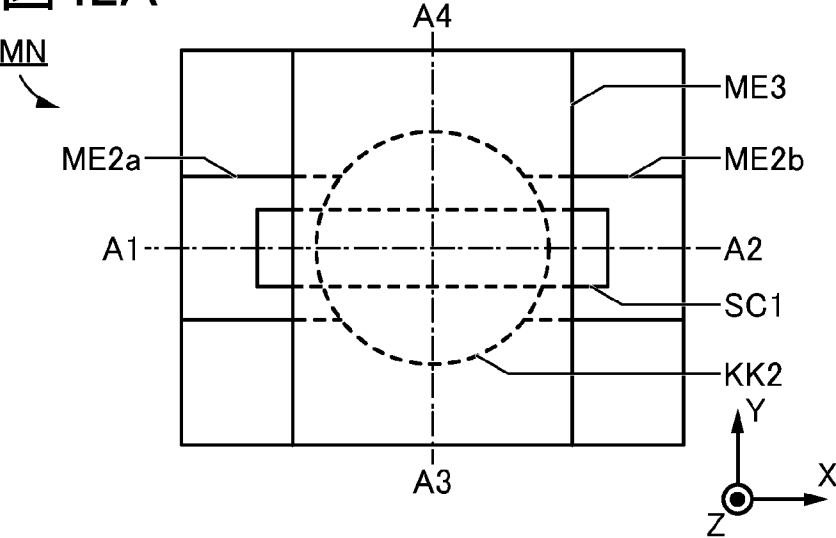


図42B

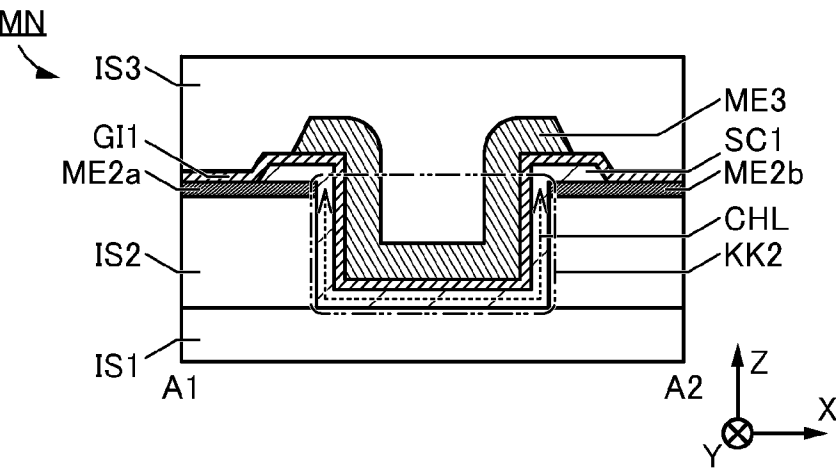


図42C

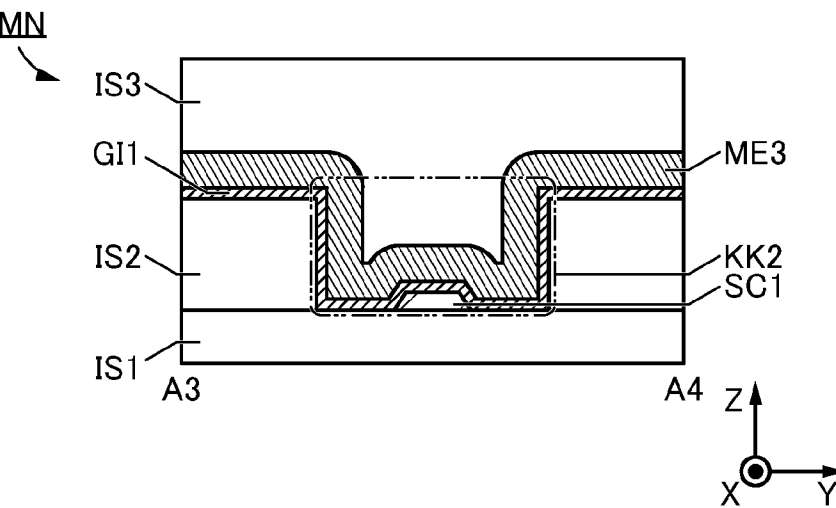


图43A

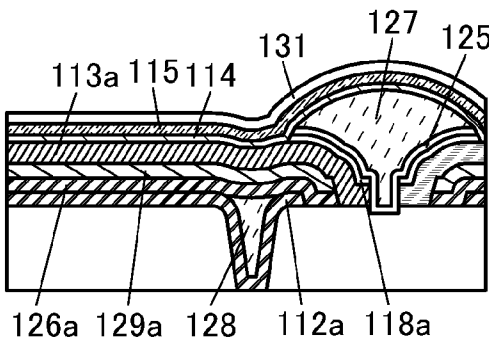


图43B

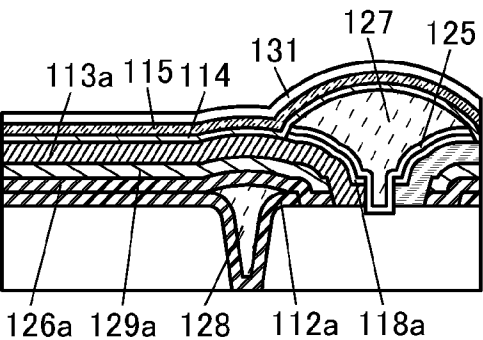
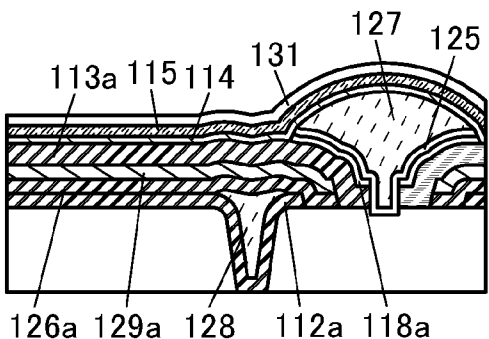
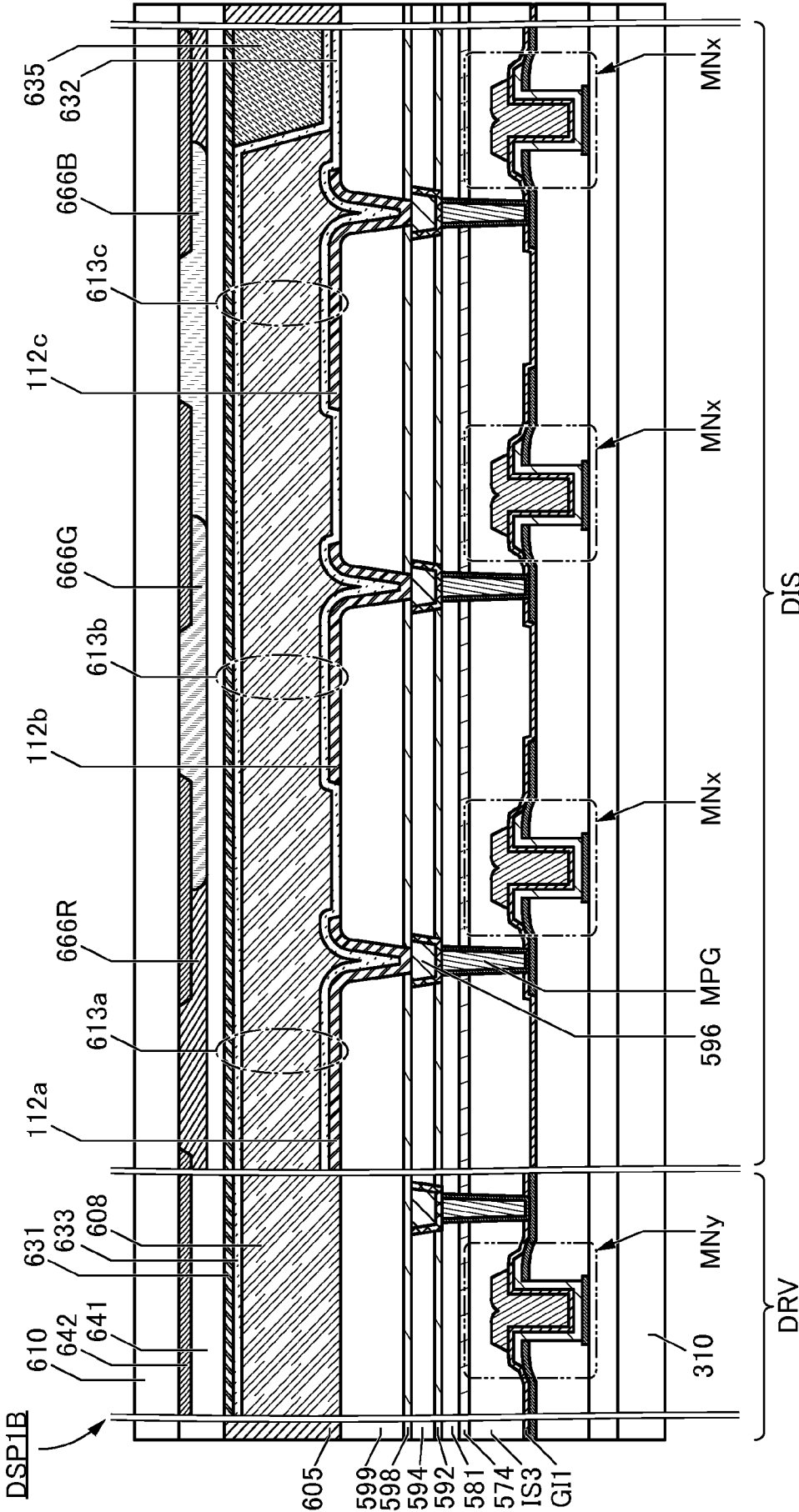
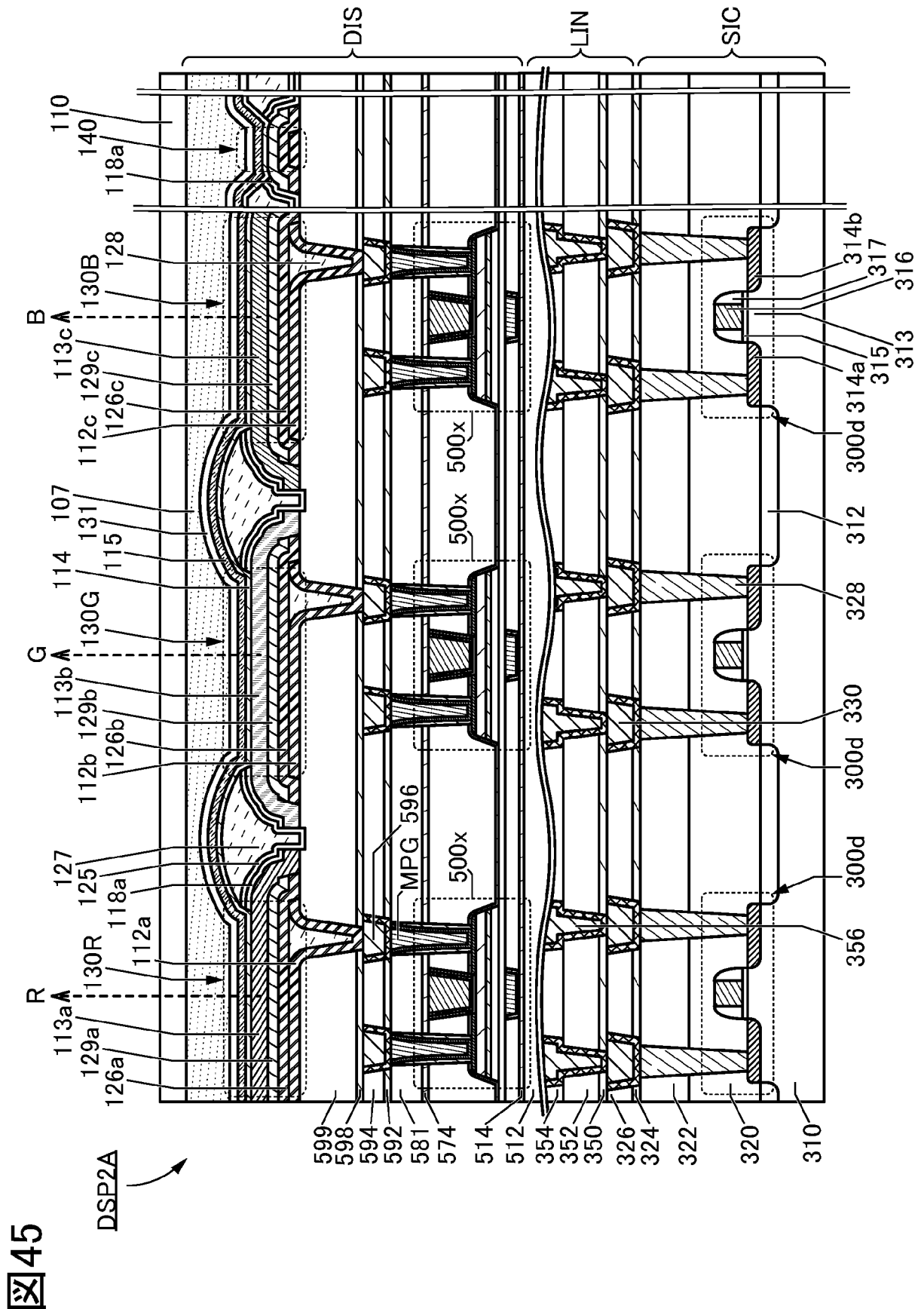


图43C



44





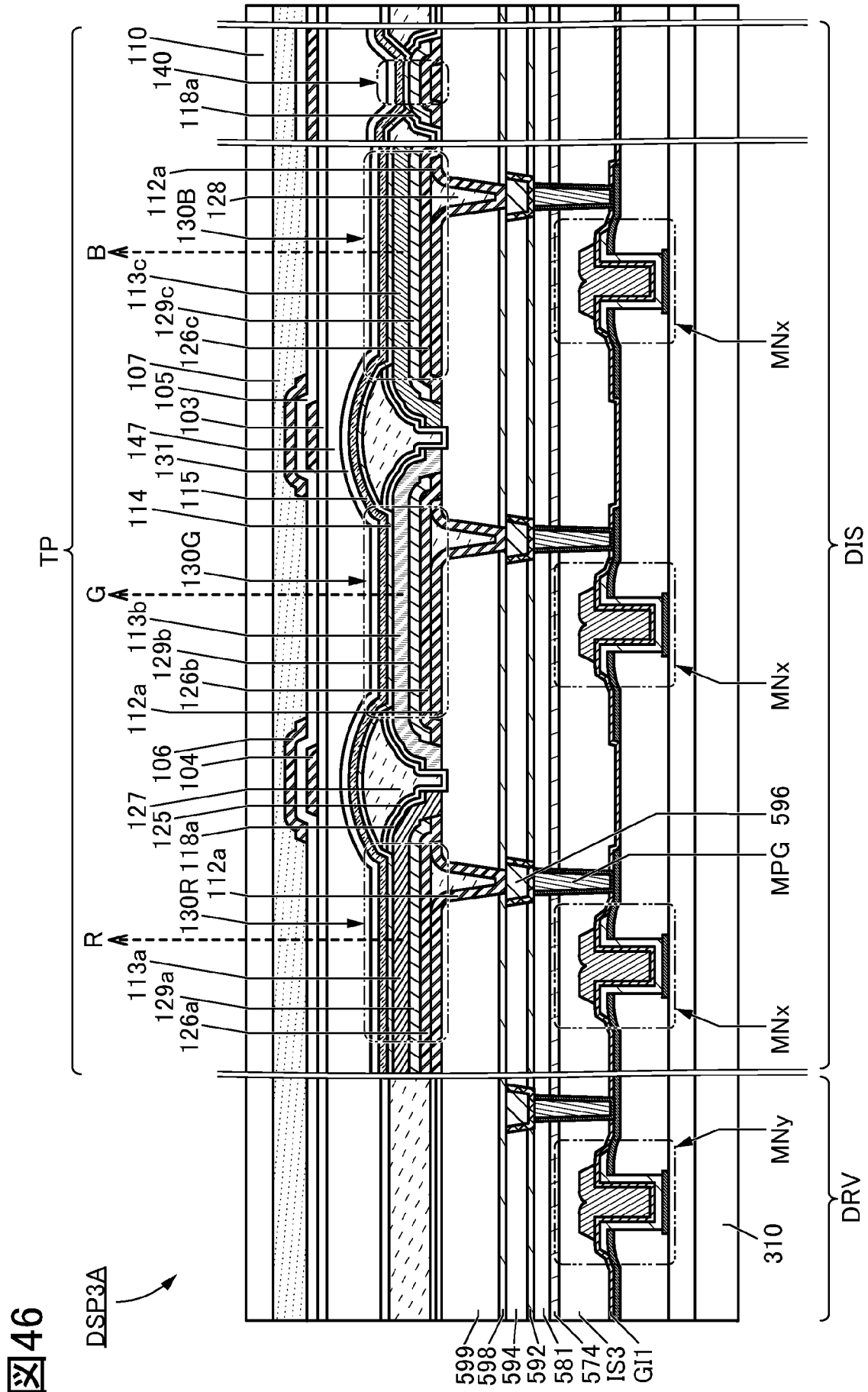


図47A

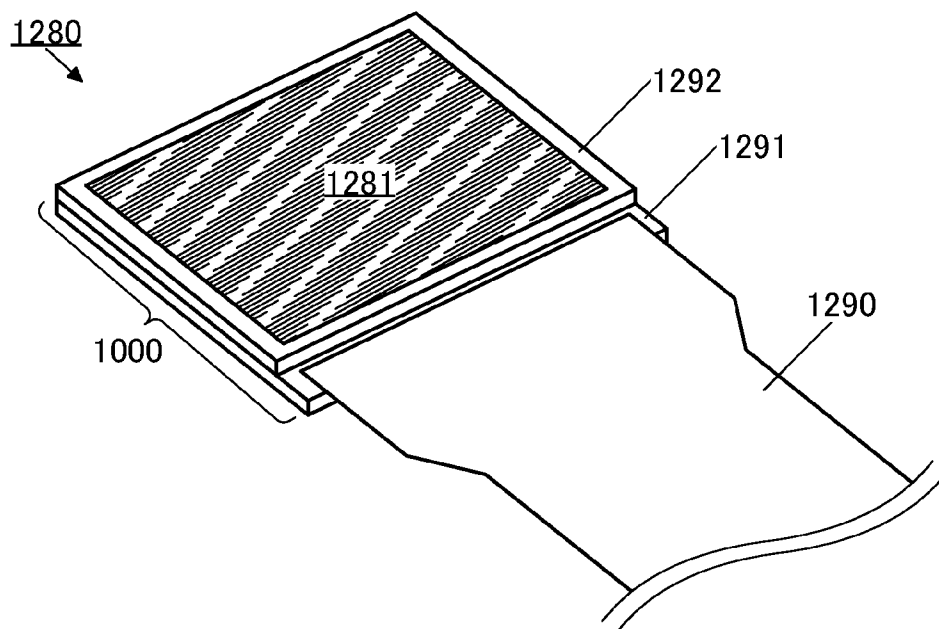


図47B

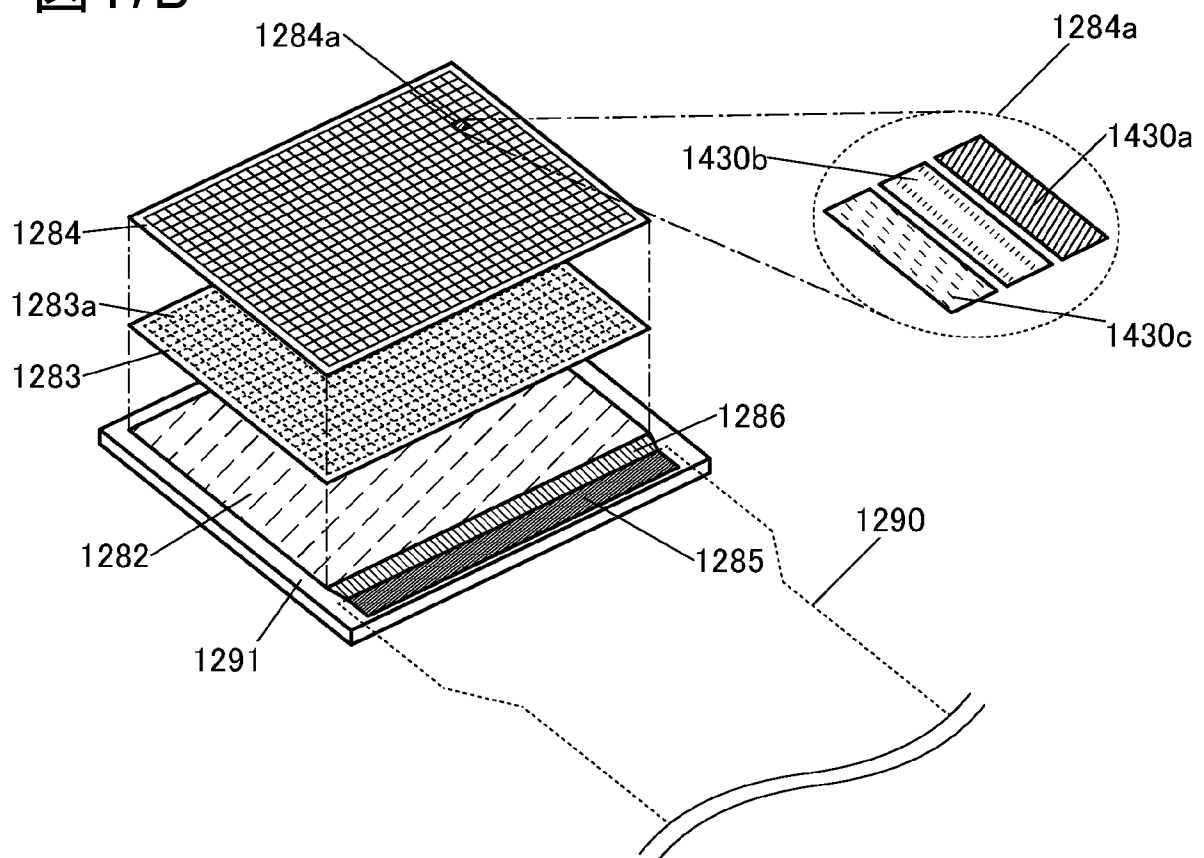


図48A

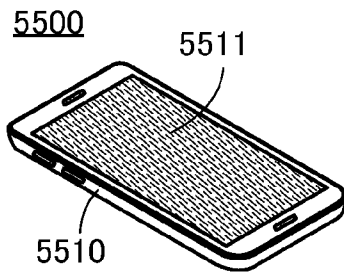


図48B

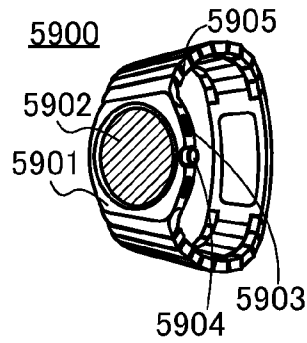


図48C

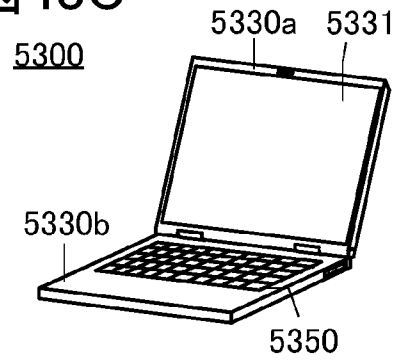


図48D

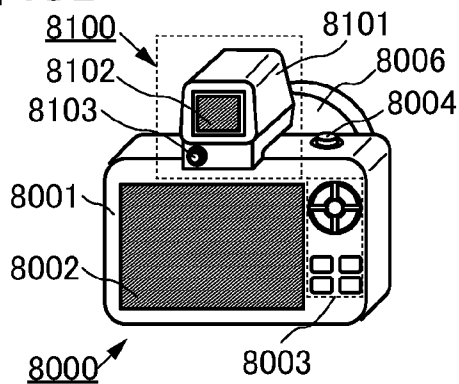


図48E

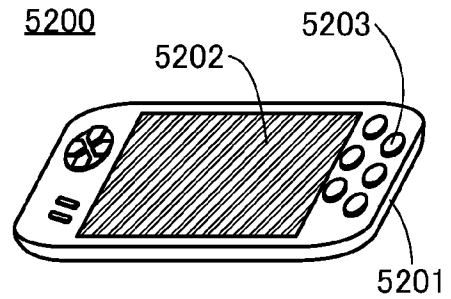


図48F

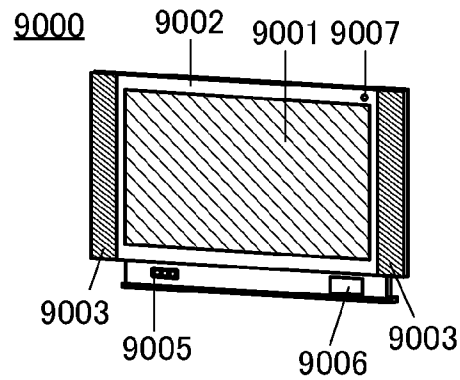


図48G

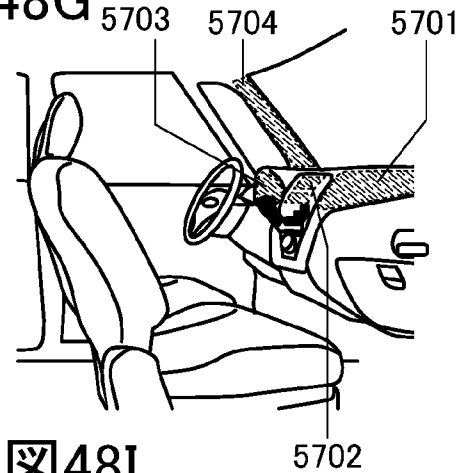


図48H

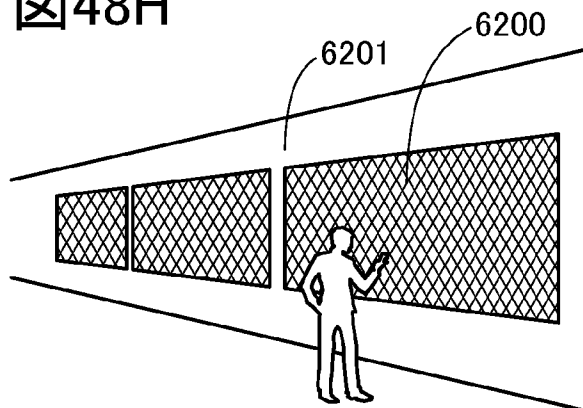
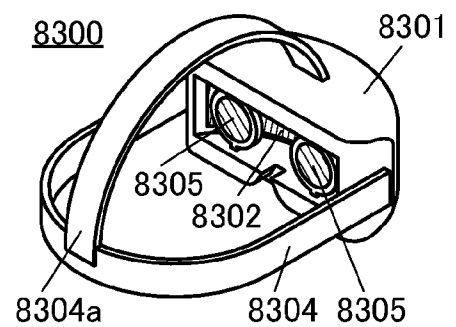


図48I



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/056780

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3233(2016.01)i; **G06F 12/00**(2006.01)i; **G09F 9/00**(2006.01)i; **G09F 9/30**(2006.01)i; **G09G 3/20**(2006.01)i; **G09G 3/3225**(2016.01)i; **G09G 3/3266**(2016.01)i; **G09G 3/3275**(2016.01)i; **H04N 5/66**(2006.01)i; **H05B 33/14**(2006.01)i; **H10K 50/00**(2023.01)i; **H10K 59/00**(2023.01)i; **H10K 59/10**(2023.01)i; **H10K 59/12**(2023.01)i

FI: G09G3/3233; G06F12/00 550E; G06F12/00 560A; G06F12/00 580; G09F9/00 346Z; G09F9/30 338; G09G3/20 611A; G09G3/20 612U; G09G3/20 621D; G09G3/20 624B; G09G3/20 631B; G09G3/20 631D; G09G3/20 631M; G09G3/20 632Z; G09G3/3225; G09G3/3266; G09G3/3275; H04N5/66 B; H05B33/14 Z; H10K50/00; H10K59/00; H10K59/10; H10K59/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/3233; G06F12/00; G09F9/00; G09F9/30; G09G3/20; G09G3/3225; G09G3/3266; G09G3/3275; H04N5/66; H05B33/14; H10K50/00; H10K59/00; H10K59/10; H10K59/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-225424 A (SAMSUNG ELECTRONICS CO., LTD.) 25 September 2008 (2008-09-25) entire text, all drawings	1-23
A	JP 2005-326633 A (NEC ELECTRONICS CORPORATION) 24 November 2005 (2005-11-24) entire text, all drawings	1-23
A	JP 2013-213913 A (SHARP KABUSHIKI KAISHA) 17 October 2013 (2013-10-17) entire text, all drawings	1-23

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

30 August 2024

Date of mailing of the international search report

17 September 2024

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-141523 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 21 July 2011 (2011-07-21) entire text, all drawings	1-23
A	JP 2007-17647 A (TOHOKU PIONEER KK) 25 January 2007 (2007-01-25) entire text, all drawings	1-23
A	JP 8-16133 A (CANON KABUSHIKI KAISHA) 19 January 1996 (1996-01-19) entire text, all drawings	1-23
A	JP 5-297827 A (HITACHI, LTD.) 12 November 1993 (1993-11-12) entire text, all drawings	1-23
A	JP 2005-265939 A (NEC ACCESS TECHNICA, LTD.) 29 September 2005 (2005-09-29) entire text, all drawings	1-23
A	US 2009/0237386 A1 (SAMSUNG ELECTRONICS CO., LTD.) 24 September 2009 (2009-09-24) entire text, all drawings	1-23

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2024/056780

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2008-225424	A	25 September 2008	US 2008/0224980 A1 entire text, all drawings EP 1970888 A2 KR 10-2008-0084081 A CN 101266767 A	
JP	2005-326633	A	24 November 2005	US 2005/0253833 A1 entire text, all drawings EP 1596353 A2 CN 1697011 A	
JP	2013-213913	A	17 October 2013	(Family: none)	
JP	2011-141523	A	21 July 2011	US 2011/0090204 A1 entire text, all drawings WO 2011/046032 A1 EP 2489032 A1 CN 102576518 A KR 10-2012-0099228 A	
JP	2007-17647	A	25 January 2007	US 2007/0008252 A1 entire text, all drawings CN 1945679 A	
JP	8-16133	A	19 January 1996	US 5717906 A entire text, all drawings EP 691638 A2	
JP	5-297827	A	12 November 1993	(Family: none)	
JP	2005-265939	A	29 September 2005	(Family: none)	
US	2009/0237386	A1	24 September 2009	KR 10-2009-0099732 A entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC））

G09G 3/3233(2016.01)i; G06F 12/00(2006.01)i; G09F 9/00(2006.01)i; G09F 9/30(2006.01)i;
G09G 3/20(2006.01)i; G09G 3/3225(2016.01)i; G09G 3/3266(2016.01)i; G09G 3/3275(2016.01)i;
H04N 5/66(2006.01)i; H05B 33/14(2006.01)i; H10K 50/00(2023.01)i; H10K 59/00(2023.01)i;
H10K 59/10(2023.01)i; H10K 59/12(2023.01)i
FI: G09G3/3233; G06F12/00 550E; G06F12/00 560A; G06F12/00 580; G09F9/00 346Z; G09F9/30 338; G09G3/20
611A; G09G3/20 612U; G09G3/20 621D; G09G3/20 624B; G09G3/20 631B; G09G3/20 631D; G09G3/20 631M;
G09G3/20 632Z; G09G3/3225; G09G3/3266; G09G3/3275; H04N5/66 B; H05B33/14 Z; H10K50/00; H10K59/00;
H10K59/10; H10K59/12

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

G09G3/3233; G06F12/00; G09F9/00; G09F9/30; G09G3/20; G09G3/3225; G09G3/3266; G09G3/3275; H04N5/66;
H05B33/14; H10K50/00; H10K59/00; H10K59/10; H10K59/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2024年
日本国実用新案登録公報1996-2024年
日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-225424 A（三星電子株式会社）25.09.2008（2008 - 09 - 25） 全文，全図	1-23
A	JP 2005-326633 A（NECエレクトロニクス株式会社）24.11.2005（2005 - 11 - 24） 全文，全図	1-23
A	JP 2013-213913 A（シャープ株式会社）17.10.2013（2013 - 10 - 17） 全文，全図	1-23
A	JP 2011-141523 A（株式会社半導体エネルギー研究所）21.07.2011（2011 - 07 - 21） 全文，全図	1-23

☒ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
30.08.2024

国際調査報告の発送日
17.09.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

石本 努 2I 8354

電話番号 03-3581-1101 内線 3273

様式 PCT/ISA/210（第2ページ）（2022年7月）

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-17647 A (東北パイオニア株式会社) 25.01.2007 (2007 - 01 - 25) 全文, 全図	1-23
A	JP 8-16133 A (キャノン株式会社) 19.01.1996 (1996 - 01 - 19) 全文, 全図	1-23
A	JP 5-297827 A (株式会社日立製作所) 12.11.1993 (1993 - 11 - 12) 全文, 全図	1-23
A	JP 2005-265939 A (NECアクセステクノロジ株式会社) 29.09.2005 (2005 - 09 - 29) 全文, 全図	1-23
A	US 2009/0237386 A1 (SAMSUNG ELECTRONICS CO., LTD.) 24.09.2009 (2009 - 09 - 24) 全文, 全図	1-23

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2024/056780

引用文献			公表日	パテントファミリー文献			公表日
JP	2008-225424	A	25.09.2008	US	2008/0224980	A1	
				全文, 全図			
				EP	1970888	A2	
				KR	10-2008-0084081	A	
				CN	101266767	A	
JP	2005-326633	A	24.11.2005	US	2005/0253833	A1	
				全文, 全図			
				EP	1596353	A2	
				CN	1697011	A	
JP	2013-213913	A	17.10.2013	(ファミリーなし)			
JP	2011-141523	A	21.07.2011	US	2011/0090204	A1	
				全文, 全図			
				WO	2011/046032	A1	
				EP	2489032	A1	
				CN	102576518	A	
				KR	10-2012-0099228	A	
JP	2007-17647	A	25.01.2007	US	2007/0008252	A1	
				全文, 全図			
				CN	1945679	A	
JP	8-16133	A	19.01.1996	US	5717906	A	
				全文, 全図			
				EP	691638	A2	
JP	5-297827	A	12.11.1993	(ファミリーなし)			
JP	2005-265939	A	29.09.2005	(ファミリーなし)			
US	2009/0237386	A1	24.09.2009	KR	10-2009-0099732	A	
				全文, 全図			