

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年12月7日(07.12.2017)



(10) 国際公開番号

WO 2017/208901 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) H01L 27/04 (2006.01)
H01L 21/82 (2006.01)
- (21) 国際出願番号: PCT/JP2017/019176
- (22) 国際出願日: 2017年5月23日(23.05.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-107757 2016年5月30日(30.05.2016) JP
- (71) 出願人: 国立研究開発法人産業技術総合研究所(NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY)

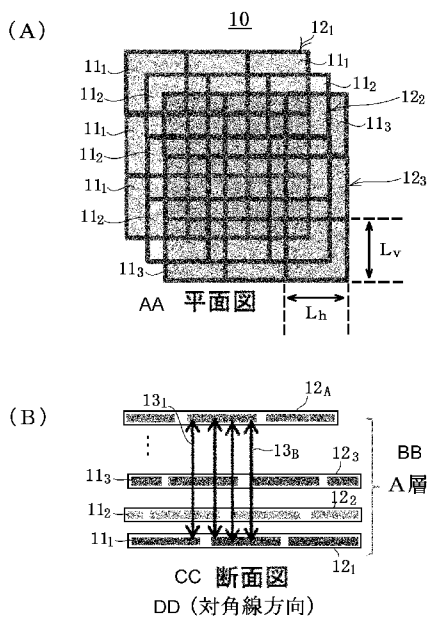
[JP/JP]; 〒1008921 東京都千代田区霞が関
1丁目3番1号 Tokyo (JP).

(72) 発明者: 大内 真一(OUCHI Shinichi); 〒3058568
茨城県つくば市梅園1-1-1 中央第2 国立研究
開発法人産業技術総合研究所内 Ibaraki (JP).
更田 裕司(FUKETA Hiroshi); 〒3058568 茨城県
つくば市梅園1-1-1 中央第2 国立研究開
発法人産業技術総合研究所内 Ibaraki (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN,

(54) Title: SEMICONDUCTOR COMPUTING DEVICE

(54) 発明の名称: 半導体演算装置



AA Plan view
BB A layer
CC Cross-sectional view
DD Diagonal direction

(57) Abstract: Provided is a semiconductor computing device which enables a broadband NoC by using, as a communication path among a plurality of computing units, interlayer wiring of a three-dimensional integrated circuit. A semiconductor computing device 10 includes element layers in which computing units 11₁ to 11₃ are respectively arranged in rectangular regions each having a lengthwise dimension L_v and a crosswise dimension L_h , and in which two or more of the computing units 11₁ to 11₃ are arranged in a two-dimensional array in the same layer. The element layers 12₁ to 12_A are stacked. The element layers are stacked such that, in the first element layer 12₁ and the second element layer 12₂ adjacent to each other in the stacking direction, the computing units, the arrangement positions of which overlap, are arranged so as to be shifted relative to each other in the diagonal direction of one of the computing units in the element layers.

(57) 要約: 三次元集積回路の層間配線を複数の演算器間の通信路として用いて、広帯域なNoCを可能とした半導体演算装置を提供する。その半導体演算装置10は、演算器11₁~11₃の各々が縦方向の寸法 L_v 、横方向の寸法 L_h の方形領域内に配置され、かつ、2以上の演算器11₁~11₃が同一層内で二次元アレイ状に配置された素子層を有する。各素子層12₁~12_Aは積層されている。また、積層方向に相隣る第1及び第2の素子層12₁及び12₂において、それぞれ配置位置が重なる演算器同士が、互いに素子層の一つの演算器の対角線方向に相対的にずれて配置されるように素子層が積層されている。

KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,
MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体演算装置

技術分野

[0001] 本発明は半導体演算装置に係り、特に多数の演算器を三次元集積してこれらを並列に動作させて効率的な演算を実現する半導体演算装置に関する。

背景技術

[0002] 並列に動作させる多数の演算器が単一チップに集積された半導体演算装置はいわゆるメニーコアプロセッサを構成し、それを構成する演算器の数は半導体微細加工技術の進展によって年々増加してきた。近年では、このメニーコアプロセッサの構造は、汎用の画像処理演算装置(G P G P U : General Purpose Graphical Processing Unit)などに見られ、深層学習などの計算における畳み込み演算の高速化に貢献している。

[0003] しかし、同時に半導体微細加工技術の進展が困難な状況となれば、単一チップに集積される演算器数を増加させることが難しくなる。単一チップに集積される演算器数を増加させることは、半導体演算装置の演算性能の向上に欠かせない。

[0004] そこで、半導体微細加工の困難性を解決し、単一チップに集積可能な演算器の数を増加させる方法として、従来より半導体素子の三次元集積が検討されている。より具体的には主として二つの方法が知られている。第一の方法は、シリコン基板上に作製した集積回路を薄層化し張り合わせ、シリコン基板を貫通する縦穴(ビア)によって層間の配線を行うT S V (Through Silicon Via)方式である(例えば、非特許文献1 参照)。第二の方法は、半導体基板上にトランジスタを形成後に続けて絶縁層、半導体薄膜を複数積層し、これらの層を二層目以降のトランジスタ形成層として利用するビルドアップ三次元集積、もしくはモノリシック三次元集積と呼ばれる方式である(例えば、非特許文献2 参照)。

[0005] これらの方式のいずれかによれば、最小の配線ピッチが $0.5\ \mu\text{m}$ をきるよ

うな $0.15\mu\text{m}$ プロセス以細の半導体集積回路作製技術を使って、これと同等のピッチで素子形成層間の配線を行えることができるようになることを期待される。

先行技術文献

非特許文献

[0006] 非特許文献1 : F.Furuta, et al., “Scalable 3D-FPGA using wafer-to-wafer TSV interconnect of 15 Tbps/W, 3.3 Tbps/mm²”, Proceedings of 2013 Symposium on VLSI Circuits, pp.C24-C25 (2013)

非特許文献2 : T.Irisawa, et al., “Demonstration of ultimate CMOS based on 3D stacked InGaAs-OI/SGOI wire channel MOSFETs with independent back gate”, Proceedings of 2014 Symposium on VLSI Technology, pp.1-2, (2014)

発明の概要

発明が解決しようとする課題

[0007] しかしながら、前述した三次元集積方法を使ってメニーコアプロセッサにおける演算器の数、もしくは単一チップに集積される演算器と第二乃至第三レベルキャッシュの数を増加させたとしても、層間貫通配線を有効に活用した演算器乃至キャッシュ間の通信路、すなわちネットワーク・オン・チップ(N o C : Network on Chip)が提供されなければ、結局層内に配置される通信路の帯域幅が半導体演算装置全体の性能を律速し、三次元集積の有効性は限定されてしまう。

[0008] 本発明は以上の点に鑑みなされたもので、三次元集積回路の層間配線を複数の演算器間の通信路として用いて、広帯域なN o Cを可能とした半導体演算装置を提供することを目的とする。

課題を解決するための手段

[0009] 本発明の第1実施形態の半導体演算装置は、演算器が縦方向の寸法 L_v 、横方向の寸法 L_h の方形領域内に配置され、かつ、2以上の前記演算器が同一層

内で二次元アレイ状に配置された素子層が複数積層されており、前記複数の素子層の積層方向に相隣る素子層において、それぞれ配置位置が重なる前記演算器同士が、互いに前記演算器の一つの対角線方向に相対的にずれて配置されるように前記複数の素子層を積層するとともに、前記相隣る素子層においてそれぞれ配置位置が重なる前記演算器同士を配線により接続し、層間の前記配線を通信路として用いることを特徴とする。

[0010] 本発明の第2実施形態の半導体演算装置は、第1実施形態において、複数の素子層が、少なくとも $(m/4)$ 層(ただし、 m はメニーコアプロセッサにおいて、近接する演算器と1タイムスロットで同時通信可能な演算器の数)積層されており、積層方向に相隣る素子層それぞれに配置された演算器が、互いに素子層表面において縦方向に $L_v/(m/4)$ 、横方向に $L_h/(m/4)$ の各寸法だけ相対的にずれて配置されていることを特徴とする。

[0011] 本発明の第3実施形態の半導体演算装置は、第1又は第2の実施形態において、複数の素子層のうち、それぞれ3以上の異なる素子層の配置位置が重なる各演算器の、配線領域位置が重なる配線領域同士を直線状に貫通して接続する貫通配線を有し、前記貫通配線を通信路として使用することを特徴とする。

[0012] 本発明の第4実施形態の半導体演算装置は、第1乃至第3の実施形態のいずれかの実施形態において、演算器を構成するロジックセルの中に、複数の素子層の中間配線層の配線ピッチの n 倍(ただし、 n は1以上の自然数)の幅の素子層貫通用配線領域が、横方向に帯状に形成されていることを特徴とする。

[0013] 本発明の第5実施形態の半導体演算装置は、第4の実施形態において、素子層貫通用配線領域は、複数の素子層の互いに同じ位置に横方向に帯状に形成されていることを特徴とする。

[0014] 本発明の第6実施形態の半導体演算装置は、第4又は第5の実施形態において、素子層貫通用配線領域が、ロジックセルの電源用配線領域に隣接して平行に形成されていることを特徴とする。

[0015] 本発明の第7実施形態の半導体演算装置は、第1乃至第6の実施形態のいずれかの実施形態において、演算器は、各々縦方向の寸法が中間配線層の配線ピッチ F の j 倍、横方向の寸法が前記配線ピッチ F の k 倍の大きさのロジックセルが複数、縦方向の寸法 L_v 、横方向の寸法 L_h の方形領域内に規則的に配置された構成であることを特徴とする。

発明の効果

[0016] 本発明によれば、積層方向に相隣る素子層の層間配線を、素子層が異なる複数の演算器間の通信路として用いることができ、三次元集積回路における広帯域な $N \times C$ を可能とすることができる。その結果、本発明によれば、素子層が例えば2層積層の場合であれば、1対4の多対1結合をすべての演算器で対称に実現でき、更に層内の通信路も含めれば、1対8の多対1結合をすべての演算器で実現できる。

図面の簡単な説明

[0017] [図1]本発明に係る半導体演算装置の第1の実施形態の概略の平面図及び断面図である。

[図2]本発明に係る半導体演算装置の第1の実施形態の相隣る2つの素子層の演算器の位置関係の説明用平面図である。

[図3]本発明に係る半導体演算装置の第1の実施形態の層間配線の説明用断面図である。

[図4](A)は本発明に係る半導体演算装置における演算器を構成する一つのロジックセルの第1の実施形態の平面図、(B)は(A)のI-I'線に沿う断面図である。

[図5]本発明に係る半導体演算装置の第1の実施形態における一つの演算器の一例の模式的平面図である。

[図6]ロジックセルによって構成される演算器の最適配置の一例の模式的平面図である。

[図7]本発明に係る半導体演算装置を用いたニューラルネットワークの畳み込み演算装置の一例の回路構成図である。

[図8]図7に示した畳み込み演算装置におけるニューラルネットワークの計算処理について説明する図である。

発明を実施するための形態

[0018] 次に、本発明の実施形態について図面を参照して説明する。

[0019] (第1の実施形態)

図1(A)及び(B)は、本発明に係る半導体演算装置の第1の実施形態の概略の平面図及び断面図を示す。同図(A)、(B)において、本実施形態の半導体演算装置10は、各々異なる第1、第2、第3の素子層に実装される演算器 $11_1 \sim 11_3$ の各々が縦方向の寸法 L_v 、横方向の寸法 L_h の方形領域内に重なり配置され、かつ、2以上の演算器 $11_1 \sim 11_3$ がそれぞれ第1、第2、第3の同一層内で二次元アレイ状に配置された素子層を有する。以上は、素子層数が3の場合であるが、更に、素子層数をAと拡張して演算器の対角線方向に沿った演算器の断面図を示せば、図1(B)に $12_1 \sim 12_A$ で模式的に示すように素子層はA層(ただし、Aは2以上の自然数)積層されている。なお、図示の便宜上、図1(A)は3つの素子層 $12_1 \sim 12_3$ が積層された状態(A=3の場合)の平面図を模式的に示している。また、図1(A)は図示の便宜上、一例として同一素子層に9つの演算器が二次元アレイ状に配置された平面図を模式的に示しており、演算器 11_1 は素子層 12_1 に二次元アレイ状に配置された9つの演算器、演算器 11_2 は素子層 12_2 に二次元アレイ状に配置された9つの演算器、演算器 11_3 は素子層 12_3 に二次元アレイ状に配置された9つの演算器を示している。

[0020] 次に、本実施形態の積層方向に相隣る2つの素子層の演算器の位置関係について更に詳細に説明する。図2は、本発明に係る半導体演算装置の第1の実施形態の相隣る2つの素子層の演算器の位置関係の説明用平面図を示す。本実施形態の半導体演算装置10では、積層された複数の素子層のうち、図2に示すように、積層方向に相隣る第1及び第2の素子層 12_1 及び 12_2 (図1(A)の 12_1 及び 12_2 、又は 12_2 及び 12_3 に相当)において、第1の素子層 12_1 の第1の演算器 11_1 の配置位置と第2の素子層 12_2 の第2の演

算器 1 1 2 の配置位置同士が、互いに素子層の一つの演算器の対角線 1 4 方向に相対的にずれて配置されるように素子層 1 2 1 及び 1 2 2 が積層されている。

[0021] すなわち、図 2 に示すようにそれぞれ配置位置が重なる演算器 1 1 1 及び 1 1 2 は、それぞれ互いに素子層表面において縦方向に $L_v/(m/4)$ 、横方向に $L_h/(m/4)$ の各寸法だけ相対的にずれて配置されている(ただし、 m は近接する演算器と 1 タイムスロットで同時通信が可能な演算器数を示す)。ここで、演算器 1 1 1、1 1 2 の各々は縦方向の寸法 L_v 、横方向の寸法 L_h の方形領域内に構成されているので、積層方向に相隣る素子層 1 2 1 及び 1 2 2 のそれぞれ配置位置が重なる演算器 1 1 1 及び 1 1 2 の配置位置同士は、図 2 に模式的に示すように互いに演算器の一つの対角線 1 4 上に相対的にずれて配置されていることとなる。

[0022] また、本実施形態の半導体演算装置 1 0 では、図 1 (B) に模式的に示すように素子層 1 2₁ ~ 1 2_A のそれぞれの演算器のうち積層方向に重なる演算器同士が B 本(ただし、 B は任意の自然数)の層間配線 1 3₁ ~ 1 3_B により接続されている。層間配線 1 3₁ ~ 1 3_B は素子層 1 2₁ ~ 1 2_A の各演算器間の通信路として用いられる。なお、層間配線 1 3₁ ~ 1 3_B は、2 以上の異なる素子層 1 2₁ ~ 1 2_A の積層方向に重なる演算器の配線領域位置を直線状に貫通する貫通配線を示している。ただし、層間配線は後述するように、相隣る 2 つの素子層の積層方向に重なる演算器の、積層方向に重ならない各配線領域同士を接続することもある。

[0023] 本実施形態における層間配線について更に詳細に説明する。図 3 は、本発明に係る半導体演算装置の第 1 の実施形態の層間配線の説明用断面図を示す。同図中、図 2 と同一構成部分には同一符号を付してある。図 3 は、積層された複数の素子層のうち、積層方向に相隣る 3 つの素子層 1 2 1、1 2 2 及び 1 2 3 (図 1 (A) の 1 2₁、1 2₂、1 2₃ に相当)の、1 つの演算器の対角線(図 2 の 1 4 に相当)に沿った断面図を示す。図 3 において、配線 2 0 1 は、積層方向に重なる位置にある第 2 の素子層 1 2 2 の第 2 の演算器 1 1 2₁ と、第

3の素子層123の第3の演算器 113_1 の各配線領域を接続する層間配線である。

[0024] また、配線202は、積層方向に重なる位置にある第1の素子層121の第1の演算器 111_2 と、第2の素子層122の第2の演算器 112_2 と、第3の素子層123の第3の演算器 113_1 の各配線領域を接続する層間配線である。配線202は、第1の演算器 111_2 と、第2の演算器 112_2 と、第3の演算器 113_1 の各配線領域が積層方向に重なっており、これらをそれぞれ貫通し、かつ接続する直線状の貫通配線である。配線201及び202は、図1(B)の層間配線 $13_1 \sim 13_A$ のいずれかに相当し、異なる素子層の各演算器間の通信路として用いられる。なお、配線203は同一の素子層の演算器間を結ぶ配線を示している。

[0025] 本実施形態の半導体演算装置10によれば、三次元集積回路において層間配線 $13_1 \sim 13_A$ 、201及び202を複数の素子層の各演算器間の通信路として用いることで、広帯域のNoCを実現できる。例えば2つの素子層積層の場合は一方の素子層の1つの演算器がもう一方の素子層の隣接する4つの演算器との通信が可能で、1対4の多対1結合を実現できる。また、素子層内の通信路を含めると1対8の多対1結合を実現できる。図3の断面図に示す構成では、面内方向に関しては4回対称性を持ち、対角線方向には層間方向に $(m/4)$ でサイクルをなすため、すべての層を貫きデータを共有することによって、ネットワークポロジで最も近接するm個の演算器は対称性をもって1タイムスロットで同時に通信を行うことが可能となる。すなわち、層内・層間を合わせて最大でm個の近接する他の演算器と1タイムスロットでデータ交換をどの演算器においても対称で、かつ、最短の配線長で実現できる。図3は、 $m=12$ の例を示す。

[0026] 次に、本発明に係る半導体演算装置を構成する演算器とそれを構成するロジックセルについて説明する。図4(A)は、本発明に係る半導体演算装置における演算器を構成する一つのロジックセルの第1の実施形態の平面図、図4(B)は、同図(A)のI-I'線に沿う断面図を示す。本発明に係る半導体演

算装置に用いられる演算器を構成するロジックセルは各種あるが、図4(A)、(B)に示すロジックセル30は一例として4トランジスタ論理回路であるNANDゲートを示す。

[0027] 一つのロジックセル30は、図4(A)の平面図に示すように、下端部に横方向に帯状の素子層貫通用配線領域31が設けられている構成に特徴がある。素子層貫通用配線領域31の縦方向の寸法である配線幅は、例えば各素子層の第二配線層の配線ピッチ(以下、中距離配線層のハーフピッチともいう)と同等の幅で、例えば1層目の素子層の貫通ビアと同じ径の貫通ビアが2箇所位置32a、32bに穿設される。なお、素子層貫通用配線領域31は、ロジックセル30の上下端部の両方あるいは上端部側に設けられていてもよい。

[0028] 図4(A)において、素子層貫通用配線領域31は、ロジックセル30の電源用配線層33a、33bのうち電源用配線層33bに隣接して平行に形成されている。電源用配線層33aは高電圧側電源用配線層であり、電源用配線層33bは低電圧側電源用配線層であり、これらはいずれも第1層配線層である。また、ロジックセル30は、NANDゲートの2本の入力用配線と1本の出力用配線とを有する。ロジックセル30の素子層貫通用配線領域31以外のNANDゲートのレイアウト構成は公知であるので、その詳細な説明は省略し概略のみ説明する。図4(A)、(B)において、ゲート電極34aは直列に接続された2つのNチャネルトランジスタの一方のゲート電極と、並列に接続された2つのPチャネルトランジスタの一方のゲート電極とを示し、これらは2本の入力用配線の一方に接続される。また、図4(A)において、ゲート電極34bは、直列に接続された2つのNチャネルトランジスタの他方のゲート電極と、並列に接続された2つのPチャネルトランジスタの他方のゲート電極とを示し、これらは2本の入力用配線の他方に接続される。

[0029] また、図4(A)において、第1の不純物拡散層35は上記の2つのPチャネルトランジスタのドレイン又はソースを構成しており、第2の不純物拡散

層 3 6 は上記の 2 つの N チャネルトランジスタのドレイン又はソースを構成している。また、第 1 の不純物拡散層 3 5 の 2 つの P チャネルトランジスタの共通ドレイン領域 3 5 1 と、2 つの N チャネルトランジスタのうちゲート電極 3 4 b と共に他方の N チャネルトランジスタを構成する第 2 の不純物拡散層 3 5 のドレイン領域とが出力配線層 3 7 に接続されている。第 1 の不純物拡散層 3 5 の 2 つの P チャネルトランジスタの各ソース領域は電源用配線層 3 3 a に接続される。また、第 2 の不純物拡散層 3 6 のうち他方の N チャネルトランジスタのソース領域は電源用配線層 3 3 b に接続される。更に、図 4 (A)、(B) に示すように、素子層貫通用配線領域 3 1 を貫通する素子層貫通配線 3 8 が第 2 層配線層 3 9 を介してゲート電極 3 4 a の上方の第 1 層配線層 4 0 に接続されている。また、図 4 (B) に示すように、素子層 1 2 の基板上には素子分離領域 4 1 が形成されており、またゲート絶縁膜 4 2 の上にゲート電極 3 4 a が形成されている。

[0030] ここで、中距離配線として用いられる配線層で、演算器モジュール間の通信路を実装するとき、この中距離配線用配線層は 2 層目から 5 層目までの 4 層と仮定する。従来知られている 6 5 n m 技術世代の典型的な寸法例として、通常の定義とは異なり中距離配線層のハーフピッチを F と定義し、典型的な 4 トランジスタ論理回路で換算すると、ロジックセルの寸法は素子層平面上的縦方向(南北)の寸法 H が $1.8 F$ 、横方向(東西)の寸法 W が $5 F$ となり、配線トラック数は縦方向に 4 トラック(= 2 トラック $\times$ 2 層)、横方向に 1 8 トラック(= 9 トラック $\times$ 2 層)となる。

[0031] 一方、演算器一つが約 1 0 0 0 0 論理ゲート(NAND 換算、約 4 0 0 0 0 トランジスタ)からなると仮定する。従来技術では、約 1 0 0 0 0 論理ゲートをほぼ正方に並べて実装したと仮定すると、演算器一つの縦横の等価的なセル数は約 5 2 セル(約 $9.5 \mu\text{m}$) $\times$ 約 1 9 0 セル(約 $9.5 \mu\text{m}$) となり、周囲のうち約 $9.5 \mu\text{m}$ の一辺から引き出されるポート数は、最大で約 5 0 0 [$\sim 9.5 \mu\text{m} / \{ (0.1 \mu\text{m} / 1 F) \times 2 F \} \times 2 \text{層} \times 50\%$] ポート程度となる。なお、 $1 F = 0.1 \mu\text{m}$ で、配線の最大使用率は 5 0 % であるものとする。また

、上記の2Fは配線ピッチである。

[0032] これに対し、図4(A)、(B)に示す本実施形態のロジックセル30は、素子層平面上の縦方向(南北)の寸法Hが20F、横方向(東西)の寸法Wが5Fの領域内に形成されており、上記の従来のロジックセルと比較して、横方向の寸法Wは従来と同じ5Fであるが、縦方向の寸法Hが、従来の18Fに比べて素子層貫通用配線領域31の配線幅である2F分大きな20Fの構成とされている。これは現在の論理合成技術で所望の演算器を効率的に構成するためである。よって、本実施形態のロジックセル30の面積の増加分は従来の1.11($=20F/18F$)倍となり、11%の面積増加によって素子層貫通用配線領域31による貫通配線を2トラック、素子層の積層方向に配置可能となる。

[0033] したがって、素子層の積層方向に貫通・引き出されるポート数は、本実施形態では1つのロジックセル30の素子層貫通用配線領域31には2箇所の貫通ビアを穿設できるので、約10000論理ゲート(ロジックセル)からなる1つの演算器あたり最大で約10000($=2 \times 0.5 \times 10000$)ポート程度となる(配線の最大使用率を従来と同じ50%とした場合)。すなわち、積層方向の貫通ポート数は層内一辺の約20倍程度となる。寄生容量は従来と同程度で、信号伝送速度と信号伝送に必要なエネルギーも従来と同等であるため、物理的に伝送帯域幅が本実施形態の方が従来に比べて20倍増えることとなる。

[0034] 図5は、本発明に係る半導体演算装置の第1の実施形態における一つの演算器の一例の模式的平面図を示す。図5に示す一つの演算器50は、65nm技術世代の約10000ロジックセル(論理ゲート)で構成され、また、最近接の1タイムスロットで同時に通信可能な演算器数mを「36」とした場合の、9層($=m/4=36/4$)積層される素子層のそれぞれに形成される複数の演算器の一つを示す。演算器50は、縦方向の寸法 L_v 、横方向の寸法 L_h の方形領域内に配置される約10000個のロジックセル30から構成されている。すなわち、演算器50は、縦方向の寸法 L_v 内に54行分($=6行 \times$

9)配置されたロジックセルと、横方向の寸法 L_h 内に189列分($=21列 \times 9$)配置されたロジックセルの計10206個のロジックセルからなる。実寸では縦方向の寸法 L_v は $108 \mu m (=20F \times 6行 \times 9 \times 0.1 \mu m / F)$ 、横方向の寸法 L_h は $94.5 \mu m (=5F \times 21列 \times 9 \times 0.1 \mu m / F)$ である。

[0035] 演算器50は9層の素子層のそれぞれにおいて複数個、二次元アレイ状に配置され、そのうち、積層方向に相隣る2層の素子層に配置された演算器は、素子層表面上の縦方向に $12 (=L_v / (m / 4) = 108 / 9) \mu m$ 、横方向に $10.5 (=L_h / (m / 4) = 94.5 / 9) \mu m$ 相対的にずらして配置される。これは、図2に示した1つの演算器111又は112(いずれも図5の50に相当)の対角線14の方向にずらして配置されることに等しい。このように、演算器を配置、実装することによって各素子層の演算器の素子層貫通用配線領域(図4の31)を図6に示すように積層方向に重ねて配置することが可能となり、素子層貫通配線を積層方向に直線状に伸ばす効率的で最短の配線長の配線が可能となる。

[0036] 図6は、ロジックセルによって構成される演算器の最適配置の一例の模式的平面図を示す。同図中、図2、図4と同一構成部分には同一符号を付してある。図6は、行方向のシフト量 $L_v / (m / 4)$ をロジックセルの縦幅 $\times 2$ の場合として例示した2つの素子層の第1の演算器111と第2の演算器112の模式的平面図を示す。図6において、第1の演算器111は同じ行にロジックセル30、301、302等が配置されている。ロジックセル301、302は、それぞれ素子層貫通用配線領域311、312を有する。

[0037] 本実施形態では、第1の演算器111を構成するすべてのロジックセル中の素子層貫通用配線領域が図6に401で模式的に示すように、同じ行のすべてのロジックセルの素子層貫通用配線領域の位置が一致して(すなわち、横方向に帯状に)配置されている。同様に、第2の演算器112を構成するすべてのロジックセル中の素子層貫通用配線領域が図6に402で模式的に示すように、同じ行のすべてのロジックセルの素子層貫通用配線領域の位置が一致して(すなわち、横方向に帯状に)配置されている。

[0038] 更に、第1の演算器111の素子層貫通用配線領域401と、第2の演算器112の素子層貫通用配線領域402とは、図6に403で模式的に示すように積層方向に相隣る位置で重なって配置される。行方向のシフト量がロジックセルの縦幅で割り切れるように、演算器を実装することによって、素子層貫通用配線領域が403で模式的に示すように完全に重なるようになる。これにより、素子層間の通信路として用いる複数の素子層の間の層間配線を、複数の素子層を直線的に貫通する貫通配線とすることができ、効率的な配線ができる。

[0039] (第2の実施形態)

次に、本発明に係る半導体演算装置の第2の実施形態として、例えば深層学習における畳み込み演算に用いる例について説明する。

[0040] 画像処理演算装置などにおける深層学習における畳み込み演算は、平面上に配置された画素について、例えば最近接の m 画素($m = 121 = 11 \times 11$ 、あるいは $m = 25 = 5 \times 5$)からデータを取り、それぞれのデータに適切な重み係数を乗算して積算する方法が公知の非特許文献(Alex Krizhevsky et al., "ImageNet Classification with Deep Convolutional Neural Networks", Proceedings of Neural Information Processing Systems(NIPS), pp.1-9, (2012))により知られている。

[0041] ここで、上記の画素数 m を「36」($= 6 \times 6$)とすると、上記の公知の深層学習における畳み込みの大きさは偶数となるが、 5×5 を包含する畳み込みが実現される。すなわち、本発明に係る半導体演算装置の演算器の配置方法を利用することにより、 $m/4 (= 36/4 = 9)$ 層の素子層積層の実装によって1回ですべての素子層の演算器がデータの収集を終了することができる。

[0042] 隣接する36個の演算器間でのデータ交換を例にとり、より正確に比較する。一平面上にすべての演算器が実装された場合、他の演算器と隣接する一辺を横切るデータは36演算器上にあるものを相互に通過させなければならない。したがって、すべての通信が終わるまでには、一つの演算器が送出す

べきデータを相隣る演算器に対して送出する時間を1タイムスロットと定義すると36タイムスロットが必要となる。

[0043] これに対して、本発明に係る半導体演算装置の第2の実施形態では、同一平面上での通信を同一層内の相隣る4つの演算器とのみ交換するものとする、残る32個の演算器に存在するデータを積層方向の32個の演算器間の層間通信により20倍の帯域幅を使って相互に通信することになる。したがって、1タイムスロットを上記の1.6倍($=32/20$)に伸ばして相互の通信を行うことで、1タイムスロットで全通信を終了することとなる。結果として、本実施形態によれば、実時間で22.5倍($=1 \times 36 / (1.6 \times 1)$)の高速化が達成されたことになる。すなわち、本実施形態では、図5に示したような構成の演算器が複数二次元アレイ状に配置された素子層を9($=m/4 = 36/4$)層積層し、かつ、前述した層間配線を通信路とすることで、1タイムスロットで36($=m$)個の最近接の演算器の間で同時に通信して畳み込み演算することができる。この傾向は中距離配線の配線幅が $0.5 \mu m$ 程度の150nmプロセスでも同様となる。

[0044] より具体的には、図7に示すような、畳み込み演算をパイプライン処理により実行する演算器を多並列に動作させる本発明に係る半導体演算装置を用いて、図8に例示するようなニューラルネットワークを計算する。図7は、本発明に係る半導体演算装置を用いたニューラルネットワークの畳み込み演算装置の一例の回路構成図を示す。同図において、畳み込み演算装置500は、入力セクタ501、演算器502、ネットワーク503、及び出力セクタ504から構成され、演算器502を構成するN個の演算器502₁～502_Nを多並列に動作させて畳み込み演算をパイプライン処理により実行する。なお、パイプライン処理を行う演算器502₁～502_Nのそれぞれは、例えば図5に示す一つの演算器50の構成である。

[0045] 入力セクタ501は入力データDをN分割して各分割データを演算器502₁～502_Nに別々に供給する。演算器502₁～502_Nはそれぞれ同一の回路構成で、入力セクタ511、重み係数格納用キャッシュメモリ512、

～5 1 2₃、バッファメモリ5 1 3₁～5 1 3₃、セクタ5 1 4₁～5 1 4₃、乗算器5 1 5₁～5 1 5₃、入力層データ格納用レジスタ5 1 6、加算器5 1 7₁～5 1 7₂、第1層計算用レジスタ5 1 8₁、第2層計算用レジスタ5 1 8₂、第1層計算結果格納用レジスタ5 1 9₁～第L層計算結果格納用レジスタ5 1 9_L、出力セクタ5 2 0から構成されている。ネットワーク5 0 3はN個の演算器5 0 2₁～5 0 2_Nから出力されたデータをN個の演算器5 0 2₁～5 0 2_Nに選択入力する。更に出力セクタ5 0 4はN個の演算器5 0 2₁～5 0 2_Nから出力されたデータを選択しM個の出力とする。

[0046] 次に、畳み込み演算装置5 0 0の動作について詳細に説明する。以下、演算器5 0 2₁～5 0 2_Nのうち一つの演算器5 0 2₁の動作について説明するが、他の(N-1)個の演算器5 0 2₂～5 0 2_Nも同様の動作を行う。まず、入力セクタ5 0 1は入力データDをN分割し、N個の各分割データを演算器5 0 2₁～5 0 2_Nの各入力層データ格納用レジスタファイル5 1 6にそれぞれ格納する。

[0047] 続いて、乗算器5 1 5₁が、セクタ5 1 4₁を通して入力される入力層データ格納用レジスタファイル5 1 6からの入力分割データと、重み係数格納用キャッシュメモリ5 1 2₁から読み出された第1層重み係数 $W^{(1)}_{ij}$ とを乗算して加算器5 1 7₁に供給する。加算器5 1 7₁は第1層計算用レジスタ5 1 8₁に蓄えられていた第1層のデータと乗算器5 1 5₁からの乗算結果とを加算し、その加算結果を第1層計算用レジスタ5 1 8₁に帰還入力する。また、乗算器5 1 5₁は、他の演算器からネットワーク5 0 3を介して入力セクタ5 1 1により選択されてバッファメモリ5 1 3₁に保持されたデータも同様に、重み係数格納用キャッシュメモリ5 1 2₁から読み出された第1層重み係数 $W^{(1)}_{ij}$ と乗算し、その乗算結果を加算器5 1 7₁において第1層計算用レジスタ5 1 8₁からの第1層のデータと加算させる。

[0048] 第1層重み係数 $W^{(1)}_{ij}$ のすべてについて上記の乗算器5 1 5₁による分割データ又は他の演算器からのデータとの乗算が行われ、それぞれの乗算結果の加算器5 1 7₁の加算と第1層計算用レジスタ5 1 8₁への格納が終了すると、入

力層データ格納用レジスタファイル 5 1 6 が次の新たな分割データを格納すると共に、第 1 層計算用レジスタ 5 1 8₁の累積加算結果の格納データが第 1 層計算結果格納用レジスタ 5 1 9₁にコピーされる。入力層データ格納用レジスタファイル 5 1 6 に格納された次の新たな分割データに対しては、上記の最初に格納された分割データに対する処理と同様の処理が繰り返される。

[0049] 一方、乗算器 5 1 5₂は、セクタ 5 1 4₂を通して入力される第 1 層計算結果格納用レジスタ 5 1 9₁にコピーされた第 1 層の計算データと、重み係数格納用キャッシュメモリ 5 1 2₂から読み出された第 2 層重み係数 $W^{(2)}_{ij}$ とを乗算して加算器 5 1 7₂に供給する。加算器 5 1 7₂は第 2 層計算用レジスタ 5 1 8₂に蓄えられていた第 2 層のデータと乗算器 5 1 5₂からの乗算結果とを加算し、その加算結果を第 2 層計算用レジスタ 5 1 8₂に帰還入力する。また、乗算器 5 1 5₂は、他の演算器からネットワーク 5 0 3 を介して入力セクタ 5 1 1 により選択されてバッファメモリ 5 1 3₂に保持されたデータも同様に、重み係数格納用キャッシュメモリ 5 1 2₂から読み出された第 2 層重み係数 $W^{(2)}_{ij}$ と乗算し、その乗算結果を加算器 5 1 7₂において第 2 層計算用レジスタ 5 1 8₂からの第 2 層のデータと加算する。

[0050] 第 2 層重み係数 $W^{(1)}_{ij}$ のすべてについて上記の乗算器 5 1 5₂による分割データ又は他の演算器からのデータとの乗算が行われ、それぞれの乗算結果の加算器 5 1 7₂の加算と第 2 層計算用レジスタ 5 1 8₂への格納が終了すると、入力層データ格納用レジスタファイル 5 1 6 が更に次の新たな分割データを格納すると共に、第 2 層計算用レジスタ 5 1 8₂の累積加算結果の格納データが第 2 層計算結果格納用レジスタ 5 1 9₂にコピーされる。以下同様に、各層において入力層データ格納用レジスタファイル 5 1 6 に格納される新たな分割データに対して、上記と同様の処理が繰り返される。上記の図 7 の演算装置 5 0 0 による畳み込み演算の上記の処理はニューラルネットワークのパイプライン処理により実行されており、これについて更に説明する。

[0051] 図 8 は、図 7 に示した畳み込み演算装置におけるニューラルネットワークの計算処理について説明する図である。図 8 において、図 7 と同一構成部分

には同一符号を付してある。図8において、図7のN個の演算器502₁～502_Nのそれぞれの演算処理を破線で囲んだ部分602₁～602_Nで模式的に示す。また、図8において、 $x_1 \sim x_D$ はD個の入力データを示す。例えば、演算器502₁においては、図8に破線で囲んだ部分602₁内に模式的に示すように、入力データDをN分割して入力されて入力層データ格納用レジスタファイル516に格納された分割データ x_1 、 x_2 、 x_3 、 x_4 に対して、乗算器515₁において第1層の重み係数 $W^{(1)}_{11}$ 、 $W^{(1)}_{21}$ 、 $W^{(1)}_{31}$ 、 $W^{(1)}_{41}$ と乗算して、それらの乗算結果を加算器517₁に供給する。また、乗算器515₁はネットワーク503を介して他の演算器から入力されたデータ x_5 と第1層の重み係数 $W^{(1)}_{51}$ とを乗算して、その乗算結果を加算器517₁に供給する。加算器517₁は供給された上記の各乗算結果を加算して第1層の加算値 $y^{(1)}_1$ を得て、それを第1層計算結果格納用レジスタ519₁にコピーする。

[0052] 続いて、第2層の乗算器515₂は、第1層計算結果格納用レジスタ519₁から入力された第1層の加算値 $y^{(1)}$ と第2層の重み係数 $W^{(2)}_{11}$ と乗算して得た乗算結果を得る。更に第2層の乗算器515₂は、他の乗算器515₂から入力された加算値 $y^{(1)}_2$ と第2層の重み係数 $W^{(2)}_{21}$ との乗算結果、及び他の乗算器515₃から入力された加算値 $y^{(1)}_3$ と第2層の重み係数 $W^{(2)}_{31}$ との乗算結果をそれぞれ得る。加算器517₂は第2層の乗算器515₂により得られた上記の各乗算結果を加算して第2層の加算値 $y^{(2)}_1$ を得る。ここで、第2層の乗算器515₂では上記のように演算器502₁～502₃との間で通信を行って得た加算値 $y^{(1)}_2$ 、 $y^{(1)}_3$ と自演算器に格納されている第2層の重み係数との乗算を行う。他の演算器502₂～502_Nにおいても乗算器515₁と同様に他の演算器との通信を行って第1層の加算値を取得してその演算器内の第2層の重み係数との乗算を行う。以下、演算器502₁～502_Nのそれぞれにおいて第3層以上についても他の演算器との通信を行って上記と同様の処理を行う。

[0053] 図8の例では、N個の演算器502₁～502_Nが $m/4$ 層の各素子層に分けて実装されているものとする、各層のニューラルネットワークにおいて、 m 対1の通信がN組存在する。このように、演算器間で m 対1の通信が必要

となる場合には、平面上に実装されたN個の演算器からなる演算装置に対して、前述したように素子層がm層積層された本実施形態の演算装置によれば通信に必要なタイムスロットを $1/m$ とすることができる。

符号の説明

- [0054] 1 0 半導体演算装置
- 1 1₁～1 1₃、5 0、5 0 2、5 0 2₁～5 0 2_N 演算器
- 1 2、1 2₁～1 2_A 素子層
- 1 3、1 3₁～1 3_A、2 0 1、2 0 2 層間配線
- 1 4 演算器の対角線
- 3 0、3 0 1、3 0 2 ロジックセル
- 3 1 素子層貫通用配線領域
- 3 3 a 高電圧側電源用配線層
- 3 3 b 低電圧側電源用配線層
- 3 4 a、3 4 b ゲート電極
- 3 5 第1の不純物拡散層
- 3 6 第2の不純物拡散層
- 3 7 出力配線層
- 3 8 素子層貫通配線
- 3 9 第2層配線層
- 4 0 第1層配線層
- 4 1 素子分離領域
- 4 2 ゲート絶縁膜
- 1 1 1 第1の演算器
- 1 1 2 第2の演算器
- 1 2 1 第1の素子層
- 1 2 2 第2の素子層
- 2 0 3 同一の素子層の演算器間を結ぶ配線
- 3 1 1、3 1 2、4 0 1、4 0 2 素子層貫通用配線領域

- 4 0 3 素子層 1 1 1 及び 1 1 2 の重なる位置にある素子層貫通用配線領域
- 5 0 0 畳み込み演算装置
- 5 0 1 入力セクタ
- 5 0 3 ネットワーク
- 5 0 4 出力セクタ
- 5 1 2₁～5 1 2₃ 重み係数格納用キャッシュメモリ
- 5 1 3₁～5 1 3₃ バッファメモリ
- 5 1 4₁～5 1 4₃ セクタ
- 5 1 5₁～5 1 5₃ 乗算器
- 5 1 6 入力層データ格納用レジスタファイル
- 5 1 7₁～5 1 7₃ 加算器
- 5 1 8₁ 第 1 層計算用レジスタ
- 5 1 8₂ 第 2 層計算用レジスタ
- 5 1 9₁ 第 1 層計算結果格納用レジスタ
- 5 1 9₂ 第 2 層計算結果格納用レジスタ
- 5 2 0 出力セクタ

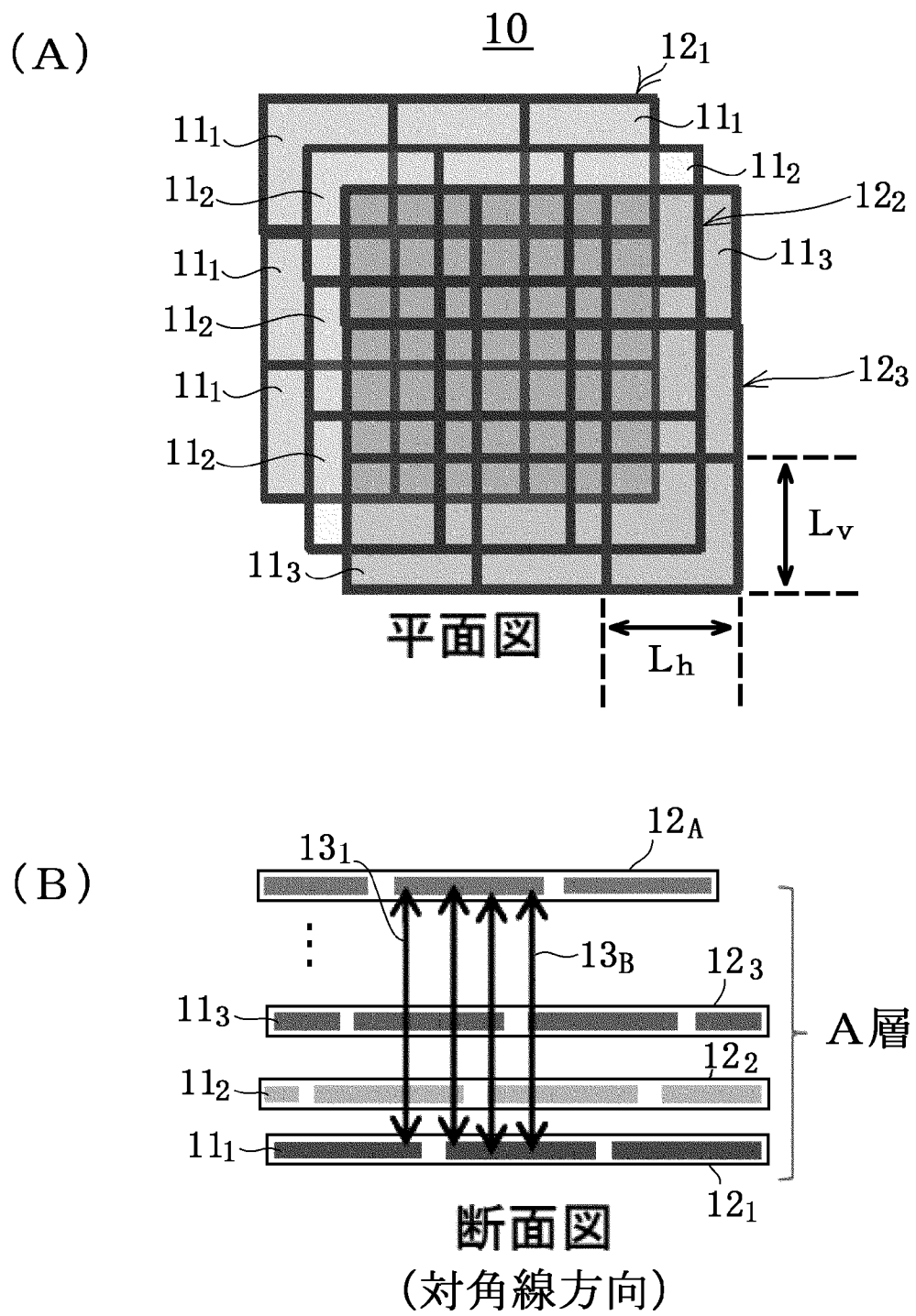
請求の範囲

- [請求項1] 演算器が縦方向の寸法 L_v 、横方向の寸法 L_h の方形領域内に配置され、かつ、2以上の前記演算器が同一層内で二次元アレイ状に配置された素子層が複数積層されており、
- 前記複数の素子層の積層方向に相隣る素子層において、それぞれ配置位置が重なる前記演算器同士が、互いに前記演算器の一つの対角線方向に相対的にずれて配置されるように前記複数の素子層を積層するとともに、前記相隣る素子層においてそれぞれ配置位置が重なる前記演算器同士を配線により接続し、層間の前記配線を通信路として用いることを特徴とする半導体演算装置。
- [請求項2] 前記複数の素子層は、少なくとも $(m/4)$ 層(ただし、 m はメモリアプロセッサにおいて、近接する演算器と1タイムスロットで同時通信可能な演算器の数)積層されており、積層方向に相隣る素子層それぞれに配置された前記演算器は、互いに素子層表面において縦方向に $L_v/(m/4)$ 、横方向に $L_h/(m/4)$ の各寸法だけ相対的にずれて配置されていることを特徴とする請求項1記載の半導体演算装置。
- [請求項3] 前記複数の素子層のうち、それぞれ3以上の異なる素子層の配置位置が重なる各演算器の、配線領域位置が重なる配線領域同士を直線状に貫通して接続する貫通配線を有し、前記貫通配線を通信路として使用することを特徴とする請求項1又は2記載の半導体演算装置。
- [請求項4] 前記演算器を構成するロジックセルの中に、前記複数の素子層の間配線層の配線ピッチの n 倍(ただし、 n は1以上の自然数)の幅の素子層貫通用配線領域が、前記横方向に帯状に形成されていることを特徴とする請求項1乃至3のうちいずれか一項記載の半導体演算装置。
- [請求項5] 前記素子層貫通用配線領域は、前記複数の素子層の互いに同じ位置に前記横方向に帯状に形成されていることを特徴とする請求項4記載の半導体演算装置。
- [請求項6] 前記素子層貫通用配線領域は、前記ロジックセルの電源用配線領域

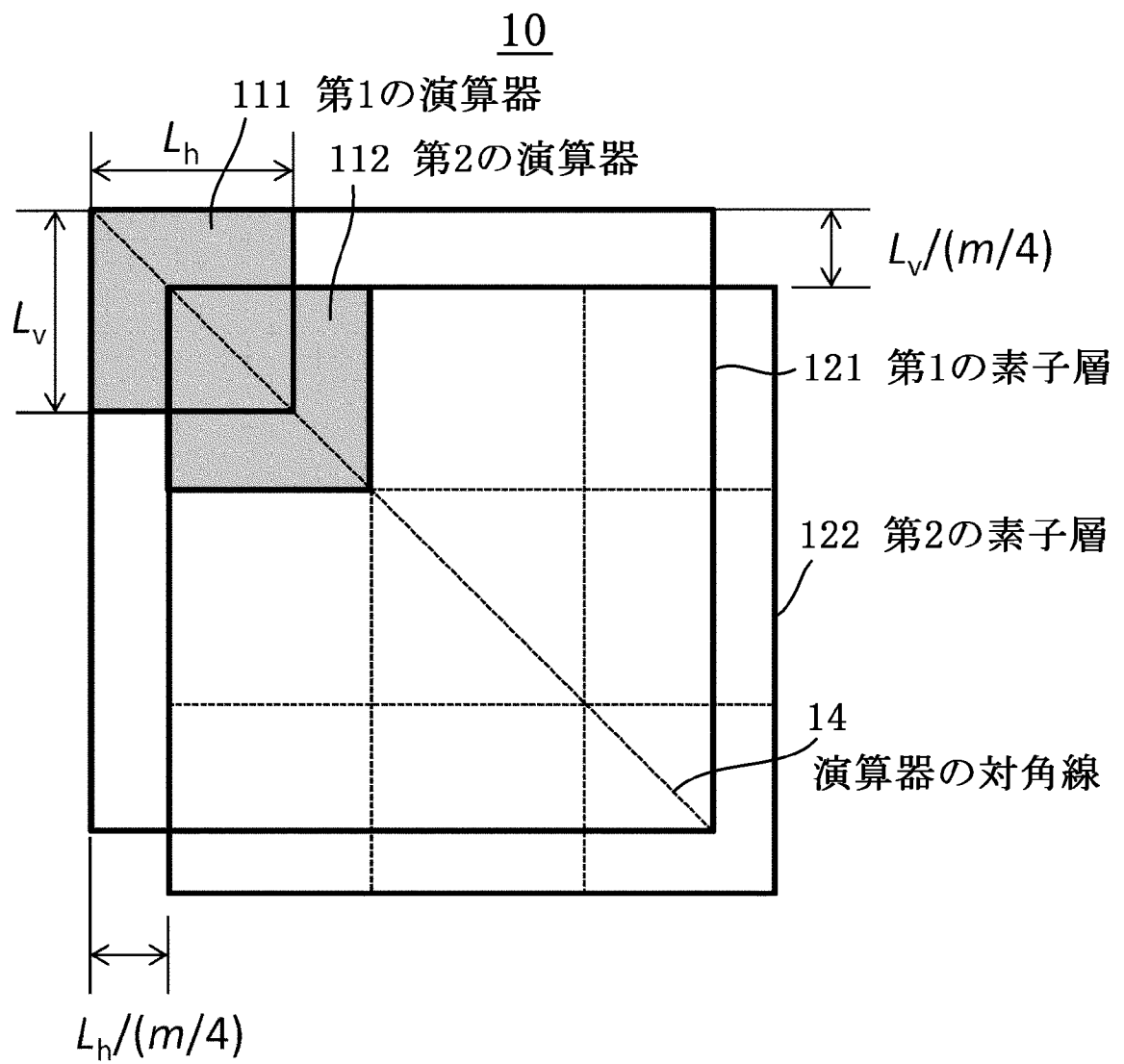
に隣接して平行に形成されていることを特徴とする請求項4又は5記載の半導体演算装置。

[請求項7] 前記演算器は、各々縦方向の寸法が中間配線層の配線ピッチ F の j 倍、横方向の寸法が前記配線ピッチ F の k 倍の大きさのロジックセルが複数、前記縦方向の寸法 L_v 、横方向の寸法 L_h の方形領域内に規則的に配置された構成であることを特徴とする請求項1乃至6のうちいずれか一項記載の半導体演算装置。

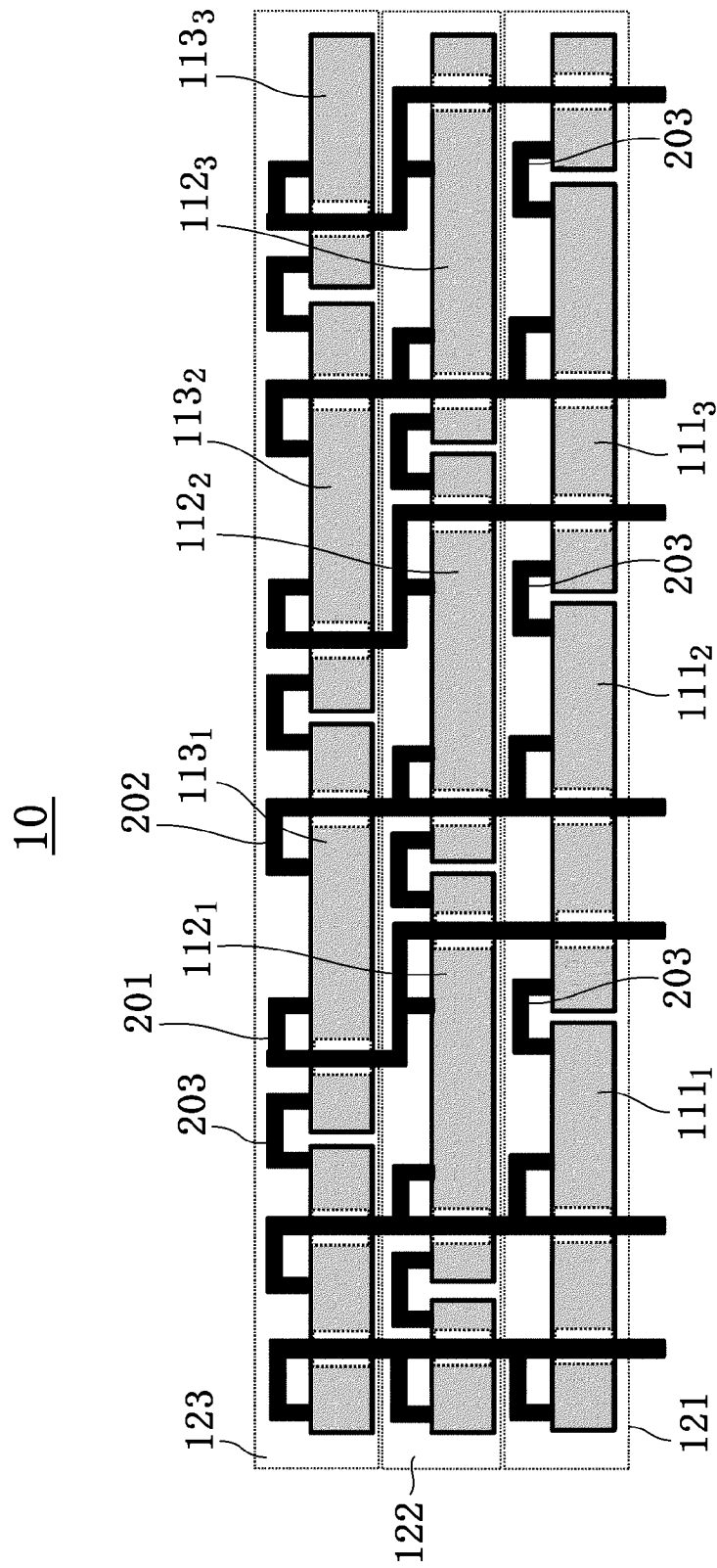
[図1]



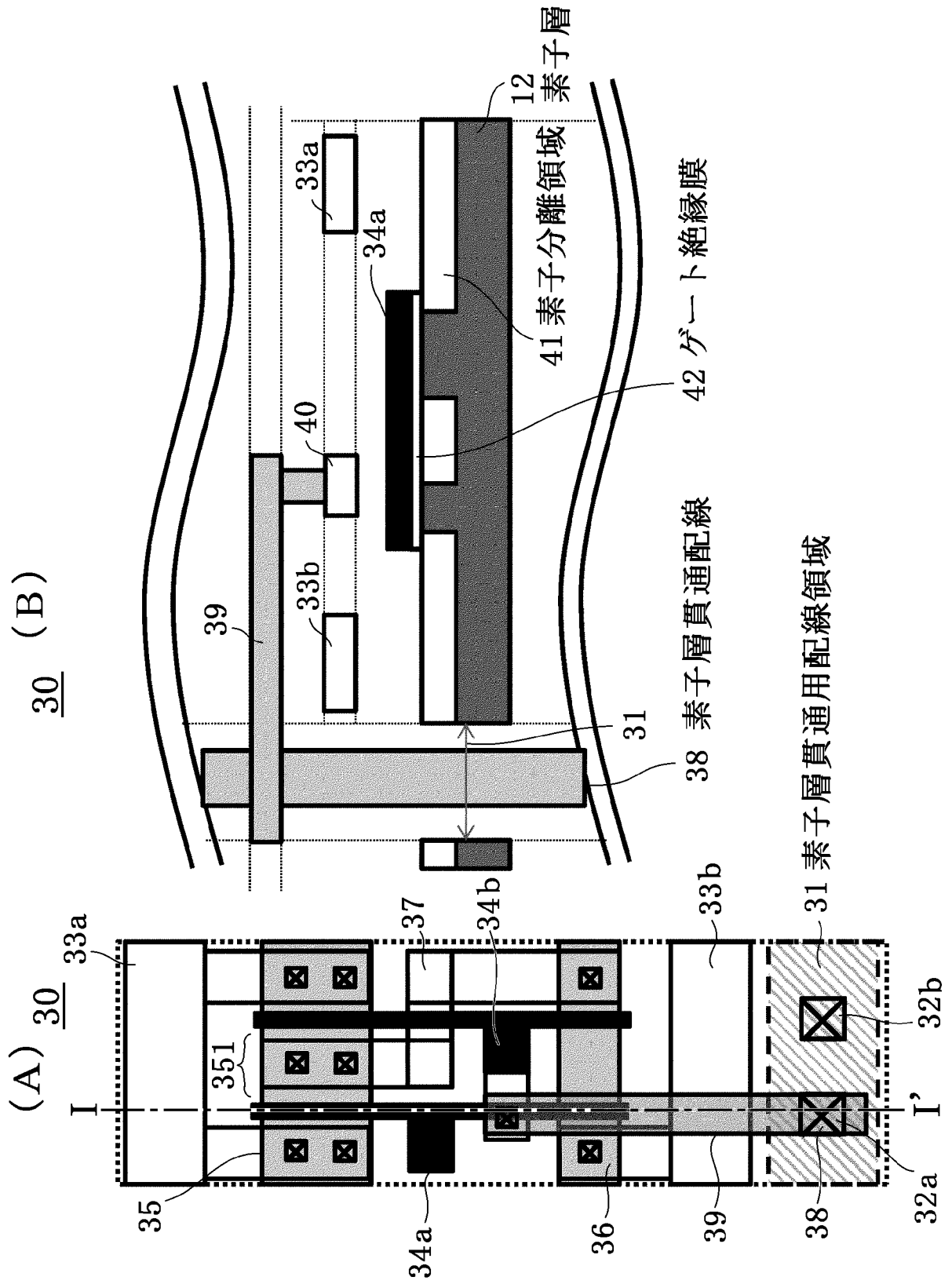
[図2]



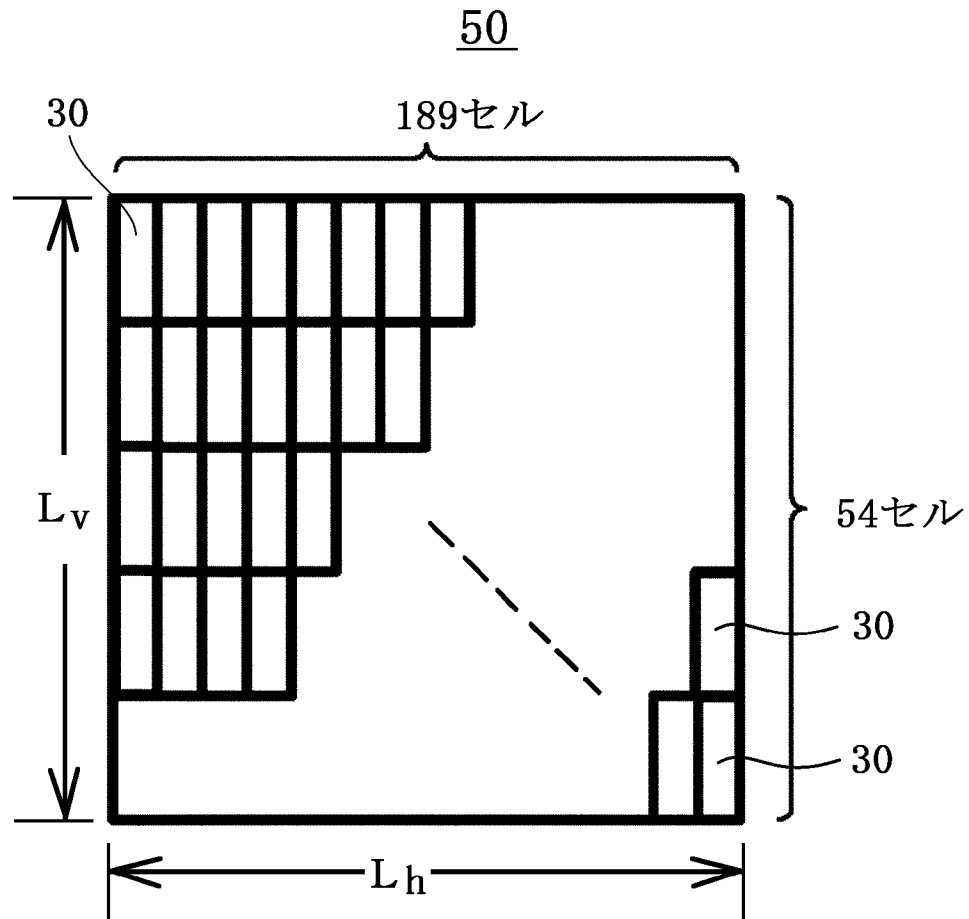
[図3]



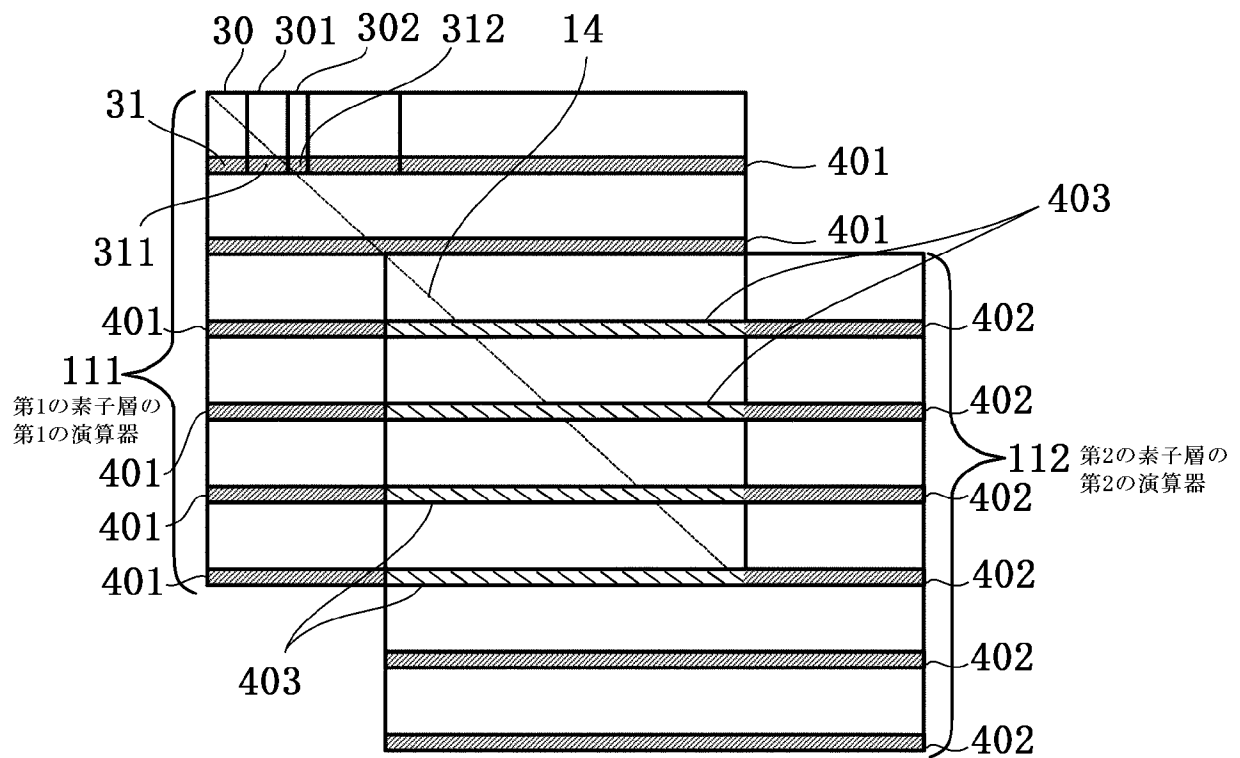
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/019176

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822(2006.01)i, H01L21/82(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822, H01L21/82, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-282108 A (Inter-University Research Institute Corporation Research Organization of Information and Systems), 20 November 2008 (20.11.2008), entire text; all drawings (Family: none)	1-7
A	JP 2015-176435 A (National Institute of Advanced Industrial Science and Technology), 05 October 2015 (05.10.2015), entire text; all drawings (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 August 2017 (10.08.17)

Date of mailing of the international search report
22 August 2017 (22.08.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/822(2006.01)i, H01L21/82(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/822, H01L21/82, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-282108 A（大学共同利用機関法人情報・システム研究機構） 2008.11.20, 全文全図（ファミリーなし）	1-7
A	JP 2015-176435 A（国立研究開発法人産業技術総合研究所） 2015.10.05, 全文全図（ファミリーなし）	1-7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

10.08.2017

国際調査報告の発送日

22.08.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小堺 行彦

5 F

5293

電話番号 03-3581-1101 内線 3516