

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 6 部門第 4 区分
【発行日】平成 17 年 4 月 7 日 (2005.4.7)

【公開番号】特開 2003-187580 (P2003-187580A)
【公開日】平成 15 年 7 月 4 日 (2003.7.4)
【出願番号】特願 2002-295363 (P2002-295363)
【国際特許分類第 7 版】

G 1 1 C 11/413
G 1 1 C 11/408
H 0 1 L 21/8244
H 0 1 L 27/11

【F I】

G 1 1 C 11/34 3 3 5 C
H 0 1 L 27/10 3 8 1
G 1 1 C 11/34 3 5 4 G

【手続補正書】
【提出日】平成 16 年 5 月 27 日 (2004.5.27)
【手続補正 1】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項 1】

S R A M メモリ・セルの電力を低減する回路であって、
前記 S R A M メモリ・セルからの少なくとも 2 つの P F E T トランジスタを含む、少なくとも 1 つの連続 N ウェル領域と、
前記 N ウェル領域のそれぞれに対する少なくとも 1 つの電気接点と、
前記 N ウェル領域の前記接点に電氣的に接続された第 1 の可変電圧源と、
前記メモリ・セルの正の電気接続部に電氣的に接続された第 2 の可変電圧源と、
を含む回路。

【請求項 2】

前記 S R A M メモリ・セルが独立型 S R A M に含まれる、請求項 1 に記載の回路。

【請求項 3】

前記 S R A M メモリ・セルがマイクロプロセッサ・チップ上に含まれる、請求項 1 に記載の回路。

【請求項 4】

S R A M メモリ・セルの電力を低減する回路であって、
前記 S R A M メモリ・セルからの少なくとも 2 つの P F E T トランジスタを含む、少なくとも 1 つの連続 N ウェル領域と、
前記 N ウェル領域のそれぞれに対する少なくとも 1 つの電気接点と、
前記 N ウェル領域の前記接点に電氣的に接続された可変電圧源と、
前記メモリ・セルの正の電気接続部に電氣的に接続された定電圧源と、
を含む回路。

【請求項 5】

前記 S R A M メモリ・セルが独立型 S R A M に含まれる、請求項 4 に記載の回路。

【請求項 6】

前記 S R A M メモリ・セルがマイクロプロセッサ・チップ上に含まれる、請求項 4 に記載

の回路。

【請求項 7】

S R A Mメモリ・セルの電力を低減する回路であって、
前記 S R A Mメモリ・セルからの少なくとも 2 つの P F E T トランジスタを含む、少なくとも 1 つの連続 N ウェル領域と、
前記 N ウェル領域のそれぞれに対する少なくとも 1 つの電気接点と、
前記 N ウェル領域の前記接点に電氣的に接続された定電圧源と、
前記メモリ・セルの正の電気接続部に電氣的に接続された可変電圧源と、
を含む回路。

【請求項 8】

前記 S R A Mメモリ・セルが独立型 S R A Mに含まれる、請求項 7 に記載の回路。

【請求項 9】

前記 S R A Mメモリ・セルがマイクロプロセッサ・チップ上に含まれる、請求項 7 に記載の回路。

【請求項 10】

S R A Mメモリ・セルの電力を低減する回路であって、
前記 S R A Mメモリ・セルに含まれる各ワード線に対して 1 つの個別連続 N ウェル領域であって、ワード線上の全ての P F E T トランジスタを含む N ウェル領域と、
前記 N ウェル領域のそれぞれに対する少なくとも 1 つの電気接点と、
前記 N ウェル領域の前記接点に電氣的に接続された第 1 の可変電圧源と、
前記メモリ・セルの正の電気接続部に電氣的に接続された第 2 の可変電圧源と、
を含む回路。

【請求項 11】

前記 S R A Mメモリ・セルが独立型 S R A Mに含まれる、請求項 10 に記載の回路。

【請求項 12】

前記 S R A Mメモリ・セルがマイクロプロセッサ・チップ上に含まれる、請求項 10 に記載の回路。

【請求項 13】

S R A Mメモリ・セルの電力を低減する回路であって、
前記 S R A Mメモリ・セルに含まれる各ワード線に対して 1 つの個別連続 N ウェル領域であって、ワード線上の全ての P F E T トランジスタを含む N ウェル領域と、
前記 N ウェル領域のそれぞれに対する少なくとも 1 つの電気接点と、
前記 N ウェル領域の前記接点に電氣的に接続された可変電圧源と、
前記メモリ・セルの正の電気接続部に電氣的に接続された定電圧源と、
を含む回路。

【請求項 14】

前記 S R A Mメモリ・セルが独立型 S R A Mに含まれる、請求項 13 に記載の回路。

【請求項 15】

前記 S R A Mメモリ・セルがマイクロプロセッサ・チップ上に含まれる、請求項 13 に記載の回路。

【請求項 16】

S R A Mメモリ・セルの電力を低減する回路であって、
前記 S R A Mメモリ・セルに含まれる各ワード線に対して 1 つの個別連続 N ウェル領域であって、ワード線上の全ての P F E T トランジスタを含む N ウェル領域と、
前記 N ウェル領域のそれぞれに対する少なくとも 1 つの電気接点と、
前記 N ウェル領域の前記接点に電氣的に接続された定電圧源と、
前記メモリ・セルの正の電気接続部に電氣的に接続された可変電圧源と、
を含む回路。

【請求項 17】

前記 S R A Mメモリ・セルが独立型 S R A Mに含まれる、請求項 16 に記載の回路。

【請求項 18】

前記 S R A M メモリ・セルがマイクロプロセッサ・チップ上に含まれる、請求項 16 に記載の回路。

【請求項 19】

S R A M メモリ・セルの電力を低減する方法であって、

前記 S R A M メモリ・セルからの少なくとも 2 つの P F E T トランジスタを含む、少なくとも 1 つの連続 N ウェル領域を形成するステップと、

前記 N ウェル領域のそれぞれに対する少なくとも 1 つの電気接点を形成するステップと、

、

前記 N ウェル領域の前記接点に第 1 の可変電圧源を電氣的に接続するステップと、

前記メモリ・セルの正の電気接続部に第 2 の可変電圧源を電氣的に接続するステップと

、

前記メモリ・セルに適用される電圧が前記 S R A M メモリ・セルにおける漏洩電流を最小化するように、前記第 1 の可変電圧源および前記第 2 の可変電圧源を調整するステップと、

を含む方法。

【請求項 20】

S R A M メモリ・セルの電力を低減する方法であって、

前記 S R A M メモリ・セルに含まれる各ワード線に対して 1 つの個別連続 N ウェル領域を形成するステップであって、該 N ウェル領域がワード線上の全ての P F E T トランジスタを含む、連続 N ウェル領域を形成するステップと、

前記 N ウェル領域のそれぞれに対する少なくとも 1 つの電気接点を形成するステップと、

、

前記 N ウェル領域の前記接点に第 1 の可変電圧源を電氣的に接続するステップと、

前記メモリ・セルの正の電気接続部に第 2 の可変電圧源を電氣的に接続するステップと

、

前記メモリ・セルに適用される電圧が前記 S R A M メモリ・セルにおける漏洩電流を最小化するように、前記第 1 の可変電圧源および前記第 2 の可変電圧源を調整するステップと、

を含む方法。

【請求項 21】

D R A M メモリ・セルの電力を低減する回路であって、

前記 D R A M メモリ・セルからの少なくとも 1 つの P F E T トランジスタを含む、少なくとも 1 つの連続 N ウェル領域と、

前記 N ウェル領域のそれぞれに対する少なくとも 1 つの電気接点と、

前記 N ウェル領域の前記接点に電氣的に接続された第 1 の可変電圧源と、

前記メモリ・セルの正の電気接続部に電氣的に接続された第 2 の可変電圧源と、

を含む回路。

【請求項 22】

前記 D R A M メモリ・セルが独立型 D R A M に含まれる、請求項 21 に記載の回路。

【請求項 23】

前記 D R A M メモリ・セルがマイクロプロセッサ・チップ上に含まれる、請求項 21 に記載の回路。

【請求項 24】

D R A M メモリ・セルの電力を低減する回路であって、

前記 D R A M メモリ・セルからの少なくとも 1 つの P F E T トランジスタを含む、少なくとも 1 つの連続 N ウェル領域と、

前記 N ウェル領域のそれぞれに対する少なくとも 1 つの電気接点と、

前記 N ウェル領域の前記接点に電氣的に接続された可変電圧源と、

前記メモリ・セルの正の電気接続部に電氣的に接続された定電圧源と、

を含む回路。

【請求項 25】

前記 D R A M メモリ・セルが独立型 D R A M に含まれる、請求項 24 に記載の回路。

【請求項 26】

前記 D R A M メモリ・セルがマイクロプロセッサ・チップ上に含まれる、請求項 24 に記載の回路。

【請求項 27】

D R A M メモリ・セルの電力を低減するための回路であって、

前記 D R A M メモリ・セルからの少なくとも 1 つの P F E T トランジスタを含む、少なくとも 1 つの連続 N ウェル領域と、

前記 N ウェル領域のそれぞれに対する少なくとも 1 つの電気接点と、

前記 N ウェル領域の前記接点に電氣的に接続された定電圧源と、

前記メモリ・セルの正の電気接続部に電氣的に接続された可変電圧源と、

を含む回路。

【請求項 28】

前記 D R A M メモリ・セルが独立型 D R A M に含まれる、請求項 27 に記載の回路。

【請求項 29】

前記 D R A M メモリ・セルがマイクロプロセッサ・チップ上に含まれる、請求項 27 に記載の回路。

【請求項 30】

D R A M メモリ・セルの電力を低減するための回路であって、

前記 D R A M メモリ・セルに含まれる各ワード線に対して 1 つの個別連続 N ウェル領域であって、ワード線上の全ての P F E T トランジスタを含む N ウェル領域と、

前記 N ウェル領域のそれぞれに対する少なくとも 1 つの電気接点と、

前記 N ウェル領域の前記接点に電氣的に接続された第 1 の可変電圧源と、

前記メモリ・セルの正の電気接続部に電氣的に接続された第 2 の可変電圧源と、

を含む回路。

【請求項 31】

前記 D R A M メモリ・セルが独立型 D R A M に含まれる、請求項 30 に記載の回路。

【請求項 32】

前記 D R A M メモリ・セルがマイクロプロセッサ・チップ上に含まれる、請求項 30 に記載の回路。

【請求項 33】

D R A M メモリ・セルの電力を低減するための回路であって、

前記 D R A M メモリ・セルに含まれる各ワード線に対して 1 つの個別連続 N ウェル領域であって、ワード線上の全ての P F E T トランジスタを含む N ウェル領域と、

前記 N ウェル領域のそれぞれに対する少なくとも 1 つの電気接点と、

前記 N ウェル領域の前記接点に電氣的に接続された可変電圧源と、

前記メモリ・セルの正の電気接続部に電氣的に接続された定電圧源と、

を含む回路。

【請求項 34】

前記 D R A M メモリ・セルが独立型 D R A M に含まれる、請求項 33 に記載の回路。

【請求項 35】

前記 D R A M メモリ・セルがマイクロプロセッサ・チップ上に含まれる、請求項 33 に記載の回路。

【請求項 36】

D R A M メモリ・セルの電力を低減するための回路であって、

前記 D R A M メモリ・セルに含まれる各ワード線に対して 1 つの個別連続 N ウェル領域であって、ワード線上の全ての P F E T トランジスタを含む N ウェル領域と、

前記 N ウェル領域のそれぞれに対する少なくとも 1 つの電気接点と、

前記Nウェル領域の前記接点に電氣的に接続された定電圧源と、
前記メモリ・セルの正の電氣接続部に電氣的に接続された可変電圧源と、
を含む回路。

【請求項37】

前記DRAMメモリ・セルが独立型DRAMに含まれる、請求項36に記載の回路。

【請求項38】

前記DRAMメモリ・セルがマイクロプロセッサ・チップ上に含まれる、請求項36に記載の回路。

【請求項39】

DRAMメモリ・セルの電力を低減する方法であって、
前記DRAMメモリ・セルからの少なくとも1つのPFEETランジスタを含む、少なくとも1つの連続Nウェル領域を形成するステップと、
前記Nウェル領域のそれぞれに対する少なくとも1つの電氣接点を形成するステップと、
、
前記Nウェル領域の前記接点に第1の可変電圧源を電氣的に接続するステップと、
前記メモリ・セルの正の電氣接続部に第2の可変電圧源を電氣的に接続するステップと、
、
前記メモリ・セルに適用される電圧が前記DRAMメモリ・セルにおける漏洩電流を最小化するように、前記第1の可変電圧源および前記第2の可変電圧源を調整するステップと、
を含む方法。

【請求項40】

DRAMメモリ・セルの電力を低減する方法であって、
前記DRAMメモリ・セルに含まれる各ワード線に対して1つの個別連続Nウェル領域を形成するステップであって、該Nウェル領域がワード線上の全てのPFEETランジスタを含む、連続Nウェル領域を形成するステップと、
前記Nウェル領域のそれぞれに対する少なくとも1つの電氣接点を形成するステップと、
、
前記Nウェル領域の前記接点に第1の可変電圧源を電氣的に接続するステップと、
前記メモリ・セルの正の電氣接続部に第2の可変電圧源を電氣的に接続するステップと、
、
前記メモリ・セルに適用される電圧が前記DRAMメモリ・セルにおける漏洩電流を最小化するように、前記第1の可変電圧源および前記第2の可変電圧源を調整するステップと、
を含む方法。