

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成20年2月21日(2008.2.21)

【公開番号】特開2006-12382(P2006-12382A)

【公開日】平成18年1月12日(2006.1.12)

【年通号数】公開・登録公報2006-002

【出願番号】特願2005-62063(P2005-62063)

【国際特許分類】

G 11 C 16/02 (2006.01)

G 11 C 16/04 (2006.01)

【F I】

G 11 C 17/00 6 1 2 E

G 11 C 17/00 6 1 1 E

G 11 C 17/00 6 1 2 B

G 11 C 17/00 6 1 1 A

G 11 C 17/00 6 2 3 A

【手続補正書】

【提出日】平成20年1月4日(2008.1.4)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板上に絶縁膜を介してゲート電極が積層されてなる第1ゲートを有する第1の絶縁ゲート型電界効果トランジスタと、

前記第1の絶縁ゲート型電界効果トランジスタに隣接する前記半導体基板の領域上に形成された電荷蓄積膜を含む第2ゲートを有する第2の絶縁ゲート型電界効果トランジスタと、

前記第1の絶縁ゲート型電界効果トランジスタの下方の前記半導体基板内に形成された第1のチャネルと、

前記第2の絶縁ゲート型電界効果トランジスタの下方の前記半導体基板内に、前記第1のチャネルと電気的に接続されるように隣接して形成された第2のチャネルと、

前記第1のチャネルと前記第2のチャネルとが形成された前記半導体基板の領域を挟み込むように前記第1のチャネルの一端側と前記第2のチャネルの他端側にそれぞれ形成された第1の拡散層電極および第2の拡散層電極とを有し、

前記第2ゲートに電圧を印加し、前記第2のチャネル領域から前記電荷蓄積膜へ電子およびホールを注入させることにより書き込みおよび消去を行う集積半導体不揮発性メモリであって、

前記書き込みおよび消去は、前記第2ゲートに複数回のパルス印加を行い、前記パルス電圧の各々は、予め用意された参照表に従って決定されることを特徴とする集積半導体不揮発性メモリ。

【請求項2】

前記参照表にパルス幅が規定されていることを特徴とする請求項1に記載の集積半導体不揮発性メモリ。

【請求項3】

少なくとも2回の書き込みパルスの印加を行った後、ベリファイを行うことを特徴とす

る請求項 1 に記載の集積半導体不揮発性メモリ。

【請求項 4】

少なくとも 2 回の消去パルスの印加を行った後、ベリファイを行うことを特徴とする請求項 1 記載の集積半導体不揮発性メモリ。

【請求項 5】

少なくとも 2 回の書き込みパルスの印加を行った後、ベリファイを行い、少なくとも 2 回の消去パルスの印加を行った後、ベリファイを行うことを特徴とする請求項 1 に記載の集積半導体不揮発性メモリ。

【請求項 6】

半導体基板上に絶縁膜を介してゲート電極が積層されてなる第 1 ゲートを有する第 1 の絶縁ゲート型電界効果トランジスタと、

前記第 1 の絶縁ゲート型電界効果トランジスタに隣接する前記半導体基板の領域上に形成された電荷蓄積膜を含む第 2 ゲートを有する第 2 の絶縁ゲート型電界効果トランジスタと、

前記第 1 の絶縁ゲート型電界効果トランジスタの下方の前記半導体基板内に形成された第 1 のチャンネルと、

前記第 2 の絶縁ゲート型電界効果トランジスタの下方の前記半導体基板内に、前記第 1 のチャンネルと電気的に接続されるように隣接して形成された第 2 のチャンネルと、

前記第 1 のチャンネルと前記第 2 のチャンネルとが形成された前記半導体基板の領域を挟み込むように前記第 1 のチャンネルの一端側と前記第 2 のチャンネルの他端側にそれぞれ形成された第 1 の拡散層電極および第 2 の拡散層電極とを有し、

前記第 2 ゲートに電圧を印加し、前記第 2 のチャネル領域から前記電荷蓄積膜へ電子およびホールを注入させることにより書き込みを行う集積半導体不揮発性メモリであって、

前記書き込みは、前記第 2 ゲートに複数回のパルス印加を行い、前記パルス電圧の各々は、予め用意された参照表に従って決定されることを特徴とする集積半導体不揮発性メモリ。

【請求項 7】

前記参照表が回路素子構成により記憶されていることを特徴とする請求項 6 記載の集積半導体不揮発性メモリ。

【請求項 8】

半導体基板上に絶縁膜を介してゲート電極が積層されてなる第 1 ゲートを有する第 1 の絶縁ゲート型電界効果トランジスタと、

前記第 1 の絶縁ゲート型電界効果トランジスタに隣接する前記半導体基板の領域上に形成された電荷蓄積膜を含む第 2 ゲートを有する第 2 の絶縁ゲート型電界効果トランジスタと、

前記第 1 の絶縁ゲート型電界効果トランジスタの下方の前記半導体基板内に形成された第 1 のチャンネルと、

前記第 2 の絶縁ゲート型電界効果トランジスタの下方の前記半導体基板内に、前記第 1 のチャンネルと電気的に接続されるように隣接して形成された第 2 のチャンネルと、

前記第 1 のチャンネルと前記第 2 のチャンネルとが形成された前記半導体基板の領域を挟み込むように前記第 1 のチャンネルの一端側と前記第 2 のチャンネルの他端側にそれぞれ形成された第 1 の拡散層電極および第 2 の拡散層電極とを有し、

前記第 2 ゲートに電圧を印加し、前記第 2 のチャネル領域から前記電荷蓄積膜へ電子およびホールを注入させることにより書き込みを行う集積半導体不揮発性メモリであって、

前記書き込みは、前記第 2 ゲートに多段ステップの電圧印加を行い、前記多段ステップ電圧の各々は、予め用意された参照表に従って決定されることを特徴とする集積半導体不揮発性メモリ。

【請求項 9】

前記参照表が回路素子構成により記憶されていることを特徴とする請求項 8 記載の集積半導体不揮発性メモリ。

【請求項 10】

半導体基板上に絶縁膜を介してゲート電極が積層されてなる第1ゲートを有する第1の絶縁ゲート型電界効果トランジスタと、

前記第1の絶縁ゲート型電界効果トランジスタに隣接する前記半導体基板の領域上に形成された電荷蓄積膜を含む第2ゲートを有する第2の絶縁ゲート型電界効果トランジスタと、

前記第1の絶縁ゲート型電界効果トランジスタの下方の前記半導体基板内に形成された第1のチャンネルと、

前記第2の絶縁ゲート型電界効果トランジスタの下方の前記半導体基板内に、前記第1のチャンネルと電気的に接続されるように隣接して形成された第2のチャンネルと、

前記第1のチャンネルと前記第2のチャンネルとが形成された前記半導体基板の領域を挟み込むように前記第1のチャンネルの一端側と前記第2のチャンネルの他端側にそれぞれ形成された第1の拡散層電極および第2の拡散層電極とを有し、

前記第2ゲートに電圧を印加し、前記第2のチャネル領域から前記電荷蓄積膜へ電子およびホールを注入させることにより書き込みおよび消去を行う集積半導体不揮発性メモリであって、

前記書き込みおよび消去は、前記第2ゲートに多段ステップの電圧印加を行い、前記多段ステップ電圧の各々は、予め用意された参照表に従って決定されることを特徴とする集積半導体不揮発性メモリ。

【請求項 11】

前記参照表が回路素子構成により記憶されていることを特徴とする請求項10記載の集積半導体不揮発性メモリ。