

公告本

申請日期： 91 8.6

案號： 91117652

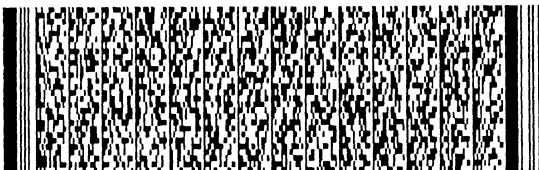
類別： G11C 11/00, H03K 19/0175

(以上各欄由本局填註)

發明專利說明書

574686

一、 發明名稱	中 文	半導體裝置
	英 文	SEMICONDUCTOR DEVICE
二、 發明人	姓 名 (中文)	1. 山內忠昭 2. 松本淳子 3. 岡本武郎
	姓 名 (英文)	1. Tadaaki YAMAUCHI 2. Junko MATSUMOTO 3. Takeo OKAMOTO
	國 籍	1. 日本 2. 日本 3. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號 三菱電機株式会社内 2. 同1 3. 同1
三、 申請人	姓 名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓 名 (名稱) (英文)	1. Mitsubishi Denki Kabushiki Kaisha (三菱電機株式会社)
	國 籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓 名 (中文)	1. 野間口有
	代表人 姓 名 (英文)	1. Tamotsu NOMAKUCHI



本案已向

國(地區)申請專利

日本 JP

申請日期

2001/10/29 2001-330949

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

[發明所屬之技術領域]

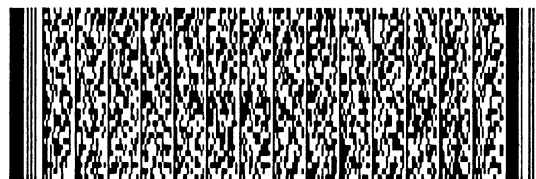
本發明是關於一種半導體裝置，尤其是關於以內部訊號而驅動外部匯流排訊號線之輸出電路之構成者。更特定而言，本發明是關於可將訊號輸出用之輸出電源電壓及驅動內部電路用之外部電源電壓分開施加之半導體裝置之訊號輸出部之構成。

[習知之技術]

圖11是概略地顯示習知之半導體裝置要部構成之圖。該半導體裝置900是包含由外部電源電壓EXVDD生成各種內部電源電壓之內部電源電路901；按內部電源電路901之各種內部電壓而動作之記憶電路902；及接受來自外部之輸出電源電壓VDDQ作為動作電源電壓，從記憶電路902所讀出之資料予以緩衝處理而向外部輸出之輸出電路903。

內部電源電路901是生成在記憶電路902中用作動作電源電壓之內部電源電壓，中間電壓及基準電壓等。然而，為簡化圖式起見，在圖11中代表地顯示內部電源電路901生成的周邊電源電壓VDDP。通常，外部電源電壓EXVDD是例如在2.5V以上；同時，輸出電源電壓VDDQ是例如1.8V。當外部電源電壓EXVDD為2.5V時，可利用外部電源電壓EXVDD作為周邊電源電壓VDDP。該時，把外部電源電壓EXVDD予以降壓而生成包含於記憶電路902之記憶單元陣列中所利用之陣列電源電壓。在此顯示周邊電源電壓VDDP以便分開說明周邊電源電壓VDDP與外部電源電壓EXVDD。

記憶電路902是包含記憶單元陣列、選擇記憶單元陣列



五、發明說明 (2)

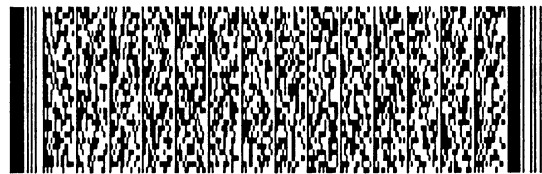
之記憶單元之列及行選擇電路、以及內部資料讀出電路等。

將輸出電源電壓VDDQ專用地施加於輸出電路903，結果，當輸出電路903動作時，雖然輸出電源電壓VDDQ有所變動，但可使記憶電路902按照由外部電源電壓EXVDD所生成的內部電源電壓VDDP等而穩定地動作。因此，在生成多位元(bit)之資料DQ時也不會受輸出電源電壓VDDQ變動之影響之狀態下可使記憶電路902穩定地動作。

又，將輸出電源電壓VDDQ專用地施加於輸出電路903，結果，可把充分的動作電源電壓供給於該輸出電路903，而可使輸出電路903穩定地動作。

圖12是概略地顯示有關輸出電路903之1位元之資料輸出部分之構成之圖。在圖12中，輸出電路903是包含接受從包含在記憶電路902之內部讀出電路905所讀出之內部讀出資料RD及輸出許可訊號OEM之NAND電路906；接受內部讀出資料RD與輸出許可訊號OEM之閘電路907，將NAND電路906之輸出訊號之振幅轉換成輸出電源電壓VDDQ位準(level)之位準轉換電路908；將閘電路907之輸出訊號之振幅轉換成外部電源電壓EXVDD位準之位準轉換電路909；反轉位準轉換電路909之輸出訊號之反相器電路910；以及按照位準轉換電路908之輸出訊號與反相器910之輸出訊號而驅動輸出節點920之輸出緩衝電路912。

內部讀出電路905是包含在圖11所示之記憶電路902內，例如包含前置放大器電路等，接受周邊電源電壓VDDP作為



五、發明說明 (3)

動作電源電壓，以生成周邊電源電壓VDDP位準之振幅之內部讀出資料RD。

NAND 電路906及閘電路907是接受周邊電源電壓VDDP作為動作電源電壓。NAND 電路906為，當輸出許可訊號OEM在L位準時輸出H位準之訊號；又，當輸出許可訊號OEM成為H位準時則成為反相器而動作，並反轉內部讀出資料RD者。

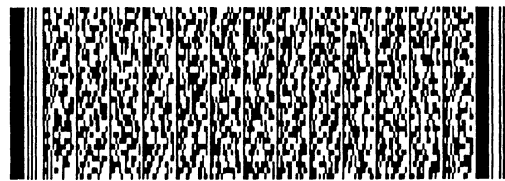
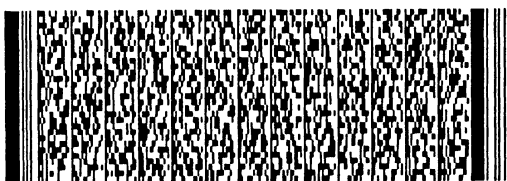
閘電路907為，當輸出許可訊號OEM在L位準時輸出H位準之訊號，而當輸出許可訊號OEM變成H位準時，則當做緩衝電路而動作，按照內部讀出資料RD而生成輸出訊號。

位準轉換電路908是接受輸出電源電壓VDDQ作為動作電源；又，位準轉換電路909則接受外部電源電壓EXVDD作為動作電源電壓。

該等位準轉換電路908及909只是轉換位準(振幅)，而不進行邏輯位準之轉換。

輸出緩衝電路912包含連接在輸出電源節點與輸出節點920之間，且其閘極接受位準轉換電路908之輸出訊號的P通道MOS電晶體(絕緣閘極型場效電晶體)PQ；及連接於輸出節點920與接地節點之間且在其閘極接受反相器電路910之輸出訊號的N通道MOS電晶體NQ。

現在，輸出許可訊號OEM為L位準時，NAND 電路906及閘電路907之輸出訊號均為H位準，而位準轉換電路908之輸出訊號成輸出電源電壓VDDQ位準，位準轉換電路909之輸出訊號成為外部電源電壓EXVDD位準。反相器910是施加外部電源電壓EXVDD作為動作電源電壓，反轉該位準轉換電



五、發明說明 (4)

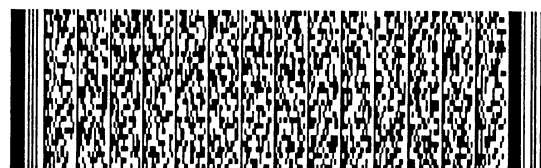
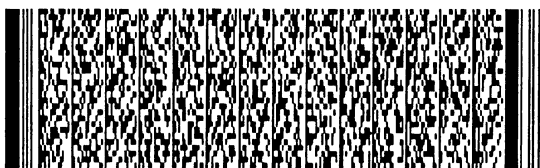
路909之輸出訊號，反相器電路910之輸出訊號成為L位準。

因此，在輸出緩衝電路912中，MOS電晶體PQ及NQ均成為截止狀態，使輸出緩衝電路912成為輸出高阻抗狀態。

輸出許可訊號OEM成H位準時，NAND電路906則動作為反相器，另一方面，開電路907則動作為緩衝電路。當內部讀出資料RD為H位準時，NAND電路906之輸出訊號成L位準，開電路907之輸出訊號成H位準。因此，位準轉換電路908之輸出訊號成L位準，而反相器電路910之輸出訊號成L位準；在輸出緩衝電路912中，MOS電晶體PQ成導通狀態，MOS電晶體NQ成截止狀態。在該狀態下，介由MOS電晶體PQ而把輸出節點920驅動成輸出電源電壓VDDQ位準者。

另一方面，當內部讀出資料RD為L位準時，則NAND電路906之輸出訊號成H位準，開電路907之輸出訊號成L位準。相應地，反相器910之輸出訊號成外部電源電壓EXVDD位準，而在輸出緩衝電路912中，MOS電晶體PQ成截止狀態，MOS電晶體NQ成導通狀態，介由MOS電晶體NQ將輸出節點920驅動至接地電壓位準。將外部電源電壓位準之訊號介由反相器電路910施加MOS電晶體NQ之閘極，結果，加大該MOS電晶體NQ之電流驅動能力，以便高速地使輸出節點920放電至接地電壓位準。

圖13是顯示位準轉換電路908構成之一例。在圖13中，位準轉換電路908包含接受NAND電路906之輸出訊號SIN之反相器908a；連接在內部節點NA與接地節點之間且其閘極



五、發明說明 (5)

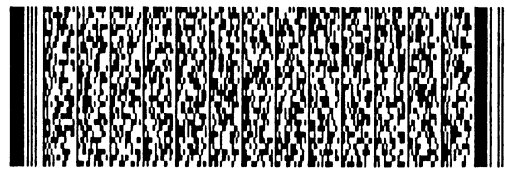
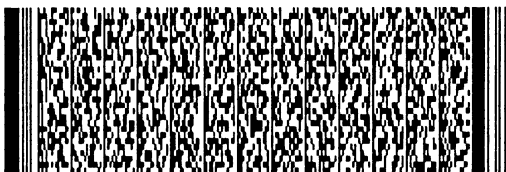
接受NAND電路之輸出訊號SIN之N通道MOS電晶體908b；連接在內部節點NB與接地節點之間且其閘極接受反相器908a之輸出訊號之N通道MOS電晶體908c，連接在輸出電源節點與內部節點NA之間且其閘極連接於內部節點NB之P通道MOS電晶體908d，及連接在輸出電源節點與內部節點NB之間且其閘極連接於內部節點NA之P通道MOS電晶體908e者。從內部節點NB生成該位準轉換電路908之輸出訊號SOUT。

當訊號SIN為H位準時，MOS電晶體908b成導通狀態，MOS電晶體908c成截止狀態。因此，內部節點NA介由MOS電晶體908b而放電，其電壓位準降低；相應地，MOS電晶體908e成導通狀態，充電內部節點NB，使內部節點NB之電壓位準上昇至輸出電源電壓VDDQ位準。

當內部節點NB到達輸出電源電壓位準時，MOS電晶體908d成截止狀態。因此，周邊電源電壓VDDP位準之訊號SIN轉換成輸出電源電壓VDDQ位準之訊號SOUT。

另一方面，當訊號SIN為L位準時，MOS電晶體908b成截止狀態，而MOS電晶體908c成導通狀態。在該狀態下，內部節點NB介由MOS電晶體908c而放電，使其電壓位準降低。相應之，MOS電晶體908d成導通狀態，將內部節點NA充電成輸出電源電壓VDDP位準，MOS電晶體908e成截止狀態。因此，在該狀態下，來自內部節點NB之訊號SOUT成L位準。

如上述，該位準轉換電路908是將振幅為周邊電源電壓VDDP位準之訊號SIN轉換成振幅VDDQ位準之訊號，而未執



五、發明說明 (6)

行邏輯位準之轉換。

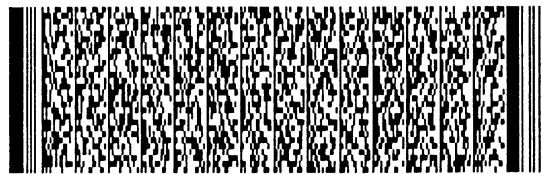
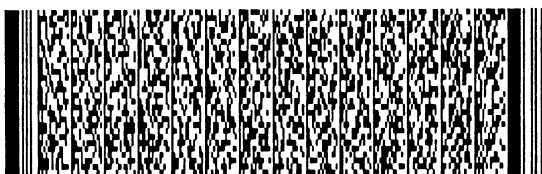
使用該位準轉換電路908之結果，以周邊電源電壓VDDP位準驅動內部電路，且在輸出緩衝電路912中，可生成輸出電源電壓位準之訊號。

又，當周邊電源電壓VDDP相等於外部電源電壓EXVDD而高於輸出電源電壓VDDQ時，將給予輸出緩衝電路912之訊號之振幅轉換成輸出電源電壓位準使其上昇及下降特性為相等。於是，可使驅動輸出緩衝電路912之輸出節點時之上升/下降特性為相等。

圖14是概略地顯示資料處理系統構成之一例之圖。圖14所示之處理系統中，介由匯流排956相互連接處理裝置950、容納該處理裝置950所使用之資料之半導體記憶裝置952、及與半導體記憶裝置952相異之記憶體954。

處理裝置950是施加電源電壓VDDL及VDDQ作為動作電源電壓。半導體記憶裝置952是接受電源電壓EXVDD及VDDQ作為動作電源電壓。記憶體954是接受電源電壓VDDL作為動作電源電壓。當處理裝置950介由匯流排956傳達資料給半導體記憶裝置952時，按照輸出電源電壓VDDQ而傳送訊號，以調整與半導體記憶裝置952間之訊號之介面。

在上述之資料處理系統中，長期間未對半導體記憶裝置952進行存取時，處理裝置950是介由未圖示之電源管理裝置，對半導體記憶裝置952至少停止供給外部電源電壓EXVDD。處理裝置950是利用記憶體954之記憶資料而執行處理。

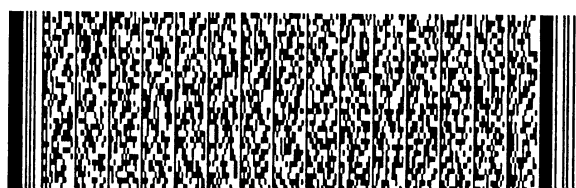
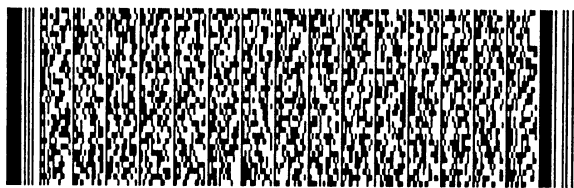


五、發明說明 (7)

因而，在記憶體954與處理裝置950之間是介由匯流排956而傳輸資料/訊號的關係，半導體記憶裝置952是被要求在有投入輸出電源電壓VDDQ之狀態下，雖然停止供給外部電源電壓EXVDD時也需要圖12所示之輸出緩衝電路912維持輸出高阻抗狀態。MOS電晶體為，如果其閘極-源極間電壓在臨限電壓之絕對值以下時，則變成截止狀態。因此，例如在圖13所示之構成中，有當由外部電源電壓EXVDD所生成之周邊電源電壓VDDP因停止供給該外部電源電壓EXVDD而其電壓位準降低，但在其待機狀態時設定成H位準之訊號SIN未被放電至接地電壓位準，保持訊號SIN於中間電壓位準；又同樣地，反相器908a之輸出訊號也保持在中間電壓位準的情形。

該時，在位準轉換電路908中，MOS電晶體908b及908c均成導通狀態，或均成截止狀態時，該內部節點NA及NB之電壓位準呈不穩定狀態，會產生不能保持該位準轉換電路908之輸出訊號SOUT於輸出電源電壓VDDQ位準，而保持於中間電壓位準的狀態。產生該種狀態時，在輸出緩衝電路912中，MOS電晶體PQ有供給電流於輸出節點920的可能。

同樣地，在圖12中，雖然停止供給外部電源電壓EXVDD但反相器910之輸出訊號並未完全放電成接地電壓位準，位準轉換電路909之輸出訊號提昇至中間電壓位準，反相器電路910之輸出訊號則相應成為保持在中間電壓位準的狀態，產生放電用MOS電晶體成導通之狀態。因此，在該狀態下，也在輸出緩衝電路912中，MOS電晶體NQ成導通狀



五、發明說明 (8)

態，將輸出節點920驅動成接地電壓位準，因此，該輸出緩衝電路912不會成為輸出高阻抗狀態。

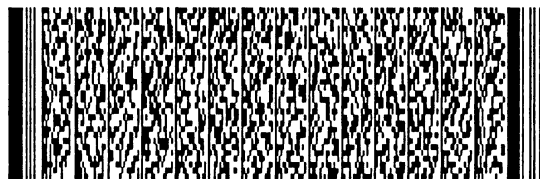
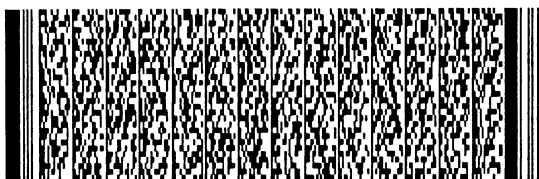
在該半導體記憶裝置952中，當輸出緩衝電路912設定成異於高阻抗狀態之狀態時，該外部緩衝電路912所輸出之資料對於在記憶體954與處理裝置950之間所傳輸之訊號/資料產生不良影響，會產生無法在處理裝置950與記憶體954之間正確地傳輸訊號/資料之問題。

又，介由該處理裝置950與半導體記憶裝置952之匯流排956而連接，介由異於記憶體954之另一匯流排而連接處理裝置950與記憶體954時，連接該處理裝置950與半導體記憶裝置952之匯流排之訊號線終端成異於輸出電源電壓VDDQ之電壓位準情形，如果輸出緩衝電路912設定成不同於輸出高阻抗狀態時，在該輸出緩衝電路912與終端電壓源之間有電流流動，會產生增大消耗電流的問題。

[發明之概要]

本發明之目的在於提供一種半導體記憶裝置，其為，在外部電源電壓以供給輸出電源電壓的狀態下被切斷的情形下，仍然能夠確實地將輸出緩衝電路保持在輸出高阻抗狀態者。

有關本發明之半導體裝置為，包含：第一輸出驅動訊號生成電路，接受第一電源電壓作為動作電源電壓，至少按內部訊號而生成第一輸出驅動訊號，第一閘鎖電路，接受第二電源電壓作為動作電源電壓，用以閘鎖且傳輸第一輸出驅動訊號；及第一輸出電晶體接受第二電源電壓作為動



五、發明說明 (9)

作電源電壓，按第一門鎖電路之輸出訊號而驅動輸出節點。

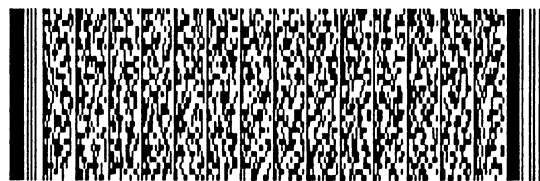
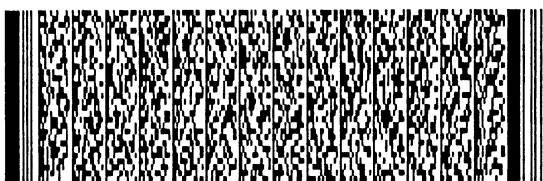
有關本發明之第2觀點之半導體裝置為，具備有：第一電路，接受第一電源電壓作為動作電源電壓，按所給予之訊號而生成第一訊號；及第二電路，接受第二電源電壓作為動作電源電壓，接受來自第一電路之第一訊號，隨著第一訊號而產生第二訊號。該第二電路是包含其輸入部接受第一訊號而門鎖前述輸入部之訊號電壓的門鎖電路者。

設有施加第二電源電壓作為動作電源電壓之門鎖電路，按該門鎖電路來驅動輸出電晶體或輸出驅動電路之結果，雖然切斷第一電源電壓之供給，但門鎖電路為門鎖該第一電源電壓切斷前的狀態，可確實地將輸出電晶體及輸出驅動電晶體保持在第一電源電壓切斷前的狀態，以維持輸出高阻抗狀態者。於是，在第一電源電壓供給切斷時，能夠確實地將輸出電路設定成輸出高阻抗狀態，以防止在外部匯流排產生訊號/資料之衝突者。

[發明之實施形態]

[實施形態1]

圖1是概略地顯示按照本發明實施形態1之輸出電路之構成圖。在圖1中，輸出電路903是包含接受NAND電路906之輸出訊號之反相器電路1；接受反相器電路1之輸出訊號之反相器電路2；當反相器電路2之輸出訊號為H位準時導通，將反相器電路2之輸入節點ND驅動成接地電壓位準之N通道MOS電晶體3；接受開電路907之輸出訊號之反相器電



五、發明說明 (10)

路4；接受反相器電路4之輸出訊號之反相器電路5；當反相器電路5之輸出訊號為H位準時導通，將節點NF保持為接地電壓位準之N通道MOS電晶體6；接受反相器電路6之輸出訊號之反相器電路7；以及按照反相器電路2及7之輸出訊號來驅動輸出節點920之輸出緩衝電路912。

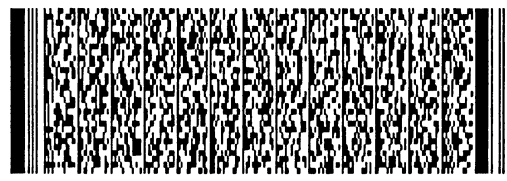
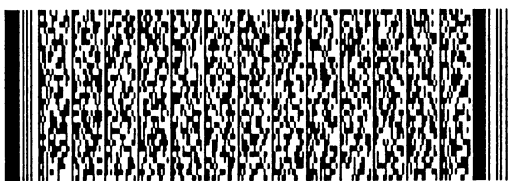
NAND電路906是如同以往，接受周邊電源電壓VDDP作為動作電源電壓，接受來自內部讀出電路905之內部讀出資料RD及讀出許可訊號OEM作為輸入訊號。

開電路907是接受內部讀出資料RD及讀出許可訊號OEM作為輸入訊號，且施加周邊電源電壓VDDP作為動作電源電壓。

該周邊電源電壓VDDP為可與外部電源電壓EXVDD同一電壓位準，又，降低外部電源電壓EXVDD而生成也可以。在圖1所示實施形態之說明中，以降低外部電源電壓EXVDD而生成之周邊電源電壓VDDP來說明。

反相器電路2之輸出訊號施加於輸出緩衝電路912所包含之P通道MOS電晶體TP之閘極，反相器電路7之輸出訊號施加於輸出緩衝電路912所包含之N通道MOS電晶體TN之閘極。

反相器電路1及4為接受外部電源電壓EXVDD作為動作電源電壓，分別反轉NAND電路906及開電路907之輸出訊號。當周邊電源電壓VDDP之電壓位準異於外部電源電壓EXVDD之電壓位準時，該等反相器電路1及4為具備位準轉換功能，或在該等之前段有配置位準轉換電路。



五、發明說明 (11)

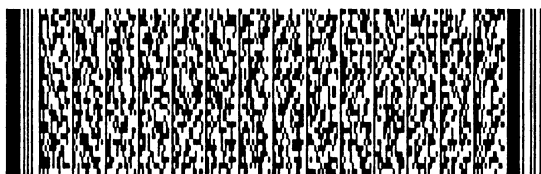
又，反相器電路1及4，可接受周邊電源電壓VDDP作為動作電源電壓。在此則就外部電源電壓EXVDD之供給切斷時之內部訊號之不穩定狀態說明，並且為說明將對應該外部電源電壓之內部電源電壓接受成動作電源電壓之電路，及施加輸出電源電壓VDDQ作為動作電源電壓之電路之境界部之訊號之穩定化起見，反相器電路1及4是施加外部電源電壓EXVDD作為動作電源電壓來說明之。

反相器電路2、5及7是接受輸出電源電壓VDDQ作為動作電源電壓。內部讀出電路905是接受周邊電源電壓VDDP作為動作電源電壓。

現在，如圖2所示，考量有供給輸出電源電壓VDDQ之狀態下，停止供給外部電源電壓EXVDD之狀態。在此，當半導體記憶裝置為待機狀態時，停止外部電源電壓EXVDD之供給。

周邊電源電壓VDDP是自外部電源電壓EXVDD生成。因此，停止該外部電源電壓EXVDD之供給時，周邊電源電壓VDDP之電壓位準相應而降低。當該周邊電源電壓VDDP之電壓位準降低至構成要素之MOS電晶體之臨限電壓位準程度時，施加周邊電源電壓VDDP作為動作電源電壓之電路成為不能動作之狀態，輸出內部讀出資料RD及輸出許可訊號OEM等之周邊電路之輸出訊號之壓位準成不穩定的狀態。

例如，在NAND電路906及907中，當輸入訊號之電壓位準到達該等構成要素之N通道MOS電晶體之臨限電壓位準時，施加於導通狀態的N通道MOS電晶體之閘極之訊號之電壓位準



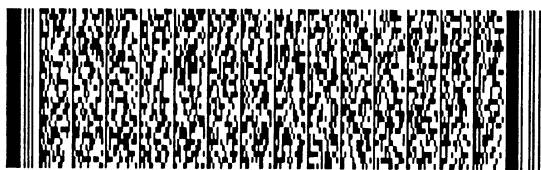
五、發明說明 (12)

變成臨限電壓位準程度，導通狀態的N通道MOS電晶體成截止狀態，使該等NAND電路906及閘電路907之輸出訊號成為不穩定的狀態。

隨著該不穩定狀態之輸出訊號，施加外部電源電壓EXVDD作為動作電源電壓之反相器電路1及4中也是同樣地，其輸入出訊號之電壓位準成不穩定狀態。

在待機狀態下，該反相器電路1之輸出節點ND為由於反相器電路2及MOS電晶體3而保持成接地電壓位準；又，反相器電路4之輸出節點NF為由於反相器電路5及MOS電晶體6而設定成L位準。因此，在該狀態下，雖然外部電源電壓EXVDD之供給被切斷，反相器電路1及4之輸入節點之電壓呈不穩定狀態，但仍然有供給輸出電源電壓VDDQ的關係，節點ND為由於反相器2及MOS電晶體3而保持成接地電壓位準；又，節點NF為由於反相器電路5及MOS電晶體6而保持成接地電壓位準。因此，雖然NAND電路906，反相器電路1，閘電路907及反相器電路4等為因外部電源電壓EXVDD之供給切斷而變成不能動作的狀態，但能夠將內部節點ND及NF確實地保持成接地電壓位準。

在該狀態下，反相器電路2之輸出節點NE之電壓位準為H位準；又，接受反相器電路5之輸出訊號之反相器電路7之輸出節點NG之電壓位準為L位準；在輸出緩衝電路912中，MOS電晶體TP及TN均呈截止狀態，雖然在外部電源電壓EXVDD之供給被切斷時，也可將輸出緩衝電路912保持在高阻抗狀態者。



五、發明說明 (13)

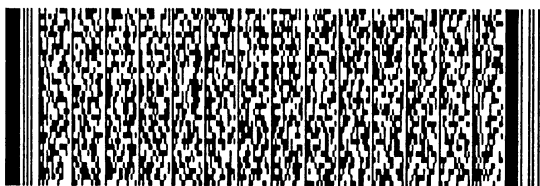
再者，在圖1中，反相器電路1及4是附有生成輸出電源電壓VDDQ位準之振幅訊號之位準轉換功能之反相器電路也可以。在該構成中，也是當NAND電路906及閘電路907之輸出訊號成不穩定狀態時，位準轉換電路之輸入訊號成不穩定狀態，使位準轉換電路之輸出訊號成不穩定狀態。在該情形下，在下一段的以反相器及MOS電晶體所構成之門鎖電路中，把位準轉換電路之輸出節點保持成待機狀態之電壓位準之結果，在外部電源電壓EXVDD之供給被切斷時，也可將輸出緩衝電路設定成輸出高阻抗狀態者。

再者，反相器電路1及4為在施加周邊電源電壓VDDP作為動作電源電壓時，該周邊電源電壓VDDP也是外部電源電壓之降壓電壓，而可得到同樣的作用效果。

[變更例1]

圖3是概略地顯示本發明實施形態1之變更例之構成圖。圖3所示之構成中，供給外部電源電壓EXVDD作為動作周邊電路用之動作電源電壓。換言之，為了確認將外部電源電壓EXVDD作為周邊電源電壓VDDP而施加時之電源電壓之分布而顯示之。例如，外部電源電壓EXVDD為2.5V，而輸出電源電壓VDDQ為1.8V時，對周邊電路施加外部電源電壓EXVDD作為動作電源電壓。

將外部電源電壓EXVDD施加於內部讀出電路10作為動作電源電壓，而生成外部電源電壓EXVDD位準之內部讀出資料RD。接受輸出許可訊號OEM與內部讀出資料RD之NAND電路11也是施加外部電源電壓EXVDD作為動作電源電壓。接



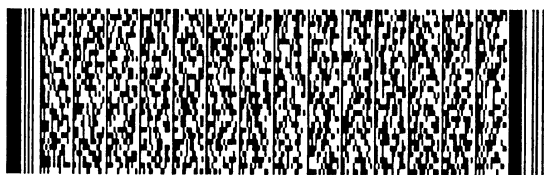
五、發明說明 (14)

受內部讀出資料RD與輸出許可訊號OEM之閘電路12也是施加外部電源電壓EXVDD作為動作電源電壓。施加NAND電路11之輸出訊號之反相器電路13是施加外部電源電壓EXVDD作為動作電源電壓；又，接受閘電路12之輸出訊號之反相器電路14也是施加外部電源電壓EXVDD作為動作電源電壓。該時，反相器電路13及14未具有位準轉換功能。該圖2中所示之輸出電路903之其他構造是與圖1所示之輸出電路903之構造相同，對應之部分用同樣的元件編號表示而省略其詳細說明。

如圖2所示，使用外部電源電壓EXVDD作為內部電路之動作電源電壓時，雖然切斷外部電源電壓EXVDD之供給而反相器電路13及14之輸出訊號成不穩定時，也是如同圖1所示之構成，節點ND是由反相器電路2及MOS電晶體3保持成待機狀態時之電壓位準(接地電壓位準)；又，節點NF是由反相器電路及MOS電晶體6保持成待機狀態時之電壓位準。

因此，使用外部電源電壓EXVDD作為內部電路之動作電源電壓時，也是由反相器電路2及MOS電晶體3所構成之門鎖電路及由反相器電路5及MOS電晶體6所構成之門鎖電路為，分別設在施加外部電源電壓EXVDD作為動作電源電壓之反相器電路13及14之輸出部之結果，在供給輸出電源電壓VDDQ之狀態下，雖然切斷外部電源電壓EXVDD之供給，但可將輸出緩衝電路912確實地保持成輸出高阻抗狀態者。

如上述，根據本發明之實施形態1，在接受與外部電源



五、發明說明 (15)

電壓有關聯之電源電壓作為動作電源電壓之電路之輸出段上，配置有接受輸出電源電壓作為動作電源電壓之門鎖電路，在供給輸出電源電壓時，雖然切斷外部電源電壓EXVDD之供給，但可確實地保持輸出緩衝電路成輸出高阻抗狀態者。

[實施形態2]

圖4是顯示本發明實施形態2之輸出電路之構成之圖。在圖4中，使用外部電源電壓EXVDD作為動作內部電路用之周邊電源電壓。

為驅動輸出緩衝電路912之P通道MOS電晶體TP起見，設有接受內部讀出資料RD及輸出許可訊號OEM之NAND電路11，接受NAND電路11之輸出訊號之反相器電路13，及接受反相器電路13之輸出訊號之反相器電路2。為了要按反相器電路2之輸出訊號而將反相器電路2之輸入節點ND保持成接地電壓位準起見，設有N通道MOS電晶體3。驅動圖4所示P通道MOS電晶體TP部分之構成是與圖3所示之構成相同。

為驅動包含在輸出緩衝電路912之N通道MOS電晶體TN起見，設有接受內部讀出資料RD及輸出許可訊號OEM之閘電路12，按照閘電路12之輸出訊號，驅動MOS電晶體TN之閘極的之反相器電路20。該反相器電路20是施加外部電源電壓EXVDD作為動作電源電壓。將輸出MOS電晶體TN之閘極電壓在導通時設定成外部電源電壓EXVDD位準之結果，可加大該MOS電晶體T該之電流驅動力以高速放電輸出節點。

為驅動該N通道MOS電晶體TN起見，再設有接受閘電路12



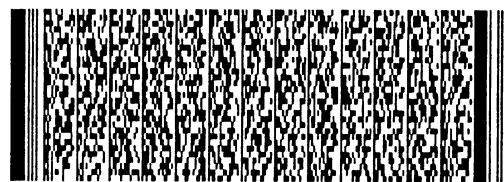
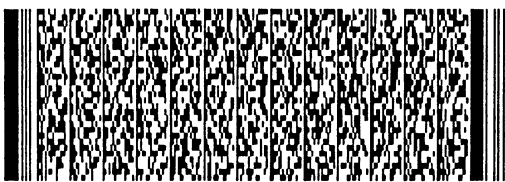
五、發明說明 (16)

之輸出訊號之反相器電路21，接受反相器電路21之反相器電路22，按照反相器電路22之輸出訊號而將反相器電路20之輸出節點NG驅動成接地電壓位準之N通道MOS電晶體24，以及按照反相器電路22之輸出訊號，將反相器電路22之輸入節點NH保持成接地電壓位準之N通道MOS電晶體23。

在該圖4中所示之構成中，以反相器電路2與MOS電晶體3構成閃鎖電路。因此，在待機狀態時，雖然停止外部電源電壓EXVDD之供給，但如同前述之實施形態1，以反相器電路2與MOS電晶體3，可將反相器電路2之輸出節點NE保持成輸出電源電壓VDDQ位準。

開電路12，反相器電路20及21是施加外部電源電壓EXVDD作為動作電源電壓，反相器電路22是施加輸出電源電壓VDDQ作為動作電源電壓。因此，雖然切斷外部電源電壓EXVDD之供給，但以反相器電路22與MOS電晶體23，將反相器電路22之輸入節點NH保持成接地電壓位準，將該反相器電路22之輸出節點NI保持成輸出電源電壓VDDQ位準。因此，MOS電晶體24是維持導通狀態，與反相器電路20之輸出訊號之狀態無關地，將節點NG保持成接地電壓位準，把輸出緩衝電路912之MOS電晶體TN確實地維持在截止狀態。

在該圖4所示之構成中，於施加外部電源電壓EXVDD作為動作電源電壓之反相器電路21之輸出，配置施加輸出電源電壓VDDQ作為動作電源電壓之閃鎖電路的結果，可將包含在輸出緩衝電路912之P通道MOS電晶體TP及N通道MOS電晶體TN均保持成截止狀態，把輸出節點920設定成輸出高阻



五、發明說明 (17)

抗狀態者。

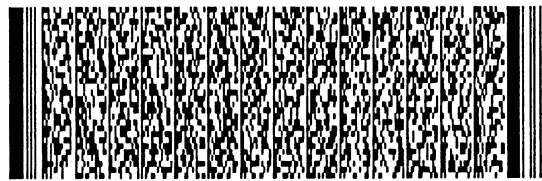
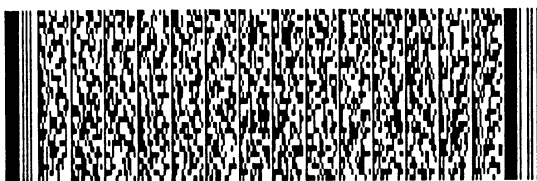
又，在上述之構成中，如同圖1所示之構成，以外部電源電壓EXVDD生成周邊電源電壓VDDP，當做該周邊電路之動作電源電壓也可以。利用該周邊電源電壓VDDP作為動作電源電壓之構成時，在圖4所示反相器電路20以外之電路，施加周邊電源電壓VDDP以代替外部電源電壓EXVDD。但是，反相器電路13、20為以具有位準轉換功能之反相器構成之。

在降壓外部電源電壓而生成該周邊電源電壓VDDP之構成中，因周邊電源電壓VDDP是從外部電源電壓EXVDD生成的關係，同樣地，介由閃鎖電路，可把可能成為不穩定狀態之訊號保持成確定狀態之訊號。

如上述，根據本發明之實施形態2，以外部電源電壓EXVDD位準振幅之訊號驅動把輸出節點放電成接地電壓位準之MOS電晶體之閘極之構成中，也是在將輸出節點放電用MOS電晶體TN之閘極驅動成接地位準之通路中，配置施加輸出電源電壓作為動作電源電壓之閃鎖電路之結果，在切斷外部電源電壓EXVDD之供給時，仍然可把放電用MOS用電晶體確實地維持成截止狀態，確實地將輸出緩衝電路設定成輸出高阻抗狀態者。

[實施形態3]

圖5是概略地顯示本發明之實施形態3之閃鎖電路之構成圖。在該圖5中所示之閃鎖電路是用以閃鎖接受外部電源電壓EXVDD作為動作電源電壓之反相器IV1之輸出訊號。該



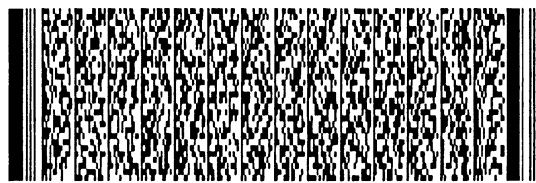
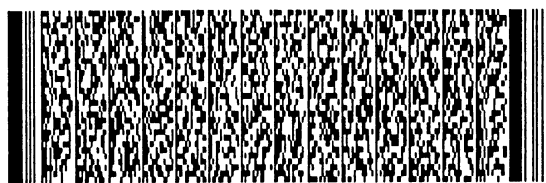
五、發明說明 (18)

門鎖電路是包含有：接受輸出電源電壓VDDQ作為動作電源電壓而反轉反相器IV1之輸出訊號之反相器電路IV2；及按照反相器電路IV2之輸出訊號而驅動該反相器電路IV2之輸入節點NJ成接地電壓位準之N通道MOS電晶體QN。該反相器電路IV2及N通道MOS電晶體QN是綜合地顯示自圖1至圖3所示之門鎖電路者。

前段之反相器電路IV1及該反相器電路IV1之前段之電路是接受外部電源電壓EXVDD作為動作電源電壓。因此，當外部電源電壓EXVDD降低至N通道MOS電晶體之臨限電壓 V_{th} 位準時，接受外部電源電壓EXVDD作為動作電源電壓之電路部分則成為不能動作之狀態。換言之，在CMOS電路中，如果動作電源電壓未上昇至構成要素之MOS電晶體之臨限電壓以上時則無法形成動作電流流動通路而不能動作。

例如，當CMOS反相器電路之輸出訊號為H位準時電源被切斷時，該放電用N通道MOS電晶體呈截止狀態，不執行放電動作。另一方面，P通道MOS電晶體在該狀態下，閘極-源極間電壓成為其臨限電壓時則成截止狀態。雖然其輸出訊號隨著電源電壓之電壓位準而降低，但不會下降至P通道MOS電晶體之臨限電壓之絕對值以下。

又，當CMOS反相器電路之輸出訊號在L位準時電源被切斷時，如果其輸入訊號之電壓位準之降低速度比動作電源電壓之電壓降低速度較快時，P通道MOS電晶體成導通狀態而上昇輸出訊號之電壓位準，使P通道MOS電晶體呈截止狀態，無法放電該輸出訊號之電壓上昇。又，該時，P通道

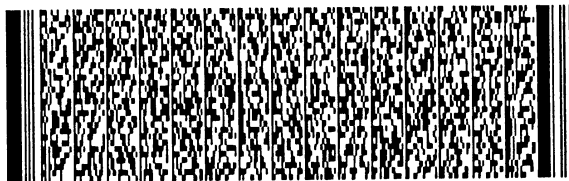
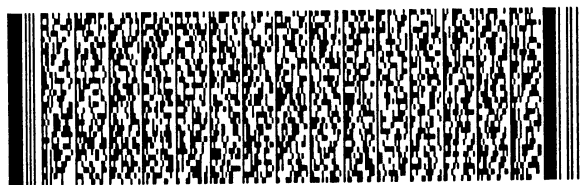


五、發明說明 (19)

MOS 電晶體為，其閘極-源極間電壓成為其臨限電壓之絕對值，雖然成截止狀態，但其輸出訊號是隔離動作電源的關係，無法與動作電源電壓一起下降，使輸出訊號之電壓位準提昇之狀態。

因此，從電源電壓EXVDD之下降速度與反相器IV1之輸出訊號之變化速度之關係，反相器電路IV1之輸出訊號的最大是考量為可到達其構成要素之MOS電晶體之臨限電壓之絕對值(以下簡稱為臨限電壓) V_{th} 者。以比率電路構成反相器電路IV2，並調整其構成要素的P通道MOS電晶體與N通道MOS電晶體之大小(β 比)，俾於即使反相器IV1之輸出節點NJ之訊號電壓為臨限電壓 V_{th} 位準，仍能夠確實地輸出輸出電源電壓VDDQ之電壓位準之訊號者。

換言之，如圖6所示，通常在CMOS反相器電路中，其輸入邏輯臨限值是設定成動作電源電壓之 $1/2$ 之電壓位準，以不成比率電路構成者居多。該時，如果輸出電源電壓VDDQ為 $1.8V$ 時，輸入邏輯臨限值為 $VDDQ/2$ 則 $0.9V$ 者。如果臨限電壓 V_{th} 為 $0.8V$ 時，則如圖6之曲線A所示，當該輸入訊號IN稍為超過臨限電壓 V_{th} 時，其輸出訊號OUT之電壓位準急速地下降。例如，反相器IV2之輸出訊號為隨著反相器電路IV1之輸出訊號而急速地下降至例如輸出電源電壓VDDQ之 $1/2$ 之電壓位準時，反相器電路IV2之輸出訊號之電壓位準下降至接近N通道MOS電晶體QN之臨限電壓之電壓位準，無法充分地使MOS電晶體Q2成導通狀態，有無法保持節點NJ成接地電壓位準之可能性。



五、發明說明 (20)

又，當節點NJ保持成該種中間電壓位準時，在反相器電路IV2中，有貫穿電流流動。因此，以比率電路構成該反相器電路IV2，提高其輸入邏輯臨限值，如在圖6中用曲線B所示，雖然輸入訊號(節點NJ之訊號電壓)為臨限電壓 V_{th} ，但能夠確實地輸出輸出電源電壓VDDQ位準之電壓之構成。

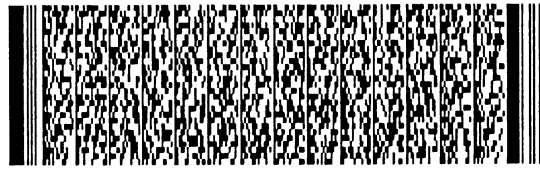
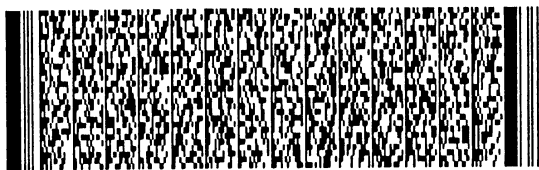
一般而言，輸入邏輯值 V_T ，與構成要素MOS電晶體之大小為，通常以下式表示之。

[數1]

$$V_T = \frac{\left(\frac{V_{thn}}{VDD}\right) + \sqrt{\frac{\beta_P}{\beta_N}} \left(1 - \frac{|V_{thp}|}{VDD}\right)}{1 + \sqrt{\frac{\beta_P}{\beta_N}}} \cdot VDD$$

在此， V_{thn} 及 V_{thp} 為分別表示N通道MOS電晶體及P通道MOS電晶體之臨限電壓， β_P 及 β_N 為分別以P通道MOS電晶體及N通道MOS電晶體之大小(通道寬幅與通道長度之比： W/L)所決定之係數者。

係數 β_P 為以P通道MOS電晶體之通道寬幅與通道長度之比來決定，而 β_N 為以N通道MOS電晶體之通道寬幅與通道長度之比來決定的關係，調整P通道MOS電晶體及N通道MOS電晶體之大小，設定其邏輯臨限值高於通常之邏輯臨限值。於是，當節點NJ之電壓位準為，因前段之施加外部電源電壓EXVDD之電路成不能動作狀態而上昇，但可將反相器電路IV2之輸出訊號確實地設定成輸出電源電壓VDDQ位



五、發明說明 (21)

準，相應地，可將MOS電晶體QN確實地設定成導通狀態，保持節點NJ成接地電壓位準。

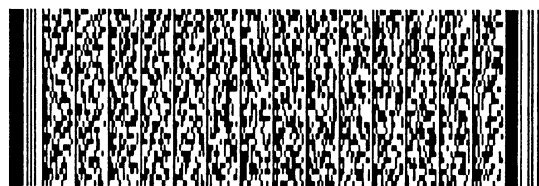
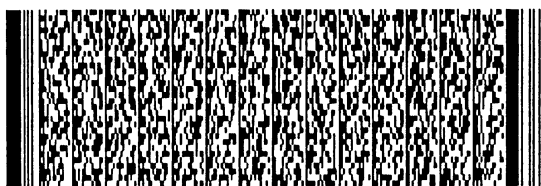
再者，圖5中所示之反相器IV1是施加外部電源電壓EXVDD作為動作電源電壓。然而，該反相器IV1為施加周邊電源電壓VDDP作為動作電源電壓也可以。但是，在該時候，需要在反相器IV1之下一段配置位準轉換電路。

如上述，根據本發明之實施形態3，用比率電路構成施加輸出電源電壓作為動作電源電壓之門鎖電路之反相器，雖然其輸入邏輯臨限值之輸入訊號為MOS電晶體之臨限電壓程度，但判斷為L位準之訊號而輸出輸出電源電壓VDDQ之設定，雖然切斷外部電源電壓而門鎖電路之反相器之輸入訊號之電壓位準提昇時，也能夠將該輸入訊號保持成L位準之訊號，可把輸出緩衝電路保持成高阻抗狀態者。

[實施形態4]

圖7是顯示根據本發明實施形態4之輸出電路構成圖。在該圖7所示之構成中，施加外部電源電壓EXVDD作為使內部電路動作之動作電源電壓者。

在圖7中，其輸出電路與圖4所示之輸出電路不同之點為如下述。即，設有接受外部電源電壓投入檢測訊號ZPOREX與NAND電路11之輸出訊號之NOR電路30，以代替接受NAND電路11之輸出訊號之反相器13。將該NOR電路30之輸出訊號施加於構成門鎖電路之反相器電路2。又，設有接受外部電源電壓投入檢測訊號ZPOREX與開電路12之輸出訊號之NOR電路32，以代替接受開電路12之輸出訊號之反相器電



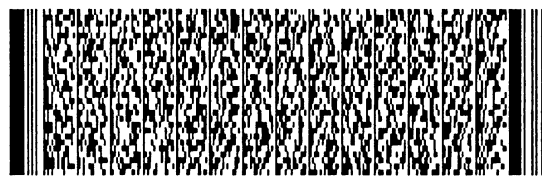
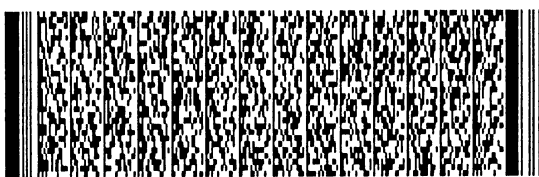
五、發明說明 (22)

路21。將該NOR電路32之輸出訊號施加於構成閘鎖電路反相器電路22。該圖7所示之輸出電路之其他構成為如同圖4所示之輸出電路之構成，對應之部分附以同樣的元件編號而省略其詳細說明。

外部電源電壓投入檢測訊號ZPOREX是維持與外部電源電壓VDDEX同一電壓位準一直到外部電源電壓EXVDD穩定化；當外部電源電壓EXVDD穩定化時，則設定成L位準。因此，投入該外部電源電壓EXVDD時，NOR電路30及32是為了要判定外部電源電壓投入檢測訊號ZPOREX為H位準的關係，該等之輸出訊號是設定成L位準，可以防止成為不穩定狀態。外部電源電壓EXVDD穩定化之後，外部電源電壓投入檢測訊號ZPOREX成為L位準，NOR電路30及32則當做反相器電路而動作之。

該外部電源電壓EXVDD投入時，有供給輸出電源電壓VDDQ的關係，以反相器電路2與MOS電晶體3保持該節點ND成接地電壓位準。同樣地，以反相器電路22及MOS電晶體23保持節點NH成接地電壓位準。投入外部電源電壓EXVDD時，也是保持成L位準一直到該NOR電路30及32之輸出訊號成L位準，而該外部電源電壓投入檢測訊號ZPOREX成為L位準為止；藉以可防止其外部電源電壓EXVDD投入時NOR電路30及32之輸出訊號成不穩定狀態，對反相器電路20及22之輸出訊號產生不良影響者。

因此，在切斷外部電源電壓後，再度接達半導體裝置而投入外部電源電壓EXVDD時，可以確實地防止輸出電路移



五、發明說明 (23)

行至異於輸出高阻抗狀態之狀態，而對外部匯流排之資料/訊號產生不良影響者。

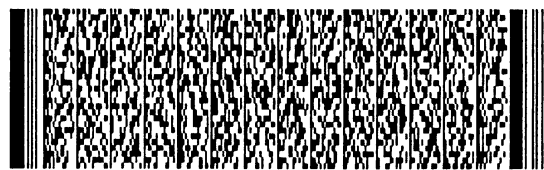
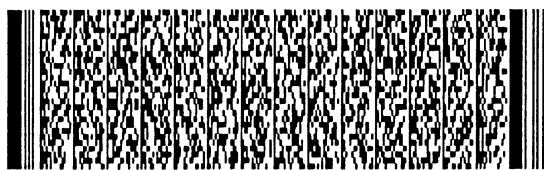
圖8是顯示生成外部電源電壓投入檢測訊號部分之構成之一例之圖。在圖8中，外部電源電壓投入檢測部是包含用以檢測出有無投入外部電源電壓EXVDD之電源投入檢測電路40，及用以反轉電源投入檢測電路40之輸出訊號POR之反相器電路42。該反相器電路42是施加外部電源電壓EXVDD作為動作電源電壓，反轉電源投入檢測電路40所輸出之電源投入檢測訊號而生成外部電源電壓投入檢測訊號ZPOREX。

圖9是顯示圖8所示之電源投入檢測部之動作之訊號波形圖。茲參考圖9，就圖8所示之外部電源投入檢測部之動作簡單地說明如下。

投入外部電源電壓EXVDD時，其電壓位準為相應外部電源線之負荷而徐徐地上昇。電源投入檢測電路40具有周知之構成；投入外部電源時，其輸出訊號隨著外部電源電壓之電壓位準之上昇而稍為上昇，然後，因內部電路(反相器電路)而驅動成接地電壓位準之L位準者。

該電源投入檢測電路4該之輸出訊號POR為呈L位準之期間內，反相器電路42為，隨著外部電源電壓EXVDD之電壓位準而上昇其外部電源電壓投入檢測訊號ZPOREX之電壓位準。

當外部電源電壓EXVDD到達規定之電壓位準，或穩定化時，電源投入檢測電路40之輸出訊號POR上昇至H位準，相



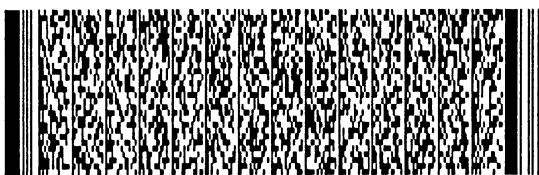
五、發明說明 (24)

應地，反相器電路40之外部電源電壓投入檢測訊號ZPOREX成L位準。

因此，投入該外部電源電壓EXVDD時，外部電源電壓投入檢測訊號ZPOREX超過NOR電路30及32之N通道MOS電晶體之臨限電壓時，可確實地把該NOR電路30及32之輸出訊號保持成L位準。因此，在投入電源時，可將NOR電路30及32之輸出訊號確實地固定成L位準，對以反相器電路及MOS電晶體所構成之閘鎖電路之閘鎖器訊號電壓不會產生任何不良的影響。

再者，在上述說明中，使用外部電源電壓EXVDD作為周邊電路之動作電源電壓。然而，把外部電源電壓EXVDD予以降壓而生成之周邊電源電壓VDDP作為周邊電路之動作電源電壓使用也可以。在該構成的情況，代替反相器電路20除外之電路之外部電源電壓，而施加周邊電源電壓VDDP作為動作電源電壓如在圖7中之括弧內所示。當該周邊電源電壓VDDP作為周邊電路之動作電源電壓使用時，以檢測投入周邊電源電壓VDDP用之周邊電源電壓投入訊號取代外部電源電壓投入檢測訊號ZPOREX而使用也可以。

如上述，根據本發明之實施形態4，對施加對應於閘鎖電路前段之外部電源電壓之電壓作為動作電源電壓之閘電路，施加電源電壓投入檢測訊號；在投入外部電源電壓時，可將該閘電路之輸出訊號保持成規定之電壓位準，以便防止外部電源電壓投入時，對閘鎖電路之閘鎖操作產生不良影響，在恢復外部電源電壓時，也能夠確實地將輸出



五、發明說明 (25)

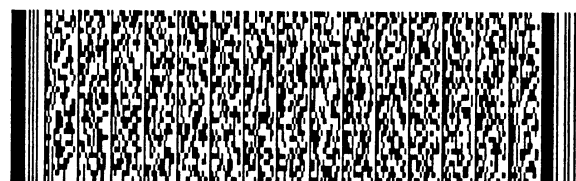
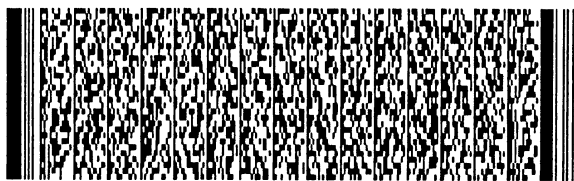
緩衝電路設定成輸出高阻抗狀態者。

又，在上述之說明中，以供給輸出電源電壓VDDQ之狀態下再投入外部電源電壓時之動作說明之。然而，在系統再設定等之投入電源時，先投入輸出電源電壓VDDQ，接著投入外部電源電壓EXVDD之順序中，也把輸出電路可確實地初始化成輸出高阻抗狀態，且可確實地防止系統全體之誤動作及半導體記憶裝置之誤初始化等。

[實施形態5]

圖10是概略地顯示根據本發明實施形態5之輸出電路要部構成圖。在圖10中，以反相器電路IV2與N通道MOS電晶體QN而構成半門鎖器(門鎖電路)。該以反相器電路IV2與MOS電晶體QN所構成之門鎖電路，亦可為前述實施形態1至4之任何部分之門鎖電路。在門鎖電路前段，設有把內部訊號之振幅轉換成輸出電源電壓VDDQ位準之位準轉換電路52。該位準轉換電路52是將施加內部電源電壓(周邊電源電壓)VDDP作為動作電源電壓之前段開電路50之輸出訊號之振幅予以轉換者。換言之，對內部電路施加低於輸出電源電壓VDDQ之電壓作為動作電壓。該位準轉換電路52之構成是如同在圖13所示之位準轉換電路之構成。位準轉換電路52之輸入節點與輸出節點之間，配置施加輸出電源電壓VDDQ於其閘極之N通道MOS電晶體所構成之傳輸閘54。

該傳輸閘54是其臨限電壓 V_{thn} 較低之低臨限電壓電晶體(L- V_{th} 電晶體)者。在待機狀態時，該位準轉換電路52之輸出節點NK是以反相器電路IV2與MOS電晶體QN保持成接地



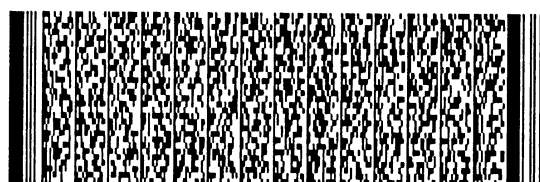
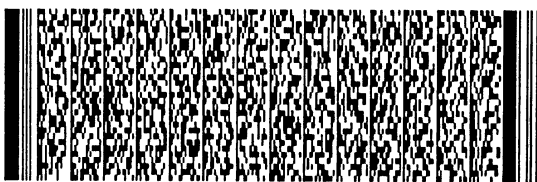
五、發明說明 (26)

電壓位準。

在該狀態下，切斷外部電源電壓EXVDD之供給，相應地周邊電源電壓VDDP電壓位準也降低，前段開電路50之輸出訊號之電壓位準成不穩定狀態時，也是該傳輸閘54把位準轉換電路52之輸出節點NK之電壓(接地電壓位準)傳達至前段開電路50之輸出節點(位準轉換電路52之輸入節點)。因此，在圖13中所示之位準轉換電路中，節點NB相當於位準轉換電路52之輸出節點NK時，該前段開電路50之輸出訊號(SIN)成不穩定狀態，MOS電晶體908b及908c成不穩定狀態，雖然該內部節點(NA及NB)之電壓位準欲變化成中間電壓，但由於該反相器電路IV2及MOS電晶體QN而可將位準轉換電路52之輸出節點NK成為接地電壓位準，可抑制該位準轉換電路52內部節點之上昇。

又，圖13所示之內部節點NA有成為中間電壓位準之可能性時，也是以傳輸閘54，把圖13所示之訊號SIN保持成接地電壓位準，將圖13所示之MOS電晶體908b設定成截止狀態，保持內部節點NA保持成輸出電源電壓VDDQ位準，將該位準轉換電路52可確實地保持成閉鎖狀態，可防止貫穿電流之產生。又，也可防止位準轉換電路52之輸出訊號提昇成中間電壓位準，而在反相器IV2有貫穿電流流動。

因此，對內部電路施加低於輸出電源電壓VDDQ於電壓位準之周邊電源電壓VDDP作為動作電源電壓而動作時，在設置位準轉換電路52之構成中，也是以反相器電路IV2及MOS電晶體QN所構成之閉鎖電路，在外部電源電壓(周邊電源



五、發明說明 (27)

電壓)之供給被切斷時，可確實地防止位準轉換電路52之輸出訊號成為不確定狀態，可將輸出緩衝電路確實地設定成輸出高阻抗狀態者。

又，以傳輸閘54可防止前段閘電路50之輸出訊號成為不穩定狀態。

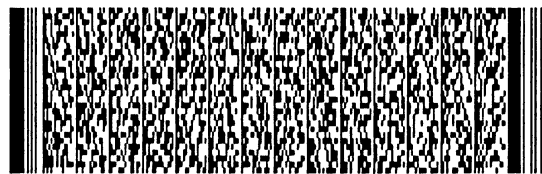
再者，在上述之說明中，就外部電源電壓切斷時之動作說明之。然而，再投入外部電源電壓時也可確實地把位準轉換電路52之輸入節點保持成待機狀態時之電壓位準。

該圖10所示之構成是在實施形態1至4所示之構成中，可適用於其周邊電源電壓是降壓外部電源電壓而生成，作為周邊電路之動作電源電壓而利用之構成者。

[其他之構成]

在實施形態1至5中，以反相器電路及MOS電晶體所構成之門鎖電路是將其輸入節點保持成接地電壓位準。然而，使用反相器電路及P通道MOS電晶體，將該門鎖電路構成為其輸入節點之電源位準保持成輸出電源電壓位準也可以。該時，必需要調整反相器之段數，以便在輸出緩衝電路中，P通道MOS電晶體TP及N通道MOS電晶體TN均成截止狀態。

又，在上述之說明中，就半導體記憶裝置之輸出電路之構成說明。然而，在一般之半導體裝置中，其內部電路之外部電源電壓為利用可切斷之電源電壓作為動作電源電壓，而輸出緩衝電路為利用專用之電源電壓之構成時，則可適用本發明。

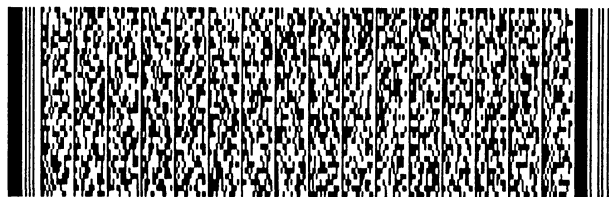


五、發明說明 (28)

如上述，根據本發明，施加在輸出電路中使用之輸出電源電壓及內部電路所利用之外部電源電壓之半導體裝置中，依賴外部電源電壓之電源電壓作為動作電源電壓之電路之下一段，設有以輸出電源電壓作為動作電源電壓之門鎖電路，將外部電源電壓以投入輸出電源電壓之狀態下切斷時也可將內部節點保持成待機時之狀態，並可將輸出電路設定成輸出高阻抗狀態。

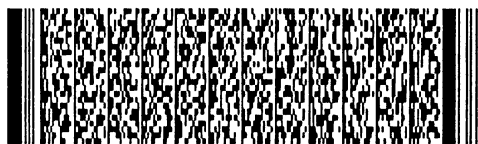
[元件編號之說明]

1、2、4、5	反相器電路
3、6	MOS電晶體
7、13、14	反相器電路
11	NAND電路
12	開電路
20、21、22	反相器電路
23、24	MOS電晶體
30、32	NOR電路
40	電源投入檢測電路
42	反相器電路
50	前段開電路
52	位準轉換電路
54	傳輸開
902	記憶電路
905	內部讀出電路
906	NAND電路



五、發明說明 (29)

907	開 電 路
908	位 準 轉 換 電 路
909	位 準 轉 換 電 路
910	反 相 器
912	輸 出 緩 衝 電 路
920	輸 出 節 點
950	處 理 裝 置
951	半 導 體 記 憶 裝 置
952	半 導 體 記 憶 裝 置
954	記 憶 體
956	匯 流 排
IV1、IV2	反 相 器 電 路
QN、TP、TN	MOS 電 晶 體



圖式簡單說明

圖1是顯示按照本發明實施形態1之輸出電路之構成圖。

圖2是顯示圖1所示輸出電路動作之訊號波形圖。

圖3是顯示按照本發明實施形態1之變更例之輸出電路之構成圖。

圖4是顯示本發明實施形態2之輸出電路之構成圖。

圖5是概略地顯示按照本發明實施形態3之輸出電路要部之構成圖。

圖6是概略地顯示圖5所示反相器電路之輸入輸出特性圖。

圖7是概略地顯示按照本發明實施形態4之輸出電路構成圖。

圖8是概略地顯示圖7所示之產生投入電源檢測訊號之部分之構成圖。

圖9是顯示圖8所示之電源投入檢測部之動作之訊號波形圖。

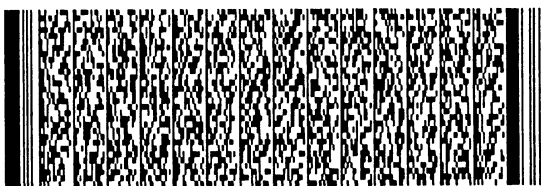
圖10是概略地顯示按照本發明實施形態5之輸出電路要部構成圖。

圖11是概略地顯示習知之半導體裝置之全體構成圖。

圖12是概略地顯示圖11所示之輸出電路構成圖。

圖13是顯示圖12所示位準轉換電路構成之一例圖。

圖14是概略地顯示習知之資料處理系統之構成圖。



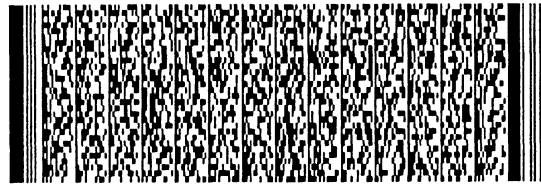
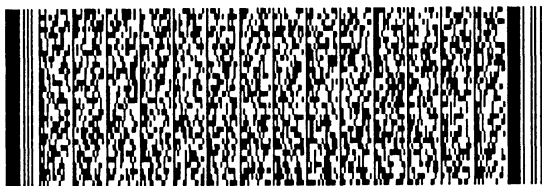
四、中文發明摘要 (發明之名稱：半導體裝置)

本發明是關於一種二電源構成之半導體裝置，其在一個電源切斷時，也可將輸出緩衝電路確實地設定成輸出高阻抗狀態者。

本發明之解決手段為，在輸出電路中，在接受第一電源電壓(EXVDD)關聯之電源電壓作為動作電源電壓之閘電路(30, 32)之下一級，配置以反相器電路(2, 22)及MOS電晶體(3, 23)所構成之門鎖電路，並施加第二電源電壓(VDDQ)作為該門鎖電路之動作電源電壓。按照該門鎖電路之輸出而驅動輸出緩衝電路(912)。雖然切斷第一電源電壓，亦可利用接受第二電源電壓作為動作電源電壓之門鎖電路，保持待機狀態時之訊號電壓，可將輸出緩衝電路確實地保持成輸出高阻抗狀態者。

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE)

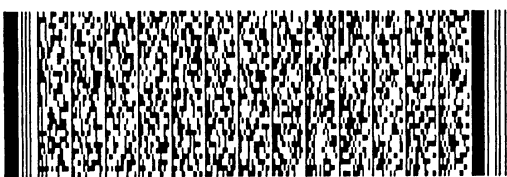
In the output circuit, at a subsequent stage of a gate circuit operating with a power supply voltage related to a first power supply voltage, a latch circuit formed of an inverter circuit and a MOS transistor is arranged, and is supplied with a second power supply voltage as an operating power supply voltage. An output buffer circuit is driven in accordance with an output signal of the latch circuit. When the first power supply voltage is powered down, the latch circuit



四、中文發明摘要 (發明之名稱：半導體裝置)

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE)

receiving and operating with the second power supply voltage holds a signal voltage to be attained in a standby state and thus the output buffer circuit is reliably held in an output high impedance state. In a semiconductor device of a double power supply configuration, even when one power supply is powered down, the output buffer circuit can reliably be set to an output high impedance state.



六、申請專利範圍

1. 一種半導體裝置，其具備有：

第一輸出驅動訊號生成電路，接受第一電源電壓作為動作電源電壓，至少按照內部訊號而生成第一輸出驅動訊號；

第一閘鎖電路，接受第二電源電壓作為動作電源電壓，用以閘鎖及傳輸前述第一輸出驅動訊號；及

第一輸出電晶體，接受前述第二電源電壓作為動作電源電壓，按照前述第一閘鎖電路之輸出訊號，驅動與匯流排訊號線耦合之主輸出節點。

2. 如申請專利範圍第1項之半導體裝置，其更具備有：

第二輸出驅動訊號生成電路，接受前述第一電源電壓作為動作電源電壓，至少按照前述內部訊號而生成第二輸出驅動訊號；

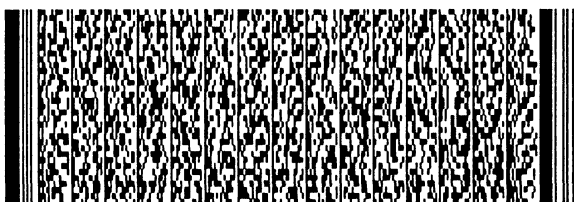
第二閘鎖電路，接受前述第二電源電壓作為動作電源電壓，用以閘鎖及傳輸前述第二輸出驅動訊號；及

輸出驅動電路，至少按照前述第二閘鎖電路之輸出訊號驅動前述主輸出節點，其中，

在驅動前述主輸出節點時，前述輸出驅動電路是與前述第一輸出電晶體互補地按照前述內部訊號驅動前述主輸出節點。

3. 如申請專利範圍第2項之半導體裝置，其中前述輸出驅動電路是具備有：

緩衝電路，接受前述第二電源電壓作為動作電源電壓，緩衝處理前述閘鎖電路之輸出電路；及



六、申請專利範圍

第二輸出電晶體，按照前述緩衝電路之輸出訊號而選擇性地導通，而導通時，將前述主輸出節點驅動成與前述第二電源電壓不同極性之電壓位準。

4. 如申請專利範圍第2項之半導體裝置，其中前述輸出驅動電路是具備有：

輔助驅動電路，接受前述第一電源電壓作為動作電源電壓，按照前述內部訊號生成與前述第二輸出驅動訊號同一邏輯位準之訊號；

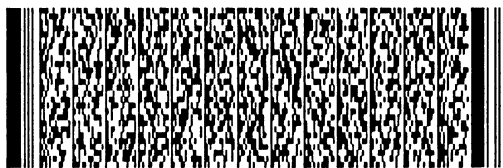
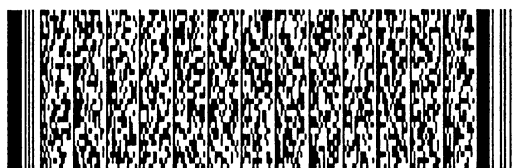
輔助電晶體將前述輔助驅動電路之輸出節點，按照前述門鎖電路之輸出訊號，選擇性地耦合在供給與前述第二電源電壓不同極性之電壓的參考電壓節點上；及

第二輸出電晶體，按照前述輔助驅動電路之輸出節點之電壓而選擇性地導通，而在導通時，將前述主輸出節點驅動成前述參考節點之電壓位準。

5. 如申請專利範圍第1項之半導體裝置，其中前述第一門鎖電路是包含反相器，而該反相器之輸入邏輯臨限值為，至少比前述第一輸出驅動訊號生成電路變成不能動作之第一電源電壓位準較高之構成者。

6. 如申請專利範圍第2項之半導體裝置，其中前述第二門鎖電路是包含反相器，而該反相器之輸入邏輯臨限值為，至少比前述第二輸出驅動訊號生成電路變成不能動作之第一電源電壓的電壓位準較高之構成者。

7. 如申請專利範圍第1項之半導體裝置，其更具備有檢測出前述第一電源電壓之投入狀態，以生成電源投入檢測



六、申請專利範圍

訊號的電源投入檢測電路，

前述第一輸出驅動訊號生成電路，是按照前述電源投入檢測訊號與前述內部訊號生成前述第一輸出驅動訊號者。

8. 如申請專利範圍第2項之半導體裝置，其更具備有檢測出前述第一電源電壓之投入狀態，在前述第一電源電壓投入時生成電源投入檢測訊號之電源投入檢測電路，

前述第二輸出驅動訊號生成電路，是按照前述內部訊號及前述電源投入檢測訊號而生成前述第二輸出驅動訊號者。

9. 如申請專利範圍第1項之半導體裝置，其更具備有：

位準轉換電路，配置在前述第一輸出驅動訊號生成電路與前述第一閘鎖電路之間，用以將前述第一輸出驅動訊號生成電路之輸出訊號的振幅轉換成前述第二電源電壓位準的振幅而對前述第一閘鎖電路傳達位準轉換訊號；及

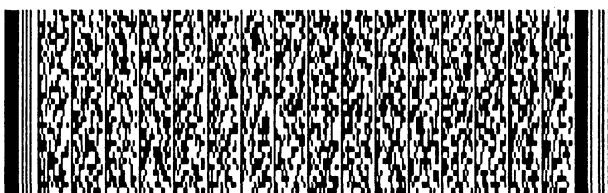
傳輸閘，耦合於前述位準轉換電路之輸入與輸出之間，且在其閘極接受前述第二電源電壓。

10. 如申請專利範圍第2項之半導體裝置，其更具備有：

位準轉換電路，配置在前述第二輸出驅動訊號生成電路與前述第二閘鎖電路之間，將前述第二輸出驅動訊號生成電路之輸出訊號的振幅轉換成前述第二電源電壓位準之振幅而對前述第二閘鎖電路傳達位準轉換訊號；及

傳輸閘，耦合於前述位準轉換電路之輸入及輸出之間，且其閘極接受前述第二電源電壓。

11. 一種半導體裝置，其具備有：



六、申請專利範圍

第一電路，接受第一電源電壓作為動作電源電壓，按照所給之訊號生成第一訊號；及

第二電路，接受第二電源電壓作為動作電源電壓，接受來自前述第一電路之前述第一訊號而按照前述第一訊號而產生第二訊號；其中

前述第二電路是包含其輸入部接受前述第一訊號且門鎖前述輸入部之訊號電壓的門鎖電路。

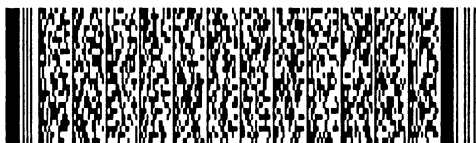


圖 1

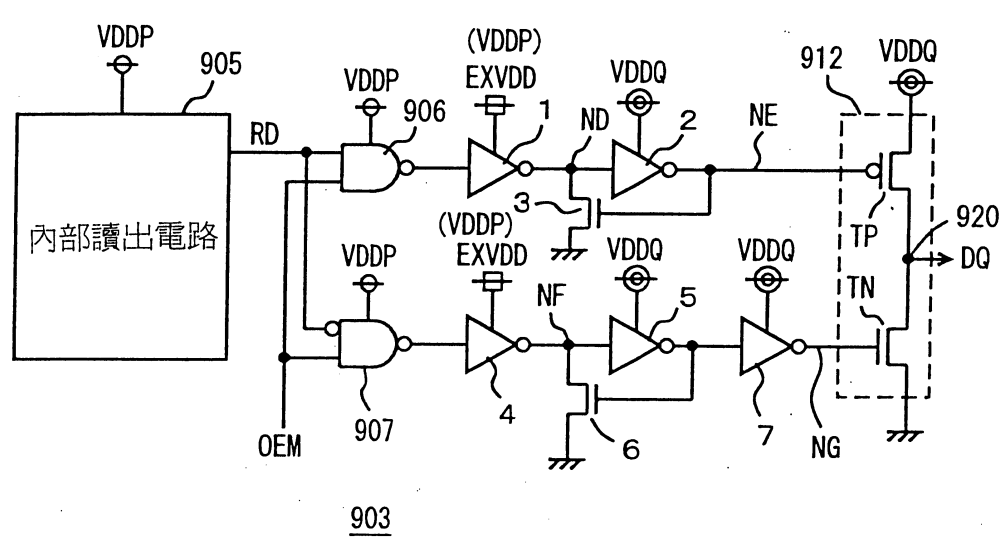
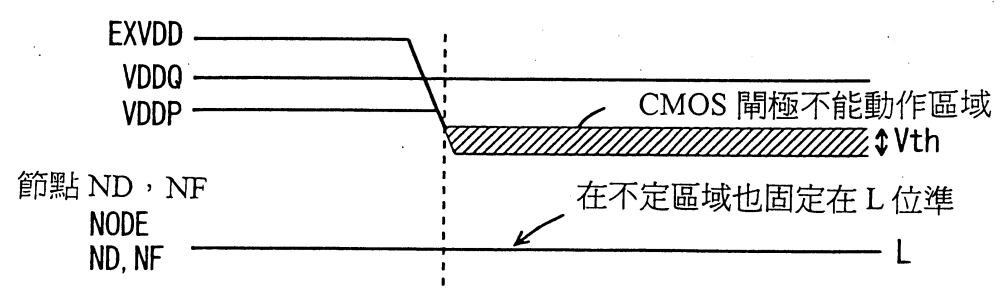
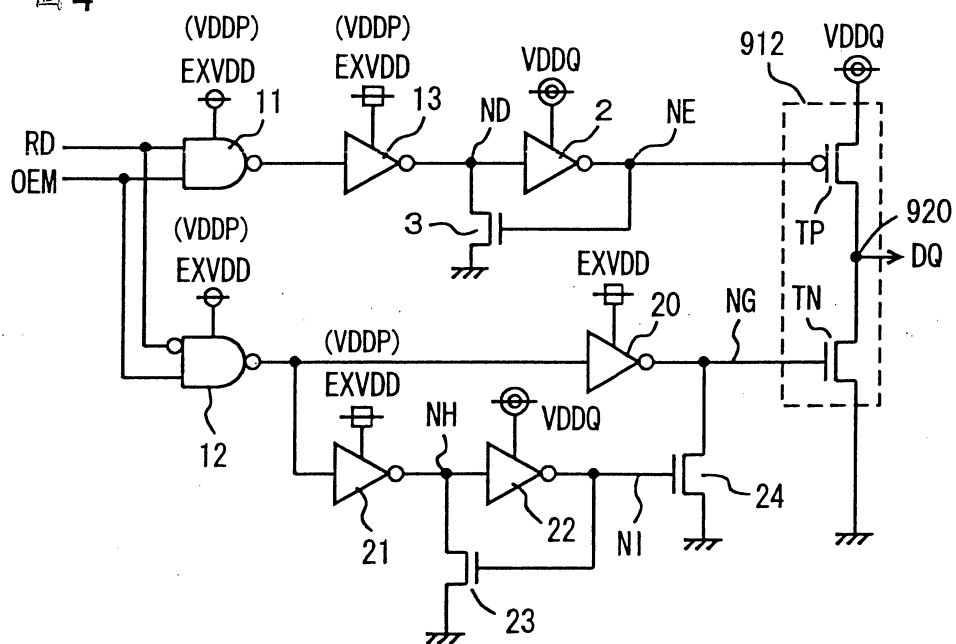


圖 2





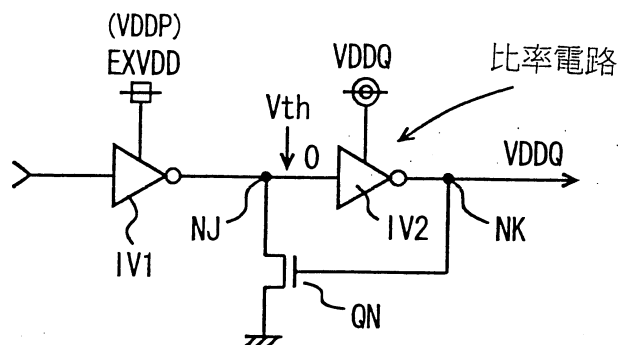


圖 6

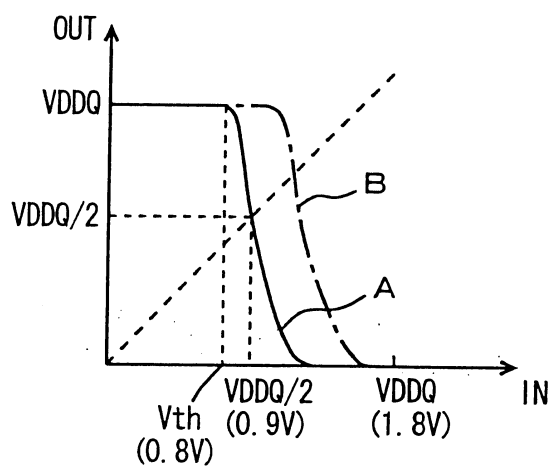


圖 7

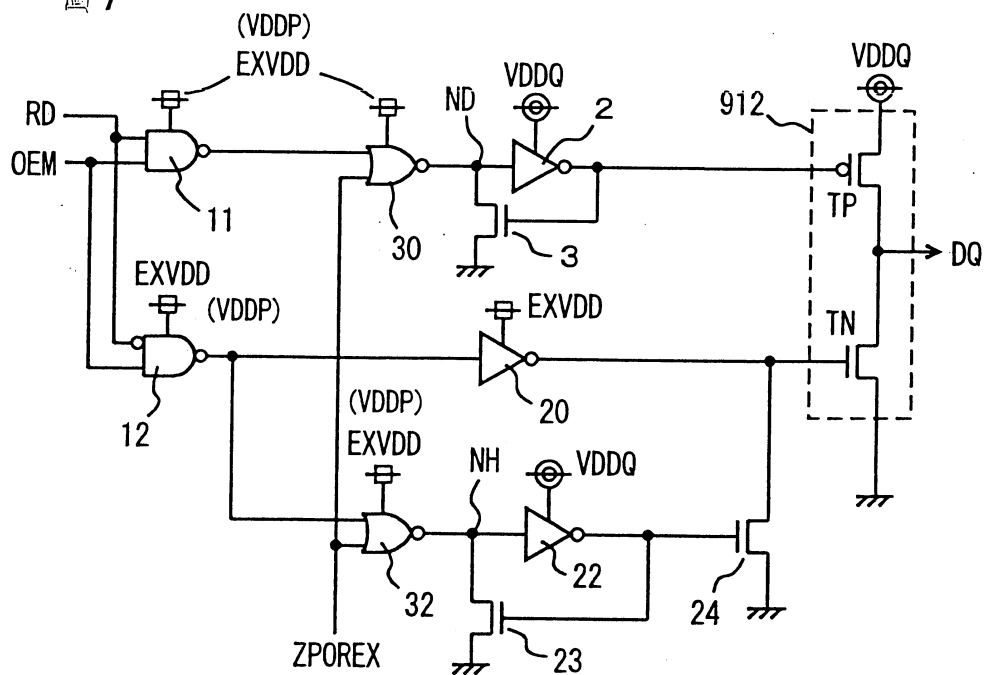


圖 8

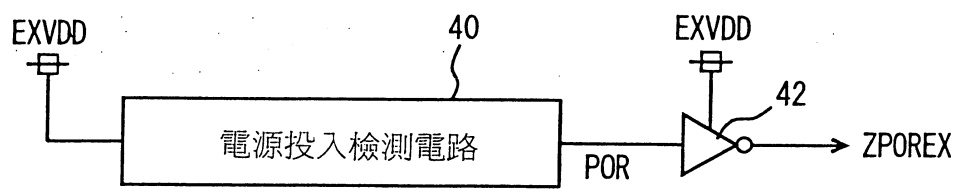


圖 9

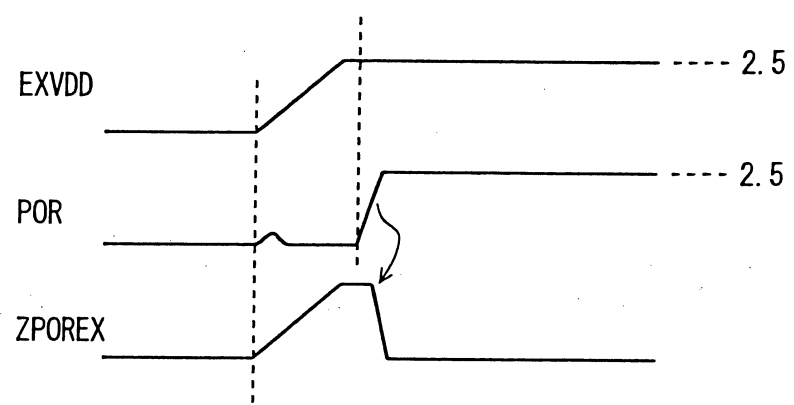


圖 10

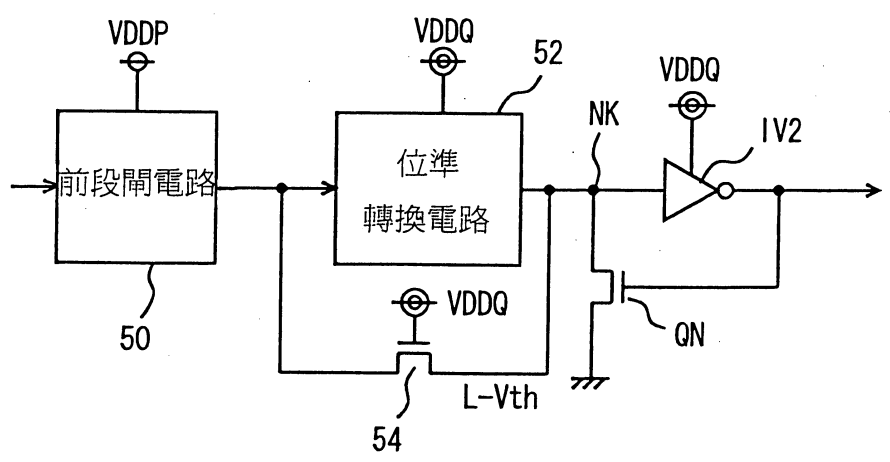


圖 11

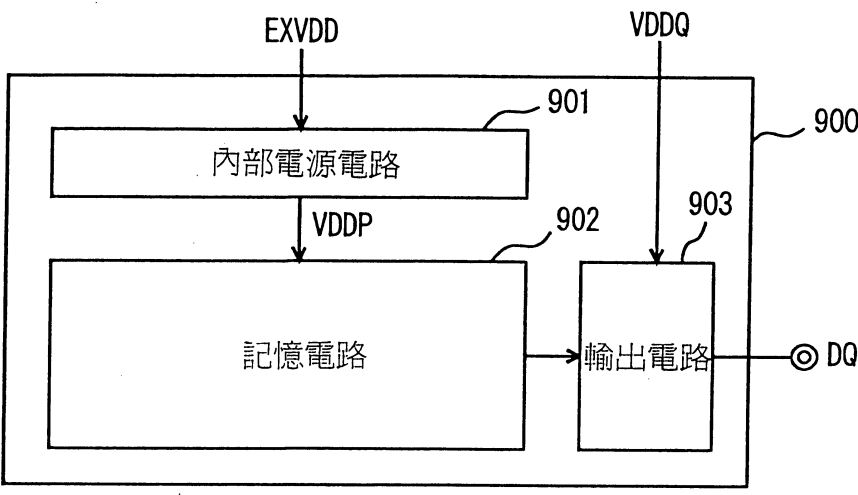


圖 12

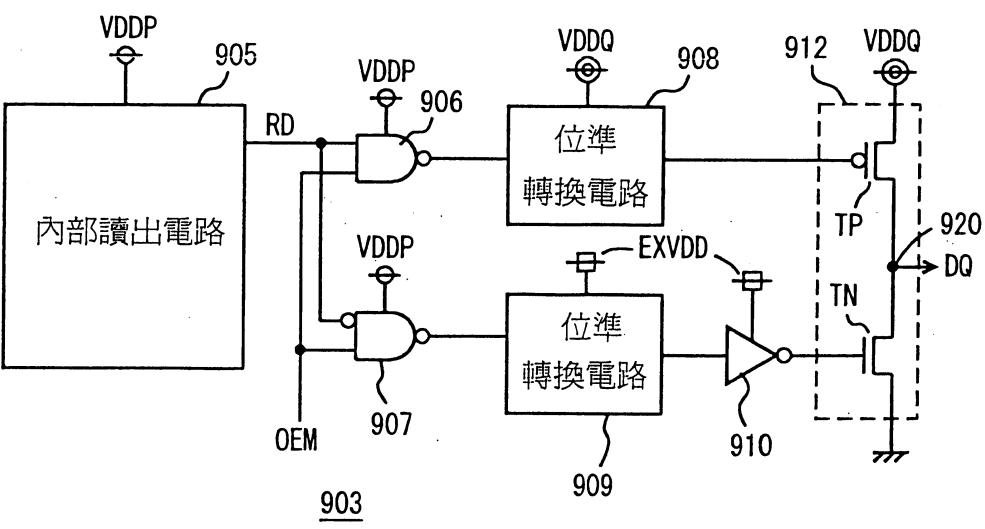


圖 13

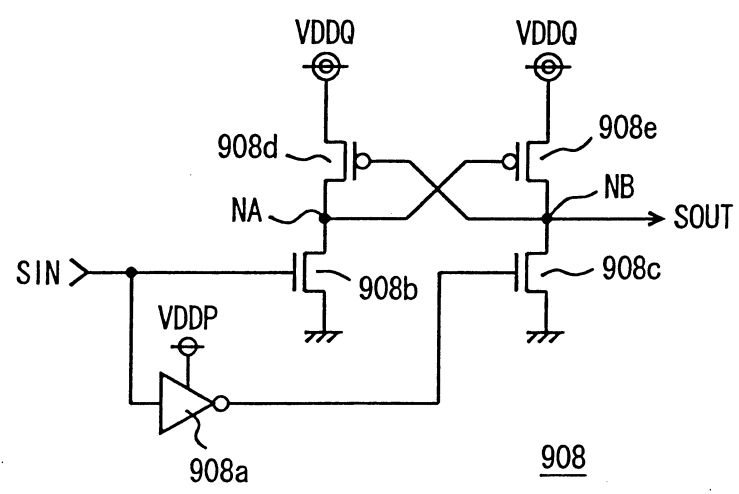


圖 14

