(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2024 年 8 月 29 日 (29.08.2024)

WIPO | PCT

(10) 国际公布号
WO 2024/174355 A1

(51) 国际专利分类号:
H01L 23/525 (2006.01) *H01L 21/768* (2006.01)

(21) 国际申请号: PCT/CN2023/086760

(22) 国际申请日: 2023 年 4 月 7 日 (07.04.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310154914.2 2023年2月23日 (23.02.2023) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES , INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 黄金荣 (**HUANG, Jinrong**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 华进联合专利商标代理有限公司 (**ADVANCE CHINA IP LAW OFFICE**); 中国广东省广州市天河区珠江东路6号4501房（部位：自编01-03和08-12单元）（仅限办公用途）, Guangdong 510623 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(54) **Title:** ANTIFUSE STRUCTURE, PREPARATION METHOD THEREFOR, ANTIFUSE ARRAY STRUCTURE, AND MEMORY

(54) 发明名称: 反熔丝结构及其制备方法、反熔丝阵列结构、存储器

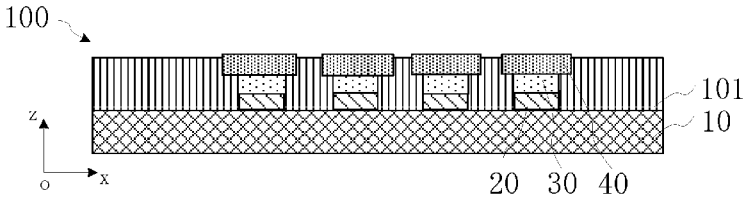


图 13

(57) **Abstract:** The present disclosure relates to an antifuse structure, a preparation method therefor, an antifuse array structure, and a memory. The anti-fuse structure (100) comprises a bit line structure (10), word line structures (40), and a variable resistance structure (20) and a threshold gating structure (30) located between the bit line structure (10) and each word line structure (40). The variable resistance structures (20) are configured to change from a high resistance state to a low resistance state at a preset programming voltage. The threshold gating structures (30) are configured to be gated at a threshold voltage.

(57) 摘要: 本公开涉及一种反熔丝结构及其制备方法、反熔丝阵列结构、存储器，反熔丝结构(100)包括位线结构(10)、字线结构(40)，以及位于位线结构(10)和字线结构(40)之间的可变电阻结构(20)和阈值选通结构(30)，可变电阻结构(20)被配置为在预设编程电压下从高阻态转变为低阻态；阈值选通结构(30)被配置为在阈值电压下选通。

WO 2024/174355 A1

反熔丝结构及其制备方法、反熔丝阵列结构、存储器

相关申请的交叉引用

本公开要求于 2023 年 02 月 23 日日提交中国专利局、申请号为 202310154914.2、发明名称为“反熔丝结构及其制备方法、反熔丝阵列结构、存储器”的中国专利的优先权，所述专利申请的全部内容通过引用结合在本公开中。

技术领域

本公开涉及半导体制造技术领域，尤其涉及一种反熔丝结构及其制备方法、反熔丝阵列结构、存储器。

背景技术

随着半导体技术的发展，在动态随机存取存储器（Dynamic Random Access Memory，DRAM）中使用的熔丝，从以物理性切断的金属熔丝逐渐转变为使用脉冲电压的反熔丝。

传统的反熔丝结构在半导体器件中位置较为固定，且占据了芯片中较大面积，影响半导体器件的高度地集成化。传统反熔丝单元的尺寸与可靠性成负相关，随着制程工艺的微缩，反熔丝结构的可靠性急剧下降，导致反熔丝微缩遇到瓶颈，新型的小尺寸反熔丝结构亟待开发。

发明内容

根据本公开的各种实施例，提供一种反熔丝结构及其制备方法、反熔丝阵列结构、存储器。

根据本公开的各种实施例，一方面提供一种半导体结构，包括：位线结构、字线结构，以及位于位线结构和字线结构之间的可变电阻结构和阈值选通结构，其中，可变电阻结构被配置为在预设编程电压下从高阻态转变为低阻态；阈值选通结构被配置为在阈值电压下选通。

根据一些实施例，可变电阻结构位于位线结构及阈值选通结构之间，或阈值选通结构位于位线结构及可变电阻结构之间。

根据一些实施例，可变电阻结构为金属介质层。

根据一些实施例，金属介质层的材料为氧化铪、氧化锆、氧化铊与氧化铝中的一种或多种。

根据一些实施例，阈值选通结构的材料为氧化钛、氧化铪、氧化钛铪与碲锡锗相变材料中的一种或多种。

根据一些实施例，反熔丝结构形成于存储结构的预设区域内；预设区域选自第一金属层的表面、第二金属层的表面、顶层金属层的表面和其组合。

根据一些实施例，反熔丝结构形成于存储结构的第一金属层和第二金属层之间的电容层所在平面内。

根据一些实施例，可变电阻结构的厚度范围为 5 Å-10 Å；阈值选通结构的厚度范围为 1nm-10nm；字线结构的厚度范围为 20nm-50nm；位线结构的厚度范围为 20nm-50nm。

根据一些实施例，本公开的另一方面提供了一种反熔丝阵列结构，该反熔丝阵列结构包括第一反熔丝结构及第二反熔丝结构，第一反熔丝结构采用上述任一实施例中的反熔丝结构；第二反熔丝结构采用上述任一实施例中的反熔丝结构；第一反熔丝结构和第二反熔丝结构共用同一位线结构，第一反熔丝结构的可变电阻结构及阈值选通结构位于共用的位线结构的相对一侧，第二反熔丝结构的可变电阻结构及阈值选通结构位于共用的位线结构的相对另一侧。

根据一些实施例，位线结构沿第一方向延伸，多条位线结构沿第二方向平行间隔排布；第一反熔丝结构的字线结构的延伸方向平行于第二方向；第二反熔丝结构的字线结构的延伸方向平行于第二方向；第一方向、第二方向相互垂直。

根据一些实施例，第一反熔丝结构的阈值选通结构的选通时刻，与第二反熔丝结构的阈值选通结构的选通时刻具有预设时间差。

根据一些实施例，两个共用位线结构的可变电阻结构或阈值选通结构的至少部分位于位线结构的内部。

根据一些实施例，两个共用位线结构的可变电阻结构或阈值选通结构的至少部分位于字线结构的内部。

根据一些实施例，沿第二方向相邻的两个第一反熔丝结构共用同一字线结构；及/或，沿第二方向相邻的两个第二反熔丝结构共用同一字线结构。

根据一些实施例，沿第二方向相邻的两个第一反熔丝结构的字线结构在相同的工艺步骤中制备而成。

根据一些实施例，沿第二方向相邻的两个第二反熔丝结构的字线结构在相同的工艺步骤中制备而成。

根据一些实施例，本公开的再一方面提供了一种存储器，该存储器包括上述任一实施例中的半导体结构，或上述任一实施例中的反熔丝结构。

根据一些实施例，存储器为动态随机存取存储器。

根据一些实施例，本公开的又一方面提供了一种反熔丝结构制备方法，该方法包括：提供衬底；于衬底上形成位线结构；于位线结构远离衬底的一侧形成可变电阻结构和阈值选通结构；其中，可变电阻结构被配置为在预设编程电压下从高阻态转变为低阻态；阈值选通结构被配置为在阈值电压下选通；于可变电阻结构和阈值选通结构上形成字线结构。

根据一些实施例，可变电阻结构位于位线结构及阈值选通结构之间，于位线结构远离衬底的一侧形成可变电阻结构和阈值选通结构包括：于位线结构远离衬底的表面形成可变电阻结构；于可变电阻结构远离位线结构的表面形成阈值选通结构。

根据一些实施例，阈值选通结构位于位线结构及可变电阻结构之间，于位线结构远离衬底的一侧形成可变电阻结构和阈值选通结构包括：于位线结构远离衬底的表面形成阈值选通结构；于阈值选通结构远离位线结构的表面形成可变电阻结构。

本公开的一个或多个实施例的细节在下面的附图和描述中提出。本公开的其他特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更清楚地说明本公开实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开实施例的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1a 为本公开一实施例中提供的一种反熔丝结构的立体结构示意图；

图 1b 为本公开另一实施例中提供的一种反熔丝结构的立体结构示意图；

图 1c 为本公开再一实施例中提供的一种反熔丝结构的立体结构示意图；

图 1d 为本公开又一实施例中提供的一种反熔丝结构的立体结构示意图；

图 2 为本公开一实施例中提供的一种反熔丝阵列结构的立体结构示意图；

图 3 为本公开一实施例中提供的一种反熔丝结构的制备方法的流程示意图；

图 4 为本公开第一实施例中反熔丝结构的制备方法中所得截面结构示意图；

图 5 为本公开第二实施例中反熔丝结构的制备方法中所得截面结构示意图；

图 6 为本公开第三实施例中反熔丝结构的制备方法中所得截面结构示意图；

图 7 为本公开第四实施例中反熔丝结构的制备方法中所得截面结构示意图；

图 8 为本公开第五实施例中反熔丝结构的制备方法中所得截面结构示意图；

图 9 为本公开第六实施例中反熔丝结构的制备方法中所得截面结构示意图；

图 10 为本公开第七实施例中反熔丝结构的制备方法中所得截面结构示意图；

图 11 为本公开第八实施例中反熔丝结构的制备方法中所得截面结构示意图；

图 12 为本公开第九实施例中反熔丝结构的制备方法中所得截面结构示意图；

图 13 为本公开第十实施例中反熔丝结构的制备方法中所得截面结构示意图。

具体实施方式

为了便于理解本公开，下面将参阅相关附图对本公开进行更全面的描述。附图中给出了本公开的

首选实施例。但是，本公开可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本公开的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中在本公开的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本公开。

应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、 第二、第三等描述各种元件、部件、区、层、掺杂类型和/或部分，这些元件、部件、区、层、掺杂类型和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层、掺杂类型或部分与另一个元件、部件、区、层、掺杂类型或部分。因此，在不脱离本发明教导之下，下面讨论的第一元件、部件、区、层、掺杂类型或部分可表示为第二元件、部件、区、层或部分；举例来说，可以将第一掺杂类型成为第二掺杂类型，且类似地，可以将第二掺杂类型成为第一掺杂类型；第一掺杂类型与第二掺杂类型为不同的掺杂类型，譬如，第一掺杂类型可以为 P 型且第二掺杂类型可以为 N 型，或第一掺杂类型可以为 N 型且第二掺杂类型可以为 P 型。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可以用于描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。此外，器件也可以包括另外地取向(譬如，旋转 90 度或其它取向)，并且在此使用的空间描述语相应地被解释。

在此使用时，单数形式的“一”、“一个”和“所述/该”也可以包括复数形式，除非上下文清楚指出另外的方式。还应明白，当术语“组成”和/或“包括”在该说明书中使用时，可以确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。同时，在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

需要说明的是，本实施例中所提供的图示仅以示意方式说明本公开的基本构想，虽图示中仅显示与本公开中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制，其实际实施时各组件的型态、数量及比例可为一种随意的改变，且其组件布局型态也可能更为复杂。

反熔丝记载了失效单元的地址信息，对于提升产品良率意义重大，但传统的反熔丝在产品上占用面积较大，不利于成本的降低。传统反熔丝主要包括金属-氧化物半导体场效应晶体管（Metal Oxide Semiconductor Field Effect Transistor，MOSFET）器件，制备位置较为固定，必须做在有源区上，位置可选择性差，占用的面积过大，不利于芯片尺寸的缩减。随着制备工艺的不断微缩，反熔丝结构的可靠性急剧下降，导致反熔丝微缩遇到瓶颈。并且，传统的反熔丝阵列无法实现垂直方向的堆叠。

基于此，本公开提供一种反熔丝结构、反熔丝阵列结构及反熔丝结构制备方法、存储器，能够降低反熔丝结构的平面面积和体积，进一步降低集成反熔丝结构的器件的尺寸。

在一些实施例中，本公开提供了一种反熔丝结构，该反熔丝结构包括依次叠置的位线结构、可控电阻结构和字线结构，其中可控电阻结构被配置为在阈值电压下选通且在预设编程电压下从高阻态转变为低阻态，可控电阻结构包括层叠的可变电阻结构及阈值选通结构。

作为示例，上述实施例中的反熔丝结构，可以利用可控电阻结构具备初始态为高阻态且在预设编程电压驱动下由高阻态转变为低阻态的性能，且反熔丝结构在较低电压下可实现阻值变化，实现反熔丝结构的写入与读出，因此能够降低反熔丝结构的平面面积和体积，进一步降低集成反熔丝结构的半导体器件的体积。

在一些实施例中，请参考图 1a-图 1d，本公开提供了一种反熔丝结构，该反熔丝结构包括位线结

构 10、字线结构 40，以及位于位线结构 10 和字线结构 40 之间的可变电阻结构 20 和阈值选通结构 30，其中可变电阻结构 20 被配置为在预设编程电压下从高阻态转变为低阻态；阈值选通结构 30 被配置为在阈值电压下选通。

作为示例，请继续参考图 1a-图 1d，上述实施例中的反熔丝结构，可以利用可变电阻结构 20 具备初始态为高阻态且在预设编程电压驱动下由高阻态转变为低阻态的性能，且反熔丝结构在较低电压下可实现阻值变化，实现反熔丝结构的写入与读出，因此能够在降低反熔丝结构的平面面积和体积的情况下，进一步降低反熔丝结构的能耗。

在一些实施例中，请继续参考图 1a-图 1d，可变电阻结构 20 位于位线结构 10 及阈值选通结构 30 之间，或阈值选通结构 30 位于位线结构 10 及可变电阻结构 20 之间。

在一些实施例中，请参考图 1a，反熔丝结构 100a 可以为位线结构 10、可变电阻结构 20、阈值选通结构 30 和字线结构 40 沿位线结构 10 的厚度方向例如 oz 方向依次叠置，该反熔丝结构 100a 可以形成由位线结构 10 依次经由可变电阻结构 20、阈值选通结构 30 连接至字线结构 40 的导电通道。在一些实施例中，请参考图 1b，反熔丝结构 100b 可以为位线结构 10、阈值选通结构 30、可变电阻结构 20 和字线结构 40 沿 oz 方向依次叠置，该反熔丝结构 100b 可以形成由位线结构 10 依次经由阈值选通结构 30、可变电阻结构 20 连接至字线结构 40 的导电通道。在一些实施例中，请参考图 1c，反熔丝结构 100c 可以为字线结构 40、可变电阻结构 20、阈值选通结构 30 和位线结构 10 沿 oz 方向依次叠置。在一些实施例中，请参考图 1d，反熔丝结构 100d 可以为字线结构 40、阈值选通结构 30、可变电阻结构 20 和位线结构 10 沿 oz 方向依次叠置。在本公开实施例中，由于可变电阻结构 20 能够在预设编程电压下从高阻态转变为低阻态，及阈值选通结构 30 能够在阈值电压下选通，可以先控制阈值选通结构 30 导通，再控制可变电阻结构 20 由高阻态变为低阻态，使得反熔丝结构在较低电压下可实现阻值变化，实现反熔丝结构的写入与读出，避免堆叠的反熔丝结构之间产生信号串扰；由于没有采用晶体管，本实施例中的反熔丝结构能够有效地缩减产品体积。多种不同的叠置方式可以满足多种不同应用场景的实际需求。在一些实施例中，请继续参考图 1a-图 1d，可变电阻结构 20 为金属介质层，在高压下击穿形成导电层，增加可变电阻结构 20 的导电性并降低其导通阻抗，使得可变电阻结构在较低电压下可实现阻值变化，且功耗低，以确保制备产品在体积不增加的情况下，降低可变电阻结构单位体积的能耗。

在一些实施例中，请继续参考图 1a-图 1d，金属介质层的材料为氧化铪、氧化锆、氧化钽与氧化铝中的一种或多种，这些材料具有阻值可变特性，比较容易实现阻值的变化。其中氧化铪具有高介电常数及良好的热稳定性；氧化锆高介电常数，氧化钽具有高循环特性，氧化铝具有高密度及高阻挡性。

在一些实施例中，请继续参考图 1a-图 1d，阈值选通结构 30 的材料为氧化钛、氧化铪、氧化钛铪与碲锡锗相变材料中的一种或多种。氧化钛具有性质稳定不易产生化学反应，及自身电阻值随着所在环境温度增加而减小的特质；氧化铪具有高介电常数及良好的热稳定性；氧化钛铪除了具有氧化铪的优良特性之外还具有高介电常数；碲锡锗相变材料具有可编程的特性。这些材料具有选通性能，使得可变电阻结构 20 能够在预设编程电压下从高阻态转变为低阻态，防止堆叠的反熔丝结构之间产生串扰现象。

在一些实施例中，请继续参考图 1a-图 1d，字线结构 40 的材料为钨、铜、钛、铝、钽、铪、铷、氧化铟锡、导电玻璃与氧化铟镓锌中的一种或多种，这些材料为金属或金属氧化物等具有导电性能的材料，在编程时提供编程电压，在读取反熔丝电流时提供较低的读取电压。钨具有较强的覆盖能力且化学性质稳定，使所形成字线结构 40 均匀致密且表面光滑，有利于提高反熔丝结构的稳定性；铜具有良好的放热特性、热导率、低电阻及高量产性；钛具有低电阻，能够减小所形成字线结构 40 的体积，从而可以提高制备产品的集成度，并且钛与氧化物半导体或硅接触不会产生缺陷，具有高耐热性；铝与各种半导体材料之间具有良好的晶格匹配度及晶格耦合度，且具有良好的耐硫化特性及较大的粘合力；钽具有较高的可塑性及低熔点；铪具有低功函数、化学性质稳定及不易与水和普通的酸或碱反应；铷具有优良的光电特性、导电性及导热性；氧化铟锡具有良好的化学稳定性、热稳定性和图形加工特性；导电玻璃具有良好且稳定的光学和电学性能；氧化铟镓锌具有可控掺杂性及高适应性。

在一些实施例中，请继续参考图 1a-图 1d，位线结构 10 的材料为钨、铜、钛、铝、钽、铪、铷、

氧化铟锡、导电玻璃与氧化铟镓锌中的一种或多种，这些材料为金属或金属氧化物等具有导电性能的材料，在反熔丝结构运作过程中提供低电压与字线结构形成压差，提供电路通道。钨具有较强的覆盖能力且化学性质稳定，使所形成字线结构 40 均匀致密且表面光滑，有利于提高反熔丝结构的稳定性；铜具有良好的放热特性、热导率、低电阻及高量产性；钛具有低电阻，能够减小所形成字线结构 40 的体积，从而可以提高制备产品的集成度，并且钛与氧化物半导体或硅接触不会产生缺陷，具有高耐热性；铝与各种半导体材料之间具有良好的晶格匹配度及晶格耦合度，且具有良好的耐硫化特性及较大的粘合力；铊具有较高的可塑性及低熔点；铪具有低功函数、化学性质稳定及不易与水和普通的酸或碱反应；铷具有优良的光电特性、导电性及导热性；氧化铟锡具有良好的化学稳定性、热稳定性和图形加工特性；导电玻璃具有良好且稳定的光学和电学性能；氧化铟镓锌具有可控掺杂性及高适应性。

作为示例，请继续参考图 1a-图 1d，预设编程电压的幅值范围包括：3.0V-4.0V，例如预设编程电压的幅值可以为 3.0V、3.2V、3.4V、3.6V、3.8V 或 4.0V 等等。本实施例的反熔丝结构的编程电压与可变电阻结构 20 厚度相关，减小可变电阻结构 20 的厚度，可以减小其编程电压的幅值，本实施例的可变电阻结构 20 厚度大于或等于 5 Å。

作为示例，请继续参考图 1a-图 1d，预设读取电压的幅值范围为 0V-2.0V，以逐步读取电流变化。例如预设读取电压可以为 0V、0.2V、0.4V、0.6V、0.8V、1.0V、1.2V、1.4V、1.6V、1.8V 或 2.0V 等等。阈值选通结构 30 在 2V 上下电压操作下进行选通，从而实现可变电阻结构 20 能够在预设编程电压下从高阻态转变为低阻态，防止堆叠的反熔丝结构之间产生串扰现象。本实施例中反熔丝结构在较低电压下即可实现阻值变化，对降低功耗作用较大。

作为示例，请继续参考图 1a-图 1d，可变电阻结构 20 被配置为初始态为高阻态；在字线结构 40 提供的预设编程电压驱动下，从高阻态转变为低阻态；以及在字线结构 40 提供的预设读取电压驱动下，若为高阻态则读出第一数值及若为低阻态则读出第二数值。

作为示例，请继续参考图 1a-图 1d，在字线结构 40 上施加预设编程电压，位线结构 10 上施加 0V 电压，形成压差，阈值选通结构 30 在压差下打开，可变电阻结构 20 在压差下材料被击穿，内部形成导电通道，由初始高阻态转变为低阻态，即可变电阻结构 20 由关断状态变为具有一定阻值的导通状态。第一数值可以为“0”，第二数值可以为“1”。对可变电阻结构 20 进行读取操作时，向字线结构 40 施加预设读取电压，并向位线结构 10 上施加 0V 电压，形成压差，阈值选通结构 30 在压差下打开，测量流过可变电阻结构 20 的电流，此时用预设读取电压的幅值与流过可变电阻结构 20 的电流相比即可获取该可变电阻结构 20 的阻值。若可变电阻结构 20 为高阻态，则可变电阻结构 20 中几乎无电流流过，这样输出低电压为 0V，将“0”状态读出；若可变电阻结构 20 为低阻态，则可变电阻结构 20 中有电流流过，输出电压大于 0V，将“1”状态读出。根据读取参数的不同和读取电路的不同，第一数值可以为“1”，第二数值可以为“0”。

在一些实施例中，请继续参考图1a-图1d，反熔丝结构形成于存储结构的预设区域内；预设区域选自第一金属层的表面、第二金属层的表面、顶层金属层的表面和其组合。举例而言，顶层金属层可以为存储结构制造阶段的顶层金属层，顶层金属层作为反熔丝结构的底层结构，例如附图1a所示，顶层金属层作为位线结构10，在其上沿厚度方向例如oz方向依次叠置可变电阻结构20、阈值选通结构30及字线结构40。本实施例的反熔丝结构不限于做在有源区上，极大地降低了有源区的面积，并且本实施例中反熔丝结构形成于存储结构的预设区域内或形成于空闲区域，灵活性高，可以满足多种应用场景的制备需求，还可以减小反熔丝结构的体积，提高芯片密度与集成度。

在一些实施例中，反熔丝结构形成于存储结构的第一金属层和第二金属层之间的电容层所在平面内，利用存储结构的电容层附近空闲区域形成部分或全部反熔丝结构，降低反熔丝结构制备的复杂度，减小反熔丝结构所占存储结构空间，进一步降低存储结构的体积，并降低制造成本。

作为示例，请继续参考图1a-图1d，位线结构10内形成有目标沟槽（未图示）；连接位线结构10的可变电阻结构20或阈值选通结构30至少部分位于目标沟槽内，使得本实施例中的反熔丝结构形成埋入式位线结构10，提高反熔丝结构的集成度。

在一些实施例中，请继续参考图1a-图1d，可变电阻结构20的厚度范围为5 Å-10 Å，例如：5 Å、6 Å、7 Å、8 Å、9 Å或10 Å等等。阈值选通结构30的厚度范围为1nm-10nm，例如：1nm、2nm、3nm、4nm、5nm、6nm、7nm、8nm、9nm或10nm等等。字线结构40的厚度范围为20nm-50nm，例如：20nm、25nm、30nm、35nm、40nm、45nm或50nm等等。位线结构10的厚度范围为20nm-50nm，例如：20nm、25nm、30nm、35nm、40nm、45nm或50nm等等。

在一些实施例中，请参考图 2，提供了一种反熔丝阵列结构 300，该反熔丝阵列结构 300 包括阵列排布的反熔丝堆叠结构 200。反熔丝堆叠结构 200 包括共用同一位线结构 10 的第一反熔丝结构 200a 及第二反熔丝结构 200b；第一反熔丝结构 200a 采用上述任一实施例的反熔丝结构；第二反熔丝结构 200b 采用上述任一实施例的反熔丝结构。第一反熔丝结构的可变电阻结构 12 及第一反熔丝结构的阈值选通结构 13 位于共用的位线结构 10 的相对一侧；第二反熔丝结构的可变电阻结构 22 及第二反熔丝结构的阈值选通结构 23 位于共用的位线结构 10 的相对另一侧。

作为示例，请继续参考图2，上述实施例中的反熔丝阵列结构300，可以利用第一反熔丝结构的可变电阻结构12及第二反熔丝结构的可变电阻结构22，具备的初始态为高阻态且在预设编程电压驱动下由高阻态转变为低阻态的性能，使得反熔丝阵列结构300在较低电压下可实现阻值变化，实现反熔丝阵列结构300的写入与读出，因此能够在降低反熔丝阵列结构300的平面面积和体积的前提下，降低反熔丝阵列结构300的能耗。

在一些实施例中，请参考图2，位线结构10沿第一方向延伸，多条位线结构10沿第二方向平行间隔排布；第一反熔丝结构的字线结构11的延伸方向平行于第二方向；第二反熔丝结构的字线结构21的延伸方向平行于第二方向；第一方向、第二方向相互垂直。第一方向可以为ox方向，第二方向可以为oy方向。本实施例的反熔丝堆叠结构200中采用共享位线结构10，可以减小产品体积、降低制备难度并提高制备产品的可靠性。

作为示例，请继续参考图2，可以设置沿第一方向例如ox方向相邻的两个反熔丝堆叠结构200的位线结构10在相同的工艺步骤中制备而成，还可以设置沿第二方向例如oy方向相邻的两个反熔丝堆叠结构200的字线结构在相同的工艺步骤中制备而成，使得沿第二方向例如oy方向相邻的反熔丝堆叠结构200共用字线结构，以及沿第一方向例如ox方向相邻的反熔丝堆叠结构200共用位线结构，从而能够减小不同反熔丝堆叠结构200的性能差异，提高反熔丝阵列结构300的性能与可靠性。

在一些实施例中，请继续参考图2，第一反熔丝结构的阈值选通结构13的选通时刻，与第二反熔丝结构的阈值选通结构23的选通时刻具有预设时间差。本实施例反熔丝阵列结构300通过预设时间差，在写入或读取操作过程中，将确保写入或读取操作不会同时进行，避免了操作冲突。

作为示例，请继续参考图2，多个反熔丝堆叠结构200阵列排布，每个反熔丝堆叠结构200包括共用位线结构10的第一反熔丝结构200a及第二反熔丝结构200b，该共用位线结构10的第一反熔丝结构的阈值选通结构13与第二反熔丝结构的阈值选通结构23可以连接至位线结构10的同一节点，反熔丝堆叠结构200中第一反熔丝结构200a的选通时刻与第二反熔丝结构200b的选通时刻具有预设时间差，在写入或读取操作过程中，将确保写入或读取操作不会同时进行，避免了操作冲突。

在一些实施例中，请继续参考图2，共用位线结构10的第一反熔丝结构的可变电阻结构12可以部分或全部位于第一反熔丝结构的字线结构11的内部，第二反熔丝结构的可变电阻结构22可以部分或全部位于第二反熔丝结构的字线结构21的内部；第一反熔丝结构的阈值选通结构13及第二反熔丝结构的阈值选通结构23的可以部分或全部位于位线结构10的内部，使得本实施例反熔丝阵列结构300形成埋入式反熔丝结构，以进一步减小反熔丝阵列结构300的体积。

在一些实施例中，本公开提供了一种存储器，该存储器包括上述的反熔丝结构和/或反熔丝阵列结构。存储器可以为动态随机存取存储器、静态随机存取存储器或磁阻随机存取存储器等存储器。

作为示例，存储器中由于集成本公开实施例中的反熔丝结构和/或反熔丝阵列结构，使得包括共用位线结构的反熔丝结构的反熔丝阵列实现垂直方向的堆叠，在确保反熔丝结构的性能不减小的情况下，有效地减小了反熔丝阵列的体积；并且，由于反熔丝结构具备初始态为高阻态且在预设编程电压驱动

下由高阻态转变为低阻态的性能，在较低电压下可实现阻值变化，实现反熔丝结构的写入与读出，能够降低反熔丝结构的平面面积与体积，进而降低存储器的体积。

在一些实施例中，存储器为动态随机存取存储器。反熔丝结构形成于动态随机存取存储器的电容层所在平面内，利用动态随机存取存储器的电容层附近空闲区域形成部分或全部反熔丝结构，降低反熔丝结构制备的复杂度，减小反熔丝结构所占动态随机存取存储器空间，进一步降低动态随机存取存储器的体积，并降低制造成本。

基于同样的发明构思，请参考图 3，本公开实施例还提供了一种用于实现上述所涉及的反熔丝结构的制备方法。该方法所提供的解决问题的实现方案与上述结构中所记载的实现方案相似，故下面所提供的一个或多个反熔丝结构的制备方法实施例中的具体限定，可以参见上文中对于反熔丝结构的限定，在此不再赘述。该方法包括：

步骤 S202：提供衬底；

步骤 S204：于衬底上形成位线结构；

步骤 S206：于位线结构远离衬底的一侧形成可变电阻结构和阈值选通结构，其中，可变电阻结构被配置为在预设编程电压下从高阻态转变为低阻态；阈值选通结构被配置为在阈值电压下选通；

步骤 S208：于可变电阻结构和阈值选通结构上形成字线结构。上述实施例中的反熔丝结构的制备方法，通过于位线结构远离衬底的一侧形成可变电阻结构和阈值选通结构，及于可变电阻结构和阈值选通结构上形成字线结构，并将可变电阻结构被配置为在预设编程电压下从高阻态转变为低阻态及阈值选通结构被配置为在阈值电压下选通，使得反熔丝结构在较低电压下可实现阻值变化，进行反熔丝结构的写入与读出，避免堆叠的反熔丝结构之间产生信号串扰。

作为示例，请继续参考图 3，步骤 S202 中的衬底可以采用半导体材料、绝缘材料、导体材料或者它们的任意组合构成。衬底可以为单层结构，也可以为多层结构。例如，衬底可以是诸如硅（Si）衬底、硅锗（SiGe）衬底、硅锗碳（SiGeC）衬底、碳化硅（SiC）衬底、砷化镓（GaAs）衬底、砷化铟（InAs）衬底、磷化铟（InP）衬底或其它的 III/V 半导体衬底或 II/VI 半导体衬底。或者，还例如，衬底可以是包括诸如 Si/SiGe、Si/SiC、绝缘体上硅(SOI)或绝缘体上硅锗的层状衬底。因此衬底的类型不应限制本公开的保护范围。

作为示例，步骤 S204 中可以在衬底上形成位线结构，也可以将衬底上已有的导电材料层作为位线结构，省去制备位线结构的步骤，同时可以相对减少专门制备位线结构的占据体积。

作为示例，步骤 S206 中于位线结构远离衬底的一侧形成可变电阻结构和阈值选通结构之前，包括如下步骤：

步骤 S2051：于位线结构 10 上形成第一隔离层 101；

步骤 S2052：于第一隔离层 101 远离位线结构 10 的表面形成第一图形化光刻胶层 102；

步骤 S2053：以第一图形化光刻胶层 102 为掩膜版刻蚀第一隔离层 101，得到沿第一方向并列排布的第一沟槽 103。

作为示例，请继续参考图 4-图 7，步骤 S2051 中可以采用沉积工艺于位线结构 10 上形成第一隔离层 101，第一隔离层 101 可以是单层结构，也可以是多层堆叠结构，其材质可以是氧化硅。步骤 S2052 中在第一隔离层 101 远离位线结构 10 的表面涂覆第一光刻胶材料层 1021，并经曝光、显影等一系列步骤，形成第一图形化光刻胶层 102，第一图形化光刻胶层 102 具有限定第一沟槽 103 的位置及形状的开口图形，光刻胶可以是正光刻胶或负光刻胶，显影方式可以是正性显影或负性显影。步骤 S2053 中可以采用刻蚀工艺以第一图形化光刻胶层 102 为掩膜版刻蚀第一隔离层 101，得到沿第一方向并列排布的第一沟槽 103。刻蚀工艺可以包括但不限于干法刻蚀工艺及/或湿法刻蚀工艺。干法刻蚀工艺可以包括但不限于反应离子刻蚀（RIE）、感应耦合等离子体刻蚀（ICP）及高浓度等离子体刻蚀（HDP）等中一种或多种。

在一些实施例中，请参考图 8-图 10，可变电阻结构 20 位于位线结构 10 及阈值选通结构 30 之间，步骤 S206 中于位线结构 10 远离衬底的一侧形成可变电阻结构 20 和阈值选通结构 30，包括：

步骤 S2061：于位线结构 10 远离衬底的表面形成可变电阻结构 20；

步骤 S2062：于可变电阻结构 20 远离位线结构 10 的表面形成阈值选通结构 30。

作为示例，请继续参考图 8-图 10，步骤 S2061 可以采用沉积工艺于第一沟槽 103 上沉积可变电阻材料层 104。可变电阻材料层 104 的材料为氧化铪、氧化锆、氧化钽与氧化铝中的一种或多种。沉积工艺可以包括但不限于化学气相沉积工艺（Chemical Vapor Deposition，CVD）、原子层沉积工艺（Atomic Layer Deposition，ALD）、高密度等离子沉积（High Density Plasma，HDP）工艺、等离子体增强沉积工艺及旋涂介质层（Spin-on Dielectric，SOD）等工艺中的一种或多种。

作为示例，请继续参考图 8-图 10，步骤 S2062 可以采用沉积工艺于可变电阻材料层 104 上沉积阈值选通材料层 105。阈值选通材料层 105 的材料为氧化钛、氧化铪、氧化钛铪与碲锡锗相变材料中的一种或多种。沉积工艺可以包括但不限于 CVD、ALD、HDP 及 SOD 等工艺中的一种或多种。

作为示例，请继续参考图 8-图 10，步骤 S2062 在形成阈值选通材料层 105 之后，去除剩余的图形化光刻胶层、位于图形化光刻胶层之上的可变电阻材料层 104，以及阈值选通材料层 105。对于去除图形化光刻胶层，去除方法可以包括灰化去胶及湿法清洗。

作为示例，请继续参考图 11-图 13，步骤 S208 中可以采用刻蚀工艺于阈值选通结构 30 之上刻蚀第一隔离层 101，得到沿第一方向例如 ox 方向并列排布的第二沟槽 106。步骤 S208 中可以采用沉积工艺于阈值选通结构 30 上沉积字线材料层 107。字线材料层 107 的材料为钨、铜、钛、铝、钽、铪、铬、氧化铟锡、导电玻璃与氧化铟镓锌中的一种或多种。步骤 S208 中可以采用平坦化工艺去除多余的字线材料层 107，于可变电阻结构 20 和阈值选通结构 30 上形成字线结构 40。刻蚀工艺可以包括但不限于干法刻蚀工艺及/或湿法刻蚀工艺。干法刻蚀工艺可以包括但不限于 RIE、ICP 及 HDP 等中一种或多种。平坦化工艺包括机械抛光工艺、研磨工艺、刻蚀工艺、干式抛光工艺等中一种或多种。在一些实施例中，阈值选通结构位于位线结构及可变电阻结构之间，于位线结构远离衬底的一侧形成可变电阻结构和阈值选通结构，包括：于位线结构远离衬底的表面形成阈值选通结构；及于阈值选通结构远离位线结构的表面形成可变电阻结构。本实施例的反熔丝结构形成方式与上述实施例相同。

基于同样的发明构思，本公开实施例还提供了一种用于实现上述所涉及的反熔丝堆叠结构的制备方法。该方法所提供的解决问题的实现方案与上述结构中所记载的实现方案相似，故下面所提供的一个或多个反熔丝堆叠结构的制备方法实施例中的具体限定，可以参见上文中对于反熔丝堆叠结构的限定，在此不再赘述。

作为示例，反熔丝堆叠结构的制备方法的位线结构、阈值选通结构、可变电阻结构及字线结构的制备步骤可以采用上述反熔丝结构的制备方法中相同的制备步骤形成，但反熔丝堆叠结构的制备方法中最底层的金属层为字线结构、该层可以为第一金属层、第二金属层、中间金属层、顶层金属层和其组合。

作为示例，反熔丝堆叠结构的制备方法包括：提供衬底；于衬底上形成字线结构；于字线结构上形成第一隔离层；在第一隔离层远离字线结构的表面涂覆第一光刻胶材料层，并经曝光、显影等一系列步骤，形成第一图形化光刻胶层；以第一图形化光刻胶层为掩膜版刻蚀第一隔离层，得到沿第一方向例如 ox 方向并列排布的第一沟槽；于第一沟槽上沉积阈值选通材料层，于字线结构远离衬底的表面形成阈值选通结构；于阈值选通材料层上沉积可变电阻材料层，于阈值选通结构远离字线结构的表面形成可变电阻结构；去除剩余的图形化光刻胶层、位于图形化光刻胶层之上的阈值选通材料层及可变电阻材料层；于可变电阻结构之上刻蚀第一隔离层，得到沿第一方向例如 ox 方向并列排布的第二沟槽；于可变电阻结构上沉积位线材料层；去除多余位线材料层，于阈值选通结构和可变电阻结构上形成位线结构；于位线结构上形成第二隔离层；在第二隔离层远离位线结构的表面涂覆第二光刻胶材料层，并经曝光、显影等一系列步骤，形成第二图形化光刻胶层；以第二图形化光刻胶层为掩膜版刻蚀第二隔离层，得到沿第一方向并列排布的第三沟槽；于第三沟槽上沉积可变电阻材料层，于位线结构远离衬底的表面形成可变电阻结构；于可变电阻材料层上沉积阈值选通材料层，于可变电阻结构远离位线结构的表面形成阈值选通结构；去除剩余的图形化光刻胶层、位于图形化光刻胶层之上的可变电阻材料层及阈值选通材料层；于阈值选通结构之上刻蚀第二隔离层，得到沿第一方向例如 ox 方向并列排布的第四沟槽；于阈值选通结构上沉积字线材料层；去除多余字线材料层，于可变电阻结构和阈值选通

结构上形成字线结构。在一些实施例中，阈值选通结构位于位线结构及可变电阻结构之间，于位线结构远离衬底的一侧形成可变电阻结构和阈值选通结构，包括：于位线结构远离衬底的表面形成阈值选通结构；及于阈值选通结构远离位线结构的表面形成可变电阻结构。

应该理解的是，虽然图 3 的流程图中的各个步骤按照箭头的指示依次显示，但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，这些步骤可以以其它的顺序执行。而且，虽然图 3 中的至少一部分步骤可以包括多个步骤或者多个阶段，这些步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，这些步骤或者阶段的执行顺序也不必然是依次进行，而是可以与其它步骤或者其它步骤中的步骤或者阶段的至少一部分轮流或者交替地执行。

本说明书中的各个实施例均采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似的部分互相参见即可。

以上实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上实施例仅表达了本公开的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对公开专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本公开构思的前提下，还可以做出若干变形和改进，这些都属于本公开的保护范围。

权利要求书

1. 一种反熔丝结构（100），包括位线结构（10）、字线结构（40），以及位于所述位线结构（10）和字线结构（40）之间的可变电阻结构（20）和阈值选通结构（30），

所述可变电阻结构（20）被配置为在预设编程电压下从高阻态转变为低阻态；

所述阈值选通结构（30）被配置为在阈值电压下选通。

2. 根据权利要求 1 所述的反熔丝结构（100），其中，所述可变电阻结构（20）位于所述位线结构（10）及所述阈值选通结构（30）之间，或所述阈值选通结构（30）位于所述位线结构（10）及所述可变电阻结构（20）之间。

3. 根据权利要求 1 或 2 所述的反熔丝结构（100），其中，所述可变电阻结构（20）为金属介质层。

4. 根据权利要求 3 所述的反熔丝结构（100），其中，所述金属介质层的材料为氧化铪、氧化锆、氧化铊与氧化铝中的一种或多种。

5. 根据权利要求 1-4 中任一项所述的反熔丝结构（100），其中，所述阈值选通结构（30）的材料为氧化钛、氧化铪、氧化钛铪与碲锡锗相变材料中的一种或多种。

6. 根据权利要求 1-5 中任一项所述的反熔丝结构（100），其中，所述反熔丝结构（100）形成于存储结构的预设区域内；所述预设区域选自第一金属层的表面、第二金属层的表面、顶层金属层的表面和其组合。

7. 根据权利要求 1-6 中任一项所述的反熔丝结构（100），其中，所述反熔丝结构（100）形成于存储结构的第一金属层和第二金属层之间的电容层平面。

8. 根据权利要求 1-7 中任一项所述的反熔丝结构，其中，包括如下特征中的至少一种：

所述可变电阻结构（20）的厚度范围为 5 Å-10 Å；

所述阈值选通结构（30）的厚度范围为 1nm-10nm；

所述字线结构（40）的厚度范围为 20nm-50nm；

所述位线结构（10）的厚度范围为 20nm-50nm。

9. 一种反熔丝阵列结构，包括：

第一反熔丝结构（200a），采用权利要求 1-8 中任一项所述的反熔丝结构（100）；以及

第二反熔丝结构（200b），采用权利要求 1-8 中任一项所述的反熔丝结构（100）；

所述第一反熔丝结构（200a）和所述第二反熔丝结构（200b）共用同一位线结构（10），所述第一反熔丝结构（200a）的可变电阻结构（20）及阈值选通结构（30）位于共用的位线结构（10）的相对一侧，所述第二反熔丝结构（200b）的可变电阻结构（20）及阈值选通结构（30）位于共用的位线结构（10）的相对另一侧。

10. 根据权利要求 9 所述的反熔丝阵列结构，其中，所述位线结构（10）沿第一方向延伸，多条所述位线结构（10）沿第二方向平行间隔排布；

所述第一反熔丝结构（200a）的字线结构（40）的延伸方向平行于所述第二方向；

所述第二反熔丝结构（200b）的字线结构（40）的延伸方向平行于所述第二方向；

所述第一方向、所述第二方向相互垂直。

11. 根据权利要求 9 或 10 所述的反熔丝阵列结构，其中，所述第一反熔丝结构（200a）的阈值选通结构（30）的选通时刻，与所述第二反熔丝结构（200b）的阈值选通结构（30）的选通时刻具有预设时间差。

12. 根据权利要求 9-11 中任一项所述的反熔丝阵列结构，其中，两个共用所述位线结构（10）的所述可变电阻结构（20）或阈值选通结构（30）的至少部分位于所述位线结构（10）的内部。

13. 根据权利要求 9-12 中任一项所述的反熔丝阵列结构，其中，两个共用所述位线结构（10）的所述可变电阻结构（20）或阈值选通结构（30）的至少部分位于所述字线结构（40）的内部。

14. 根据权利要求 10 所述的反熔丝阵列结构，其中，沿所述第二方向相邻的两个所述第一反熔丝结构（200a）共用同一字线结构（40）；及/或

沿所述第二方向相邻的两个所述第二反熔丝结构（200b）共用同一字线结构（40）。

15. 根据权利要求 10 所述的反熔丝阵列结构，其中，沿所述第二方向相邻的两个所述第一反熔丝结构（200a）的字线结构（40）在相同的工艺步骤中制备而成；及/或

沿所述第二方向相邻的两个所述第二反熔丝结构（200b）的字线结构（40）在相同的工艺步骤中制备而成。

16. 一种存储器，包括权利要求 1-8 中任一项所述的反熔丝结构，或

权利要求 9-15 中任一项所述的反熔丝阵列结构。

17. 根据权利要求 16 所述的存储器，其中，所述存储器为动态随机存取存储器。

18. 一种反熔丝结构的制备方法，包括：

提供衬底；

于所述衬底上形成位线结构（10）；

于所述位线结构（10）远离所述衬底的一侧形成可变电阻结构（20）和阈值选通结构（30）；其中，所述可变电阻结构（20）被配置为在预设编程电压下从高阻态转变为低阻态；所述阈值选通结构（30）被配置为在阈值电压下选通；

于所述可变电阻结构（20）和阈值选通结构（30）上形成字线结构（40）。

19. 根据权利要求 18 所述的制备方法，其中，所述可变电阻结构（20）位于所述位线结构（10）及所述阈值选通结构（30）之间，所述于所述位线结构（10）远离所述衬底的一侧形成可变电阻结构（20）和阈值选通结构（30），包括：

于所述位线结构（10）远离所述衬底的表面形成所述可变电阻结构（20）；

于所述可变电阻结构（20）远离所述位线结构（10）的表面形成所述阈值选通结构（30）。

20. 根据权利要求 19 所述的制备方法，其中，所述阈值选通结构（30）位于所述位线结构（10）及所述可变电阻结构（20）之间，所述于所述位线结构（10）远离所述衬底的一侧形成可变电阻结构（20）和阈值选通结构（30），包括：

于所述位线结构（10）远离所述衬底的表面形成所述阈值选通结构（30）；

于所述阈值选通结构（30）远离所述位线结构（10）的表面形成所述可变电阻结构（20）。

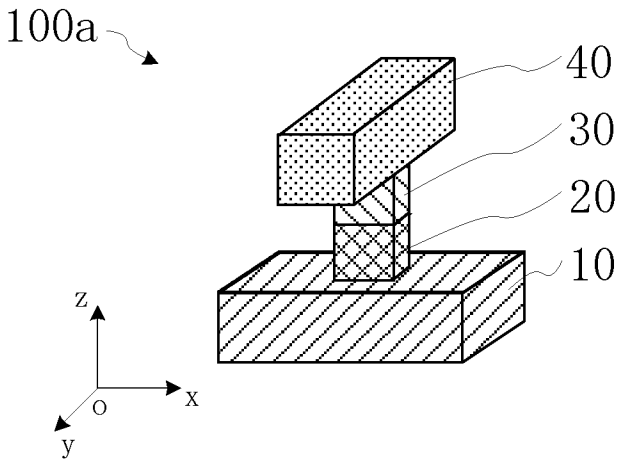


图 1a

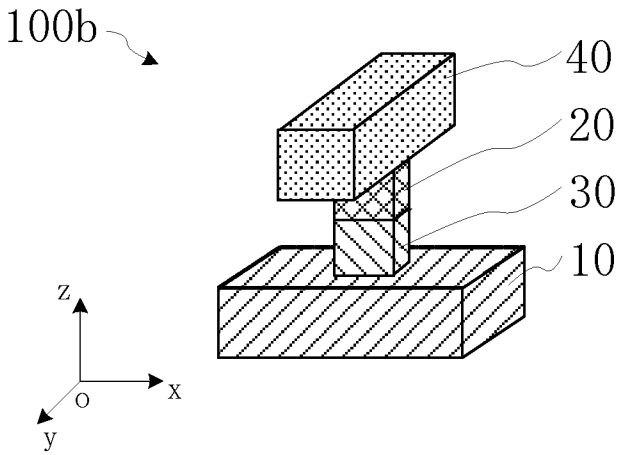


图 1b

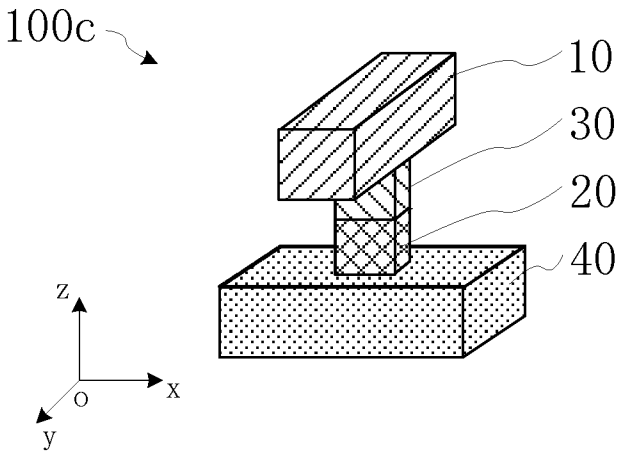


图 1c

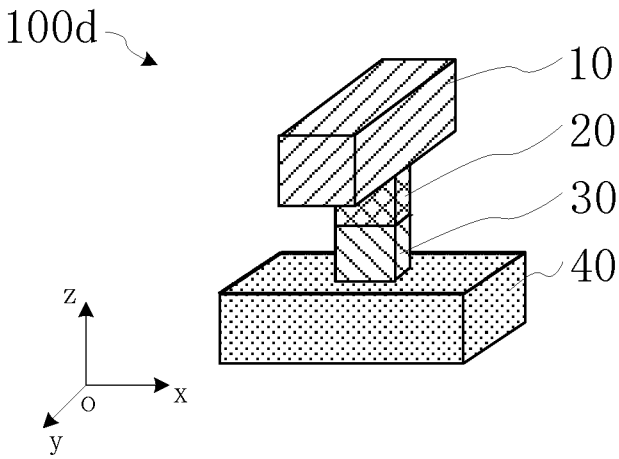

100d
10
20
30
40
z
o
x
y

图 1d

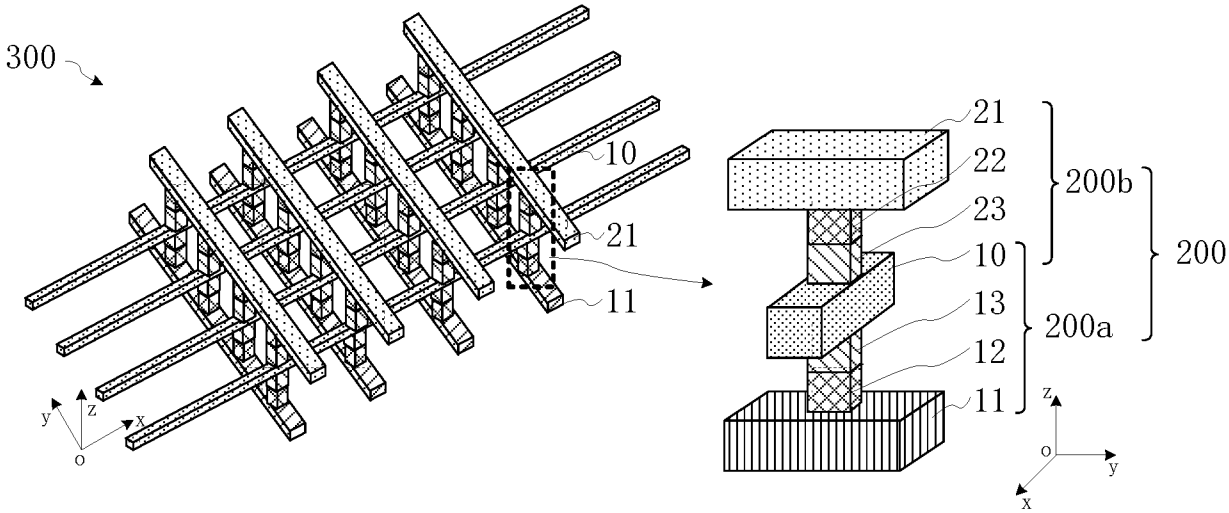

300
10
21
11
y
z
x
o
21
22
23
10
13
12
11
200b
200a
200
z
o
y
x

图 2

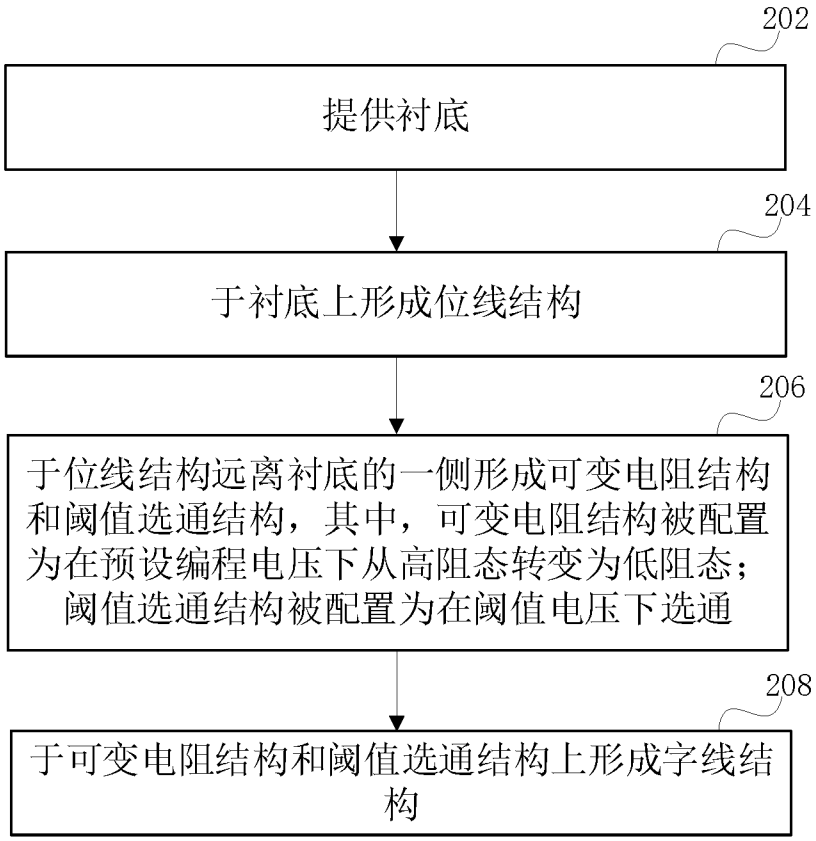

202
提供衬底
204
于衬底上形成位线结构
206
于位线结构远离衬底的一侧形成可变电阻结构和阈值选通结构，其中，可变电阻结构被配置为在预设编程电压下从高阻态转变为低阻态；阈值选通结构被配置为在阈值电压下选通
208
于可变电阻结构和阈值选通结构上形成字线结构

图 3

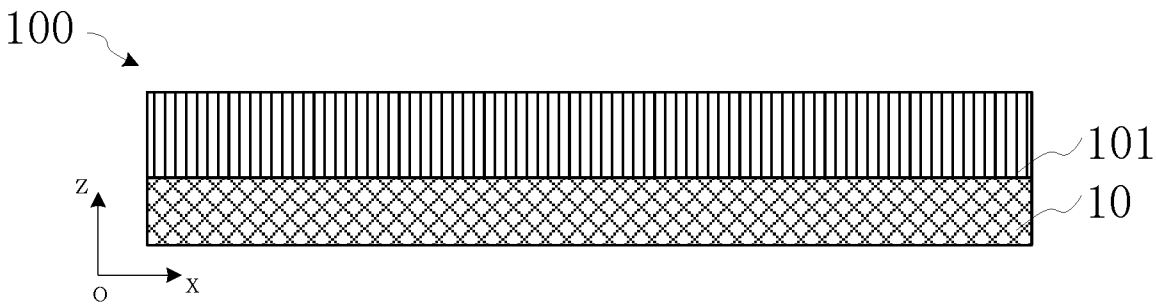

100
101
10
Z
O
X

图 4

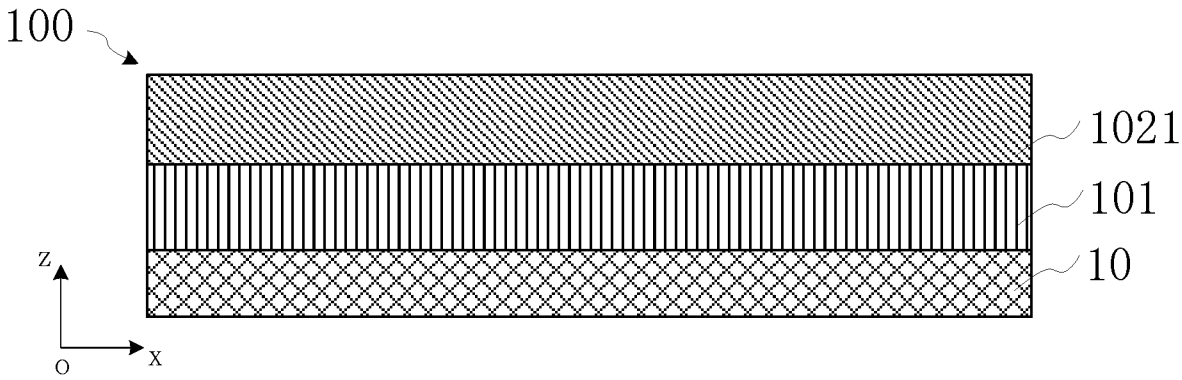

100
1021
101
10
Z
O
X

图 5

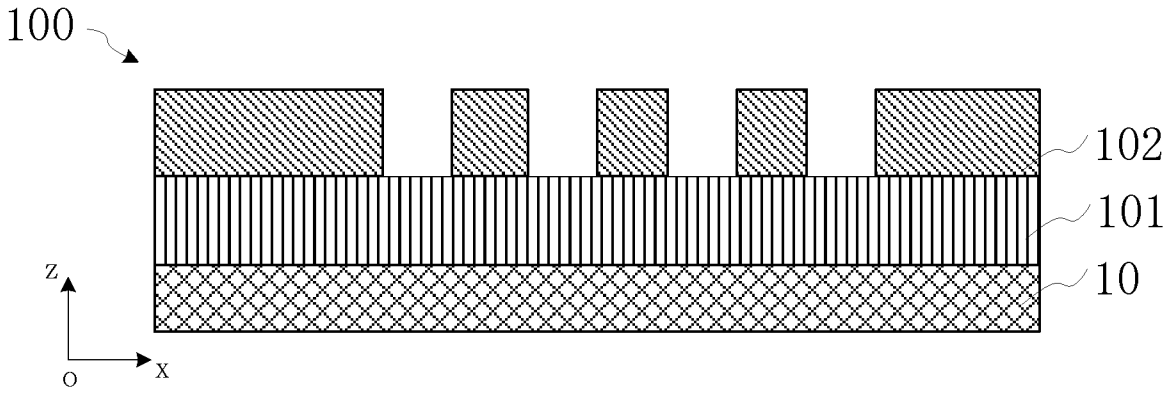

100
102
101
10
Z
O
X

图 6

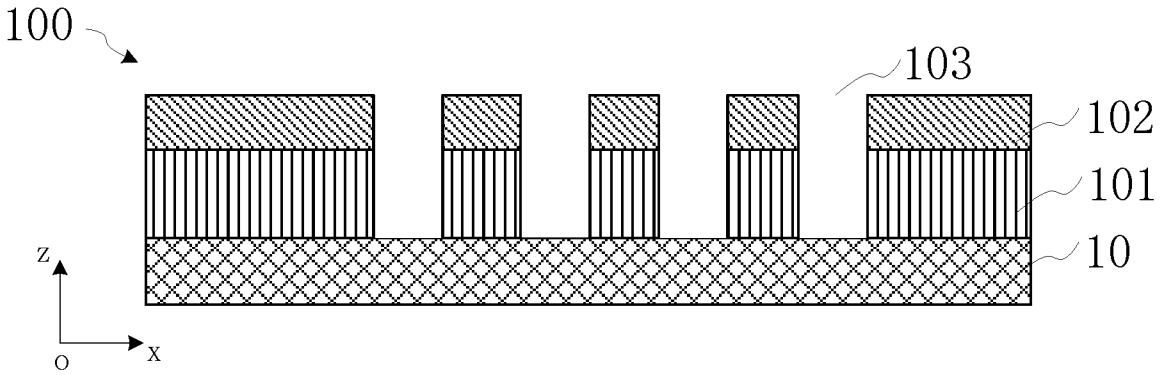

100
103
102
101
10
Z
O
X

图 7

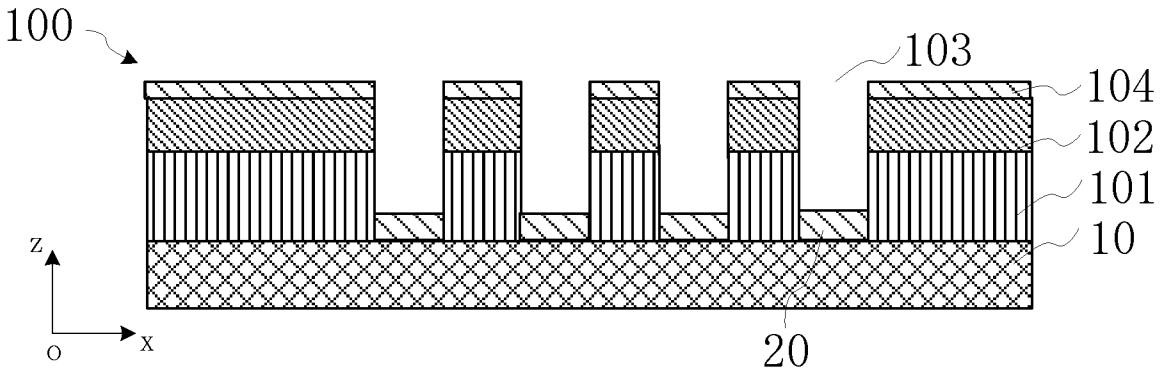

100
103
104
102
101
10
20
Z
O
X

图 8

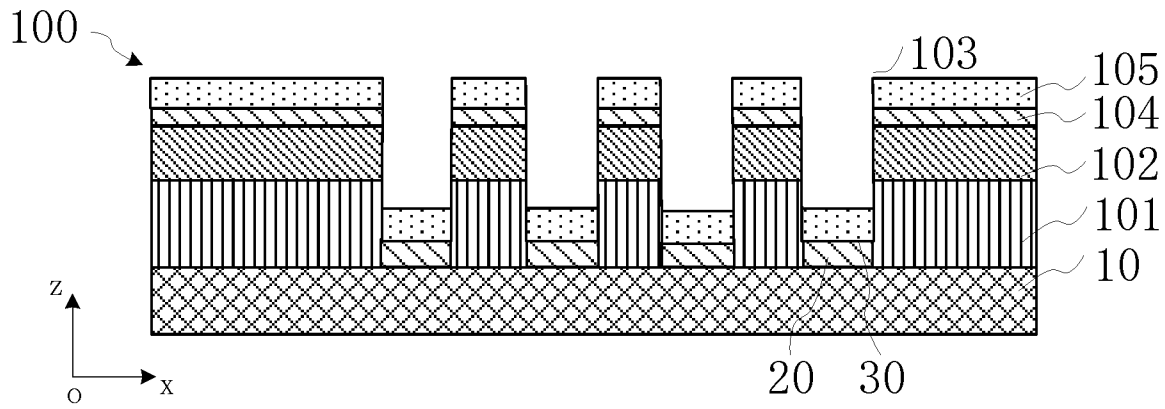

100
103
105
104
102
101
10
Z
O
X
20
30

图 9

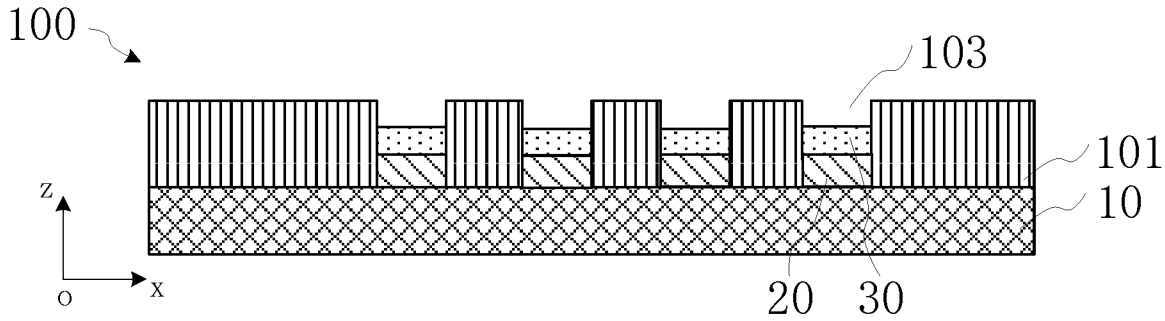

100
103
101
10
Z
O
X
20
30

图 10

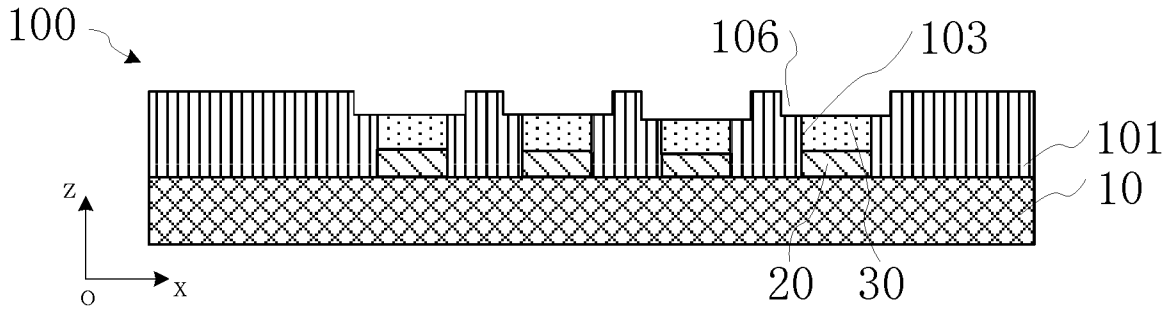

100
106
103
101
10
Z
O
X
20
30

图 11

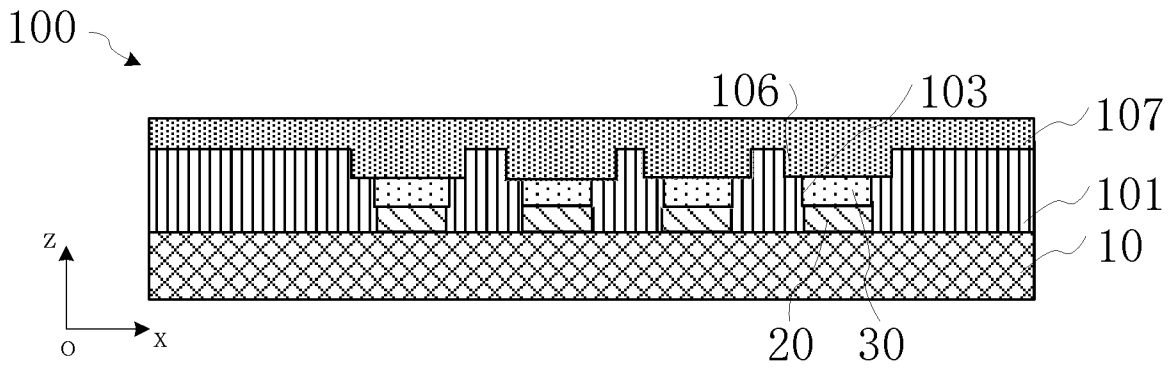


图 12

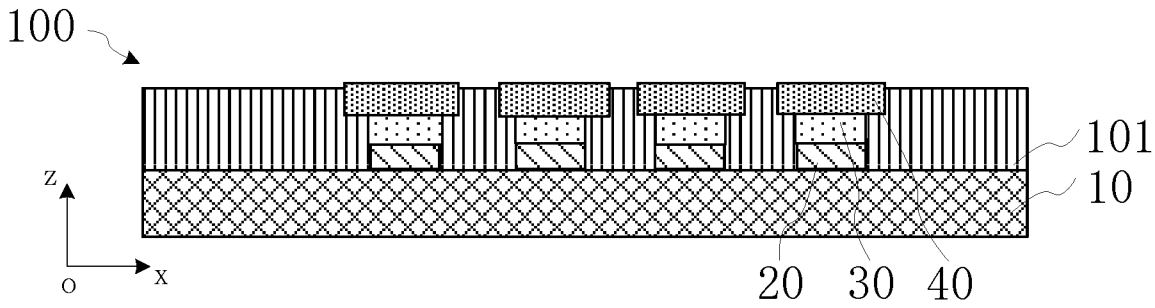


图 13

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2023/086760

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/525(2006.01)i; H01L21/768(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI, WPABS, CNTXT, ENTXT, ENTXTC, CNABS, CNKI, IEEE: 反熔丝, 阵列, 存储器, 位线, 字线, 可变, 电阻, 阈值, 编程, anti-fuse, array, memory, data, line, bit, word, variable, resistance, threshold, module

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 115863306 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 28 March 2023 (2023-03-28) description paragraphs 0004-0076, and figures 1a-13	1-20
X	US 2014321194 A1 (TOSHIBA K.K.) 30 October 2014 (2014-10-30) description, paragraphs 0045-0188, and figures 1-34	1-20
X	CN 107545921 A (SK HYNIX INC.) 05 January 2018 (2018-01-05) description, paragraphs 0021-0040, and figures 3-4	1-20

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
03 August 2023	**10 August 2023**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration (ISA/CN) **China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2023/086760

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 115863306 A	28 March 2023	CN 115863306 B	12 May 2023
US 2014321194 A1	30 October 2014	JP 2014216047 A	17 November 2014
		US 9230646 B2	05 January 2016
CN 107545921 A	05 January 2018	US 2017372778 A1	28 December 2017
		US 9916894 B2	13 March 2018
		KR 20180001382 A	04 January 2018
		KR 102474305 B1	06 December 2022
		CN 107545921 B	01 January 2021

国际检索报告

国际申请号
PCT/CN2023/086760

A. 主题的分类

H01L23/525(2006.01)i; H01L21/768(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

DWPI,WPABS,CNTXT,ENTXT,ENTXTC,CNABS,CNKI,IEEE:反熔丝，阵列，存储器，位线，字线，可变，电阻，阈值，编程，anti-fuse, array, memory, data, line, bit, word, variable, resistance,threshold,module

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 115863306 A (长鑫存储技术有限公司) 2023年3月28日 (2023-03-28) 说明书第0004-0076段，附图1a-13	1-20
X	US 2014321194 A1 (TOSHIBA KK) 2014年10月30日 (2014-10-30) 说明书第0045-0188段，附图1-34	1-20
X	CN 107545921 A (爱思开海力士有限公司) 2018年1月5日 (2018-01-05) 说明书第0021-0040段，附图3-4	1-20

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"D" 申请人在国际申请中引证的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2023年8月3日	2023年8月10日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	受权官员 章放 电话号码 (+86) 62411844

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/086760

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	115863306	A	2023年3月28日	CN	115863306	B	2023年5月12日
US	2014321194	A1	2014年10月30日	JP	2014216047	A	2014年11月17日
				US	9230646	B2	2016年1月5日
CN	107545921	A	2018年1月5日	US	2017372778	A1	2017年12月28日
				US	9916894	B2	2018年3月13日
				KR	20180001382	A	2018年1月4日
				KR	102474305	B1	2022年12月6日
				CN	107545921	B	2021年1月1日