



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I852677 B

(45)公告日：中華民國 113 (2024) 年 08 月 11 日

(21)申請案號：112126227

(22)申請日：中華民國 112 (2023) 年 07 月 13 日

(51)Int. Cl. : H10B12/00 (2023.01)

G11C11/401 (2006.01)

(30)優先權：2022/09/16 日本

2022-148181

(71)申請人：日商鎧俠股份有限公司 (日本) KIOXIA CORPORATION (JP)
日本

(72)發明人：犬飼貴士 INUKAI, TAKASHI (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 202228272A

US 2020/0343246A1

US 2021/0065750A1

US 2021/0225873A1

審查人員：莊敏宏

申請專利範圍項數：22 項 圖式數：26 共 96 頁

(54)名稱

記憶體裝置

(57)摘要

本發明之課題在於提高記憶體裝置之性能且抑制製造成本。

實施方式之記憶體裝置包含複數個字元線、複數個位元線及複數個電晶體。複數個字元線分別於第 1 方向上延伸設置，且於第 2 方向上排列。複數個位元線分別於第 2 方向上延伸設置，且於第 1 方向上排列。複數個電晶體包含：複數個第 1 電晶體，其等之閘極端連接於第 1 字元線；及複數個第 2 電晶體，其等之閘極端連接於第 2 字元線。複數個第 1 電晶體與複數個第 2 電晶體於第 1 方向上相互交錯配置。複數個位元線包含第 1 至第 4 位元線。第 1 及第 3 位元線連接於第 1 及第 2 電晶體各自之另一端。第 2 及第 4 位元線連接於第 1 或第 2 電晶體之另一端。

指定代表圖：

符號簡單說明：

111:子陣列

BL1:位元線

BL2:位元線

BL3:位元線

BL4:位元線

BL5:位元線

MC:記憶胞

VC:觸點

WL1:字元線

WL2:字元線

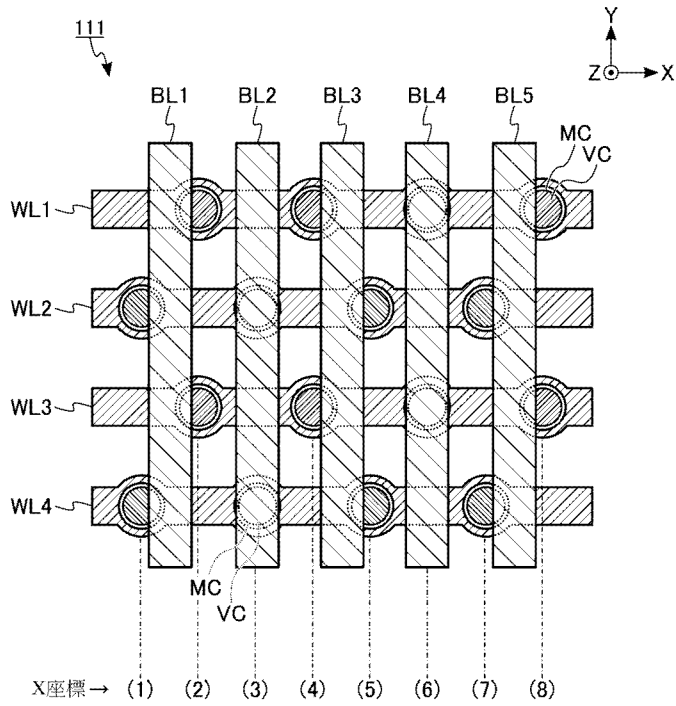
WL3:字元線

WL4:字元線

X:方向

Y:方向

Z:方向



【圖5】



I852677

【發明摘要】

【中文發明名稱】

記憶體裝置

【中文】

本發明之課題在於提高記憶體裝置之性能且抑制製造成本。

實施方式之記憶體裝置包含複數個字元線、複數個位元線及複數個電晶體。複數個字元線分別於第1方向上延伸設置，且於第2方向上排列。複數個位元線分別於第2方向上延伸設置，且於第1方向上排列。複數個電晶體包含：複數個第1電晶體，其等之閘極端連接於第1字元線；及複數個第2電晶體，其等之閘極端連接於第2字元線。複數個第1電晶體與複數個第2電晶體於第1方向上相互交錯配置。複數個位元線包含第1至第4位元線。第1及第3位元線連接於第1及第2電晶體各自之另一端。第2及第4位元線連接於第1或第2電晶體之另一端。

【指定代表圖】

圖5

【代表圖之符號簡單說明】

111:子陣列

BL1:位元線

BL2:位元線

BL3:位元線

BL4:位元線

BL5:位元線

MC:記憶胞

VC:觸點

WL1:字元線

WL2:字元線

WL3:字元線

WL4:字元線

X:方向

Y:方向

Z:方向

【發明說明書】

【中文發明名稱】

記憶體裝置

【技術領域】

【0001】

實施方式係關於一種記憶體裝置。

【先前技術】

【0002】

作為記憶體裝置，眾所周知的是DRAM(Dynamic Random Access Memory，動態隨機存取記憶體)。DRAM之記憶胞包含電容器與電晶體。此外，於DRAM之記憶胞使用立式電晶體之記憶體裝置為人所周知。立式電晶體具備於與半導體基板之主面交叉之方向延伸之半導體柱作為通道。而且，立式電晶體中，覆蓋半導體柱之周圍之閘極電極由在沿基板主面之方向延伸之配線形成。

[先前技術文獻]

[專利文獻]

【0003】

[專利文獻1]日本專利第3302796號公報

【發明內容】

[發明所欲解決之問題]

【0004】

本發明提高記憶體裝置之性能且抑制製造成本。

[解決問題之技術手段]

【0005】

實施方式之記憶體裝置包含複數個字元線、複數個位元線、複數個電晶體、複數個電容器及板線。複數個字元線分別於第1方向上延伸設置，且於與第1方向交叉之第2方向上排列設置。複數個位元線分別於第2方向上延伸設置，且於第1方向上排列設置。複數個電晶體分別具有於與第1方向及第2方向交叉之第3方向上延伸設置之通道。複數個電容器各自之一電極分別連接於複數個電晶體各自之一端。板線連接於複數個電容器各自之另一電極。複數個電晶體包含：複數個第1電晶體，其等之閘極端連接於包含於複數個字元線中之第1字元線；及複數個第2電晶體，其等之閘極端連接於包含於複數個字元線中且與第1字元線相鄰之第2字元線。複數個第1電晶體與複數個第2電晶體於第1方向上相互交錯配置。複數個位元線包含於第1方向上依序排列之第1至第4位元線。第1位元線及第3位元線各自連接於第1電晶體及第2電晶體各自之另一端。第2位元線連接於第1電晶體之另一端且不連接於上述第2電晶體之另一端。第4位元線連接於第2電晶體之另一端且不連接於上述第1電晶體之另一端。

【圖式簡單說明】**【0006】**

圖1係表示第1實施方式之記憶體裝置之構成之一例之框圖。

圖2係表示第1實施方式之記憶體裝置具備之記憶胞陣列之電路構成之一例之電路圖。

圖3係表示第1實施方式之記憶體裝置中之第1子陣列及第2子陣列與感測放大器電路之一例之概略圖。

圖4係表示第1實施方式之記憶體裝置具備之記憶胞之結構之一例之

立體圖。

圖5係表示第1實施方式之記憶體裝置具備之記憶胞陣列之平面佈局之一例之俯視圖。

圖6係表示Open(開放式)-BL方式之記憶胞陣列之平面佈局之一例之俯視圖。

圖7係表示Folded(封閉式)-BL方式之記憶胞陣列之平面佈局之一例之俯視圖。

圖8係表示第1實施方式之記憶體裝置具備之記憶胞陣列之剖面結構之一例之剖面圖。

圖9係表示第2實施方式之記憶體裝置具備之記憶胞陣列之平面佈局之一例之俯視圖。

圖10係表示第2實施方式之記憶體裝置具備之記憶胞陣列之剖面結構之一例之剖面圖。

圖11係表示第3實施方式之記憶體裝置具備之記憶胞陣列之第1構成例之概略圖。

圖12係表示第3實施方式之記憶體裝置具備之記憶胞陣列之第2構成例之概略圖。

圖13係表示第3實施方式之記憶體裝置具備之記憶胞陣列之第3構成例之概略圖。

圖14係表示第3實施方式之記憶體裝置具備之記憶胞陣列之第4構成例之概略圖。

圖15係表示第3實施方式之記憶體裝置具備之記憶胞陣列之第5構成例之概略圖。

圖16係表示第3實施方式之記憶體裝置具備之記憶體陣列之第6構成例之概略圖。

圖17係表示第3實施方式之記憶體裝置具備之記憶體陣列之第7構成例之概略圖。

圖18係表示第3實施方式之記憶體裝置具備之記憶體陣列之第8構成例之概略圖。

圖19係表示第3實施方式之記憶體裝置具備之記憶體陣列之第2構成例之平面佈局之一例之俯視圖。

圖20係表示第3實施方式之記憶體裝置具備之記憶體陣列之第2構成例之剖面結構之一例之沿圖19之XX-XX線之剖面圖。

圖21係表示第3實施方式之記憶體裝置具備之記憶體陣列之第8構成例之平面佈局之一例之俯視圖。

圖22係表示第4實施方式之記憶體裝置具備之記憶體陣列之平面佈局之一例之俯視圖。

圖23係表示第4實施方式之記憶體裝置具備之記憶體陣列之剖面結構之第1例之沿圖22之XXIII-XXIII線之剖面圖。

圖24係表示第4實施方式之記憶體裝置具備之記憶體陣列之剖面結構之第2例之剖面圖。

圖25係表示第4實施方式之記憶體裝置具備之記憶體陣列之剖面結構之第3例之剖面圖。

圖26係表示變化例之記憶體裝置具備之記憶體陣列之剖面結構之一例之剖面圖。

【實施方式】

【0007】

以下，參照圖式對實施方式進行說明。各實施方式例示用以將發明之技術性思想具體化之裝置、方法。圖式係模式性或概念性之圖，各圖式之尺寸及比率等未必與現實情形相同。本發明之技術性思想並非由構成要素之形狀、結構、配置等確定。以下說明中，對具有大致相同功能及構成之構成要素附加相同符號。使用參照符號後之數字或文字係用於區別藉由相同參照符號來參照且具有相同構成之要素彼此。

【0008】**< 1 > 第1實施方式**

第1實施方式之記憶體裝置100係利用Open-BL方式與Folded-BL方式之兩者之DRAM(Dynamic Random Access Memory)。以下，對第1實施方式之記憶體裝置100之詳情進行說明。

【0009】**< 1-1 > 記憶體裝置100之整體構成**

圖1係表示第1實施方式之記憶體裝置100之構成之一例之框圖。如圖1所示，記憶體裝置100與外部之記憶體控制器200電性連接。記憶體裝置100構成為能夠根據記憶體控制器200之命令來讀出及寫入資料。記憶體裝置100例如從記憶體控制器200接收位址ADR、指令CMD、資料DT及控制信號CNT。此外，記憶體裝置100將控制信號CNT及資料DT輸送至記憶體控制器200。記憶體裝置100具備例如記憶胞陣列110、列控制電路120、行控制電路130、讀出/寫入電路140、輸入輸出電路150及控制電路160。

【0010】

記憶胞陣列110係用於資料之記憶之電路。記憶胞陣列110包含複數個子陣列111。複數個子陣列111例如以2個子陣列111為一組來分類。本例中，複數個子陣列111包含與2個子陣列111之組對應之第1子陣列111A及第2子陣列111B。此外，各子陣列111包含複數個記憶胞MC、複數個字元線WL及複數個位元線BL。各記憶胞MC可記憶1位元以上之資料。各記憶胞MC連接於1個字元線WL與1個位元線BL之間。對各字元線WL分配有列位址。對各位元線BL分配有行位址。各記憶胞MC可藉由列位址及行位址確定。

【0011】

列控制電路120控制於記憶胞陣列110中分配給列方向之配線(例如字元線WL)。列控制電路120根據位址ADR來對字元線WL進行選擇(激活)。此外，列控制電路120將非選擇之字元線WL設定為非選擇狀態(非激活)。而且，列控制電路120對選擇之字元線WL與非選擇之字元線WL之各者供給特定之電壓。列控制電路120包含例如驅動器電路121及位址解碼器122。驅動器電路121產生對字元線WL施加之電壓。位址解碼器122對位址ADR進行解碼。列控制電路120根據位址解碼器122之解碼結果來選擇字元線WL。另外，亦可將列控制電路120稱為列解碼器。

【0012】

行控制電路130控制於記憶胞陣列110中分配給行方向之配線(例如位元線BL)。行控制電路130包含例如位址解碼器131、行選擇電路132及感測放大器電路133。位址解碼器131對位址ADR進行解碼。感測放大器電路133針對每一子陣列來進行配備，與子陣列中所包含之位元線BL連接。即，感測放大器電路133包含與子陣列數、及子陣列中所包含之位元線BL

之個數對應之複數個感測放大器SA。複數個感測放大器SA包含與Open-BL方式對應之感測放大器SA_o、及與Folded-BL方式對應之感測放大器SA_f。下文說明感測放大器SA_o及SA_f之詳情。感測放大器電路133根據連接之子陣列之動作來進行以下動作。當利用列控制電路120將確定子陣列中之字元線WL之一激活時，藉由與該字元線WL連接之記憶胞MC中儲存之資料(電荷)而使位元線BL之電壓發生變化。感測放大器電路133將該位元線BL之電位變化放大至讀出電路能夠讀出之電壓。此外，感測放大器電路133利用放大之電壓將原資料重新儲存(復原)至藉由讀出至位元線BL而資料(電荷)消失之記憶胞MC。如此，感測放大器電路133對藉由列控制電路120將字元線WL激活之子陣列中所包含之全部位元線BL進行動作。行選擇電路132控制字元線WL及於感測放大器電路133之動作中被激活之位元線BL中由行位址指定之位元線BL與讀出/寫入電路140之間之資料之交換。行選擇電路132於讀出動作中，將藉由感測放大器電路133放大之位元線BL中指定之位元線BL之資料輸出至讀出電路。行選擇電路132於寫入動作中，使指定之位元線BL之電位變化為與寫入資料對應之電位，將新之資料儲存於記憶胞MC中。另外，亦可將行控制電路130稱為行解碼器。

【0013】

讀出/寫入電路140係能夠執行向記憶胞陣列110寫入資料、及從記憶胞陣列110讀出資料之電路。於寫入資料時，讀出/寫入電路140將與要求向記憶胞陣列110寫入之資料對應之信號(電壓或電流)經由行控制電路130輸送至記憶胞陣列110。於讀出資料時，從記憶胞陣列110經由行控制電路130接收與從記憶胞陣列110讀出之資料對應之信號(電壓或電流)。另

外，記憶體裝置100亦可獨立具備用於寫入資料之電路與用於讀出資料之電路。

【0014】

輸入輸出電路150係掌握記憶體裝置100與記憶體控制器200之間之通信之接口電路。輸入輸出電路150從記憶體控制器200接收指令CMD、位址ADR、資料DT(例如要求向記憶胞陣列110寫入之資料)及複數個控制信號CNT等。輸入輸出電路150將控制信號CNT及資料DT(例如從記憶胞陣列110讀出之資料)輸送至記憶體控制器200。

【0015】

控制電路160根據指令CMD及控制信號CNT來控制列控制電路120、行控制電路130、讀出/寫入電路140等，執行記憶體裝置100應執行之動作。於記憶體裝置100為DRAM之情形時，控制電路160除執行資料之寫入及資料之讀出以外，進而執行記憶胞陣列110內之資料之更新動作。更新動作係如下動作：藉由將字元線WL激活而將各記憶胞MC中記憶之資料讀出至位元線BL，並藉由感測放大器電路133將讀出之資料寫回至記憶胞MC。此外，控制電路160以與時脈信號CLK同步之時序控制列控制電路120、行控制電路130、讀出/寫入電路140等。即，記憶體裝置100中，以與時脈信號CLK同步之時序來執行資料之寫入及資料之讀出。時脈信號CLK可於記憶體裝置100之內部產生，亦可從外部供給。另外，亦可將控制電路160稱為定序器、內部控制器等。

【0016】

另外，記憶體裝置100並不限定於以上說明之構成。例如，記憶體裝置100亦可包含控制更新動作之控制電路、時脈產生電路、內部電壓產生

電路等。

【0017】

< 1-2 > 記憶體裝置100之電路構成

接下來，對記憶體裝置100之電路構成進行說明。

【0018】

< 1-2-1 > 記憶胞陣列110之電路構成

圖2係表示第1實施方式之記憶體裝置100具備之記憶胞陣列110之電路構成之一例之電路圖。圖2抽取記憶胞陣列110中所包含之子陣列111之一部分構成而表示。圖2所示之三維正交座標系對應於配線之延伸方向。如圖2所示，複數個記憶胞MC於包含X方向與Y方向之平面(XY平面)上配置為矩陣狀(錯位狀)。此外，子陣列111進而包含板線PL。

【0019】

板線PL係具有沿XY平面延伸設置之部分之板狀之配線。對板線PL施加板電位、例如接地電位。複數個記憶胞MC各自之一端連接於板線PL。複數個記憶胞MC各自之另一端與建立關聯之位元線BL連接。亦可將板線PL稱為板電極。板線PL亦可根據子陣列111之控制單位來分割。

【0020】

各記憶胞MC包含胞電晶體CT及胞電容器CC。各記憶胞MC之胞電晶體CT及胞電容器CC串聯連接於建立關聯之位元線BL與板線PL之間。具體而言，各記憶胞MC中，胞電晶體CT之一端與建立關聯之位元線BL連接，胞電晶體CT之另一端與節點ND連接。於各記憶胞MC中，胞電容器CC之一電極與節點ND連接，胞電容器CC之另一電極與板線PL連接。胞電晶體CT係場效電晶體。胞電容器CC係電容元件。亦可將胞電晶體CT

簡單地稱為「電晶體」。亦可將胞電容器CC簡單地稱為「電容器」。

【0021】

子陣列111中所包含之複數個字元線WL分別於X方向上延伸設置，且於Y方向上排列。各字元線WL連接於沿X方向排列之複數個記憶胞MC各自之胞電晶體CT之閘極端。換言之，各字元線WL連接於分配有相同之列位址之複數個記憶胞MC各自之胞電晶體CT之閘極端。另外，亦可將胞電晶體CT之閘極端稱為「記憶胞MC之控制端」。

【0022】

子陣列111中所包含之複數個位元線BL分別於Y方向上延伸設置，且於X方向上排列。各位元線BL連接於沿Y方向排列之複數個記憶胞MC各自之胞電晶體CT之一端。換言之，各位元線BL連接於分配有相同之行位址之複數個記憶胞MC各自之胞電晶體CT之一端。

【0023】

胞電晶體CT係以能夠切換為將記憶胞MC與位元線BL之間電性連接之狀態或電性絕緣之狀態之方式構成之開關。胞電晶體CT作為記憶胞MC之選擇元件發揮功能。胞電晶體CT之一端作為電晶體之源極端及汲極端中之一者發揮功能，胞電晶體CT之另一端作為電晶體之源極端及汲極端中之另一者發揮功能。胞電容器CC保持與1位元以上之資料建立關聯之量之電荷。胞電容器CC作為記憶胞MC之記憶體元件發揮功能。

【0024】

< 1-2-2 > 記憶胞陣列110與感測放大器電路133之配置

圖3係表示第1實施方式之記憶體裝置100中之第1子陣列111A及第2子陣列111B與感測放大器電路133之配置之一例之概略圖。圖3表示第1子

陣列111A中所包含之8個位元線BL1~BL8及8個字元線WL1~WL8、第2子陣列111B中所包含之8個位元線BL1~BL8及8個字元線WL1~WL8、與該些配線建立關聯之複數個記憶胞MC、複數個感測放大器SA_o、及複數個感測放大器SA_f。

【0025】

如圖3所示，第1子陣列111A中，1個記憶胞MC連接於奇數號之位元線BL(例如BL1、BL3、BL5及BL7)各者與複數個字元線WL(例如WL1~WL8)各者之間。第1子陣列111A中，1個記憶胞MC連接於位元線BL(2+4*k)(k為0以上之整數)各者與偶數號之字元線WL(例如WL2、WL4、WL6及WL8)各者之間。第1子陣列111A中，1個記憶胞MC連接於位元線BL(4+4*k)各者與奇數號之字元線WL(例如WL1、WL3、WL5及WL7)各者之間。

【0026】

第2子陣列111B中，1個記憶胞MC連接於奇數號之位元線BL(例如BL1、BL3、BL5及BL7)各者與複數個字元線WL(例如WL1~WL8)各者之間。第2子陣列111B中，1個記憶胞MC連接於位元線BL(2+4*k)各者與偶數號之字元線WL(例如WL2、WL4、WL6及WL8)各者之間。第2子陣列111B中，1個記憶胞MC連接於位元線BL(4+4*k)各者與奇數號之字元線WL(例如WL1、WL3、WL5及WL7)各者之間。即，第2子陣列111B之電路構成與第1子陣列111A相同。

【0027】

感測放大器電路133例如於第1子陣列111A與第2子陣列111B之間具備複數個感測放大器SA_o，且對應於第1子陣列111A而具備複數個感測放

大器SAf，對應於第2子陣列111B而具備複數個感測放大器SAf。另外，本說明書中所參照之圖式中，於以Open-BL方式使用之記憶胞MC與以Folded-BL方式使用之記憶胞MC之間附加有不同之影線。

【0028】

各感測放大器SAo連接於第1子陣列111A之奇數號之位元線BL與第2子陣列111B之奇數號之位元線BL。具體而言，1個感測放大器SAo連接於第1子陣列111A及第2子陣列111B各自之位元線BL1，1個感測放大器SAo連接於第1子陣列111A及第2子陣列111B各自之位元線BL3，…，1個感測放大器SAo連接於第1子陣列111A及第2子陣列111B各自之位元線BL7。各感測放大器SAo藉由將第1子陣列111A之位元線BL與第2子陣列111B之位元線BL中之一者用作參照位元線BL，而可將基於從與另一位元線BL連接且所選擇之記憶胞MC讀出之資料之電壓或電流放大(Open-BL方式)。

【0029】

與第1子陣列111A建立關聯之各感測放大器SAf連接於第1子陣列111A之位元線BL(2 + 4 * k)及BL(4 + 4 * k)。具體而言，1個感測放大器SAf連接於第1子陣列111A之位元線BL2及BL4，1個感測放大器SAf連接於第1子陣列111A之位元線BL6及BL8。同樣，與第2子陣列111B建立關聯之各感測放大器SAf連接於第2子陣列111B之位元線BL(2 + 4 * k)及BL(4 + 4 * k)。各感測放大器SAf藉由將建立關聯之子陣列111中所連接之2個位元線BL中之一者用作參照位元線BL，而可將基於從與另一位元線BL連接且所選擇之記憶胞MC讀出之資料之電壓或電流放大(Folded-BL方式)。另外，圖3例示感測放大器SAf設置於第1子陣列111A及第2子陣列111B各者之情形，但並不限定於此。感測放大器SAf亦可於第1子陣列

111A與第2子陣列111B之間、即於位元線BL之延伸方向(例如Y方向)上相鄰之2個子陣列111間經由切換開關等而共有。

【0030】

如以上所說明，第1實施方式之記憶體裝置100之記憶胞陣列110具有如下構成，即，以Open-BL方式使用之位元線BL與以Folded-BL方式使用之位元線BL交替配置。進而，於以Folded-BL方式使用之複數個位元線BL中，與以奇數號之字元線WL控制之記憶胞MC連接之位元線BL、及與以偶數號之字元線WL控制之記憶胞MC連接之位元線BL交替配置。即，記憶體裝置100能夠使隔著以Open-BL方式使用之位元線BL之2個位元線BL組合而以Folded-BL方式動作。此外，以Open-BL方式使用之感測放大器SAo連接於第1子陣列111A之1個位元線BL與第2子陣列111B之1個位元線BL。以Folded-BL方式使用之感測放大器SAf包含於建立關聯之子陣列111中，且隔著Open-BL方式之位元線BL而配置，連接於以Folded-BL方式使用之2個位元線BL。

【0031】

另外，利用Open-BL方式及Folded-BL方式之組合之重複單位，亦可藉由於X方向依序排列之4個位元線BL之組來表現。例如，第1實施方式中之設置於子陣列111之複數個位元線BL，包含含有於X方向依序排列之4個位元線BL1~BL4之組。而且，該組於X方向上重複配置。例如，與位元線BL1~BL4建立關聯之記憶胞MC等之構成，和與位元線BL5~BL8建立關聯之記憶胞MC等之構成相同。

【0032】

< 1-3 > 記憶體裝置100之結構

以下，對第1實施方式之記憶體裝置100之結構之一例進行說明。以下說明中，Z方向係與XY平面垂直之方向，例如對應於與記憶體裝置100之形成中所使用之半導體基板SUB之表面鉛垂之方向。半導體基板SUB例如係矽基板。「下」這一記述及其派生語以及關聯語表示Z軸上之更小之位置。「上」這一記述及其派生語以及關聯語表示Z軸上之更大座標之位置。俯視圖中適當附加有影線。俯視圖中附加之影線未必與附加有影線之構成要素之材料、特性相關聯。各圖式中，適當省略構成之圖示。

【0033】

<1-3-1> 記憶體MC之結構

圖4係表示第1實施方式之記憶體裝置100具備之記憶體MC之結構之一例之立體圖。圖4係注目於1個記憶體MC來表示記憶體陣列110中與記憶體MC之結構關聯之構成。如圖4所示，板線PL設置於半導體基板SUB之上方。於板線PL上設置有記憶體MC。於記憶體MC上設置有觸點VC。於觸點VC上設置有位元線BL。

【0034】

胞電晶體CT係具有沿Z方向延伸之通道區域之立式電晶體。胞電晶體CT包含半導體層10、閘極絕緣層11及閘極電極12。半導體層10於Z方向上延伸設置。換言之，半導體層10具有於Z方向上延伸之柱狀結構。閘極電極12隔著閘極絕緣層11與半導體層10之側面對向。閘極絕緣層11設置於半導體層10之側面與閘極電極12之間。胞電晶體CT之通道區域設置於半導體層10內。亦可將半導體層10稱為半導體柱或通道柱。胞電晶體CT之源極區域及汲極區域設置於半導體層10內。源極區域及汲極區域中之一者設置於半導體層10之上側，源極區域及汲極區域中之另一者設置於

半導體層10之下側。胞電晶體CT之上側之源極區域或汲極區域經由例如觸點VC而與位元線BL連接。胞電晶體CT之下側之源極區域或汲極區域與胞電容器CC連接。

【0035】

例如，使用氧化物半導體作為胞電晶體CT之半導體層10(通道材料)。於半導體層10為氧化物半導體之情形時，半導體層10包含例如氧化銦、氧化鎵及氧化鋅。如此，包含氧化銦、氧化鎵及氧化鋅之氧化物半導體例如被稱為IGZO(In-Ga-Zn oxide(氧化物))。此外，作為氧化物半導體，亦可使用包含銦、鋅、錫中之至少1種之氧化物(例如InO、InZnO、InSnO、SnO、ZnO、ZnSnO)。

【0036】

此外，胞電晶體CT具有GAA(Gate all around，環閘)結構之閘極結構。關於GAA結構之胞電晶體CT，閘極電極12重疊於半導體層10內之通道區域之整個側面。閘極電極12隔著閘極絕緣層11而圓環狀地覆蓋通道區域之側面(沿Z方向之面)。由此，胞電晶體CT具有較高之閘極靜電控制力。另外，於X方向上延伸設置之導電體層19連接於閘極電極12。本例中，閘極電極12與導電體層19之組對應於字元線WL。閘極電極12與導電體層19之間可具有邊界，亦可連續性地設置。

【0037】

胞電容器CC包含2個導電體層22及23與絕緣體層24。絕緣體層24設置於2個導電體層22與23之間。換言之，導電體層22於Z方向上延伸設置。半導體層10連接於導電體層22之上部。即，導電體層22之上部連接於胞電晶體CT之源極區域或汲極區域。導電體層22之側面及下部被絕緣

體層24覆蓋。絕緣體層24之側面及下部被導電體層23覆蓋。導電體層23之底部連接於板線PL。即，於導電體層22之底部與板線PL之間設置有絕緣體層24與導電體層23。因此，導電體層22與板線PL分離。亦可將2個導電體層22及23稱為電容器電極或電極。亦可將絕緣體層24稱為電容器絕緣層。另外，亦可為不於絕緣體層24之下部設置導電體層23而絕緣體層24與板線PL相接之結構。

【0038】

如以上所說明，第1實施方式之記憶體裝置100具有有三維結構之記憶胞陣列110。而且，記憶胞MC具備立式電晶體作為胞電晶體CT。立式電晶體之電流路徑沿Z方向。即，胞電晶體CT可於Z方向上流動電流。此外，第1實施方式中，記憶胞MC包含胞電晶體CT與胞電容器CC之積層體。由此，記憶體裝置100之結構可使記憶胞MC之積體度提高，從而可使記憶胞陣列110之記憶密度提高。例如，記憶體裝置100中，記憶胞MC可以 $4F^2$ 左右之尺寸構成。

【0039】

< 1-3-2 > 記憶胞陣列110之平面佈局

圖5係表示第1實施方式之記憶體裝置100具備之記憶胞陣列110之平面佈局之一例之俯視圖。圖5表示子陣列111中所包含之5個位元線BL1~BL5及4個字元線WL1~WL4、以及與該些配線建立關聯之複數個記憶胞MC及複數個觸點VC。如圖5所示，複數個記憶胞MC以錯位狀配置。各記憶胞MC與建立關聯之位元線BL之間經由觸點VC連接。

【0040】

以下，對於Y方向上排列之記憶胞MC之每一組分配X方向之座標(X

座標)來用於說明。具體而言，對設置於子陣列111之複數個記憶胞MC分配有與X座標建立關聯之座標(1)~(M)(M為4以上之整數)。子陣列111中，於Y方向上排列之複數個記憶胞MC之組利用奇數座標與偶數座標而相互交錯地配置。換言之，作為一例，奇數號座標之記憶胞MC連接於偶數號之字元線WL(例如WL2、WL4)。偶數號座標之記憶胞MC連接於奇數號之字元線WL(例如WL1、WL3)。以下，將奇數號座標之記憶胞MC稱為「奇數記憶胞MC」，將偶數號座標之記憶胞MC稱為「偶數記憶胞MC」。將奇數號之位元線BL稱為「奇數位元線BL」，將偶數號之位元線BL稱為「偶數位元線BL」。將奇數號之字元線WL稱為「奇數字元線WL」，將偶數號之字元線WL稱為「偶數字元線WL」。

【0041】

第1實施方式中，奇數記憶胞MC與偶數記憶胞MC連接於位元線BL1。僅奇數記憶胞MC連接於位元線BL2。奇數記憶胞MC與偶數記憶胞MC連接於位元線BL3。僅偶數記憶胞MC連接於位元線BL4。換言之，座標(1)及(2)各自之複數個記憶胞MC連接於位元線BL1。座標(3)之複數個記憶胞MC連接於位元線BL2。座標(4)及(5)各自之複數個記憶胞MC連接於位元線BL3。座標(6)之複數個記憶胞MC連接於位元線BL4。從座標(7)起重複配置與座標(1)~(6)相同之平面佈局。進而換言之，複數個奇數位元線BL(BL1、BL3、…)中，連接於奇數記憶胞MC與偶數記憶胞MC之兩者之位元線BL於X方向上排列配置。複數個偶數位元線BL(BL2、BL4、…)中，連接於奇數記憶胞MC之位元線BL(例如BL2)與連接於偶數記憶胞MC之位元線BL(例如BL4)於X方向上交替配置。第1實施方式中，奇數位元線BL之線寬與偶數位元線BL之線寬可相同，亦可不同。

【0042】

第1實施方式之記憶體裝置100中，如圖5所示，座標(1)~(6)中之位元線BL及記憶胞MC之配置，對應於利用Open-BL方式及Folded-BL方式之組合之重複單位。而且，第1實施方式中，對應於座標(1)~(6)而設置有4個位元線BL1~BL4。此處，參照圖6及圖7，對第1實施方式中之子陣列111、僅以Open-BL方式構成之子陣列111X、及僅以Folded-BL方式構成之子陣列111Y中之位元線BL之間距之不同進行說明。圖6及圖7分別為表示Open-BL方式及Folded-BL方式之記憶胞陣列之平面佈局之一例之俯視圖。圖6及圖7所示之記憶胞MC之配置密度，與圖5所示之第1實施方式之記憶胞MC之配置密度相同，僅位元線BL之配置不同。

【0043】

如圖6所示，僅以Open-BL方式構成之子陣列111X中，座標(1)~(2)中之位元線BL及記憶胞MC之配置對應於重複單位。Open-BL方式中，對應於座標(1)及(2)而設置有1個位元線BL1。即，對應於座標(1)~(6)而設置有3個位元線BL1~BL3。即，子陣列111X中，於記憶胞MC之配置密度與第1實施方式相同之情形時，可配置3/4倍之個數之位元線BL。由此，於記憶胞MC以相同密度配置之情形時，僅以Open-BL方式構成之子陣列111X中之位元線BL之間距，與第1實施方式相比為4/3倍。

【0044】

如圖7所示，僅以Folded-BL方式構成之子陣列111Y中，座標(1)~(2)中之位元線BL及記憶胞MC之配置對應於重複單位。Folded-BL方式中，對應於座標(1)及(2)而設置有2個位元線BL1及BL2。該情形時，對應於座標(1)~(6)而設置有6個位元線BL1~BL6。即，子陣列111Y中，於

記憶胞MC之配置密度與第1實施方式相同之情形時，可配置 $6/4 = 3/2$ 倍之個數之位元線BL。由此，於記憶胞MC以相同密度配置之情形時，僅以Folded-BL方式構成之子陣列111Y中之位元線BL之間距，與第1實施方式相比為 $2/3$ 倍。

【0045】

< 1-3-3 > 記憶胞陣列110之剖面結構

圖8係表示第1實施方式之記憶體裝置100具備之記憶胞陣列110之剖面結構之一例之剖面圖。圖8表示子陣列111中所包含之4個位元線BL1～BL4及1個字元線WL2、以及與該些配線建立關聯之複數個記憶胞MC、用於字元線WL2與板線PL各自之控制之CMOS(complementary metal oxide semiconductor，互補金氧半導體)電路之一部分。另外，配置於圖式之進深方向上之記憶胞MC及觸點VC由虛線表示。如圖8所示，記憶體裝置100包含電晶體TR1及TR2、複數個觸點CP0、CP1及CP2、及複數個配線M0及M1。

【0046】

電晶體TR1及TR2係設置於半導體基板SUB上之場效電晶體。電晶體TR1及TR2包含於列控制電路120、行控制電路130等CMOS電路中。電晶體TR1及TR2分別對應於形成於半導體基板SUB之活動區域AA1及AA2而設置。活動區域AA1及AA2各自被STI(Shallow Trench Isolation，淺溝槽隔離)包圍。活動區域AA1及AA2各自具備設置於半導體基板SUB之井區域30。

【0047】

此外，各電晶體TR包含閘極電極31、閘極絕緣層32及2個源極/汲極

區域33A及33B。閘極電極31於Z方向上設置於井區域30之上方。閘極絕緣層32設置於井區域30之上表面與閘極電極31之間。2個源極/汲極區域33A及33B設置於井區域30內。2個源極/汲極區域33A及33B中之一者作為電晶體TR之源極發揮功能，2個源極/汲極區域33A及33B中之另一者作為電晶體TR之汲極發揮功能。井區域30內之2個源極/汲極區域33A及33B之間之部分成為電晶體TR之通道區域。通道區域隔著閘極絕緣層32而配置於閘極電極31之下方。各電晶體TR被半導體基板SUB上之層間絕緣層(未圖示)覆蓋。

【0048】

各觸點CP0係設置於半導體基板SUB上且與電晶體TR等連接之柱狀導電體。各配線M0係設置於建立關聯之觸點CP0上之導電體，例如為金屬。各觸點CP1係設置於建立關聯之配線M0上之柱狀導電體。各配線M1係設置於建立關聯之觸點CP1上之導電體，例如為金屬。板線PL例如配置於與配線M1相同之高度，且設置於觸點CP1上。另外，板線PL不必配置於與配線M1相同之高度，亦可配置於不同之高度。板線PL係板狀之導電體，例如為金屬。亦可將板線PL稱為板電極或板層。各觸點CP2係設置於建立關聯之配線M1上之柱狀導電體。各觸點CP2例如將建立關聯之配線M1與字元線WL之組之間連接。本例中，電晶體TR1經由觸點CP0、配線M0、觸點CP1、配線M1及觸點CP2而連接於字元線WL2。電晶體TR2經由觸點CP0、配線M0及觸點CP1而連接於板線PL。

【0049】

各字元線WL設置於板線PL之上方。各記憶胞MC之胞電容器CC設置於板線PL上。胞電晶體CT(立式電晶體)設置於胞電容器CC上，且貫通建

立關聯之字元線WL。觸點VC設置於胞電晶體CT上，且連接建立關聯之胞電晶體CT與位元線BL之間。各觸點VC與各字元線WL分離。即，各字元線WL設置於設置有板線PL之層與設置有觸點VC之層之間之層。

【0050】

偶數位元線BL例如重疊於建立關聯之觸點VC上。奇數位元線BL以重疊於奇數記憶胞MC上之觸點VC之一部分與偶數記憶胞MC上之觸點VC之一部分之各者之方式設置。由此，奇數位元線BL可連接於相鄰座標之兩者之記憶胞MC。亦可將觸點VC稱為焊盤墊。奇數位元線BL之線寬與偶數位元線BL之線寬可相同，亦可不同。

【0051】

另外，圖8中例示了於板線PL之下方配置有電晶體TR1及TR2之情形，但並不限定於此。電晶體TR1及TR2各自於俯視下可與板線PL重疊配置，亦可不與板線PL重疊配置。

【0052】

< 1-4 > 第1實施方式之效果

根據以上說明之第1實施方式之記憶體裝置100，可使記憶體裝置100之性能提高且抑制製造成本。以下，對第1實施方式之效果之詳情進行說明。

【0053】

例如，於將氧化物半導體用作立式存取電晶體之1T1C型之DRAM(4F²單元結構)中，隨著記憶胞之配置密度增加而寄生電容增加，由此需要提高資料之讀出容限(感測容限)。

【0054】

Open-BL方式中，將鄰接之2個子陣列111進行組合，且將鄰接之2個子陣列111中之一者用作讀出對象之位元線BL，將另一者用作參照位元線BL。Open-BL方式之位元線BL藉由使用例如焊盤墊(觸點VC)，而連接於與奇數字元線WL連接之記憶胞MC及與偶數字元線WL連接之記憶胞MC之兩者。然而，Open-BL方式中，參照位元線BL屬於不同之子陣列，因此例如由字元線WL與位元線BL間之寄生電容所引起之耦合噪聲產生差異，由此資料之讀出容限會降低。

【0055】

Folded-BL方式中，將讀出對象之位元線BL與參照位元線BL設置於相同之子陣列111。由此，於讀出對象之位元線BL與參照位元線BL之間共通之噪聲分量相抵消，相較於Open-BL方式，讀出容限會得到提高。然而，Folded-BL方式中，於與奇數字元線WL連接之記憶胞MC及與偶數字元線WL連接之記憶胞MC中連接之位元線BL線有區別，因此位元線BL之個數相對於Open-BL方式來說倍增。因此，Folded-BL方式相對於Open-BL方式需要使位元線BL之間距減半，製造之難度較高。此外，隨著由使間距減半所致之位元線BL之薄膜化，位元線BL之電阻值會上升。

【0056】

由此，第1實施方式之記憶體裝置100組合利用Open-BL方式與Folded-BL方式。換言之，第1實施方式之記憶體裝置100具有如下構成：與利用鄰接之偶數字元線WL及奇數字元線WL激活之記憶胞MC之組連接之位元線BL、及僅與利用鄰接之偶數字元線WL及奇數字元線WL激活之記憶胞MC中之一者連接之位元線BL交替配置。由此，第1實施方式之記憶體裝置100中，構成Open-BL方式與Folded-BL方式這兩方式之位元線

BL交替配置之記憶胞陣列110(子陣列111)。該構成中，Open-BL方式之對象之位元線BL之半數被Folded-BL方式之位元線BL遮蔽，從而復原時之噪聲減輕。

【0057】

其結果，第1實施方式之記憶體裝置100與僅使用Open-BL方式之情形相比，可使讀出容限提高。進而，第1實施方式之記憶體裝置100與僅使用Folded-BL方式之情形相比，可緩和位元線BL之間距，從而可使製造之難度降低。製造之難度降低可使製造工序之開發期間縮短且良率提高之難度降低，因此會抑制製造成本。由此，第1實施方式之記憶體裝置100可使記憶體裝置100之性能提高且抑制製造成本。

【0058】

<2> 第2實施方式

第2實施方式之記憶體裝置100中，以Open-BL方式使用之位元線BL與以Folded-BL方式使用之位元線BL設置於不同高度。以下，對第2實施方式之記憶體裝置100之詳情進行說明。

【0059】

<2-1> 記憶體裝置100之結構

<2-1-1> 記憶胞陣列110之平面佈局

圖9係表示第2實施方式之記憶體裝置100具備之記憶胞陣列110之平面佈局之一例之俯視圖，且表示與圖5相同之區域。如圖9所示，第2實施方式之子陣列111(記憶胞陣列110)具有如下構成，即，相對於第1實施方式之子陣列111而省略了偶數位元線BL與記憶胞MC之間之觸點VC。

【0060】

第2實施方式之子陣列111中，偶數位元線BL與相鄰之偶數記憶胞MC之組、或相鄰之奇數記憶胞MC之組分離。具體而言，位元線BL2於俯視下，從與座標(2)之記憶胞MC連接之觸點VC及與座標(4)之記憶胞MC連接之觸點VC之各者分離。位元線BL4於俯視下，從與座標(5)之記憶胞MC連接之觸點VC及與座標(7)之記憶胞MC連接之觸點VC之各者分離。

【0061】

<2-1-2> 記憶胞陣列110之剖面結構

圖10係表示第2實施方式之記憶體裝置100具備之記憶胞陣列110之剖面結構之一例之剖面圖，且表示與圖8相同之區域。如圖10所示，第2實施方式中，以Open-BL方式使用之奇數位元線BL之高度與以Folded-BL方式使用之偶數位元線BL之高度不同。

【0062】

具體而言，第2實施方式之偶數位元線BL設置於與觸點VC相同之高度。換言之，偶數位元線BL與觸點VC設置於相同之配線層。該情形時，奇數位元線BL與偶數位元線BL藉由不同之製造工序形成。此外，奇數位元線BL之線寬與偶數位元線BL之線寬可相同，亦可不同。第2實施方式之記憶體裝置100之其他構成與第1實施方式之記憶體裝置100相同。

【0063】

<2-2> 第2實施方式之效果

第2實施方式之記憶體裝置100中，相較於第1實施方式，可緩和以Open-BL方式使用之位元線BL之間距。此外，第2實施方式之記憶體裝置100中，Open-BL方式之位元線BL與Folded-BL方式之位元線BL之間隔寬於第1實施方式。因此，第2實施方式中，相較於第1實施方式，可減少以

Open-BL方式及Folded-BL方式相鄰之位元線BL之噪聲。其結果，第2實施方式之記憶體裝置100相較於第1實施方式可使讀出容限提高，且相較於第1實施方式可抑制製造成本。

【0064】

<3> 第3實施方式

第3實施方式之記憶體裝置100具備子陣列111，該子陣列111具有交叉設置有複數個位元線BL之部分。以下，對第3實施方式之記憶體裝置100之詳情進行說明。

【0065】

<3-1> 記憶體裝置100之電路構成

第3實施方式之記憶體裝置100除以下說明之記憶體裝置100之電路構成以外，具有與第1或第2實施方式相同之構成。以下，對第3實施方式之記憶體裝置100之電路構成之第1～第8構成例依序進行說明。

【0066】

<第1構成例>

圖11係表示第3實施方式之記憶體裝置100之第1構成例之概略圖。圖11於第1構成例中表示第1子陣列111A及第2子陣列111B各自之8個位元線BL1～BL8及8個字元線WL1～WL8、與該些配線建立關聯之複數個記憶胞MC以及複數個感測放大器SA_o及SA_f。

【0067】

如圖11所示，第1構成例中，以Open-BL方式使用之奇數位元線BL分成相鄰之2個位元線BL之組。具體而言，將2個位元線BL1及BL3進行組合，且將2個位元線BL5及BL7進行組合。而且，第1構成例中，第1子陣

列111A分割為：第1區域RG1，其包含與字元線WL1~WL4之任一者連接之記憶胞MC；及第2區域RG2，其包含與字元線WL5~WL8之任一者連接之記憶胞MC。第1構成例中之第1區域RG1之記憶胞MC與位元線BL之連接關係與第1實施方式相同。另一方面，第1構成例中之第2區域RG2之記憶胞MC與位元線BL之連接關係相對於第1區域RG1，於調換組合之2個位元線BL之方面不同。以下，使用圖5中說明之記憶胞MC之X座標對第1構成例之位元線BL之連接構成進行說明。

【0068】

第1子陣列111A之位元線BL1於第1區域RG1中連接於座標(1)及(2)之記憶胞MC，於第2區域RG2中連接於座標(4)及(5)之記憶胞MC。另一方面，第1子陣列111A之位元線BL3於第1區域RG1中連接於座標(4)及(5)之記憶胞MC，於第2區域RG2中連接於座標(1)及(2)之記憶胞MC。此外，第2子陣列111B之位元線BL1於第1區域RG1中連接於座標(4)及(5)之記憶胞MC，於第2區域RG2中連接於座標(1)及(2)之記憶胞MC。另一方面，第2子陣列111B之位元線BL3於第1區域RG1中連接於座標(1)及(2)之記憶胞MC，於第2區域RG2中連接於座標(4)及(5)之記憶胞MC。

【0069】

因此，第1子陣列111A之位元線BL1~BL3於第1子陣列111A之第1區域RG1與第2區域RG2之間交叉。同樣，第2子陣列111B之位元線BL1~BL3於第2子陣列111B之第1區域RG1與第2區域RG2之間交叉。於第1構成例中，以Folded-BL方式使用之偶數位元線BL與記憶胞MC之連接關係與第1實施方式相同。例如，於對應之子陣列111中，位元線BL2僅與座標(3)之記憶胞MC連接，位元線BL4僅與座標(6)之記憶胞MC連接。第1

構成例中，從座標(7)起重複與座標(1)～(6)相同之連接關係。此外，複數個感測放大器SA_o及複數個感測放大器SA_f各自與第1實施方式相同，連接於建立關聯之位元線BL之組。

【0070】

如以上所說明，第1構成例中，針對每相鄰之2個奇數位元線BL，第2區域RG2中之相鄰之2個奇數位元線BL各自之沿X方向之位置(座標)，與第1區域RG1中之相鄰之2個奇數位元線BL各自之沿X方向之位置調換。

【0071】

另外，本說明書中，複數個位元線BL中包含於第1區域RG1中之部分與包含於第2區域RG2中之部分各自亦可稱為「位元線部」。即，各位元線BL可具有包含於第1區域RG1中之位元線部與包含於第2區域RG2中之位元線部。包含於第1區域RG1中之複數個位元線部與包含於第2區域RG2中之複數個位元線部分別與第1實施方式相同，亦可藉由包含於X方向上依序排列之4個位元線部之組來表現。於第1區域RG1及第2區域RG2之各者中，包含於X方向上依序排列之4個位元線部之組於X方向上重複配置。

【0072】

具體而言，於第1構成例中，複數個位元線BL包含：第1組，其包含於第1區域RG1中於X方向上依序排列之第1位元線部～第4位元線部；及第2組，其包含於第2區域RG2中於X方向上依序排列之第5位元線部～第8位元線部。第1組及第2組各自於X方向上重複配置。於第1構成例中，第1位元線部～第4位元線部例如分別對應於位元線BL1～BL4。於第1構成例中，第1位元線部～第4位元線部分別與第5位元線部～第8位元線部於Y方向上相鄰。於第1構成例中，於Y方向上相鄰之第1組及第2組中，第1位元

線部與第7位元線部連接，第3位元線部與第5位元線部連接，第2位元線部與第6位元線部連接，第4位元線部與第8位元線部連接。

【0073】

此外，第1構成例中，第2子陣列111B中之記憶胞MC與位元線BL之連接關係，類似於使第1子陣列111A中之第1區域RG1與第2區域RG2之連接關係反轉之關係。該方面對於以下說明之第2構成例～第8構成例亦相同。因此，以下注目於第1子陣列111A之電路構成來進行說明。

【0074】

<第2構成例>

圖12係表示第3實施方式之記憶體裝置100具備之記憶胞陣列110之第2構成例之概略圖，且抽取第1子陣列111A而表示。如圖12所示，第2構成例中，以Folded-BL方式使用之偶數位元線BL分成相鄰之2個位元線BL之組。具體而言，將2個位元線BL2及BL4進行組合，且將2個位元線BL6及BL8進行組合。而且，第2構成例中，各子陣列111與第1構成例相同，分割為第1區域RG1與第2區域RG2。

【0075】

第2構成例中，第1子陣列111A之位元線BL2於第1區域RG1中與座標(3)之記憶胞MC連接，於第2區域RG2中與座標(6)之記憶胞MC連接。另一方面，第1子陣列111A之位元線BL4於第1區域RG1中與座標(6)之記憶胞MC連接，於第2區域RG2中與座標(3)之記憶胞MC連接。於第2構成例中，第1子陣列111A之位元線BL2～BL4於第1子陣列111A之第1區域RG1與第2區域RG2之間交叉。於第2構成例中，以Open-BL方式使用之奇數位元線BL與記憶胞MC之連接關係與第1實施方式相同。從座標(7)起重複與

座標(1)~(6)相同之連接關係。

【0076】

如以上所說明，第2構成例中，針對每相鄰之2個偶數位元線BL，第2區域RG2中之相鄰之2個偶數位元線BL各自之沿X方向之位置(座標)，與第1區域RG1中之相鄰之2個偶數位元線BL各自之沿X方向之位置調換。

【0077】

換言之，於第2構成例中，複數個位元線BL與第1構成例相同，包含：第1組，其包含第1區域RG1中所包含之第1位元線部~第4位元線部；及第2組，其包含第2區域RG2中所包含之第5位元線部~第8位元線部。第2構成例中，第1位元線部~第4位元線部例如分別對應於位元線BL1~BL4。而且，於第2構成例中，第1位元線部~第4位元線部分別與第5位元線部~第8位元線部於Y方向上相鄰。於第2構成例中，於Y方向上相鄰之第1組及第2組中，第1位元線部與第5位元線部連接，第3位元線部與第7位元線部連接，第2位元線部與第8位元線部連接，第4位元線部與第6位元線部連接。

【0078】

<第3構成例>

圖13係表示第3實施方式之記憶體裝置100具備之記憶體陣列110之第3構成例之概略圖，且抽取第1子陣列111A而表示。如圖13所示，第3構成例係第2構成例之變化，各子陣列111分割為3個區域。具體而言，第1子陣列111A分割為第1區域RG1、第2區域RG2及第3區域RG3。本例中，第1區域RG1與4個字元線WL1~WL4建立關聯，第2區域RG2與4個字元線WL5~WL8建立關聯，第3區域RG3與4個字元線WL9~WL12建立關聯。

【0079】

於第3構成例中，第1區域RG1及第2區域RG2各自中之位元線BL與記憶胞MC之連接關係與第2構成例相同。而且，第3構成例中，第3區域RG3具有與第1區域RG1相同之連接關係。

【0080】

具體而言，第3構成例中，第1子陣列111A之位元線BL2於第1區域RG1中與座標(3)之記憶胞MC連接，於第2區域RG2中與座標(6)之記憶胞MC連接，於第3區域RG3中與座標(3)之記憶胞MC連接。另一方面，第1子陣列111A之位元線BL4於第1區域RG1中與座標(6)之記憶胞MC連接，於第2區域RG2中與座標(3)之記憶胞MC連接，於第3區域RG3中與座標(6)之記憶胞MC連接。

【0081】

第3構成例中，第1子陣列111A之位元線BL2～BL4分別於第1區域RG1與第2區域RG2之間、及第2區域RG2與第3區域RG3之間交叉。於第3構成例中，以Open-BL方式使用之奇數位元線BL與記憶胞MC之連接關係與第1實施方式相同。從座標(7)起重複與座標(1)～(6)相同之連接關係。

【0082】

如以上說明，第3構成例相較於第2構成例，複數個位元線BL各自進而具有設置於第3區域RG3之部分，第3區域RG3係以第2區域RG2為基準而設置於與第1區域RG1為相反側。而且，針對每相鄰之2個偶數位元線BL，第3區域RG3中之相鄰之2個偶數位元線BL各自之沿X方向之位置，與第2區域RG2中之相鄰之2個偶數位元線BL各自之沿X方向之位置調換。即，於第3構成例中，於各子陣列111中，連接有組合之偶數位元線BL之

記憶胞MC之座標於2部位(偶數部位)調換。由此，第3構成例相較於第2構成例，可消除各子陣列111內之非對稱性。

【0083】

另外，本說明書中，複數個位元線BL中包含於第3區域RG3中之部分亦可稱為「位元線部」。即，各位元線BL可具有包含於第1區域RG1中之位元線部、包含於第2區域RG2中之位元線部、及包含於第3區域RG3中之位元線部。包含於第1區域RG1中之複數個位元線部、包含於第2區域RG2中之複數個位元線部、包含於第3區域RG3中之複數個位元線部分別與第1實施方式相同，亦可藉由包含於X方向上依序排列之4個位元線部之組來表現。於第1區域RG1、第2區域RG2及第3區域RG3之各者中，包含於X方向上依序排列之4個位元線部之組於X方向上重複配置。

【0084】

具體而言，於第3構成例中，複數個位元線BL包含：第1組，其包含於第1區域RG1中於X方向上依序排列之第1位元線部～第4位元線部；第2組，其包含於第2區域RG2中於X方向上依序排列之第5位元線部～第8位元線部；及第3組，包含於第3區域RG3中於X方向上依序排列之第9位元線部～第12位元線部。第1組、第2組及第3組各自於X方向上重複配置。於第3構成例中，第1位元線部～第4位元線部例如分別對應於位元線BL1～BL4。於第3構成例中，第1～第4位元線部分別與第5～第8位元線部於Y方向上相鄰。於第3構成例中，第5～第8位元線部分別與第9～第12位元線部於Y方向上相鄰。於第3構成例中，於Y方向上相鄰之第1組及第2組中，第1位元線部與第5位元線部連接，第3位元線部與第7位元線部連接，第2位元線部與第8位元線部連接，第4位元線部與第6位元線部連

接。於第3構成例中，於Y方向上相鄰之第2組及第3組中，第5位元線部與第9位元線部連接，第6位元線部與第12位元線部連接，第7位元線部與第11位元線部連接，第8位元線部與第10位元線部連接。

【0085】

<第4構成例>

圖14係表示第3實施方式之記憶體裝置100具備之記憶胞陣列110之第4構成例之概略圖，且抽取第1子陣列111A而表示。如圖14所示，第4構成例係第1構成例之奇數位元線BL之連接關係與第2構成例之偶數位元線BL之連接關係之組合。

【0086】

具體而言，第4構成例之位元線BL1於第1區域RG1中與座標(1)及(2)之記憶胞MC連接，於第2區域RG2中與座標(4)及(5)之記憶胞MC連接。第4構成例之位元線BL3於第1區域RG1中與座標(4)及(5)之記憶胞MC連接，於第2區域RG2中與座標(1)及(2)之記憶胞MC連接。

【0087】

第4構成例之位元線BL2於第1區域RG1中與座標(3)之記憶胞MC連接，於第2區域RG2中與座標(6)之記憶胞MC連接。第4構成例之位元線BL4於第1區域RG1中與座標(6)之記憶胞MC連接，於第2區域RG2中與座標(3)之記憶胞MC連接。

【0088】

於第4構成例中，位元線BL1及BL2各自於第1區域RG1與第2區域RG2之間與位元線BL3及BL4之各者交叉。從座標(7)起重複與座標(1)～(6)相同之連接關係。

【0089】

如以上所說明，於第4構成例中，針對每相鄰之2個奇數位元線BL，第2區域RG2中之相鄰之2個奇數位元線BL各自之沿X方向之位置，與第1區域RG1中之相鄰之2個奇數位元線BL各自之沿X方向之位置調換。進而，於第4構成例中，針對每相鄰之2個偶數位元線BL，第2區域RG2中之相鄰之2個偶數位元線BL各自之沿X方向之位置，與第1區域RG1中之相鄰之2個偶數位元線BL各自之沿X方向之位置調換。

【0090】

換言之，於第4構成例中，複數個位元線BL與第1構成例相同，包含：第1組，其包含第1區域RG1中所包含之第1位元線部～第4位元線部；及第2組，其包含第2區域RG2中所包含之第5位元線部～第8位元線部。於第4構成例中，第1位元線部～第4位元線部例如分別對應於位元線BL1～BL4。而且，於第4構成例中，第1位元線部～第4位元線部分別與第5位元線部～第8位元線部於Y方向上相鄰。於第4構成例中，於Y方向上相鄰之第1組及第2組中，第1位元線部與上述第7位元線部連接，第3位元線部與第5位元線部連接，第2位元線部與第8位元線部連接，第4位元線部與第6位元線部連接。

【0091】

<第5構成例>

圖15係表示第3實施方式之記憶體裝置100具備之記憶體陣列110之第5構成例之概略圖，且抽取第1子陣列111A而表示。如圖15所示，第5構成例係第4構成例之變化，各子陣列111分割為3個區域。具體而言，第1子陣列111A分割為第1區域RG1、第2區域RG2及第3區域RG3。本例，第1

區域RG1與4個字元線WL1～WL4建立關聯，第2區域RG2與4個字元線WL5～WL8建立關聯，第3區域RG3與4個字元線WL9～WL12建立關聯。

【0092】

於第5構成例中，第1區域RG1及第2區域RG2各者中之位元線BL與記憶胞MC之連接關係與第4構成例相同。而且，第5構成例中，第3區域RG3具有與第1區域RG1相同之連接關係。

【0093】

具體而言，第5構成例之位元線BL1於第1區域RG1中與座標(1)及(2)之記憶胞MC連接，於第2區域RG2中與座標(4)及(5)之記憶胞MC連接，於第3區域RG3中與座標(1)及(2)之記憶胞MC連接。第5構成例之位元線BL3於第1區域RG1中與座標(4)及(5)之記憶胞MC連接，於第2區域RG2中與座標(1)及(2)之記憶胞MC連接，於第3區域RG3中與座標(4)及(5)之記憶胞MC連接。

【0094】

第5構成例之位元線BL2於第1區域RG1中與座標(3)之記憶胞MC連接，於第2區域RG2中與座標(6)之記憶胞MC連接，於第3區域RG3中與座標(3)之記憶胞MC連接。第5構成例之位元線BL4於第1區域RG1中與座標(6)之記憶胞MC連接，於第2區域RG2中與座標(3)之記憶胞MC連接，於第3區域RG3中與座標(6)之記憶胞MC連接。

【0095】

第5構成例中，位元線BL1及BL2各自於第1區域RG1與第2區域RG2之間、及第2區域RG2與第3區域RG3之間分別與位元線BL3及BL4之各者交叉。從座標(7)起重複與座標(1)～(6)相同之連接關係。

【0096】

如以上所說明，第5構成例相較於第4構成例，複數個位元線BL各自進而具有設置於第3區域RG3之部分，該第3區域RG3以第2區域RG2為基準而設置於與第1區域RG1為相反側。而且，針對每相鄰之2個奇數位元線BL，第3區域RG3中之相鄰之2個奇數位元線BL各自之沿X方向之位置，與第2區域RG2中之相鄰之2個奇數位元線BL各自之沿X方向之位置調換。進而，第5構成例中，針對每相鄰之2個偶數位元線BL，第3區域RG3中之相鄰之2個偶數位元線BL各自之沿X方向之位置，與第2區域RG2中之相鄰之2個偶數位元線BL各自之沿X方向之位置調換。即，第5構成例中，於各子陣列111中，連接有組合之奇數位元線BL之記憶胞MC之座標於2部位(偶數部位)調換，並且連接有組合之偶數位元線BL之記憶胞MC之座標於2部位(偶數部位)調換。

【0097】

換言之，於第5構成例中，複數個位元線BL與第3構成例相同，包含：第1組，其包含第1區域RG1中所包含之第1位元線部～第4位元線部；第2組，其包含第2區域RG2中所包含之第5位元線部～第8位元線部；及第3組，其包含第3區域RG3中所包含之第9位元線部～第12位元線部。於第5構成例中，第1位元線部～第4位元線部例如分別對應於位元線BL1～BL4。而且，於第5構成例中，第1位元線部～第4位元線部分別與第5位元線部～第8位元線部於Y方向上相鄰。第5構成例中，第5位元線部～第8位元線部分別與第9位元線部～第12位元線部於Y方向上相鄰。第5構成例中，於Y方向上相鄰之第1組及第2組中，第1位元線部與上述第7位元線部連接，第3位元線部與第5位元線部連接，第2位元線部與第8位元線部連

接，第4位元線部與第6位元線部連接。第5構成例中，於Y方向上相鄰之第2組及第3組中，第5位元線部與第11位元線部連接，第6位元線部與第12位元線部連接，第7位元線部與第9位元線部連接，第8位元線部與第10位元線部連接。由此，第5構成例相較於第4構成例，可消除各子陣列111內之非對稱性。

【0098】

<第6構成例>

圖16係表示第3實施方式之記憶體裝置100具備之記憶胞陣列110之第6構成例之概略圖，且抽取第1子陣列111A而表示。如圖16所示，第6構成例中，各子陣列111與第1構成例相同，分割為第1區域RG1與第2區域RG2。而且，第6構成例中，於第1區域RG1中以Folded-BL方式使用之偶數位元線BL於第2區域RG2中向鄰近之偶數位元線BL之座標移位而進行連接。

【0099】

具體而言，第6構成例中，位元線BL2於第1區域RG1中與座標(3)之記憶胞MC連接，於第2區域RG2中與座標(6)之記憶胞MC連接。第6構成例中，位元線BL4於第1區域RG1中與座標(6)之記憶胞MC連接，於第2區域RG2中與座標(9)之記憶胞MC連接。第6構成例中，位元線BL6於第1區域RG1中與座標(9)之記憶胞MC連接，於第2區域RG2中與座標(12)之記憶胞MC連接。以下相同，第6構成例中，位元線BL(2 * k)(k為1以上之整數)於第1區域RG1中與座標(3 * k)之記憶胞MC連接，於第2區域RG2中與座標(3 * (k + 1))之記憶胞MC連接。第6構成例中，以Open-BL方式使用之奇數位元線BL與記憶胞MC之連接關係與第1實施方式相同。

【0100】

如以上所說明，第6構成例中，第2區域RG2中之複數個偶數位元線BL各自之沿X方向之位置，向第1區域RG1中相鄰之偶數位元線BL之沿X方向之位置移位而設置。

【0101】

換言之，第6構成例中，複數個位元線BL與第1構成例相同，包含：第1組，其包含第1區域RG1中所包含之第1位元線部～第4位元線部；及第2組，其包含第2區域RG2中所包含之第5位元線部～第8位元線部。第6構成例中，第1位元線部～第4位元線部例如分別對應於位元線BL1～BL4。而且，第6構成例中，第1位元線部～第4位元線部分別與第5位元線部～第8位元線部於Y方向上相鄰。第6構成例中，於Y方向上相鄰之第1組及第2組中，第1位元線部與第5位元線部連接，第3位元線部與第7位元線部連接，第2位元線部與第8位元線部連接，第4位元線部與鄰近之第2組中所包含之第6位元線部連接。而且，第6構成例中，連接第2位元線部與第8位元線部之配線和連接第4位元線部與第6位元線部之配線不交叉。

【0102】

<第7構成例>

圖17係表示第3實施方式之記憶體裝置100具備之記憶體陣列110之第7構成例之概略圖，且抽取第1子陣列111A而表示。如圖17所示，第7構成例中，各子陣列111與第1構成例相同，分割為第1區域RG1與第2區域RG2。而且，第7構成例中，於第1區域RG1中以Open-BL方式使用之奇數位元線BL，向第2區域RG2中鄰近之奇數位元線BL之座標移位而進行連接。

【0103】

具體而言，於第7構成例中，位元線BL1於第1區域RG1中連接於座標(1)及(2)之記憶胞MC，於第2區域RG2中連接於座標(4)及(5)之記憶胞MC。於第7構成例中，位元線BL3於第1區域RG1中連接於座標(4)及(5)之記憶胞MC，於第2區域RG2中連接於座標(7)及(8)之記憶胞MC。第7構成例中，位元線BL5於第1區域RG1中連接於座標(7)及(8)之記憶胞MC，於第2區域RG2中連接於座標(10)及(11)之記憶胞MC。以下相同，於第7構成例中，位元線BL(2 * k-1)(k為1以上之整數)於第1區域RG1中連接於座標(3 * k-2)及(3 * k-1)之記憶胞MC，於第2區域RG2中連接於座標(3 * (k + 1)-2)及(3 * (k + 1)-1)之記憶胞MC。於第7構成例中，以Folded-BL方式使用之偶數位元線BL與記憶胞MC之連接關係與第1實施方式相同。

【0104】

如以上說明，第7構成例中，第2區域RG2中之複數個奇數位元線BL各自之沿X方向之位置，向第1區域RG1中相鄰之奇數位元線BL之沿X方向之位置移位而設置。

【0105】

換言之，於第7構成例中，複數個位元線BL與第1構成例相同，包含：第1組，其包含第1區域RG1中所包含之第1位元線部～第4位元線部；及第2組，其包含第2區域RG2中所包含之第5位元線部～第8位元線部。於第7構成例中，第1位元線部～第4位元線部例如分別對應於位元線BL1～BL4。而且，於第7構成例中，第1位元線部～第4位元線部分別與第5位元線部～第8位元線部於Y方向上相鄰。第7構成例中，於Y方向上相鄰之第1組及第2組中，第1位元線部與第7位元線部連接，第3位元線部與鄰近之

第2組中所包含之第5位元線部連接，第2位元線部與第6位元線部連接，第4位元線部與第8位元線部連接。而且，第7構成例中，連接第1位元線部與第7位元線部之配線和連接第3位元線部與第5位元線部之配線不交叉。

【0106】

<第8構成例>

圖18係表示第3實施方式之記憶體裝置100具備之記憶胞陣列110之第8構成例之概略圖，且抽取第1子陣列111A而表示。如圖18所示，第8構成例中，各子陣列111與第1構成例相同，分割為第1區域RG1與第2區域RG2。圖18表示第1區域RG1之X座標(1)~(12)與第2區域RG2之X座標(1)~(12)之各者。而且，第8構成例中，相鄰之2個位元線BL於第1區域RG1與第2區域RG2之間調換而連接。

【0107】

具體而言，於第8構成例中，位元線BL1於第1區域RG1中與座標(1)及(2)之記憶胞MC連接，於第2區域RG2中與座標(2)及(3)之記憶胞MC連接。於第8構成例中，位元線BL2於第1區域RG1中與座標(3)之記憶胞MC連接，於第2區域RG2中與座標(1)之記憶胞MC連接。從座標(4)起重複與座標(1)~(3)相同之連接關係。

【0108】

換言之，於第8構成例中，位元線BL(2 * k - 1)(k為1以上之整數)於第1區域RG1中與座標(3 * k - 2)及(3 * k - 1)之記憶胞MC連接，於第2區域RG2中與座標(3 * k - 1)及(3 * k)之記憶胞MC。於第8構成例中，位元線BL(2 * k)(k為1以上之整數)於第1區域RG1中與座標(3 * k)之記憶胞MC連接，於

第2區域RG2中與座標(3 * k-2)之記憶胞MC連接。

【0109】

如以上所說明，第8構成例中，針對相鄰之2個奇數位元線BL及偶數位元線BL之每一組，於第2區域RG2中連接之記憶胞MC(胞電晶體CT)之指派，與於第1區域RG1中連接之記憶胞MC(胞電晶體CT)之指派調換。

【0110】

換言之，於第8構成例中，複數個位元線BL與第1構成例相同，包含：第1組，其包含第1區域RG1中所包含之第1位元線部～第4位元線部；及第2組，其包含第2區域RG2中所包含之第5位元線部～第8位元線部。於第8構成例中，第1位元線部～第4位元線部例如分別對應於位元線BL1～BL4。而且，第8構成例中，於Y方向上相鄰之第1組及第2組中，將第5位元線部與第6位元線部之配置進行調換，將第7位元線部與第8位元線部之配置進行調換，且第1位元線部～第4位元線部分別連接於第5位元線部～第8位元線部。因此，第8構成例中，連接第1位元線部與第5位元線部之配線、及連接第2位元線部與第6位元線部之配線交叉。同樣，於第8構成例中，連接第3位元線部與第7位元線部之配線、及連接第4位元線部與第8位元線部之配線交叉。另外，「將2個位元線部之配置進行調換」，表示與位元線部連接之記憶胞MC(Open-BL方式或Folded-BL方式)之對應關係不改變而將2個位元線部之位置關係進行調換。

【0111】

< 3-2 > 記憶體裝置100之結構

以下，列舉第2構成例與第8構成例為代表對第3實施方式之記憶體裝置100之結構進行說明。

【0112】

< 第2構成例 >

圖19係表示第3實施方式之記憶體裝置100具備之記憶體陣列110之第2構成例之平面佈局之一例之俯視圖，且抽取第1子陣列111A而表示。圖19，於第2構成例中表示第1子陣列111A中所包含之5個位元線BL1~BL5及8個字元線WL1~WL8、以及與該些配線建立關聯之複數個記憶體MC及複數個觸點VC。

【0113】

如圖19所示，位元線BL1具有設置於第1區域RG1之第1部分40、及設置於第2區域RG2之第2部分50。位元線BL2具有設置於第1區域RG1之第1部分41、及設置於第2區域RG2之第2部分51。位元線BL3具有設置於第1區域RG1之第1部分42、及設置於第2區域RG2之第2部分52。位元線BL4具有設置於第1區域RG1之第1部分43、及設置於第2區域RG2之第2部分53。此外，第2構成例中，於第1區域RG1與第2區域RG2之間配置有配線區域WR。第1子陣列111A於配線區域WR中進而包含分路線SH1及SH2與複數個觸點CP3。分路線SH1及SH2係導體，例如為金屬。分路線SH1與分路線SH2分離。分路線SH1及SH2分別對應於位元線BL3及BL4而設置。

【0114】

於第2構成例中，位元線BL1之第1部分40與第2部分50隔著配線區域WR而連續地設置。於第2構成例中，位元線BL2之第1部分41與第2部分51隔著配線區域WR而連續地設置。於第2構成例中，觸點CP3連接於位元線BL3之第1部分42與第2部分52之各者。而且，分路線SH1將連接於位元

線BL3之第1部分42之觸點CP3與連接於位元線BL3之第2部分52之觸點CP3之間連接。即，位元線BL3之第1部分42與第2部分52之間經由分路線SH1而與2個觸點CP3電性連接。同樣，於第2構成例中，觸點CP3連接於位元線BL4之第1部分43與第2部分53之各者。而且，分路線SH2將連接於位元線BL4之第1部分43之觸點CP3與連接於位元線BL4之第2部分53之觸點CP3之間連接。即，位元線BL4之第1部分43與第2部分53之間經由分路線SH2而與2個觸點CP3電性連接。於位元線BL5以後重複配置與位元線BL1～BL4相同之構成。

【0115】

另外，分路線SH1及SH2各自之平面形狀並未特別限定，只要可將第1區域RG1之位元線BL與第2區域RG2之位元線BL之間電性連接即可。例如，位元線BL3之第2部分52之端部延伸設置於位元線BL2之第1部分41與位元線BL4之第2部分53之間。而且，觸點CP3連接於位元線BL3之第2部分52之該端部。進而，設置於配線區域WR之位元線BL2之局部平面形狀例如設置為曲柄形狀。而且，位元線BL2係與位元線BL3及BL4之任一者均分離設置。由此，第2構成例中，可抑制配線區域WR之沿Y方向之寬度，且可將於第1區域RG1與第2區域RG2之間交叉之配線連接。

【0116】

圖20係表示第3實施方式之記憶體裝置100具備之記憶體陣列110(第1子陣列111A)之第2構成例之剖面結構之一例之沿圖19之XX-XX線之剖面圖。圖20表示位元線BL4之第1部分43及第2部分53之連接部分。如圖20所示，2個觸點CP3分別設置於位元線BL4之第1部分43上與位元線BL4之第2部分53上。而且，於2個觸點CP3上設置有分路線SH2。分路線SH2例

如設置於較位元線BL更上層。即，本例中，與位元線BL4交叉之位元線BL2及BL3設置於分路線SH2與板線PL之間。如此，第2構成例中，於第1區域RG1與第2區域RG2之間交叉之複數個位元線BL中之至少1者，經由較位元線BL更上層之分路線SH而於第1區域RG1與第2區域RG2之間電性連接。

【0117】

另外，於第2構成例中，利用分路線SH之位元線BL並不限定於以上說明之位元線BL。只要利用分路線SH能夠實現第2構成例中之位元線BL之連接關係即可。此外，第2構成例之位元線BL之於第1區域RG1與第2區域RG2之間之利用分路線SH進行之連接，亦可應用於第1構成例、第3構成例～第8構成例之任一者。

【0118】

< 第8構成例 >

圖21係表示第3實施方式之記憶體裝置100具備之記憶胞陣列110之第8構成例之平面佈局之一例之俯視圖，且抽取第1子陣列111A而表示。圖21於第8構成例中表示第1子陣列111A中所包含之5個位元線BL1～BL5及8個字元線WL1～WL8、以及與該些配線建立關聯之複數個記憶胞MC及複數個觸點VC。以下，第8構成例中，對與第2構成例不同之方面進行說明。

【0119】

如圖21所示，於第8構成例中，位元線BL1之第1部分40與第2部分50隔著配線區域WR而連續地設置。於第8構成例中，位元線BL3之第1部分42與第2部分52隔著配線區域WR而連續地設置。於第8構成例中，觸點

CP3連接於位元線BL2之第1部分41與第2部分51之各者。而且，分路線SH1將與位元線BL2之第1部分41連接之觸點CP3及與位元線BL2之第2部分51連接之觸點CP3之間連接。即，位元線BL2之第1部分41與第2部分51之間經由分路線SH1而與2個觸點CP3電性連接。同樣，於第8構成例中，觸點CP3連接於位元線BL4之第1部分43與第2部分53之各者。而且，分路線SH2將與位元線BL4之第1部分43連接之觸點CP3及與位元線BL4之第2部分53連接之觸點CP3之間連接。即，位元線BL4之第1部分43與第2部分53之間經由分路線SH2而與2個觸點CP3電性連接。於位元線BL5以後重複配置與位元線BL1～BL4相同之構成。

【0120】

於第8構成例中，位元線BL1於第1區域RG1與第2區域RG2之間向X方向偏移1座標量而設置。於第8構成例中，位元線BL3於第1區域RG1與第2區域RG2之間向X方向偏移1座標量而設置。換言之，第8構成例中，使位元線BL之配置於第1區域RG1與第2區域RG2之間偏移，由此將以Open-BL方式使用之奇數位元線BL與以Folded-BL方式使用之偶數位元線BL之指派進行調換。另外，利用分路線SH之位元線BL亦可不為偶數位元線BL而為奇數位元線BL。位元線BL偏移之方向可為X軸之正方向，亦可為負方向。

【0121】

< 3-3 > 第3實施方式之效果

隔於Folded-BL方式之讀出對象之位元線BL與參照位元線BL之間之Open-BL方式之位元線BL中，復原時之逆向噪聲相抵消。另一方面，未隔於Folded-BL方式之讀出對象之位元線BL與參照位元線BL之間之Open-

BL方式之位元線BL，接收來自2個獨立之Folded-BL方式之位元線BL之噪聲。

【0122】

由此，第3實施方式之記憶體裝置100具有於子陣列111內使複數個位元線交叉之構成。由此，第3實施方式之記憶體裝置100可使配置於以Folded-BL方式相鄰之位元線BL之間之Open-BL方式之位元線BL之由耦合引起之噪聲之對稱性提高。其結果，第3實施方式之記憶體裝置100可減輕來自相鄰之位元線BL之噪聲之非對稱性，從而相較於第1實施方式可使讀出容限提高。

【0123】

<4> 第4實施方式

第4實施方式之記憶體裝置100具有如下結構，即，使用設置於字元線WL之高度之配線來實現第3實施方式中所說明之位元線BL之配置。以下，對第4實施方式之記憶體裝置100之詳情進行說明。

【0124】

<4-1> 記憶體裝置100之結構

<4-1-1> 記憶胞陣列110之平面佈局

圖22係表示第4實施方式之記憶體裝置100具備之記憶胞陣列110(第1子陣列111A)之平面佈局之一例之俯視圖，且抽取第1子陣列111A而表示。圖22於第4實施方式中表示第1子陣列111A中所包含之5個位元線BL1~BL5、第1區域RG1中所包含之2個字元線WL3及WL4、第2區域RG2中所包含之2個字元線WL5及WL6、以及與該些配線建立關聯之複數個記憶胞MC及複數個觸點VC。如圖22所示，第4實施方式之記憶體裝置100具

有如下構成，即，相對於第3實施方式而配線區域WR之結構不同，複數個觸點CP3被置換為複數個觸點CP4，複數個分路線SH1及SH2被置換為複數個分路線SHa1及SHa2。

【0125】

分路線SHa1及SHa2係導電體，使用與配線區域WR之結構對應之材料。分路線SHa1與分路線SHa2分離。分路線SHa1及SHa2分別對應於位元線BL3及BL4而設置。分路線SHa1及SHa2設置於與字元線WL相同之高度。各觸點CP4將分路線SHa1及SHa2與對應之位元線BL之端部連接。

【0126】

具體而言，於第4實施方式中，觸點CP4連接於位元線BL3之第1部分42與第2部分52之各者。而且，分路線SHa1將與位元線BL3之第1部分42連接之觸點CP4及與位元線BL3之第2部分52連接之觸點CP4之間連接。即，位元線BL3之第1部分42與第2部分52之間經由分路線SHa1而與2個觸點CP4電性連接。同樣，於第4實施方式中，觸點CP4連接於位元線BL4之第1部分43與第2部分53之各者。而且，分路線SHa2將與位元線BL4之第1部分43連接之觸點CP4及與位元線BL4之第2部分53連接之觸點CP4之間連接。即，位元線BL4之第1部分43與第2部分53之間經由分路線SHa2而與2個觸點CP4電性連接。於位元線BL5以後重複配置與位元線BL1～BL4相同之構成。另外，分路線SHa1及SHa2各自之平面形狀並未特別限定，只要能夠將第1區域RG1之位元線BL與第2區域RG2之位元線BL之間電性連接即可。

【0127】

<4-1-2> 記憶胞陣列110之剖面結構

以下，對第4實施方式之記憶體裝置100具備之記憶體陣列110之剖面結構之第1～第3例依序進行說明。

【0128】

<第1例>

圖23係表示第4實施方式之記憶體裝置100具備之記憶體陣列110(第1子陣列111A)之剖面結構之第1例之沿圖22之XXIII-XXIII線之剖面圖。圖23表示位元線BL4之第1部分43及第2部分53之連接部分。如圖23所示，2個觸點CP4例如設置於與對應於胞電晶體CT而設置之半導體層10及閘極絕緣層11相同之高度。即，本例中，觸點CP4之下端高度與半導體層10及閘極絕緣層11之下端高度一致。此外，觸點CP4之上端高度與半導體層10及閘極絕緣層11之上端高度一致。觸點CP4包含導體層13。導體層13例如為導體如為金屬、或摻雜有雜質之半導體。

【0129】

例如，於各導體層13上設置有觸點VC。建立關聯之位元線BL之一部分相接於導體層13上之觸點VC上。具體而言，位元線BL4之第1部分43之下表面於配線區域WR中經由觸點VC而與導體層13(觸點CP4)電性連接。位元線BL4之第2部分53之下表面於配線區域WR中經由觸點VC而與導體層13(觸點CP4)電性連接。

【0130】

各觸點CP4貫通建立關聯之分路線SH。具體而言，設置於位元線BL4之第1部分43之下方之導體層13、與設置於位元線BL4之第2部分53之下方之導體層13各自貫通相同之分路線SHa2，且電性連接。由此，位元線BL4於第1區域RG1與第2區域RG2之間經由2個觸點CP4與分路線

SHa2而電性連接。

【0131】

第1例中，記憶體裝置100不於各觸點CP4之下方具有與胞電容器CC相同之結構。換言之，第1例中，記憶體裝置100省略配線區域WR(具體而言，各觸點CP4之下方)之虛設之胞電容器CC。另外，「虛設之胞電容器CC」為如下構成，即，其係於為形成胞電容器CC而形成複數個孔之工序中，為補償該複數個孔之形狀而配置。只要能夠形成胞電容器CC，則亦可省略虛設之胞電容器CC。

【0132】

於觸點CP4之柱狀結構之形成中利用用來形成胞電晶體CT之孔(通道孔)形成工序。具體而言，例如，將與胞電晶體CT對應之複數個孔之形成、及與觸點CP4對應之複數個孔之形成一起執行。而且，將與胞電晶體CT對應之結構及與觸點CP4對應之結構於不同之工序中執行。但並不限定於此，只要能夠形成第1例之記憶體裝置100之結構，則亦可利用其他製造工序。用來形成觸點CP4之複數個孔亦可不與通道孔之間距一致地形成。

【0133】

另外，只要能夠將位元線BL4之第1部分43與第2部分53之間經由分路線SHa2連接，則亦可省略與分路線SHa2連接之觸點VC。於第1例中，利用分路線SHa之位元線BL並不限定於以上說明之位元線BL。只要利用分路線SH能夠實現第1例之位元線BL之連接關係即可。此外，第1例之位元線BL之於第1區域RG1與第2區域RG2之間之利用分路線SH進行之連接，亦可應用於第3實施方式之第1～第8構成例之任一者。

【0134】

< 第2例 >

圖24係表示第4實施方式之記憶體裝置100具備之記憶胞陣列110(第1子陣列111A)之剖面結構之第2例之剖面圖，且表示與圖23相同之區域。如圖24所示，第2例之第1子陣列111A相對於第1例，觸點CP4之構成不同。具體而言，第2例中，觸點CP4包含與胞電晶體CT相同組成之半導體層10。即，第2例之觸點CP4具有如下構成，即，從胞電晶體CT省略閘極絕緣層11，且填充有作為通道來使用之材料。觸點CP4內之半導體層10之上端例如相接於觸點VC。而且，觸點CP4內之半導體層10經由觸點VC而與建立關聯之位元線BL連接。

【0135】

各觸點CP4之半導體層10貫通建立關聯之分路線SH。具體而言，設置於位元線BL4之第1部分43之下方之半導體層10、與設置於位元線BL4之第2部分53之下方之半導體層10之各者貫通相同之分路線SHa2，且電性連接。由此，位元線BL4於第1區域RG1與第2區域RG2之間經由2個觸點CP4與分路線SHa2而電性連接。第2例中，記憶體裝置100不於各觸點CP4之下方具有與胞電容器CC相同之結構。第2例之記憶胞陣列110之其他構成與第1例相同。

【0136】

另外，只要能夠將位元線BL4之第1部分43與第2部分53之間經由分路線SHa2連接，則亦可省略與分路線SHa2連接之觸點VC。第2例中，利用分路線SHa之位元線BL並不限定於以上說明之位元線BL。只要利用分路線SHa能夠實現第2例之位元線BL之連接關係即可。此外，第2例之位

元線BL之於第1區域RG1與第2區域RG2之間之利用分路線SHa進行之連接，亦可應用於第3實施方式之第1～第8構成例之任一者。

【0137】

<第3例>

圖25係表示第4實施方式之記憶體裝置100具備之記憶體陣列110(第1子陣列111A)之剖面結構之第3例之剖面圖，且表示與圖23相同之區域。如圖25所示，第3例之第1子陣列111A具有如下構成，即，相對於第1例，而於配線區域WR配置有複數個虛設之胞電容器CC(虛設柱DP)，且觸點CP4之結構不同。虛設柱DP具有與胞電容器CC相同之結構。而且，第3例之觸點CP4與虛設柱DP分離。

【0138】

具體而言，配置於虛設柱DP之上方之觸點CP4之下端高度係與虛設柱DP之上端分離配置。第3例之觸點CP4之上端高度例如與胞電晶體CT(半導體層10)之上端高度一致。第3例中，觸點CP4包含導電體層14。作為導電體層14，亦可使用半導體層10、導電體層13，只要使用能夠與分路線SHa2電性連接之材料即可。第3例之記憶體陣列110之其他構成與第1例相同。

【0139】

另外，只要能夠將位元線BL4之第1部分43與第2部分53之間經由分路線SHa2連接，則亦可省略與分路線SHa2連接之觸點VC。此外，第3例中，導電體層14亦可不貫通分路線SHa2。該情形時，觸點CP4(導電體層14)設置於分路線SHa2上。第3例中，利用分路線SHa之位元線BL並不限定於以上說明之位元線BL。只要利用分路線SHa能夠實現第3例之位元線

BL之連接關係即可。此外，第3例之位元線BL之於第1區域RG1與第2區域RG2之間之利用分路線SHa進行之連接，亦可應用於第3實施方式之第1～第8構成例之任一者。

【0140】

<4-2> 第4實施方式之效果

第4實施方式之記憶體裝置100中，使用字元線WL之配線層來實現第3實施方式般之子陣列111內之位元線BL之交叉。由此，第4實施方式之記憶體裝置100相較於第3實施方式可削減記憶體裝置100之製造工序，從而可抑制記憶體裝置100之製造成本。

【0141】

<5> 其他

上述實施方式之說明中使用之圖式中，例示了胞電容器CC、胞電晶體CT、觸點CP之各者於Z方向上具有相同直徑之情形，但並不限定於此。該些構成要素亦可具有圓錐形狀、倒圓錐形狀或彎曲形狀。

【0142】

上述實施方式中，記憶體裝置100之電路構成、平面佈局及剖面結構分別可適當變更。例如，包含電晶體TR1及TR2等之CMOS電路亦可不設置於胞電容器CC之下方之半導體基板SUB上，CMOS電路亦可設置於胞電容器CC之周邊附近之半導體基板SUB上。此外，例如記憶體裝置100亦可具有將板線PL、記憶胞MC、字元線WL及位元線BL之組上下反轉而配置之構成。圖26係表示變化例之記憶體裝置100具備之記憶胞陣列110之剖面結構之一例之剖面圖。如圖26所示，記憶體裝置100亦可具有如下結構，即，於半導體基板SUB之上方依序設置有位元線BL、字元線WL、胞

電容器CC、板線PL。本變化例中，板線PL經由觸點CP1、配線M1及觸點CP2而與配線M0電性連接。此外，字元線WL經由觸點CP1而與配線M0電性連接。另外，本變化例中，亦可為觸點CP1被分割為複數個觸點，且於分割之部分設置有配線。

【0143】

第1實施方式之說明中，奇數位元線BL與以Open-BL方式使用之位元線BL建立對應，偶數位元線BL與以Folded-BL方式使用之位元線BL建立對應。但並不限定於此，位元線BL之偶奇亦可以任意位置之位元線BL為基準來定義。因此，上述實施方式中，亦可將奇數位元線BL與偶數位元線BL之關係進行調換。同樣，上述實施方式中，亦可將奇數字元線WL與偶數字元線WL之關係進行調換。

【0144】

本說明書中，「連接」表示電性連接，不排除例如中間介置有其他元件。對於「電性連接」，只要能夠與電性連接之情形相同地動作，則亦可隔著絕緣體。「圓錐形狀」表示隨著遠離作為基準之基板而變細之形狀。「倒圓錐形狀」表示隨著遠離作為基準之基板而變粗之形狀。「柱狀」表示為例如設置於記憶體裝置100之製造工序中形成之孔內之結構體。「寬度」表示例如X方向或Y方向上之構成要素之寬度。「半導體層」亦可稱為「導電體層」。「Z方向」亦可改稱為立式電晶體之通道之延伸方向。

【0145】

本說明書中，「區域」亦可視為由作為基準之基板包含之構成。「高度」對應於例如測量對象之構成與半導體基板SUB之Z方向之間隔。

亦可使用除半導體基板SUB以外之構成作為「高度」之基準。「平面位置」表示平面佈局中之構成要素之位置。「頂視(俯視)」例如對應於從板線PL側觀察半導體基板SUB。「復原」表示於DRAM中將讀出之資料寫回至記憶胞MC之動作。DRAM中，由於記憶胞MC中記憶之資料因資料之讀出而被破壞，因此執行該復原。

【0146】

對本發明之若干實施方式進行了說明，但該些實施方式係作為例子來提示，並未意圖限定發明之範圍。該些新穎之實施方式能夠以其他各種方式來實施，且可於不脫離發明之主旨之範圍進行各種省略、置換、變更。該些實施方式及其變化包含於發明之範圍及主旨中，並且包含於申請專利範圍之發明及其相同範圍內。

【0147】

對本發明之若干實施方式進行了說明，但該些實施方式係作為例子來提示，並未意圖限定發明之範圍。該些新穎之實施方式能夠以其他各種方式來實施，且可於不脫離發明之主旨之範圍進行各種省略、置換、變更。該些實施方式及其變化包含於發明之範圍及主旨中，並且包含於權利要求上述之發明及其相同範圍內。

【符號說明】

【0148】

10:半導體層

11:閘極絕緣層

12:閘極電極

13:導電體層

- 14:導電體層
- 19:導電體層
- 22:導電體層
- 23:導電體層
- 24:絕緣體層
- 30:井區域
- 31:閘極電極
- 32:閘極絕緣層
- 33:源極/汲極區域
- 33A:源極/汲極區域
- 33B:源極/汲極區域
- 40:第1部分
- 41:第1部分
- 42:第1部分
- 43:第1部分
- 50:第2部分
- 51:第2部分
- 52:第2部分
- 53:第2部分
- 100:記憶體裝置
- 110:記憶體陣列
- 111:子陣列
- 111A:第1子陣列

111B:第2子陣列
120:列控制電路
121:驅動器電路
122:位址解碼器
130:行控制電路
131:驅動器電路
132:位址解碼器
133:感測放大器電路
140:讀出/寫入電路
150:輸入輸出電路
160:控制電路
200:記憶體控制器
AA:活動區域
AA1:活動區域
AA2:活動區域
ADR:位址
BL:位元線
BL1:位元線
BL2:位元線
BL3:位元線
BL4:位元線
BL5:位元線
BL6:位元線

BL7:位元線

BL8:位元線

CC:胞電容器

CP1:觸點

CP2:觸點

CP3:觸點

CT:胞電晶體

CMD:指令

CNT:控制信號

CP0:觸點

CP1:觸點

CP2:觸點

CP3:觸點

CP4:觸點

DT:資料

DP:虛設柱

M0:配線

M1:配線

MC:記憶胞

ND:節點

PL:板線

RG:區域

RG1:第1區域

RG2:第2區域

RG3:第3區域

SAf:感測放大器

SAo:感測放大器

SUB:半導體基板

SH:分路線

SH1:分路線

SH2:分路線

SHa1:分路線

SHa2:分路線

TR:電晶體

TR1:電晶體

TR2:電晶體

VC:觸點

WL:字元線

WL1:字元線

WL2:字元線

WL3:字元線

WL4:字元線

WL5:字元線

WL6:字元線

WL7:字元線

WL8:字元線

WL9:字元線

WL10:字元線

WL11:字元線

WL12:字元線

WR:配線區域

X:方向

Y:方向

Z:方向

【發明申請專利範圍】

【請求項1】

一種記憶體裝置，其具備：

複數個字元線，其等分別於第1方向上延伸設置，且於與上述第1方向交叉之第2方向上排列；

複數個位元線，其等分別於上述第2方向上延伸設置，且於上述第1方向上排列；

複數個電晶體，其等分別具有於與上述第1方向及上述第2方向交叉之第3方向上延伸設置之通道；

複數個電容器，其等各自之一電極分別連接於上述複數個電晶體各自之一端；及

板線，其連接有上述複數個電容器各自之另一電極；且

上述複數個電晶體包含：複數個第1電晶體，其等之閘極端連接於上述複數個字元線中所包含之第1字元線；及複數個第2電晶體，其等之閘極端連接於包含於上述複數個字元線中且與上述第1字元線相鄰之第2字元線；上述複數個第1電晶體與上述複數個第2電晶體於上述第1方向上相互交錯配置，

上述複數個位元線包含於上述第1方向上依序排列之第1至第4位元線，上述第1位元線及上述第3位元線各自連接於上述第1電晶體及上述第2電晶體各自之另一端，上述第2位元線連接於上述第1電晶體之另一端且不連接於上述第2電晶體之另一端，上述第4位元線連接於上述第2電晶體之另一端且不連接於上述第1電晶體之另一端。

【請求項2】

如請求項1之記憶體裝置，其中

上述複數個位元線包含含有上述第1位元線、上述第2位元線、上述第3位元線及上述第4位元線之組，

上述組於上述第1方向上重複配置。

【請求項3】

如請求項2之記憶體裝置，其進而具備複數個第1觸點，且

上述複數個第1觸點包含連接上述第1位元線與上述第1電晶體之間之第1觸點、連接上述第1位元線與上述第2電晶體之間之第1觸點、連接上述第3位元線與上述第1電晶體之間之第1觸點、及連接上述第3位元線與上述第2電晶體之間之第1觸點。

【請求項4】

如請求項3之記憶體裝置，其中

上述複數個第1觸點包含連接上述第2位元線與上述第1電晶體之間之第1觸點、及連接上述第4位元線與上述第2電晶體之間之第1觸點。

【請求項5】

如請求項3之記憶體裝置，其中

上述第2位元線與上述第4位元線之各者設置於與上述複數個第1觸點相同之高度。

【請求項6】

如請求項1至5中任一項之記憶體裝置，其中

上述複數個電晶體各自包含：半導體層，其於上述第3方向上延伸設置；及閘極絕緣層，其設置於上述半導體層與上述複數個字元線之任一者之間；且

上述半導體層包含氧化物半導體。

【請求項7】

一種記憶體裝置，其具備：

複數個字元線，其等分別於第1方向上延伸設置，且於與上述第1方向交叉之第2方向上排列；

複數個位元線，其等分別於上述第2方向上延伸設置，且於上述第1方向上排列；

複數個電晶體，其等分別具有於與上述第1方向及上述第2方向交叉之第3方向上延伸設置之通道；

複數個電容器，其等各自之一電極分別連接於上述複數個電晶體各自之一端；及

板線，其連接有上述複數個電容器各自之另一電極；且

上述複數個電晶體包含：複數個第1電晶體及複數個第2電晶體，其等包含於第1區域中；及複數個第3電晶體及複數個第4電晶體，其等包含於第2區域中；上述複數個第1電晶體各自之閘極端連接於上述複數個字元線中所包含之第1字元線，上述複數個第2電晶體各自之閘極端連接於包含於上述複數個字元線中且與上述第1字元線相鄰之第2字元線，上述複數個第3電晶體各自之閘極端連接於上述複數個字元線中所包含之第3字元線，上述複數個第4電晶體各自之閘極端連接於包含於上述複數個字元線中且與上述第3字元線相鄰之第4字元線，上述複數個第1電晶體與上述複數個第2電晶體於上述第1方向上相互交錯配置，上述複數個第3電晶體與上述複數個第4電晶體於上述第1方向上相互交錯配置，

上述複數個位元線包含於上述第1區域中於上述第1方向上依序排列

之第1至第4位元線部、及於上述第2區域中於上述第1方向上依序排列之第5至第8位元線部，

上述第1位元線部及上述第3位元線部各自連接於上述第1電晶體及上述第2電晶體各自之另一端，上述第2位元線部連接於上述第1電晶體之另一端且不連接於上述第2電晶體之另一端，上述第4位元線部連接於上述第2電晶體之另一端且不連接於上述第1電晶體之另一端，上述第5位元線部及上述第7位元線部各自連接於上述第3電晶體及上述第4電晶體各自之另一端，上述第6位元線部連接於上述第3電晶體之另一端且不連接於上述第4電晶體之另一端，上述第8位元線部連接於上述第4電晶體之另一端且不連接於上述第3電晶體之另一端，

上述第1位元線部與上述第5位元線部及上述第7位元線部之一者連接，上述第3位元線部與上述第5位元線部及上述第7位元線部之另一者連接，上述第2位元線部與上述第6位元線部及上述第8位元線部之一者連接，上述第4位元線部與上述第6位元線部及上述第8位元線部之另一者連接。

【請求項8】

如請求項7之記憶體裝置，其中

上述複數個位元線包含含有上述第1至第4位元線部之第1組、及含有上述第5至第8位元線部之第2組，上述第1組與上述第2組之各者於上述第1方向上重複配置。

【請求項9】

如請求項7之記憶體裝置，其中

上述第1位元線部至上述第4位元線部分別與上述第5位元線部至上述

第8位元線部於上述第2方向上相鄰，

上述第1位元線部與上述第7位元線部連接，上述第3位元線部與上述第5位元線部連接，上述第2位元線部與上述第6位元線部連接，上述第4位元線部與上述第8位元線部連接。

【請求項10】

如請求項7之記憶體裝置，其中

上述第1位元線部至上述第4位元線部分別與上述第5位元線部至上述第8位元線部於上述第2方向上相鄰，

上述第1位元線部與上述第5位元線部連接，上述第3位元線部與上述第7位元線部連接，上述第2位元線部與上述第8位元線部連接，上述第4位元線部與上述第6位元線部連接。

【請求項11】

如請求項10之記憶體裝置，其中

上述複數個電晶體包含第3區域中所包含之複數個第5電晶體及複數個第6電晶體，上述複數個第5電晶體各自之閘極端連接於上述複數個字元線中所包含之第5字元線，上述複數個第6電晶體各自之閘極端連接於包含於上述複數個字元線中且與上述第5字元線相鄰之第6字元線，上述複數個第5電晶體與上述複數個第6電晶體於上述第1方向上相互交錯配置，上述第2區域配置於上述第1區域與上述第3區域之間，

上述複數個位元線包含於上述第3區域中於上述第1方向上依序排列之第9至第12位元線部，上述第9位元線部及上述第11位元線部各自連接於上述第5電晶體及上述第6電晶體各自之另一端，上述第10位元線部連接於上述第5電晶體之另一端且不連接於上述第6電晶體之另一端，上述第

12位元線部連接於上述第6電晶體之另一端且不連接於上述第5電晶體之另一端，

上述第5位元線部至上述第8位元線部分別與上述第9位元線部至上述第12位元線部於上述第2方向上相鄰，

上述第5位元線部與上述第9位元線部連接，上述第6位元線部與上述第12位元線部連接，上述第7位元線部與上述第11位元線部連接，上述第8位元線部與上述第10位元線部連接。

【請求項12】

如請求項7之記憶體裝置，其中

上述第1位元線部至上述第4位元線部分別與上述第5位元線部至上述第8位元線部於上述第2方向上相鄰，

上述第1位元線部與上述第7位元線部連接，上述第3位元線部與上述第5位元線部連接，上述第2位元線部與上述第8位元線部連接，上述第4位元線部與上述第6位元線部連接。

【請求項13】

如請求項12之記憶體裝置，其中

上述複數個電晶體包含第3區域中所包含之複數個第5電晶體及複數個第6電晶體，上述複數個第5電晶體各自之閘極端連接於上述複數個字元線中所包含之第5字元線，上述複數個第2電晶體各自之閘極端連接於包含於上述複數個字元線中且與上述第5字元線相鄰之第6字元線，上述複數個第5電晶體與上述複數個第6電晶體於上述第1方向上相互交錯配置，上述第2區域配置於上述第1區域與上述第3區域之間，

上述複數個位元線包含於上述第3區域中於上述第1方向上依序排列

之第9至第12位元線部，上述第9位元線部及上述第11位元線部各自連接於上述第5電晶體與上述第6電晶體之各者之另一端，上述第10位元線部連接於上述第5電晶體之另一端且不連接於上述第6電晶體之另一端，上述第12位元線部連接於上述第6電晶體之另一端且不連接於上述第5電晶體之另一端，

上述第5位元線部至上述第8位元線部分別與上述第9位元線部至上述第12位元線部於上述第2方向上相鄰，

上述第5位元線部與上述第11位元線部連接，上述第6位元線部與上述第12位元線部連接，上述第7位元線部與上述第9位元線部連接，上述第8位元線部與上述第10位元線部連接。

【請求項14】

如請求項11或13之記憶體裝置，其中

上述複數個位元線包含含有上述第9至第12位元線部之第3組，上述第3組於上述第1方向上重複配置。

【請求項15】

如請求項8之記憶體裝置，其中

上述第1位元線部至上述第4位元線部分別與上述第5位元線部至上述第8位元線部於上述第2方向上相鄰，

於上述第2方向上相鄰之上述第1組及上述第2組中，上述第1位元線部與上述第5位元線部連接，上述第3位元線部與上述第7位元線部連接，上述第2位元線部與上述第8位元線部連接，上述第4位元線部與鄰近之第2組中所包含之上述第6位元線部連接，

連接上述第2位元線部與上述第8位元線部之配線和連接上述第4位元

線部與上述第6位元線部之配線不交叉。

【請求項16】

如請求項8之記憶體裝置，其中

上述第1位元線部至上述第4位元線部分別與上述第5位元線部至上述第8位元線部於上述第2方向上相鄰，

於上述第2方向上相鄰之上述第1組及上述第2組中，上述第1位元線部與上述第7位元線部連接，上述第3位元線部與鄰近之第2組中所包含之上述第5位元線部連接，上述第2位元線部與上述第6位元線部連接，上述第4位元線部與上述第8位元線部連接，

連接上述第1位元線部與上述第7位元線部之配線和連接上述第3位元線部與上述第5位元線部之配線不交叉。

【請求項17】

如請求項8之記憶體裝置，其中

於上述第2組中，將上述第5位元線部與上述第6位元線部之配置進行調換，且將上述第7位元線部與上述第8位元線部之配置進行調換，

於上述第2方向上相鄰之上述第1組及上述第2組中，上述第1位元線部至上述第4位元線部分別連接於上述第5位元線部至上述第8位元線部。

【請求項18】

如請求項7之記憶體裝置，其中

於上述第1區域與上述第2區域之間之第4區域中，進而具備設置於第1層之配線，

上述複數個位元線設置於第2層，上述複數個電晶體設置於第3層，上述第2層於上述第3方向上位於上述第1層與上述第3層之間，

上述第1位元線部至上述第4位元線部之任一者與上述第5位元線部至上述第8位元線部之任一者之間經由上述配線電性連接。

【請求項19】

如請求項7之記憶體裝置，其中

於上述第1區域與上述第2區域之間之第4區域中，進而具備設置於設置有上述複數個字元線之高度之配線，

上述第1位元線部至上述第4位元線部之任一者與上述第5位元線部至上述第8位元線部之任一者之間經由上述配線電性連接。

【請求項20】

如請求項19之記憶體裝置，其進而具備分別貫通上述配線而設置之2個第1觸點，

上述複數個電晶體各自包含：半導體層，其於上述第3方向上延伸設置；及閘極絕緣層，其設置於上述半導體層與上述複數個字元線之任一者之間；

上述2個第1觸點中之一者連接於上述第1位元線部至上述第4位元線部中之任一者，上述2個第1觸點中之另一者連接於上述第5位元線部至上述第8位元線部中之任一者，

上述第1觸點之底面高度與上述半導體層之底面高度一致，上述第1觸點之上表面高度與上述半導體層之上表面高度一致，

上述第1觸點包含與上述半導體層不同之導電體。

【請求項21】

如請求項19之記憶體裝置，其進而具備分別貫通上述配線而設置之2個第1觸點，

上述複數個電晶體各自包含：半導體層，其於上述第3方向上延伸設置；及閘極絕緣層，其設置於上述半導體層與上述複數個字元線之任一者之間；

上述2個第1觸點中之一者連接於上述第1位元線部至上述第4位元線部中之任一者，上述2個第1觸點中之另一者連接於上述第5位元線部至上述第8位元線部中之任一者，

上述第1觸點之底面高度與上述半導體層之底面高度一致，上述第1觸點之上表面高度與上述半導體層之上表面高度一致，

上述第1觸點包含與上述半導體層相同之材料。

【請求項22】

如請求項19之記憶體裝置，其進而具備：

2個第1觸點，其等分別貫通上述配線而設置；及

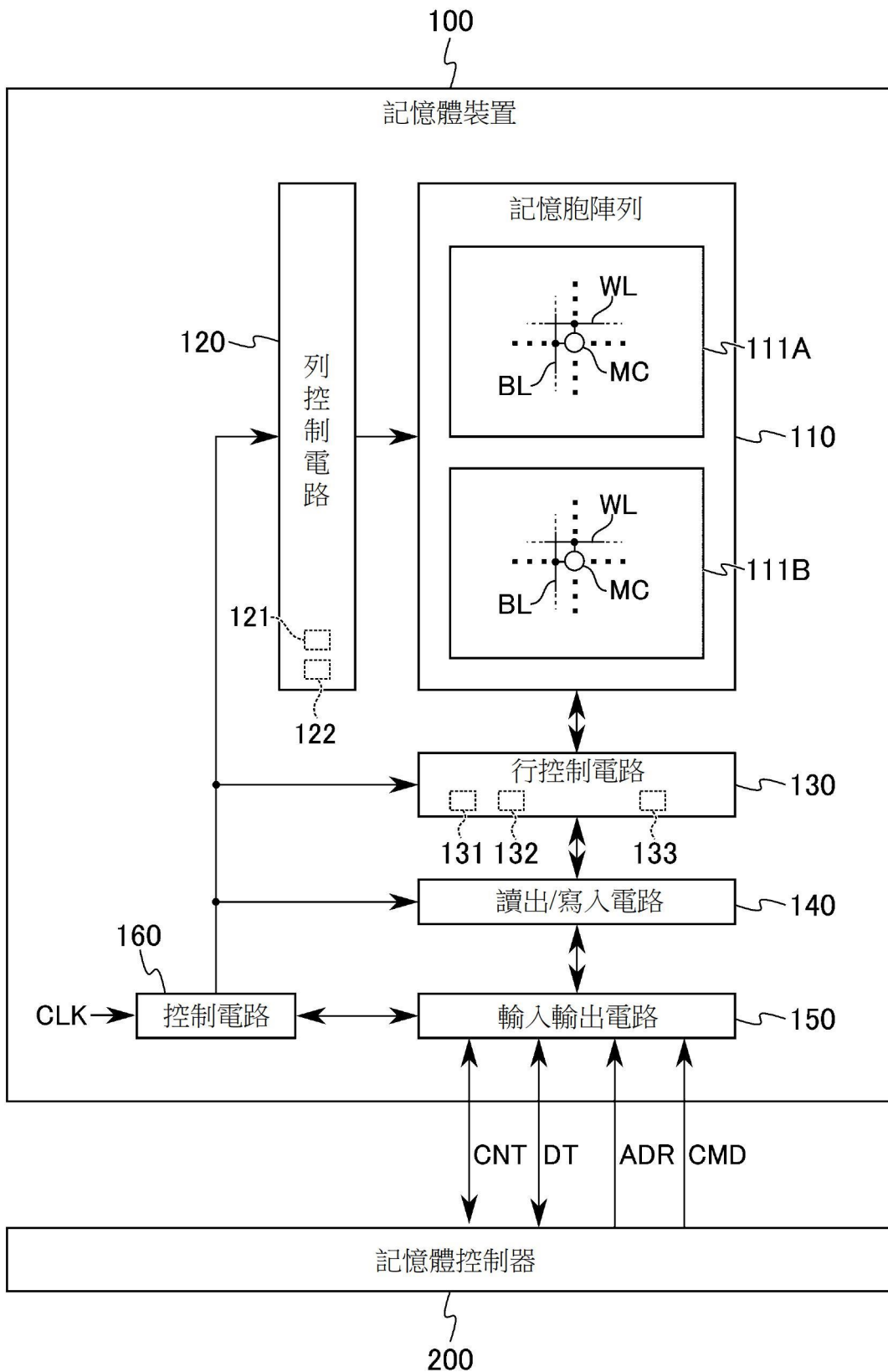
至少1個虛設電容器，其於上述第4區域中設置於與上述複數個電容器相同之高度；

上述複數個電晶體各自包含：半導體層，其於上述第3方向上延伸設置；及閘極絕緣層，其設置於上述半導體層與上述複數個字元線之任一者之間；

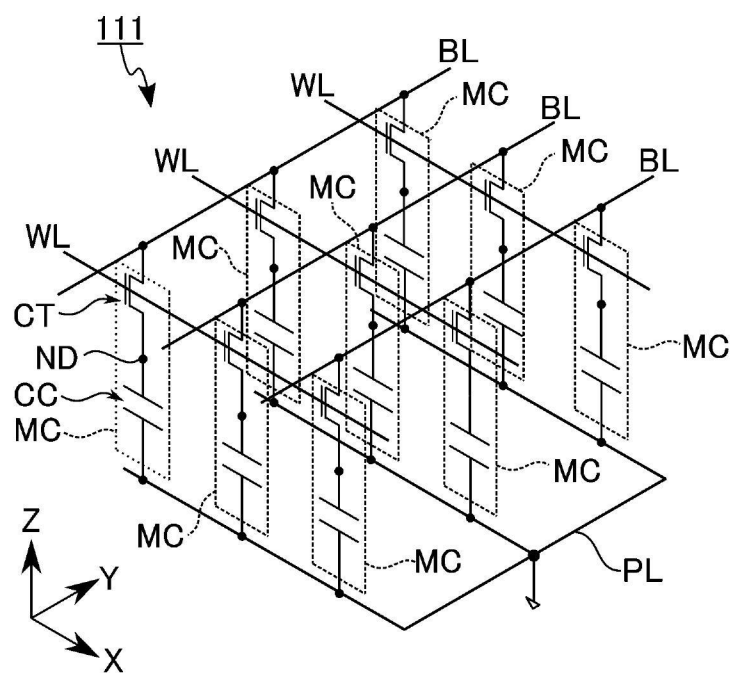
上述2個第1觸點中之一者連接於上述第1位元線部至上述第4位元線部中之任一者，上述2個第1觸點中之另一者連接於上述第5位元線部至上述第8位元線部中之任一者，

上述第1觸點之底面設置於較上述虛設電容器之上表面高之位置，上述第1觸點之上表面高度與上述半導體層之上表面高度一致。

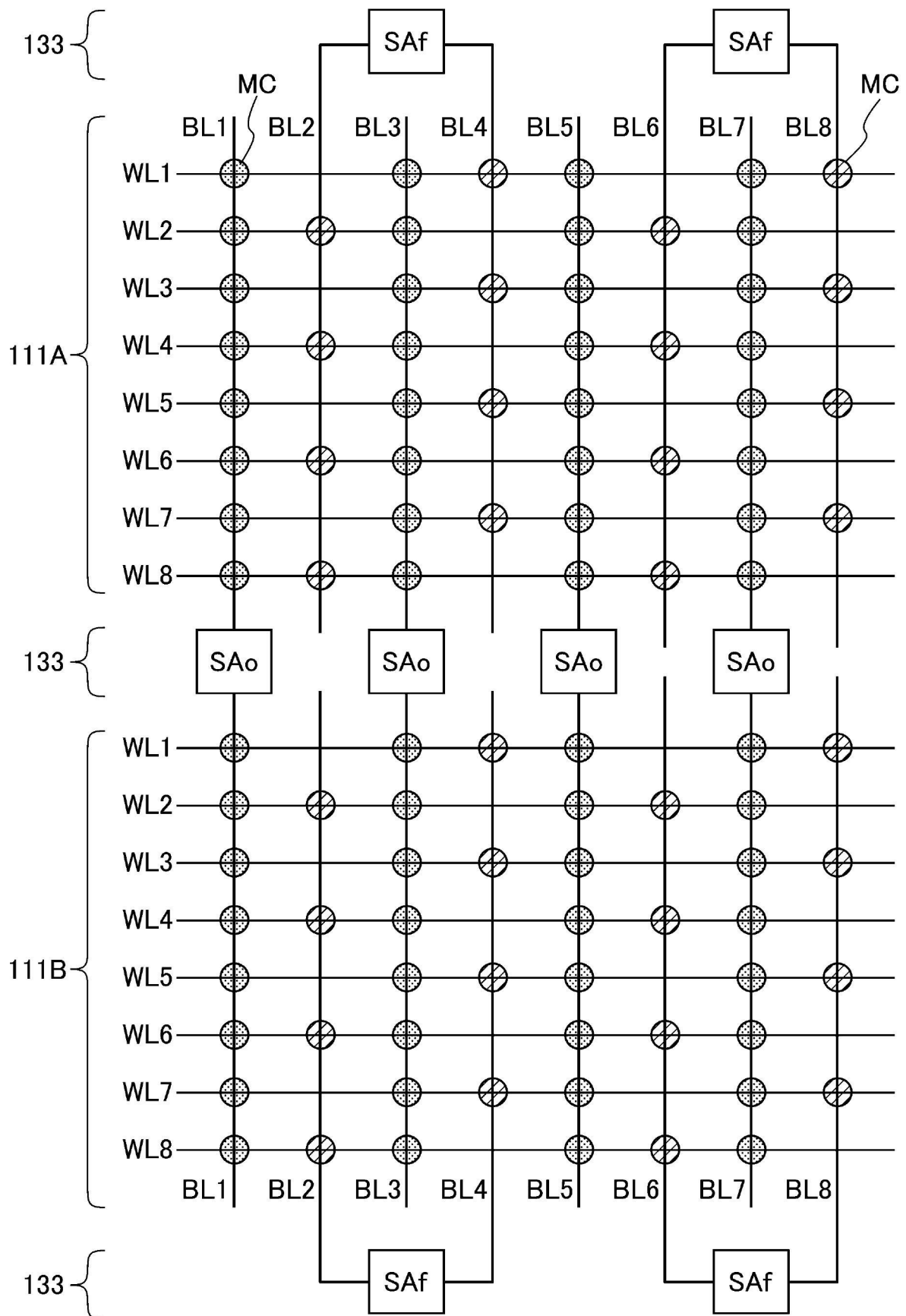
【發明圖式】



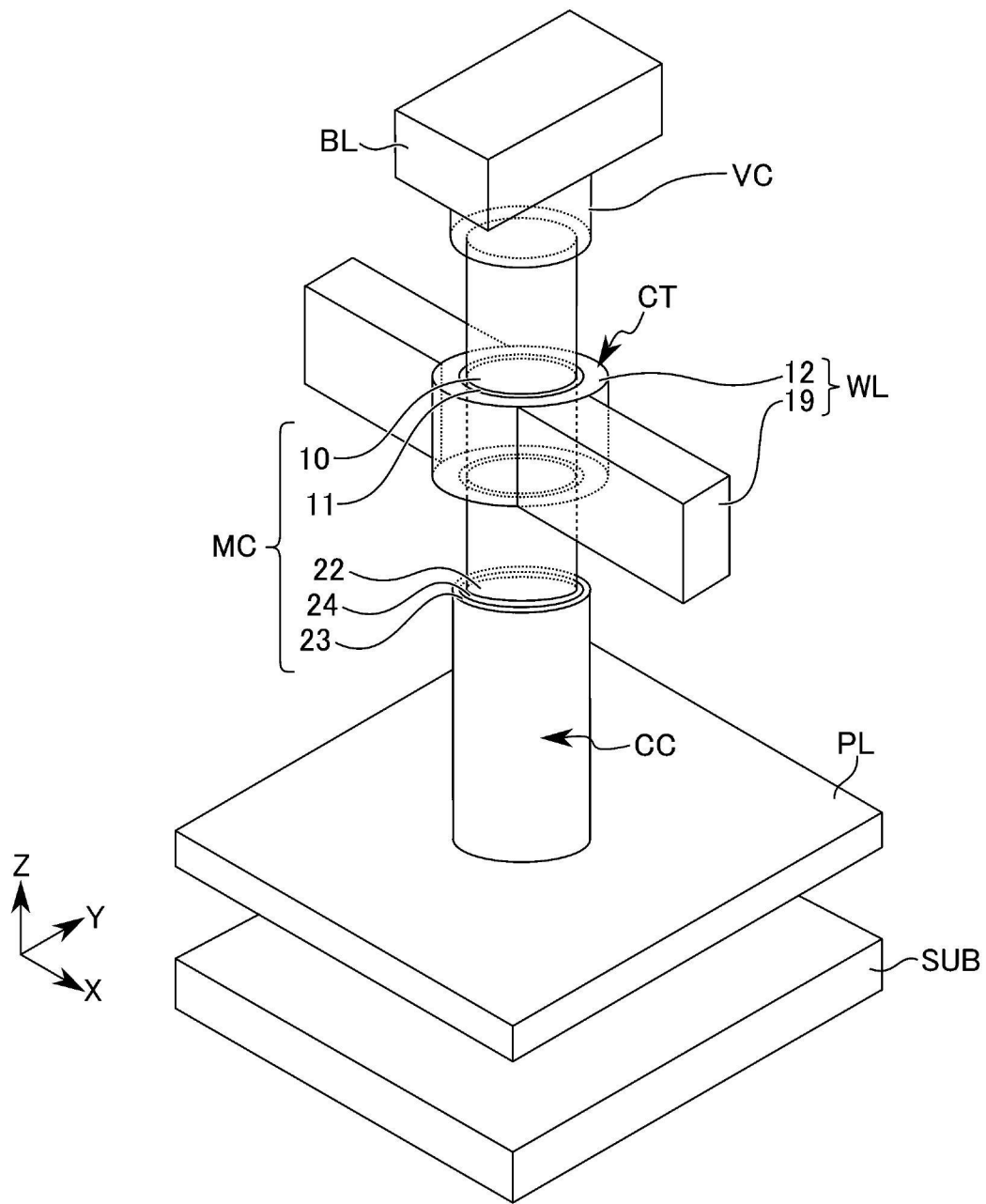
【圖1】



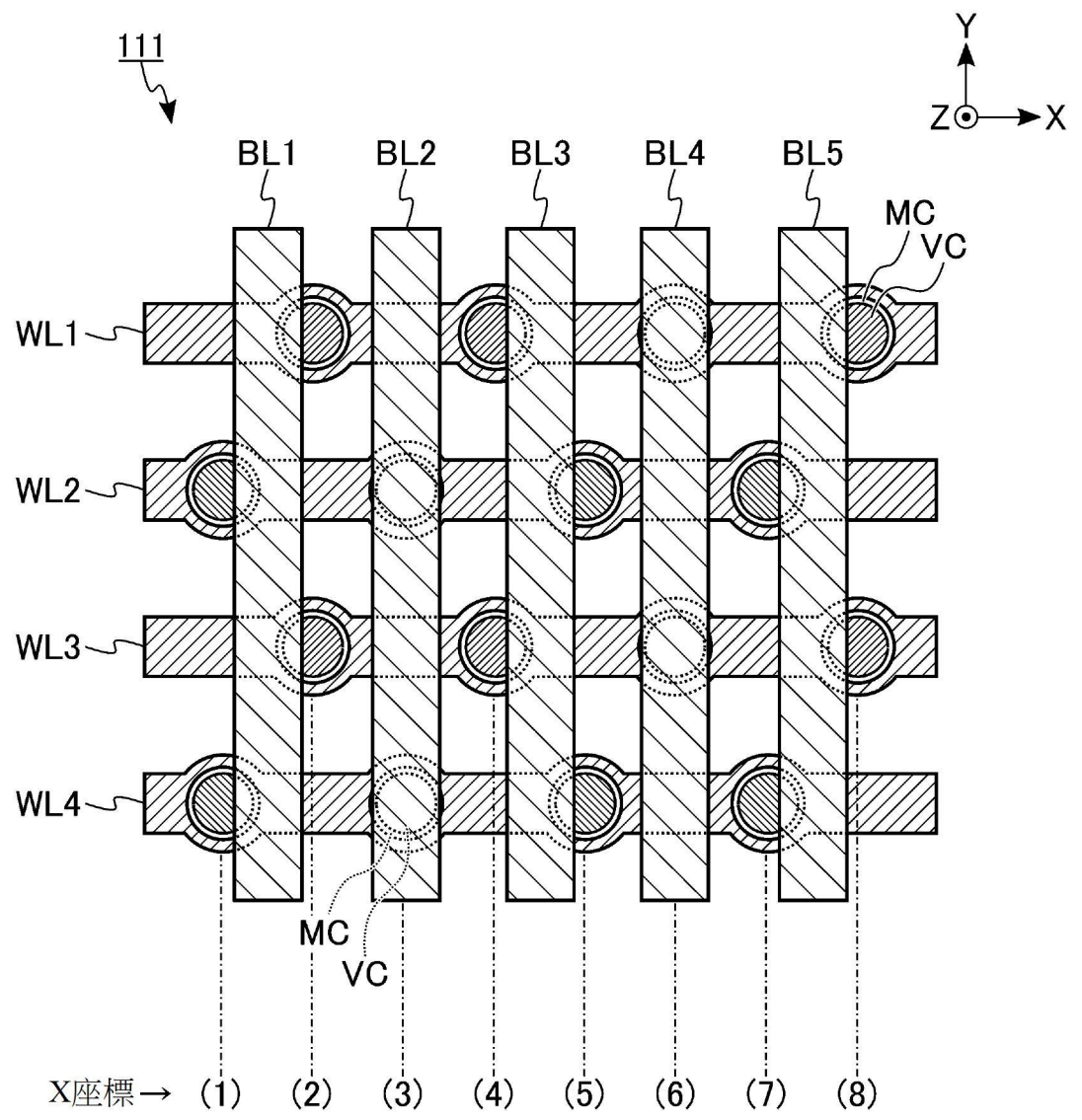
【圖2】



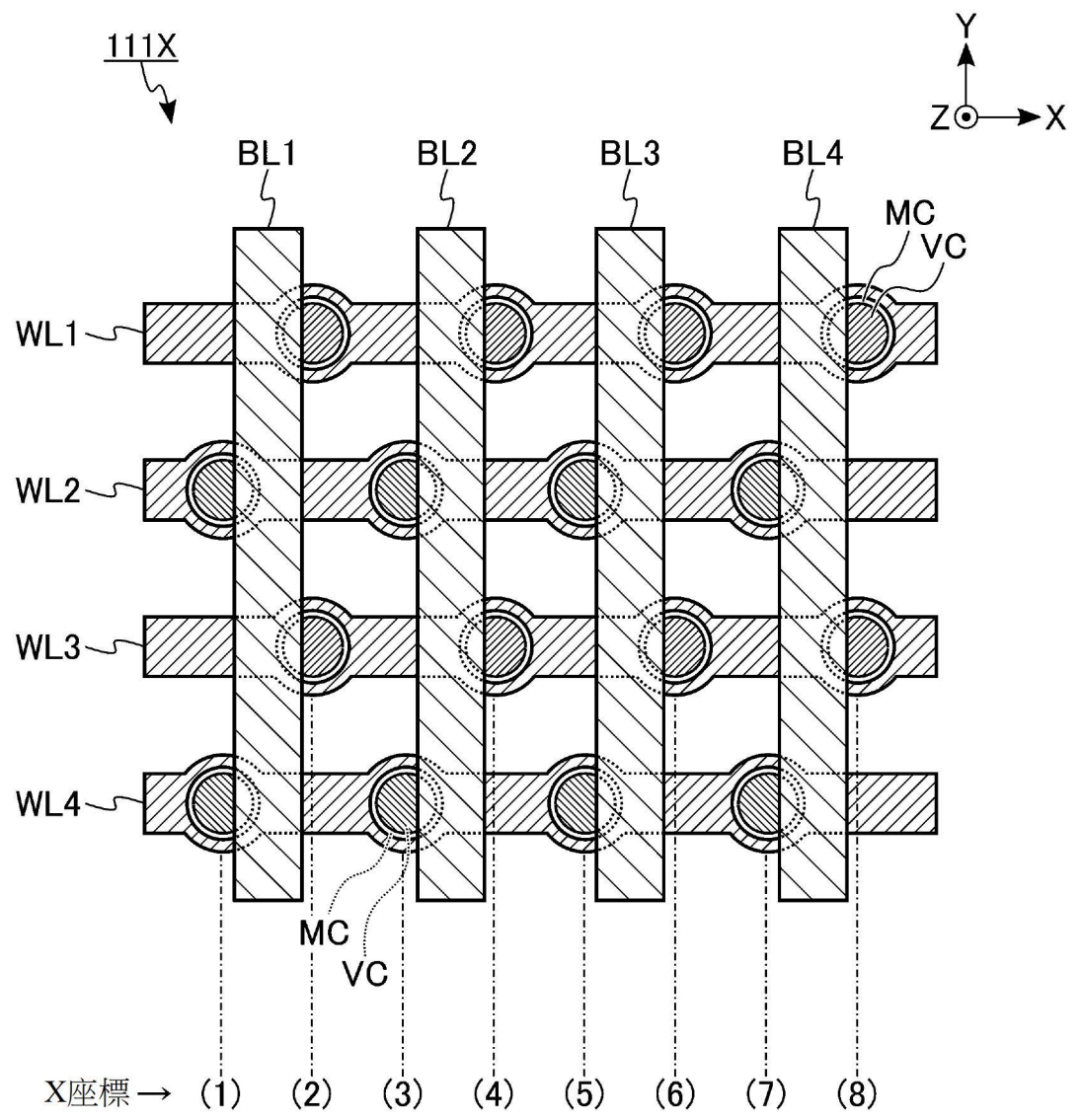
【圖3】



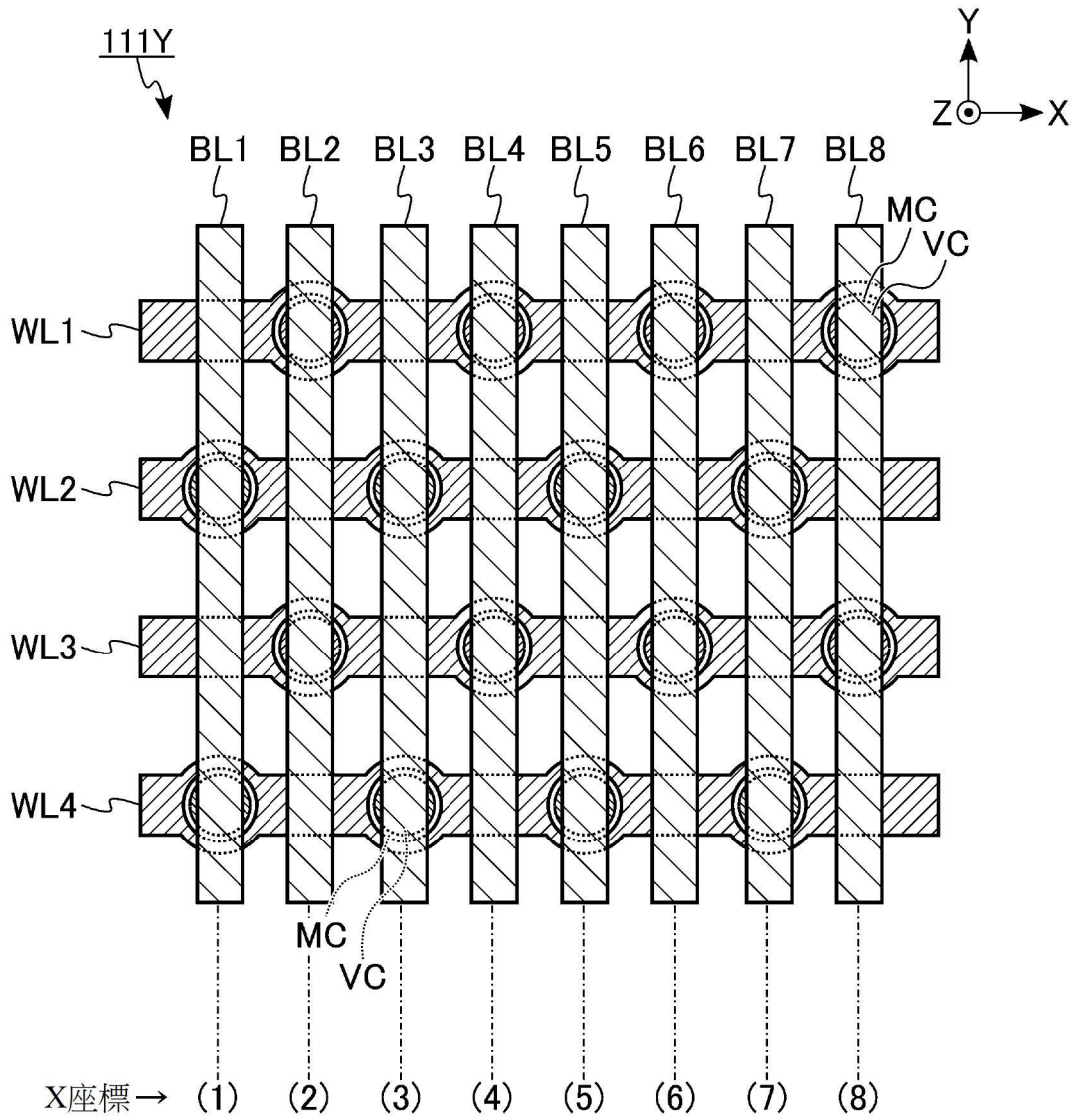
【圖4】



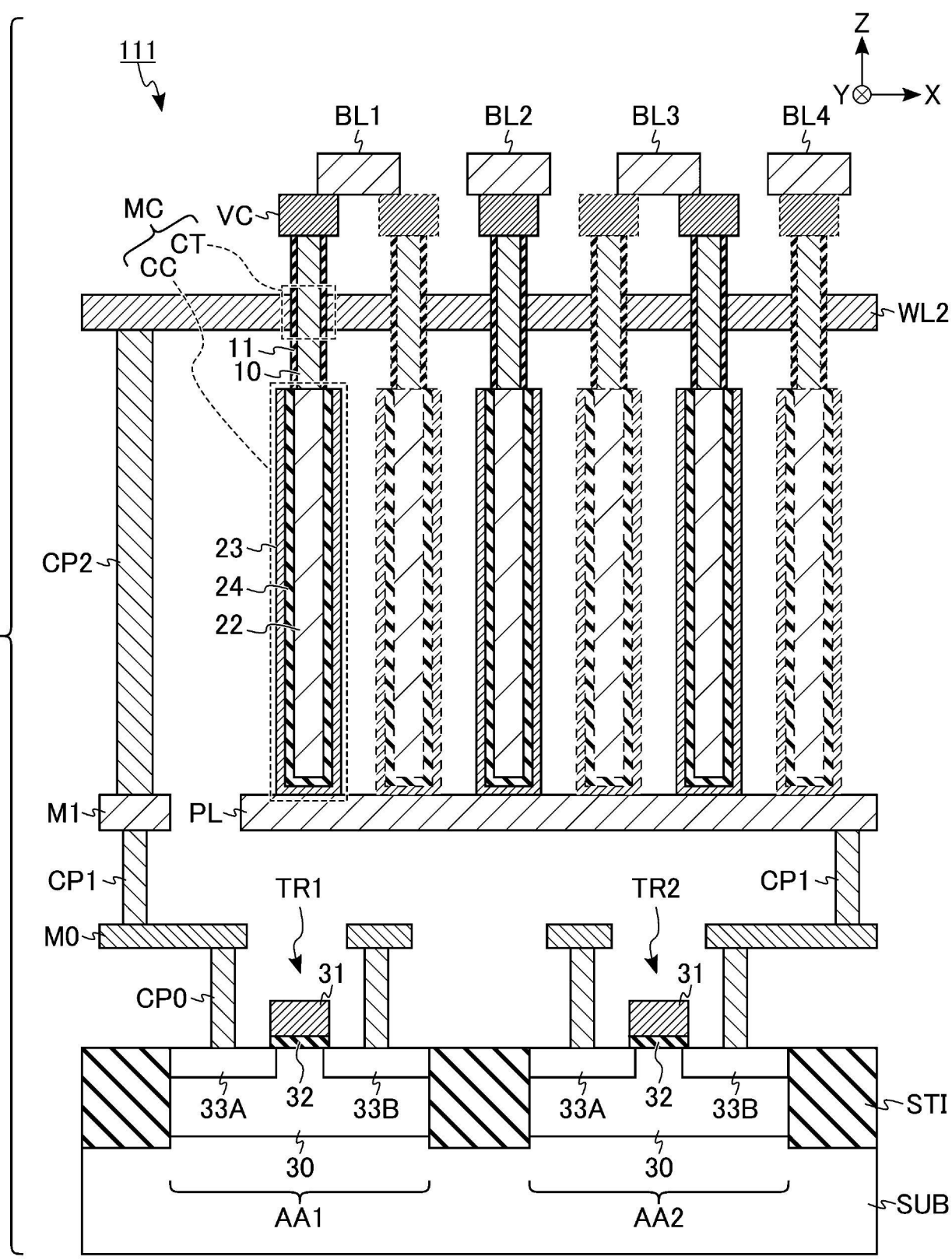
【圖5】



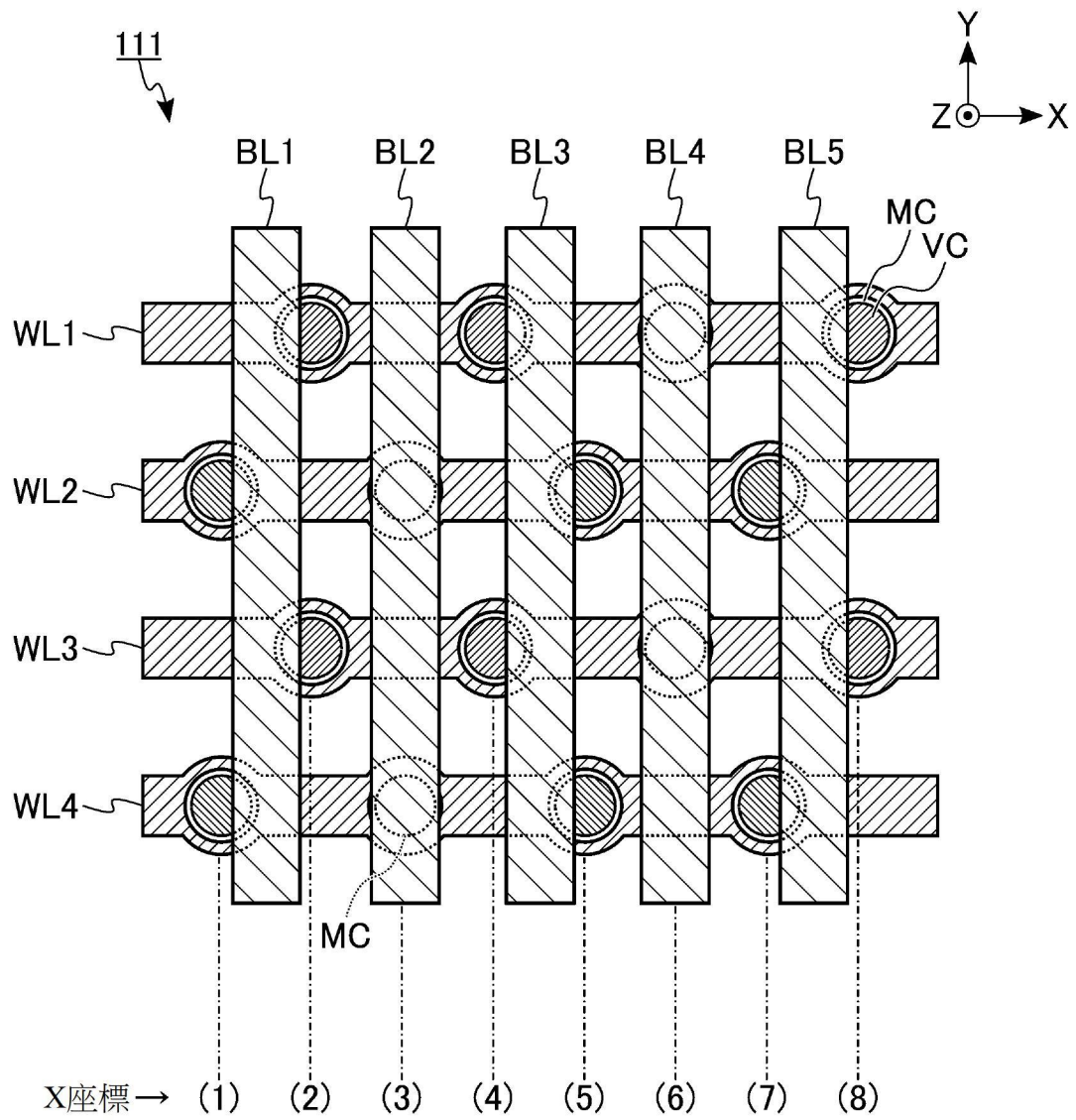
【圖6】



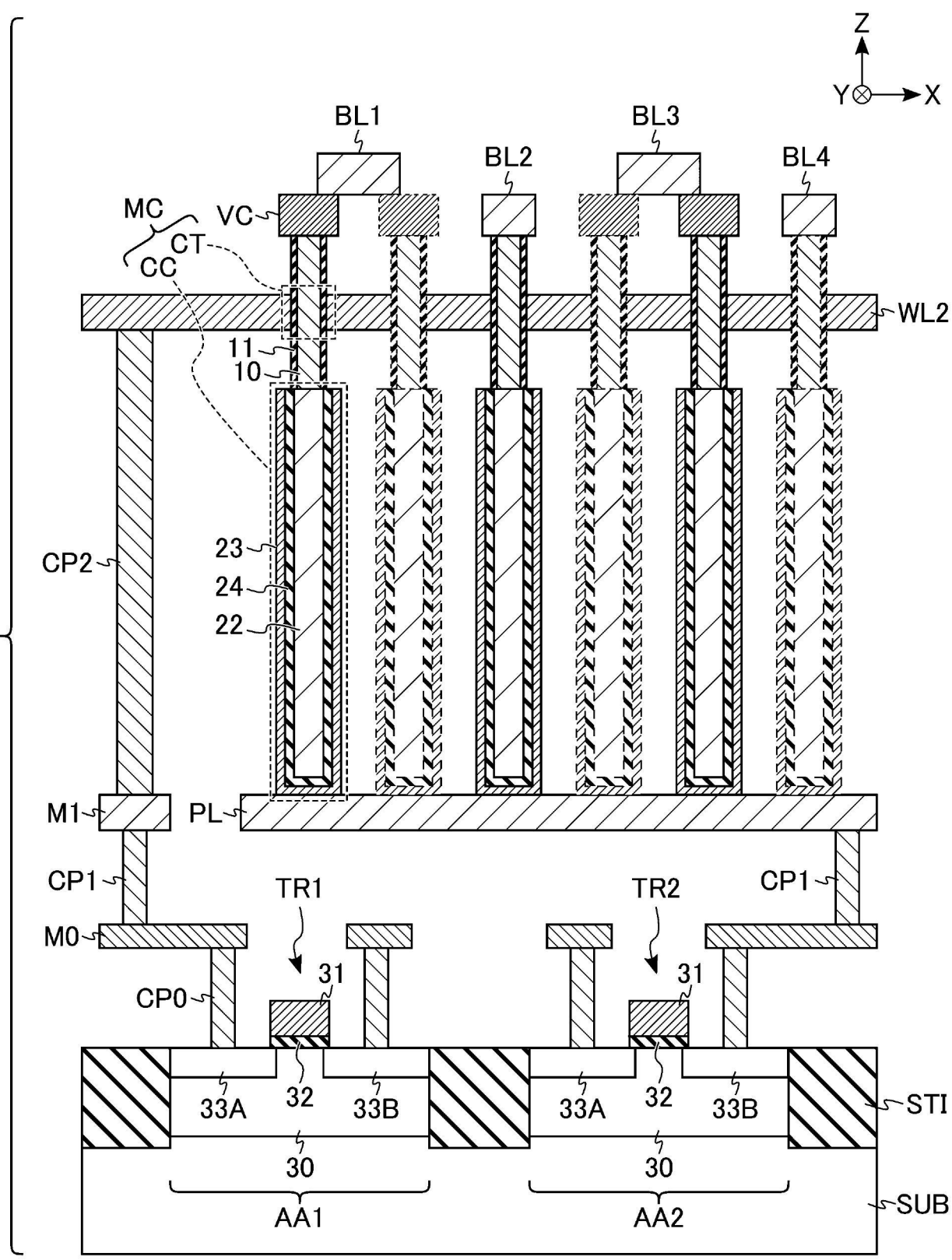
【圖7】



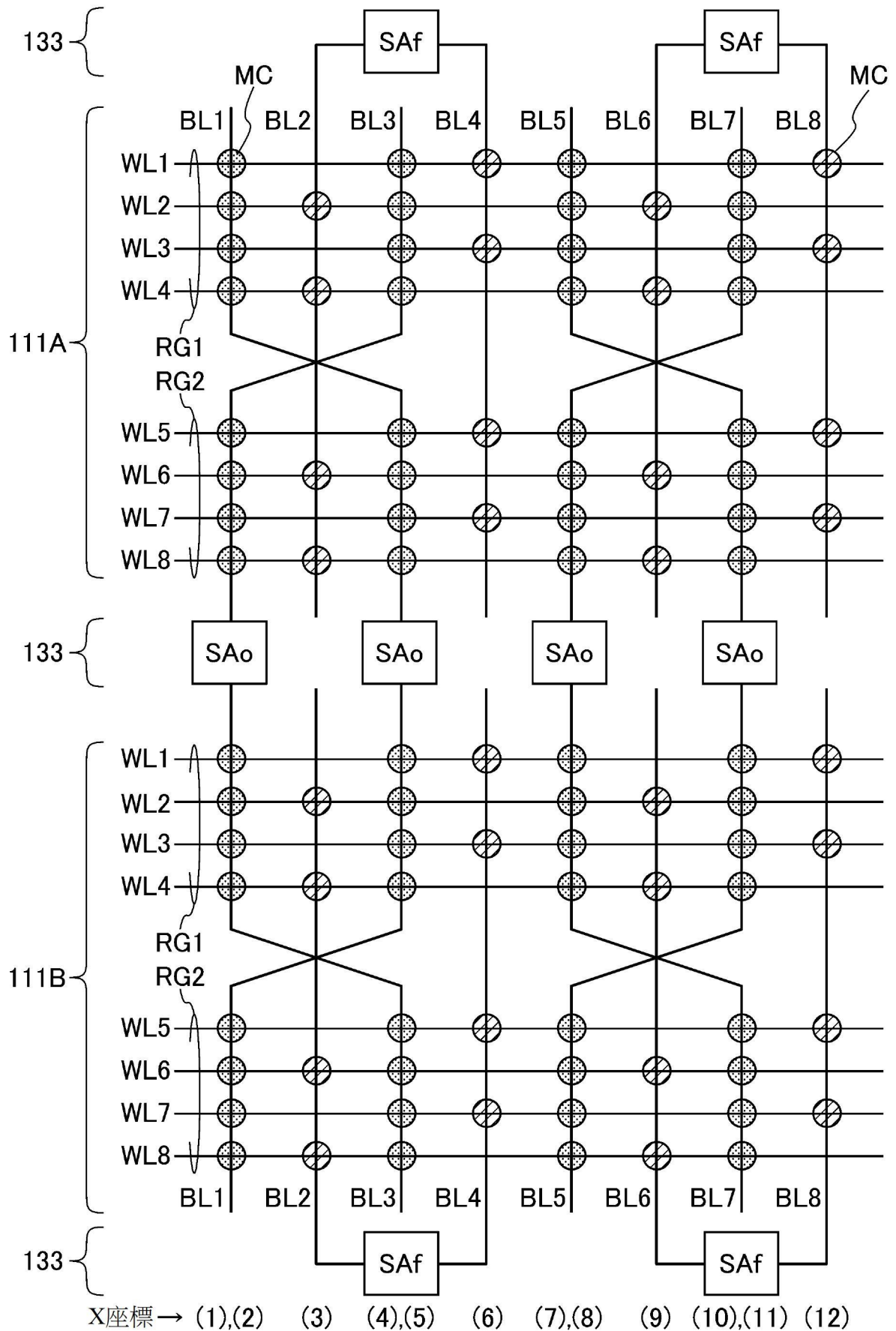
【圖8】



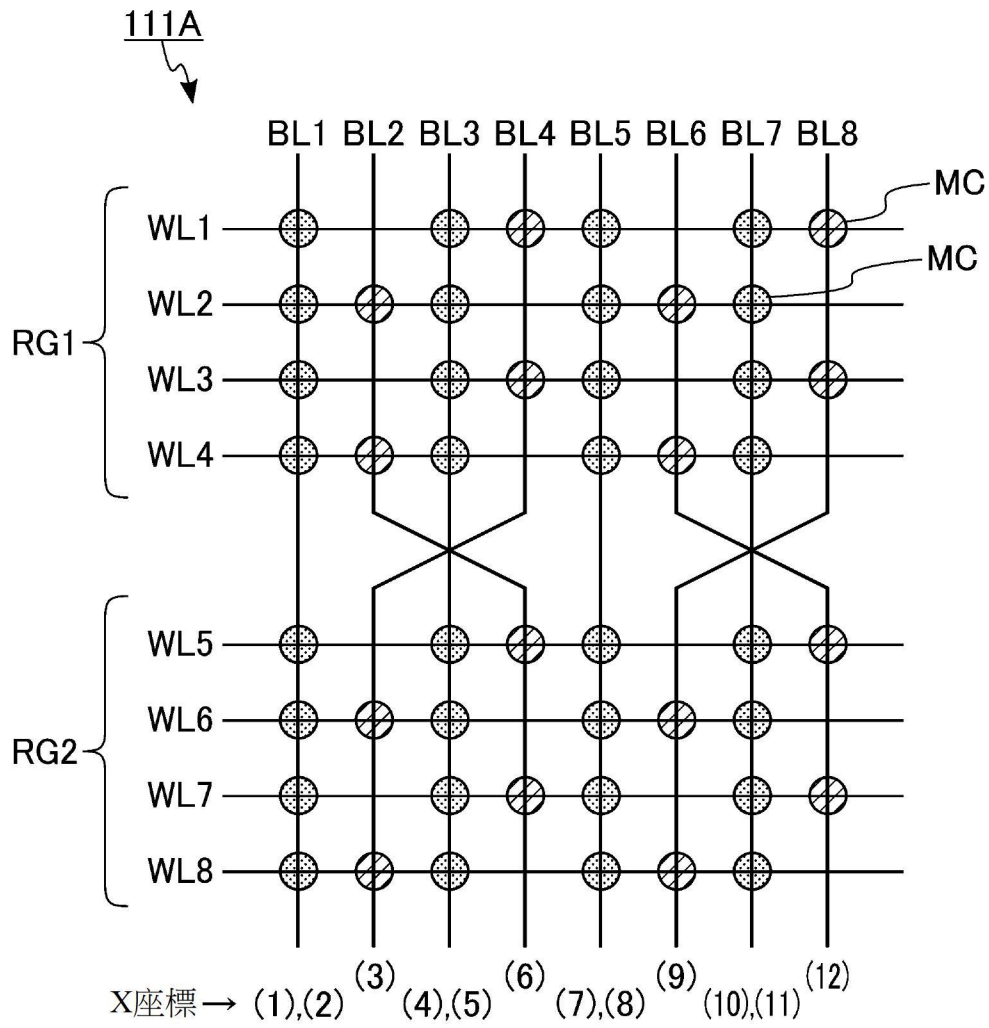
【圖9】



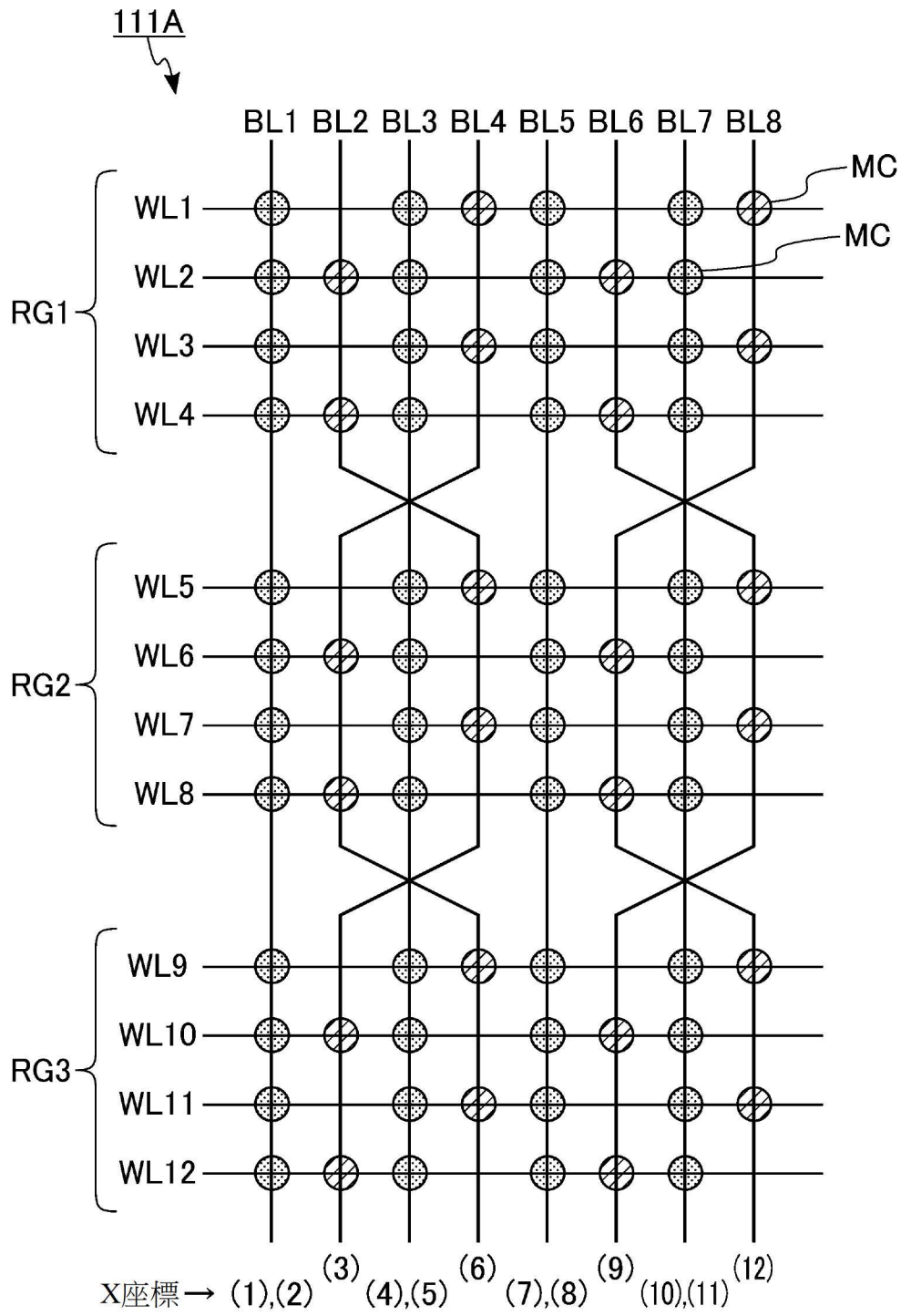
【圖10】



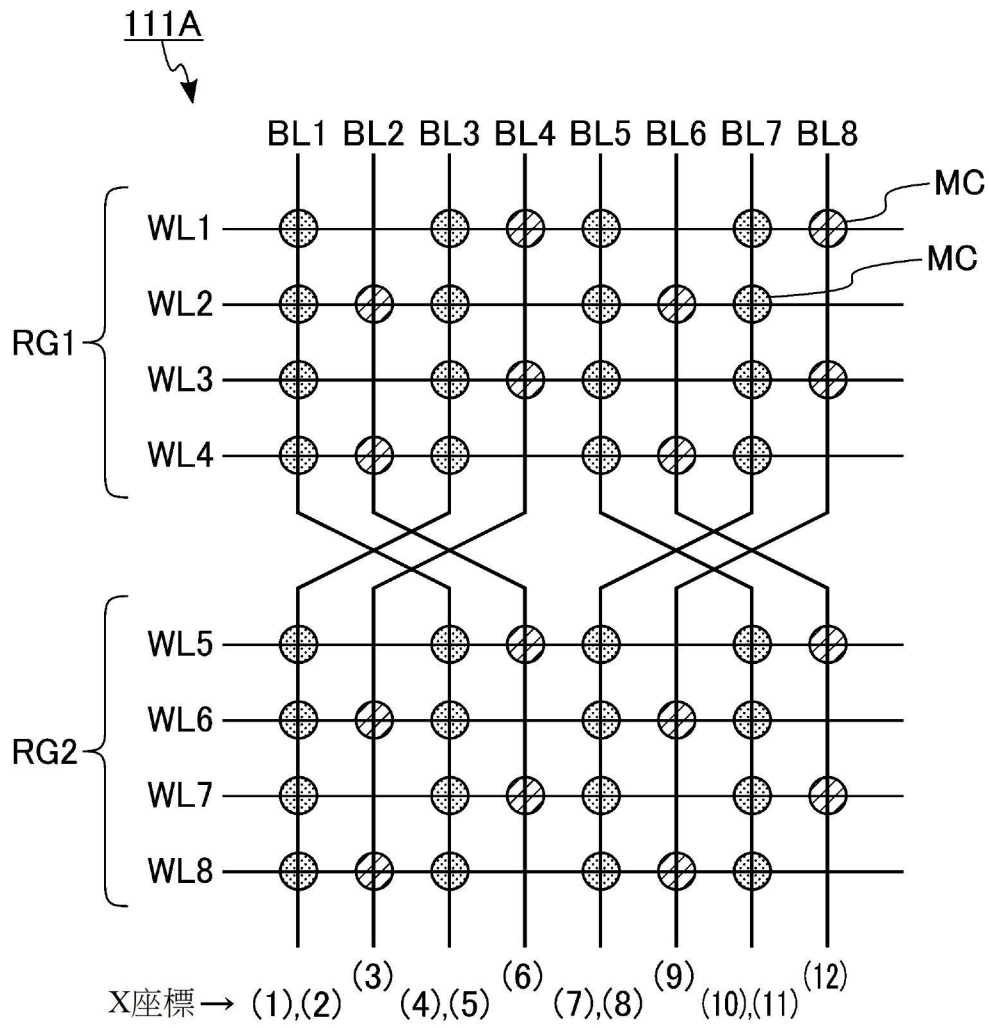
【圖11】



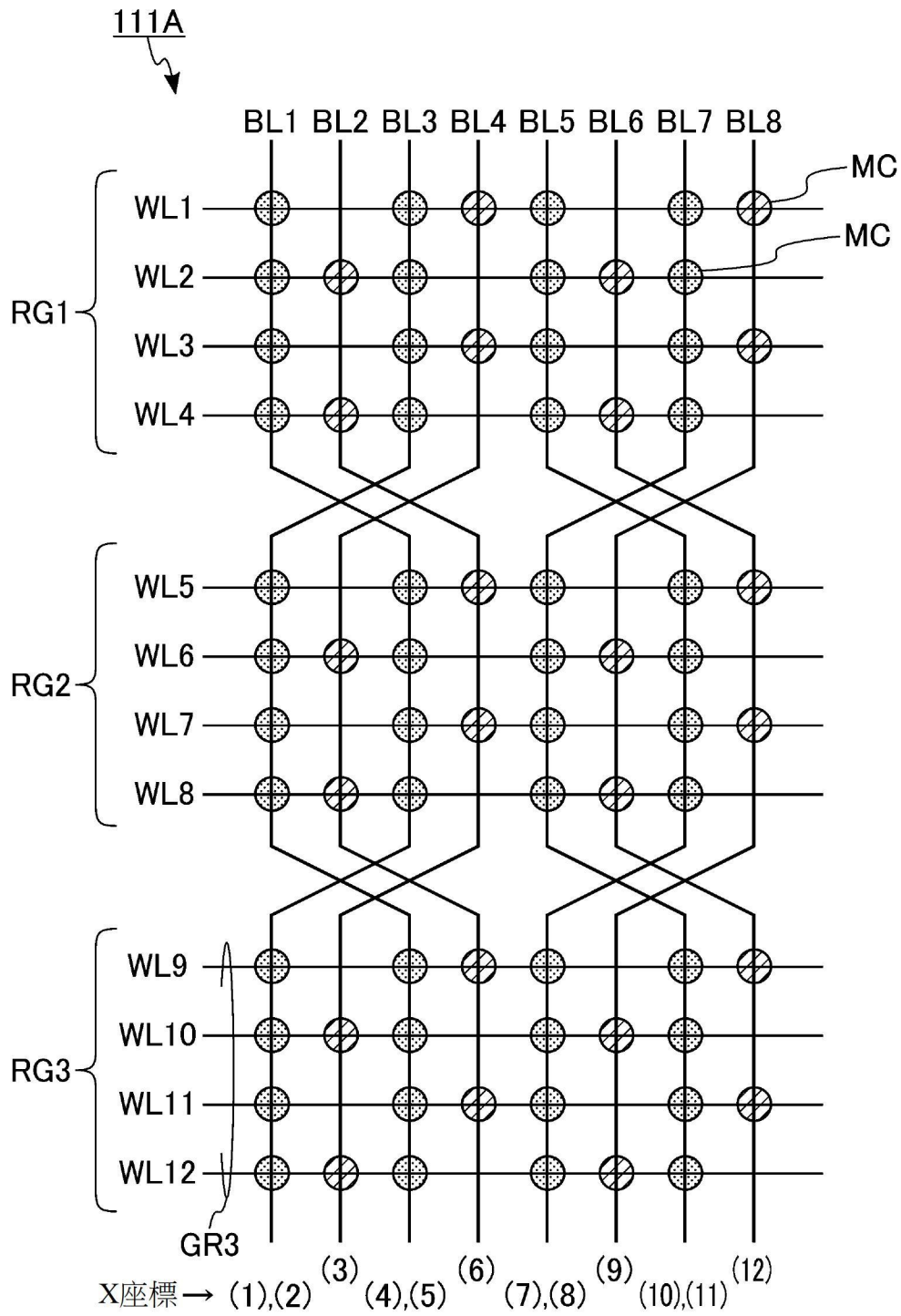
【圖12】



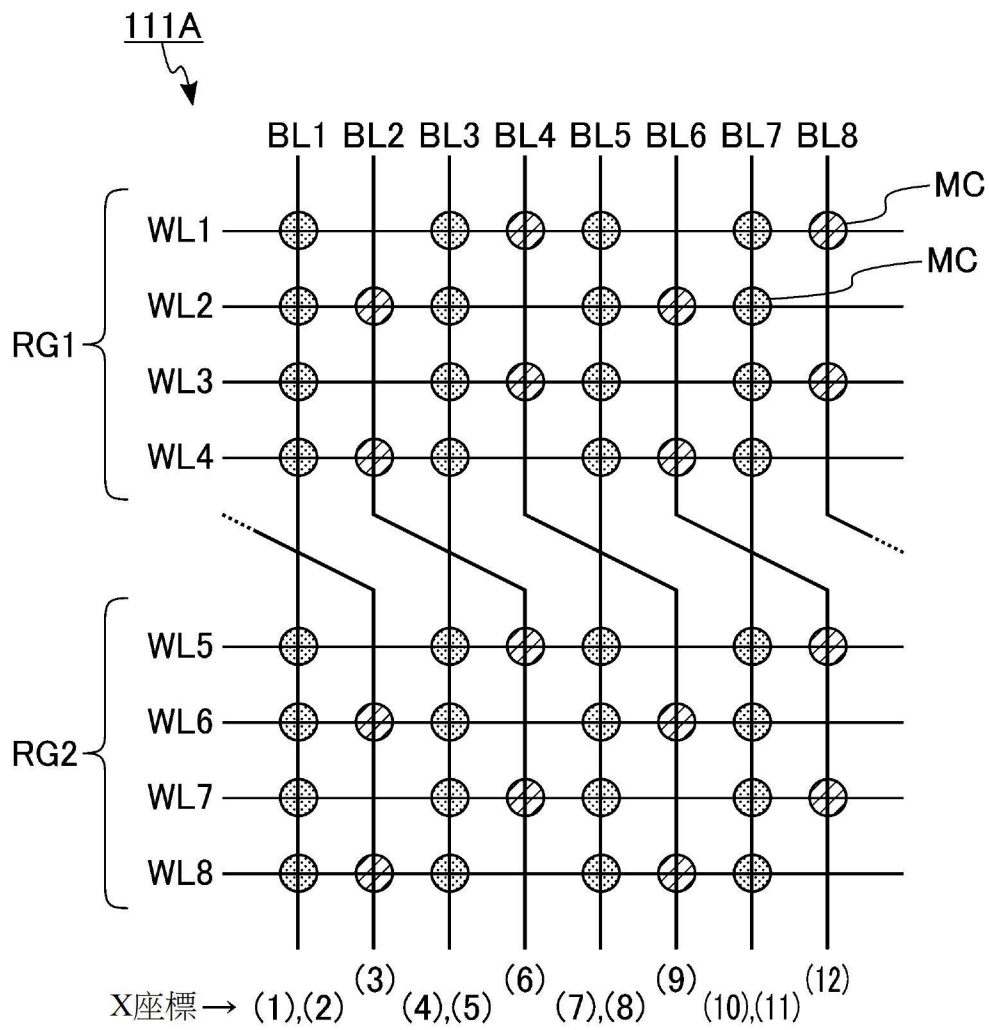
【圖13】



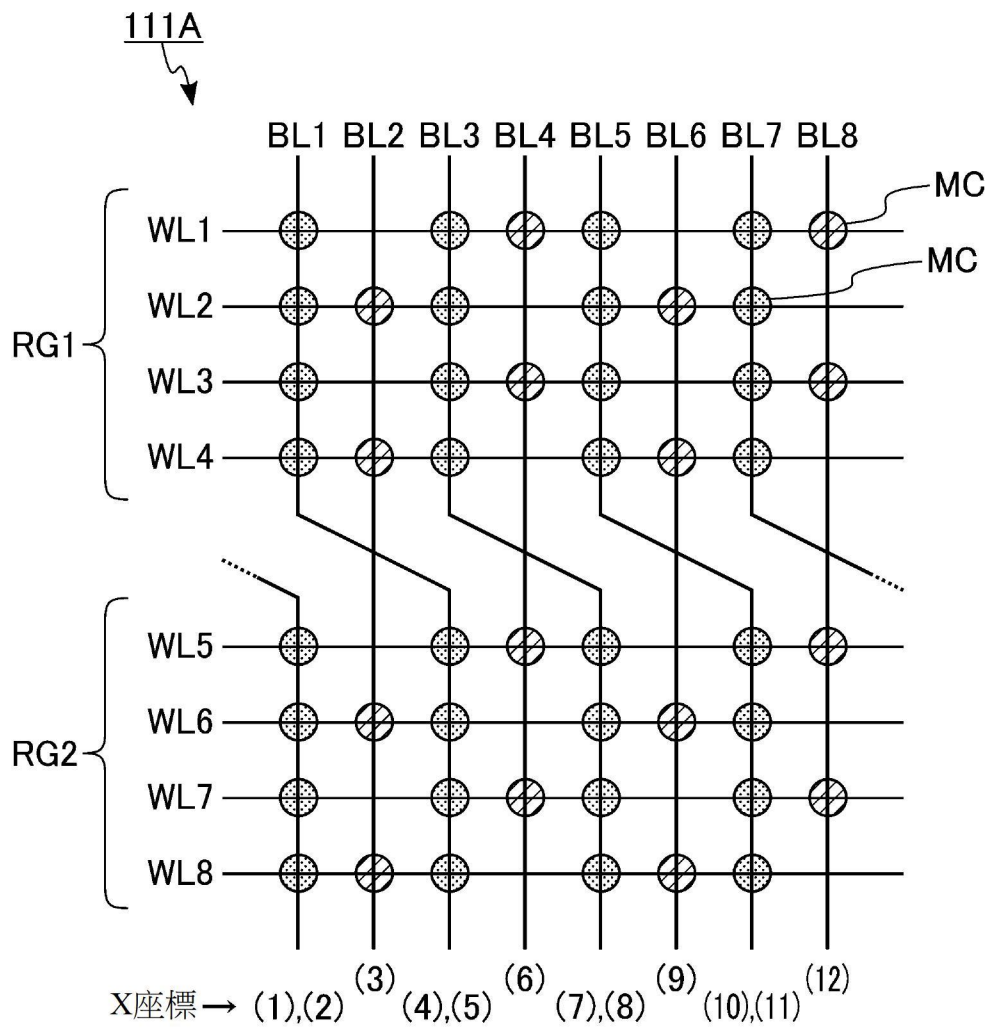
【圖14】



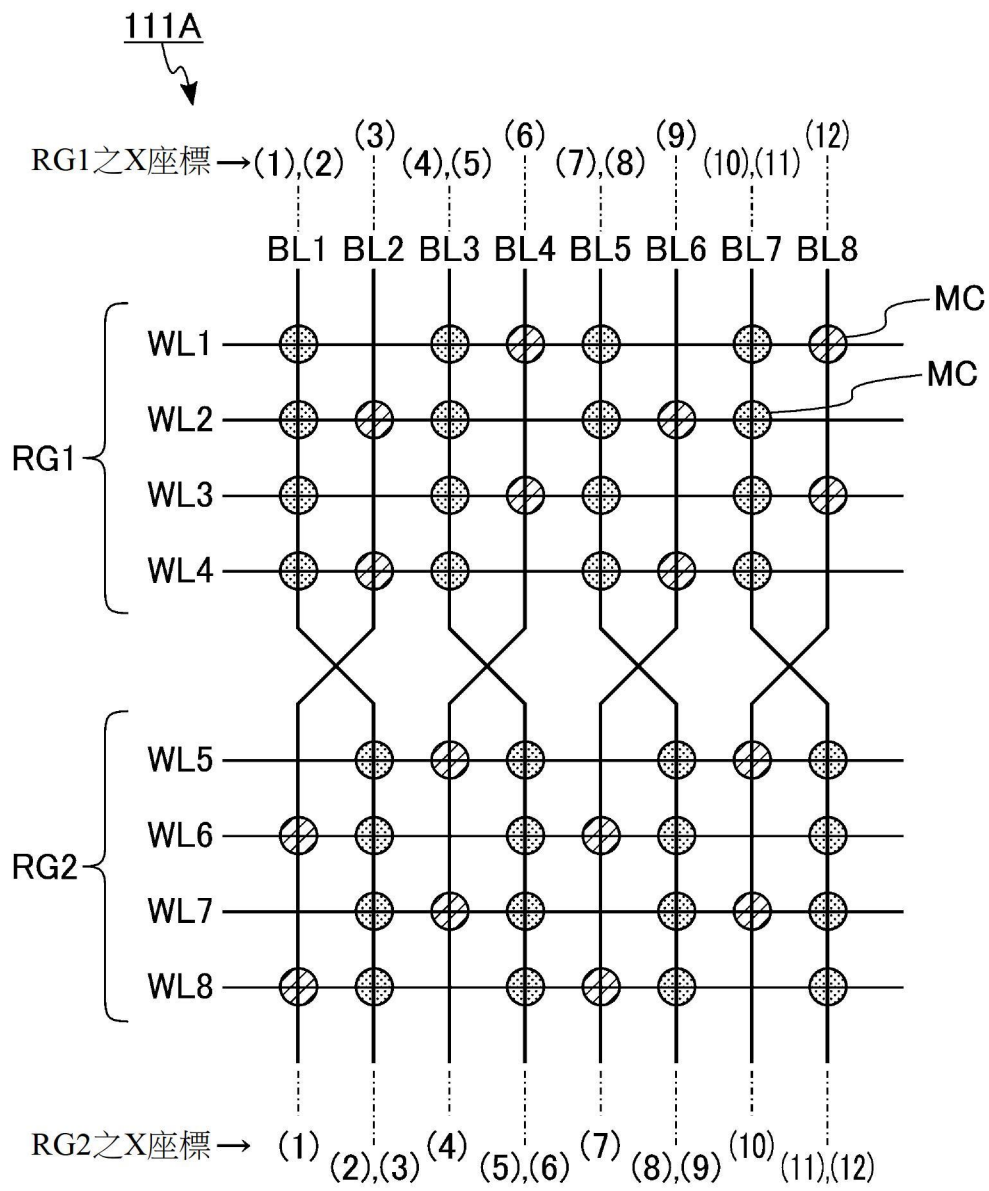
【圖15】



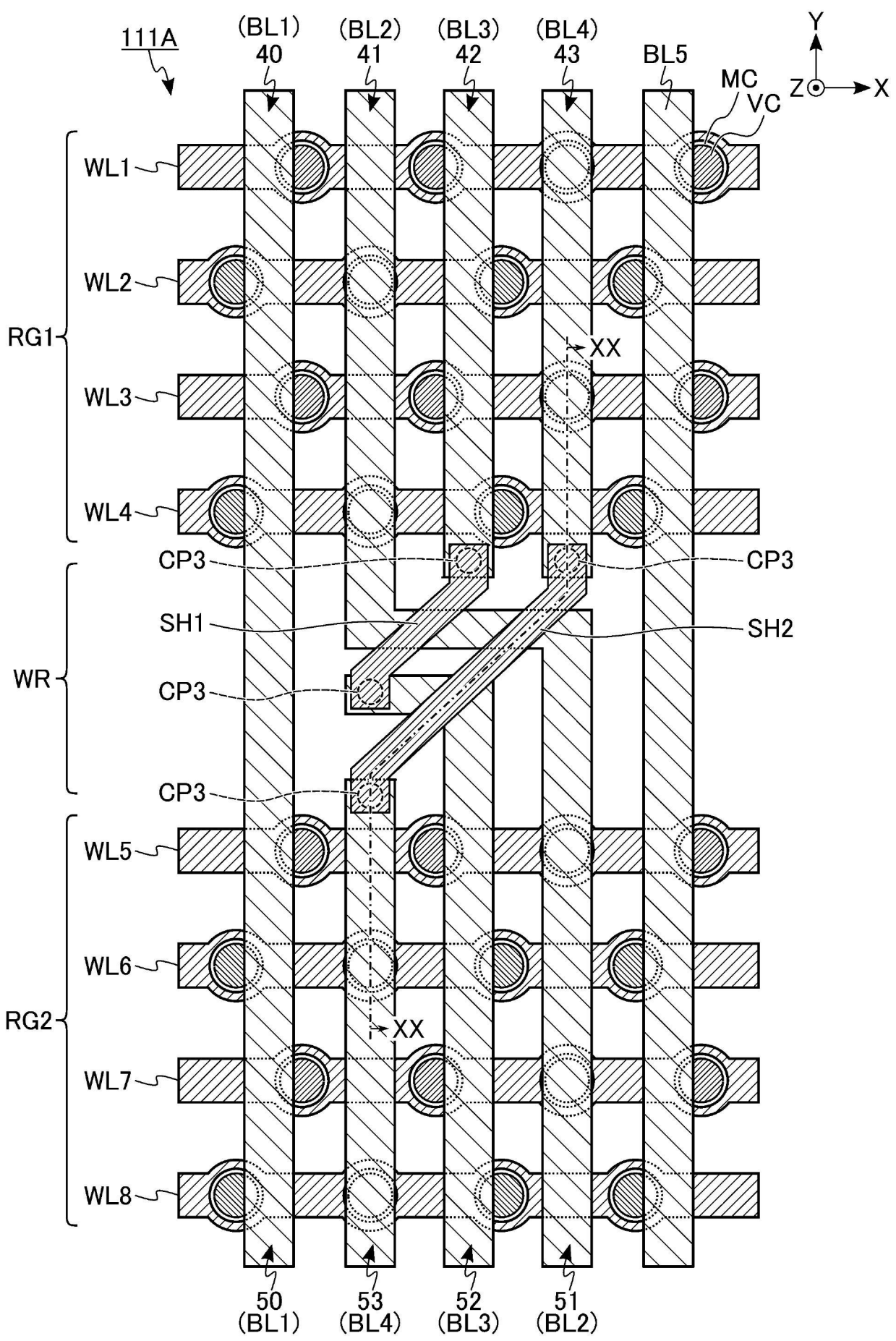
【圖16】



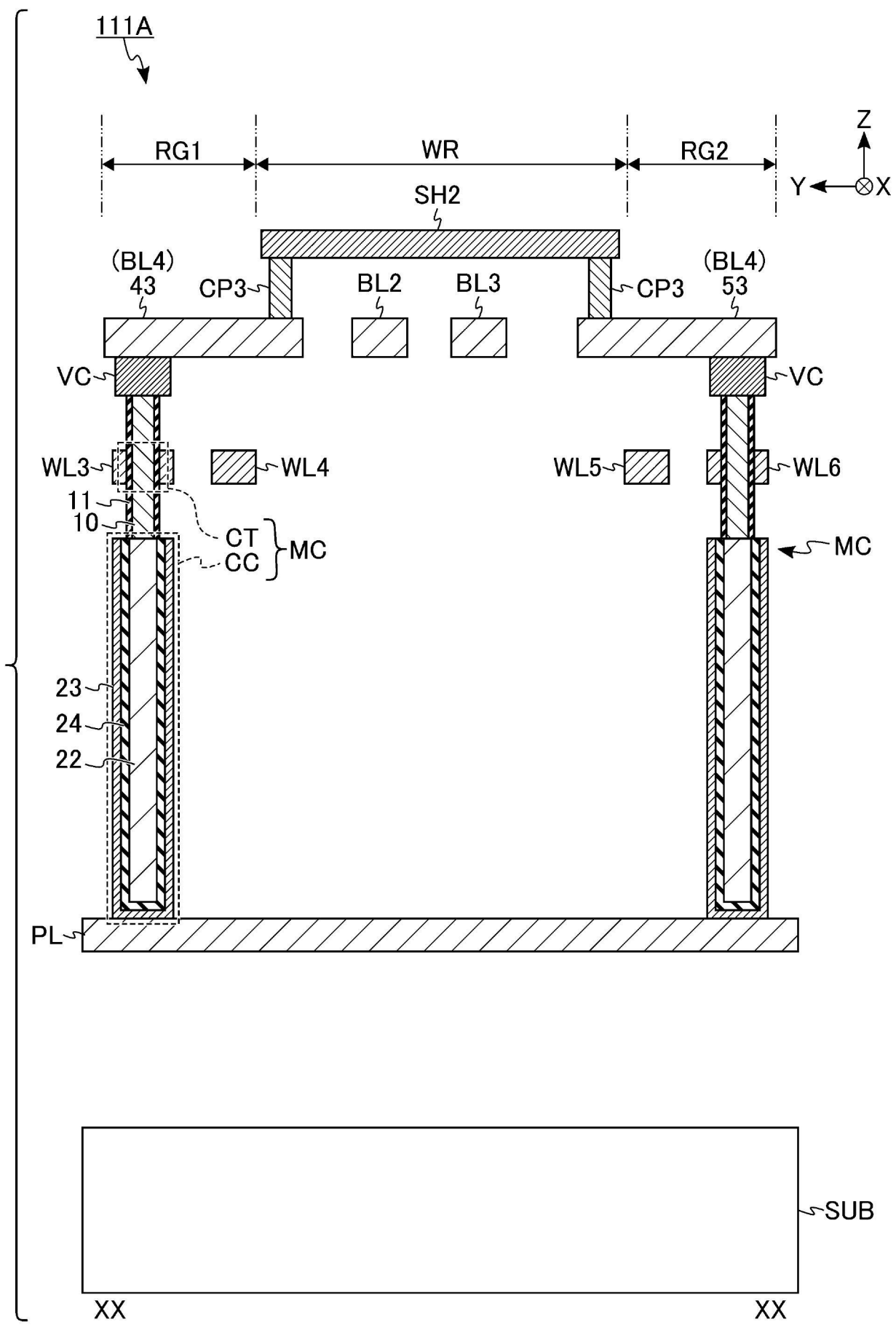
【圖17】



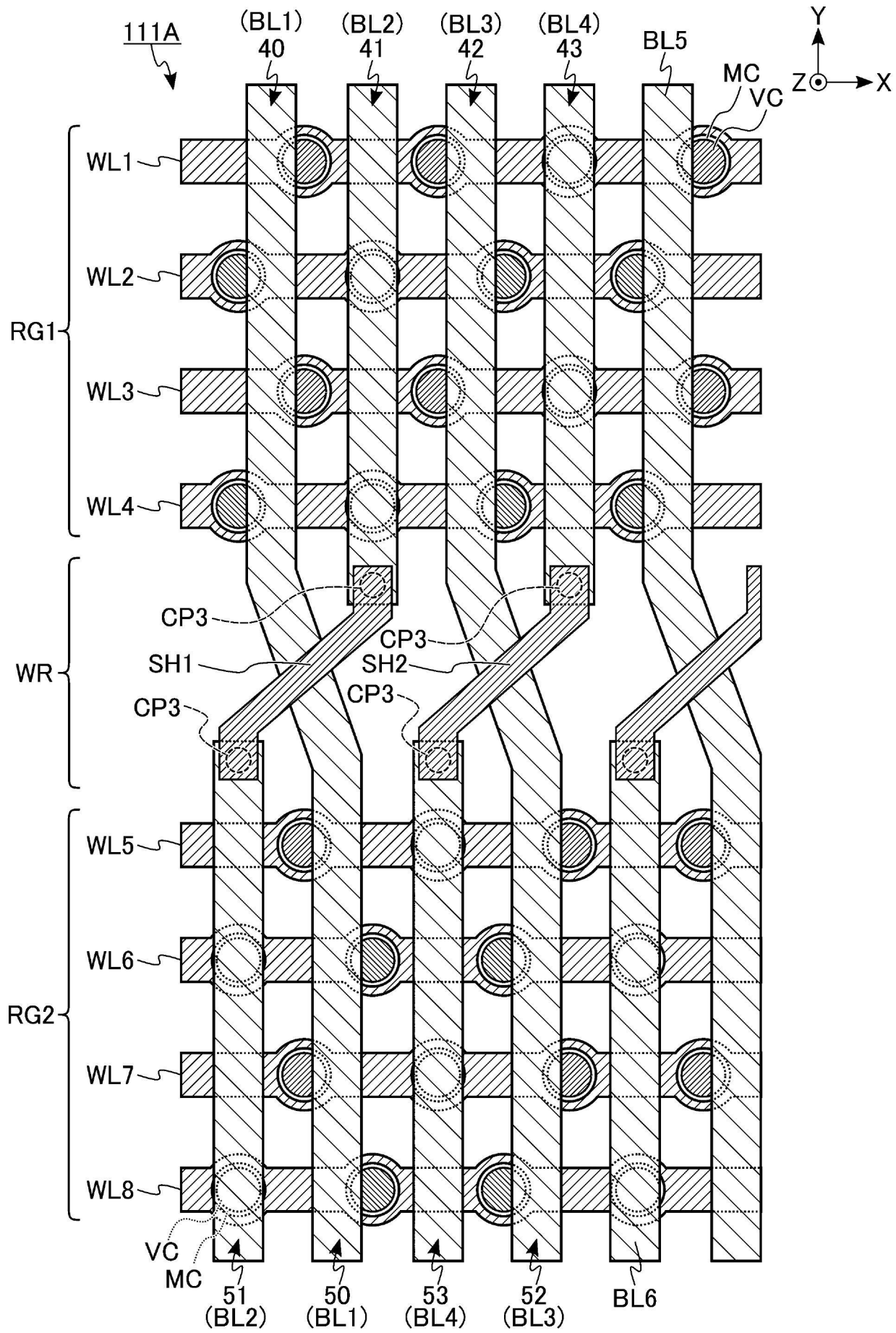
【圖18】



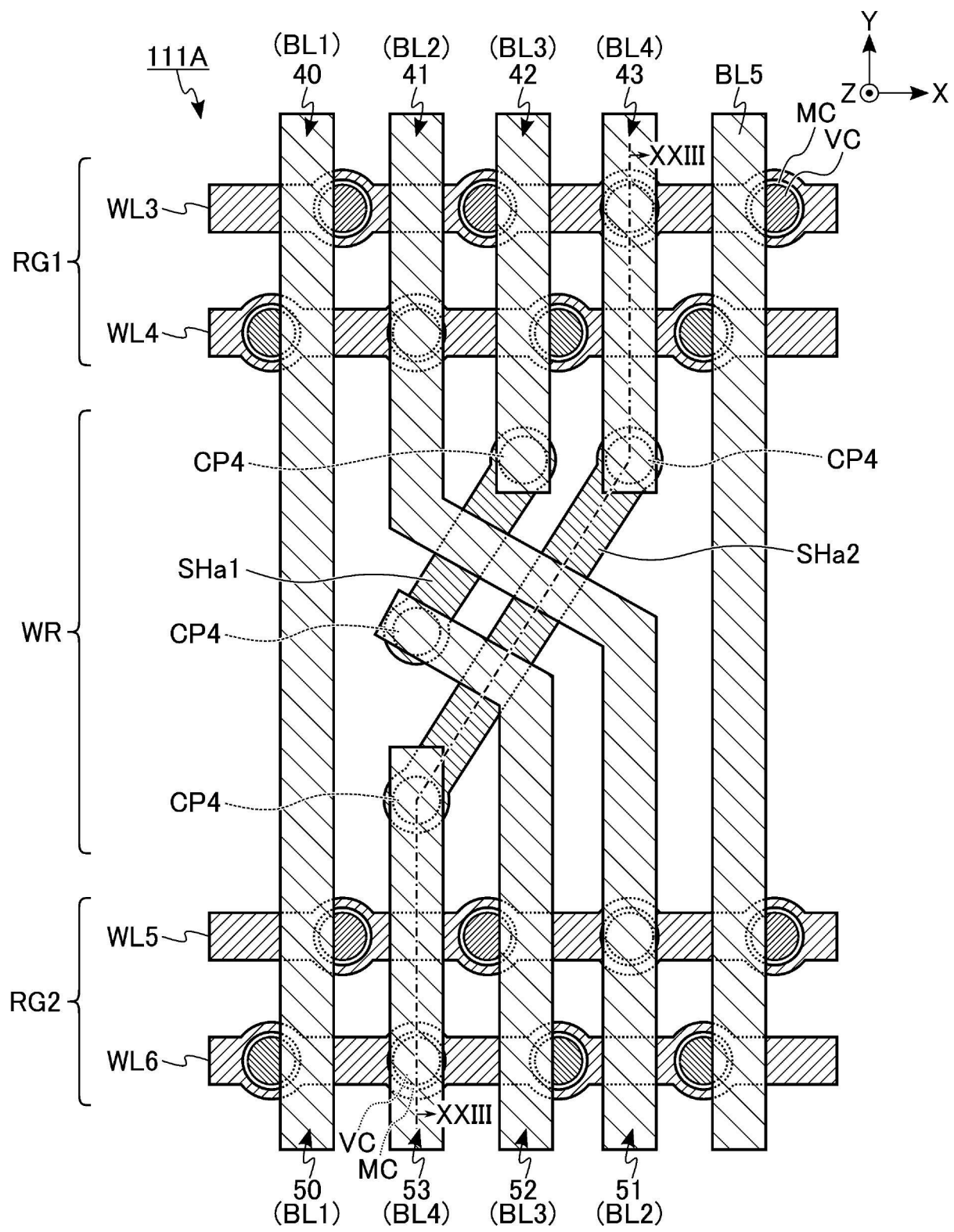
【圖19】



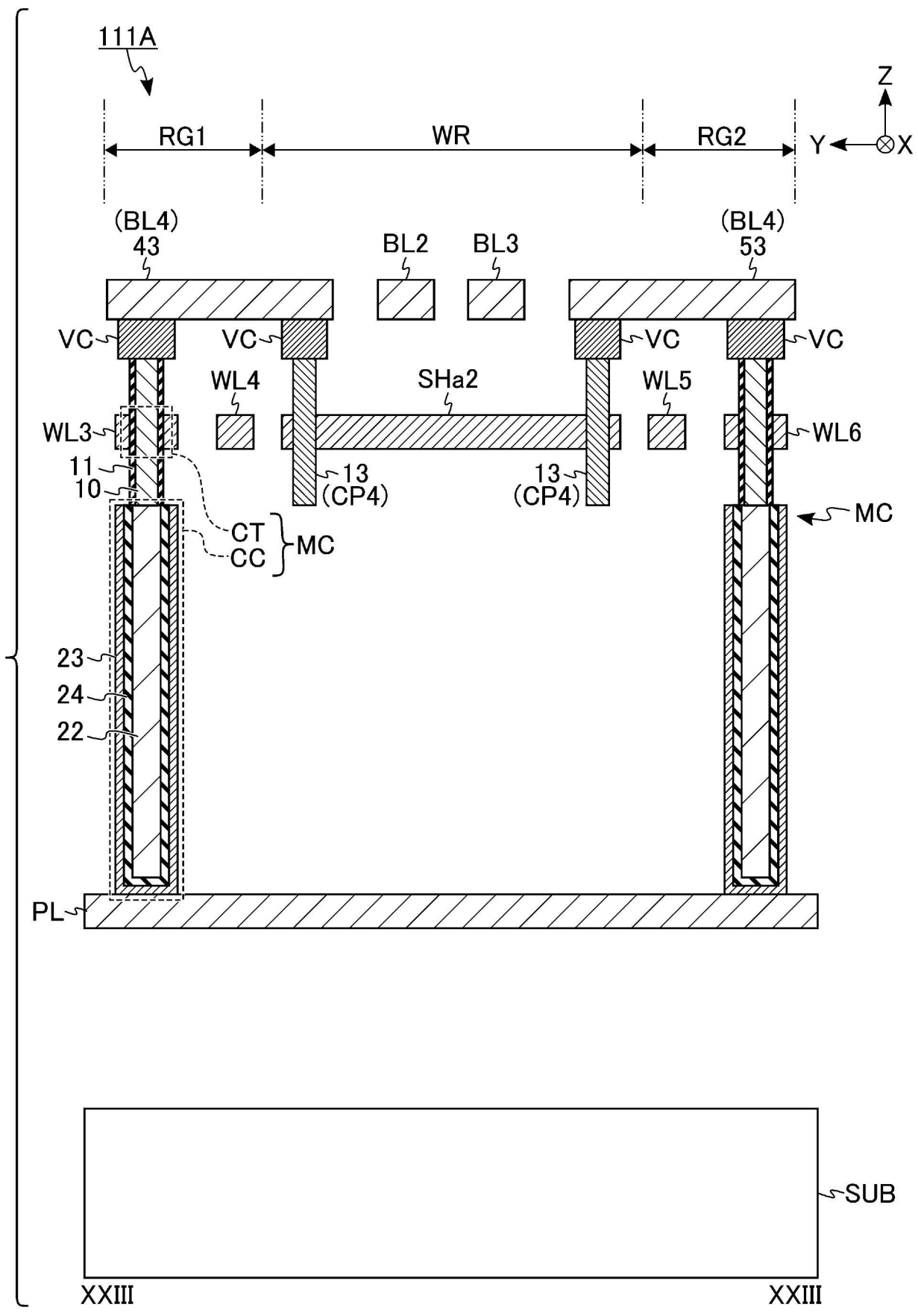
【圖20】



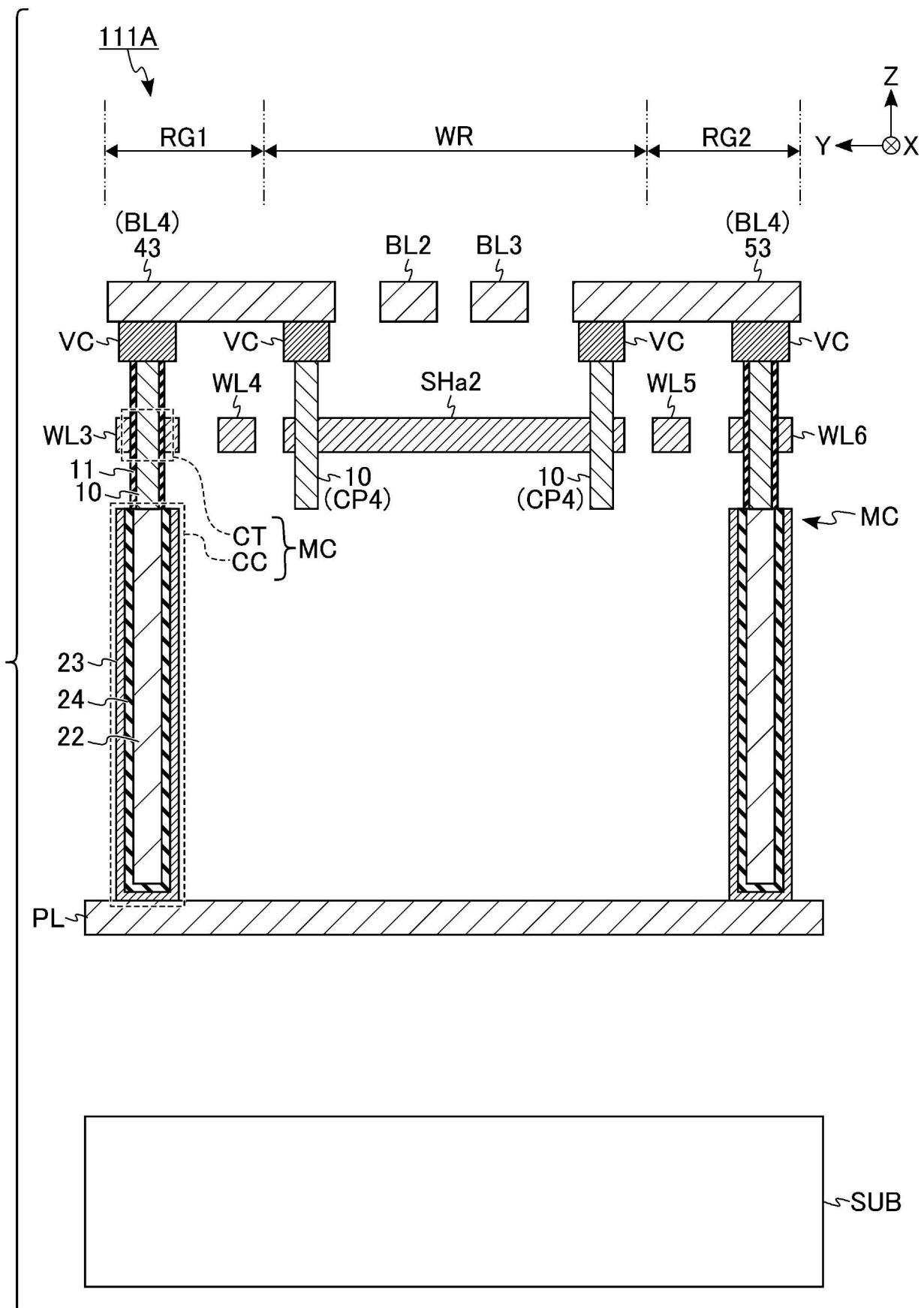
【圖21】



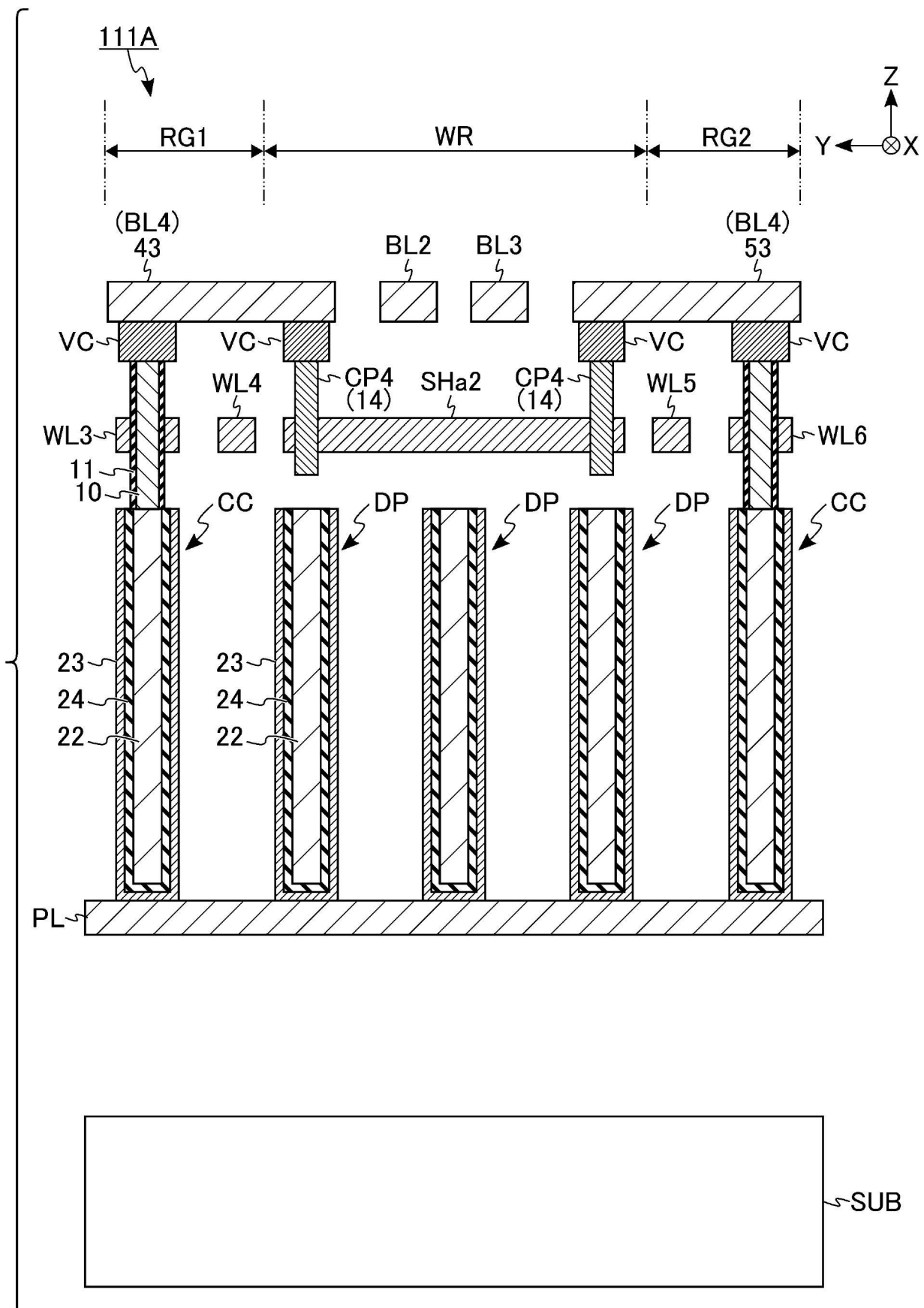
【圖22】



【圖23】



【圖24】



【圖25】

