



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년11월14일
(11) 등록번호 10-1918608
(24) 등록일자 2018년11월08일

(51) 국제특허분류(Int. Cl.)
H01L 23/48 (2006.01) H01L 23/60 (2006.01)
(21) 출원번호 10-2012-0020402
(22) 출원일자 2012년02월28일
심사청구일자 2017년02월10일
(65) 공개번호 10-2013-0098685
(43) 공개일자 2013년09월05일
(56) 선행기술조사문헌
KR1020060053177 A*
KR1020100099573 A*
KR1020110000140 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자 주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김중연
경기 수원시 영통구 봉영로1770번길 21, 204동 1102호 (영통동, 황골마을아파트)
민태홍
경북 구미시 인동36길 31, 102동 501호 (구평동, 구미구평푸르지오)
(74) 대리인
리엔목특허법인
(뒷면에 계속)

전체 청구항 수 : 총 8 항

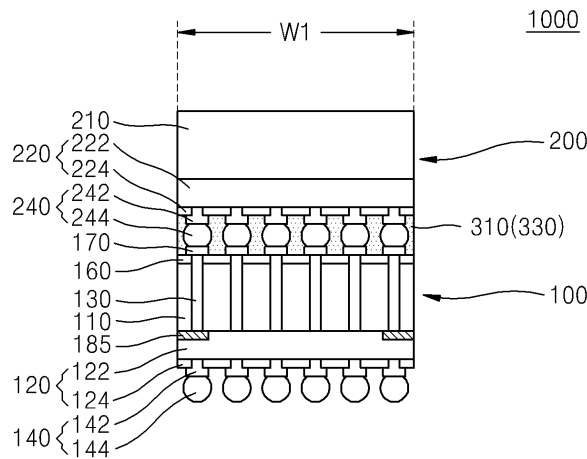
심사관 : 정구원

(54) 발명의 명칭 반도체 패키지

(57) 요약

반도체 패키지가 제공된다. 상기 반도체 패키지는 칩 영역과 상기 칩 영역의 가장자리에 배치되는 스크라이브 영역으로 구분되며, 상기 칩 영역 내부에 집적 회로부 및 메인 TSV(through silicon via)를 포함하는 제1 칩; 및 상기 제1 칩 상부에 접합되는 제2 칩을 포함하며, 상기 제1 칩 내부에 상기 메인 TSV와 전기적으로 연결되는 더미 배선 라인이 형성된다.

대표도 - 도8



(72) 발명자

고영권

서울 양천구 목동중앙북로 38, 111동 1203호 (목동, 목동롯데캐슬위너)

조태제

경기 용인시 수지구 진산로66번길 10, 523동 1106호 (풍덕천동, 진산마을삼성5차아파트)

명세서

청구범위

청구항 1

칩 영역과 상기 칩 영역의 가장자리에 배치되는 스크라이브 영역으로 구분되며, 상기 칩 영역 내부에 집적 회로 부 및 메인 TSV(through silicon via)를 포함하는 제1 칩;

상기 제1 칩 상부에 접합되는 제2 칩; 및

상기 제1 칩의 측면과 상기 제2 칩의 측면을 둘러싸는 밀봉재;를 포함하며,

상기 제1 칩 내부에 상기 메인 TSV와 전기적으로 연결되는 더미 배선 라인이 형성되고, 상기 더미 배선 라인은 상기 제1 칩의 상기 측면 상에서 노출되는 노출 표면을 구비하며, 상기 밀봉재가 상기 더미 배선 라인의 상기 노출 표면을 커버하는 것을 특징으로 하는 반도체 패키지.

청구항 2

제1항에 있어서, 상기 더미 배선 라인은 상기 제1 칩의 상기 칩 영역으로부터 상기 스크라이브 영역까지 연장하는 것을 특징으로 하는 반도체 패키지.

청구항 3

제1항에 있어서, 상기 더미 배선 라인은 상기 제1 칩 내부의 금속간 절연층에 둘러싸여 있는 것을 특징으로 하는 반도체 패키지.

청구항 4

제1항에 있어서, 상기 제1 칩과 상기 제2 칩은 상기 메인 TSV를 통해 전기적으로 연결되는 것을 특징으로 하는 반도체 패키지.

청구항 5

삭제

청구항 6

칩 영역과 상기 칩 영역의 가장자리에 배치되는 스크라이브 영역으로 구분되는 제1 칩으로서, 상기 제1 칩은 상기 칩 영역에 배치되는 집적 회로부 및 메인 TSV(through silicon via)를 포함하고, 상기 제1 칩은 상기 스크라이브 영역에 배치되는 더미 TSV 및 상기 더미 TSV에 전기적으로 연결되는 테스트 패드를 포함하는, 상기 제1 칩;

상기 제1 칩 상부에 접합되는 제2 칩; 및

상기 제1 칩의 측면과 상기 제2 칩의 측면을 둘러싸는 밀봉재;를 포함하며,

상기 제1 칩 내부에 상기 메인 TSV와 상기 더미 TSV를 전기적으로 연결하는 더미 배선 라인이 형성되는 것을 특징으로 하는 반도체 패키지.

청구항 7

제6항에 있어서, 상기 더미 배선 라인은 상기 제1 칩의 상기 측면으로 노출되지 않으며, 상기 더미 배선 라인과 상기 밀봉재가 접촉하지 않는 것을 특징으로 하는 반도체 패키지.

청구항 8

제6항에 있어서, 상기 밀봉재는,

상기 테스트 패드와 상기 제2 칩의 측면을 덮는 제1 밀봉재와,

상기 제1 밀봉재를 둘러싸며 상기 제1 칩의 측면을 덮는 제2 밀봉재를 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 9

삭제

청구항 10

제6항에 있어서, 상기 테스트 패드는 상기 제2 칩과 상기 메인 TSV의 접속 불량을 판별하도록 EDS(electrical die sorting) 테스트 용으로 구성된 것을 특징으로 하는 반도체 패키지.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 패키지에 관한 것으로서, 더욱 상세하게는, 복수 개의 칩이 적층된 반도체 패키지에 관한 것이다.

배경 기술

[0002] 반도체 장치의 소형화 및 처리 속도 증가에 따라 복수 개의 반도체 칩들을 적층하는 반도체 패키지가 제안되고 있다. 복수 개의 반도체 칩들이 적층된 반도체 패키지의 신뢰성을 향상시키기 위한 연구가 필요하다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 이루고자 하는 기술적 과제는 신뢰성이 우수한 반도체 패키지를 제공하는 것이다.

과제의 해결 수단

[0004] 상기 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 패키지는, 칩 영역과 상기 칩 영역의 가장자리에 배치되는 스크라이브 영역으로 구분되며, 상기 칩 영역 내부에 집적 회로부 및 메인 TSV(through silicon via)를 포함하는 제1 칩; 및 상기 제1 칩 상부에 접합되는 제2 칩을 포함하며, 상기 제1 칩 내부에 상기 메인 TSV와 전기적으로 연결되는 더미 배선 라인이 형성된다.

[0005] 예시적인 실시예들에 있어서, 상기 더미 배선 라인은 상기 제1 칩의 상기 칩 영역으로부터 상기 스크라이브 영역까지 연장할 수 있다.

[0006] 예시적인 실시예들에 있어서, 상기 더미 배선 라인은 상기 제1 칩 내부의 금속간 절연층에 둘러싸여 있을 수 있다.

[0007] 예시적인 실시예들에 있어서, 상기 제1 칩과 상기 제2 칩은 상기 메인 TSV를 통해 전기적으로 연결될 수 있다.

[0008] 예시적인 실시예들에 있어서, 상기 더미 배선 라인은 상기 제1 칩의 측벽 상에 노출될 수 있다.

[0009] 예시적인 실시예들에 있어서, 상기 제1 칩의 상기 스크라이브 영역에 형성된 더미 TSV를 더 포함할 수 있다.

[0010] 예시적인 실시예들에 있어서, 상기 더미 TSV 및 상기 메인 TSV는 상기 더미 배선 라인에 의해 전기적으로 연결될 수 있다.

[0011] 예시적인 실시예들에 있어서, 상기 제1 칩의 상기 스크라이브 영역에 형성되며, 상기 더미 TSV에 전기적으로 연결되는 테스트 패드를 더 포함할 수 있다.

[0012] 예시적인 실시예들에 있어서, 상기 테스트 패드 및 상기 제2 칩의 측벽을 커버하는 몰딩재를 더 포함할 수 있다.

[0013] 예시적인 실시예들에 있어서, 상기 테스트 패드는 상기 제2 칩과 상기 메인 TSV의 접속 불량을 판별하도록 EDS(electrical die sorting) 테스트 용으로 구성될 수 있다.

- [0014] 예시적인 실시예들에 있어서, 상기 테스트 패드의 상면은 상기 제2 칩에 의해 커버되지 않을 수 있다.
- [0015] 예시적인 실시예들에 있어서, 상기 테스트 패드의 일부 또는 상기 더미 TSV의 일부가 상기 제1 칩의 측벽에 노출될 수 있다.
- [0016] 상기 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 패키지는, 메인 TSV 및 상기 TSV에 전기적으로 연결된 제1 연결 부재를 구비한 제1 칩; 상기 제1 칩 상에 적층되고, 상기 메인 TSV에 전기적으로 연결된 제2 연결 부재를 구비한 제2 칩; 및 상기 제1 칩 및 상기 제2 칩의 측면이 노출되지 않도록 밀봉하는 밀봉재를 포함하며; 상기 제1 칩은 상기 제1 칩의 측벽 상에 노출되며 상기 메인 TSV와 전기적으로 연결되는 더미 배선 라인을 포함한다.
- [0017] 예시적인 실시예들에 있어서, 상기 제1 칩은, 제1 면 및 제2 면을 갖는 기판; 상기 제1 면 상의 집적 회로부; 상기 집적 회로부를 덮는 층간 절연막; 상기 층간 절연막 상에 형성되고 상기 메인 TSV에 연결된 다층 배선 패턴; 및 상기 다층 배선 패턴을 덮는 하부 절연층을 포함하고, 상기 제1 연결 부재는 상기 하부 절연층 상에 형성되고, 상기 다층 배선 패턴에 전기적으로 연결되며, 상기 더미 배선 라인은 상기 층간 절연막 상에 형성될 수 있다.
- [0018] 예시적인 실시예들에 있어서, 상기 제1 칩은, 상기 기판의 상기 제2 면 상에 형성된 테스트 패드; 및 상기 기판 및 상기 층간 절연막을 관통하고, 상기 테스트 패드 및 상기 더미 배선 라인에 전기적으로 연결된 더미 TSV를 더 포함할 수 있다.

발명의 효과

- [0019] 본 발명에 따른 상기 반도체 패키지는 스크라이브 영역에 더미 TSV가 형성되고, 상기 스크라이브 영역 상부에 상기 더미 TSV와 연결되는 테스트 패드를 구비한다. 상기 반도체 패키지는 상부 칩을 적층한 상태에서 상기 테스트 패드에 EDS 테스트를 수행할 수 있다. 따라서, 상기 반도체 패키지는 신뢰성이 우수하다.

도면의 간단한 설명

- [0020] 도 1 내지 도 8은 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 설명하기 위한 단면도들이다.
- 도 9 내지 도 10은 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 설명하기 위한 단면도들이다.
- 도 11a 내지 도 11i는 예시적인 실시예들에 따른 반도체 패키지의 제조 방법에 이용되는 베이스 웨이퍼의 제조 방법을 설명하기 위한 단면도들이다.
- 도 12는 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 설명하기 위한 단면도이다.
- 도 13은 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 설명하기 위한 단면도이다.
- 도 14는 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 설명하기 위한 단면도이다.
- 도 15는 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 설명하기 위한 단면도이다.
- 도 16은 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 설명하기 위한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0022] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려 이들 실시예들은 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것이다.
- [0023] 도 1 내지 도 8은 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 설명하기 위한 단면도들이다. 도 1 내지 도 8에서 동일한 참조번호는 동일 부재를 나타낸다.
- [0024] 도 1을 참조하면, 제1 칩을 복수 개 포함하는 베이스 웨이퍼(10, base wafer)를 준비한다. 베이스 웨이퍼(10)는 복수 개의 칩 영역들(CR1) 및 칩 영역들(CR1) 주위의 스크라이브 영역(SR1)으로 구분된다. 베이스 웨이퍼(10)는

각각의 칩 영역(CR1)에 형성된 복수 개의 제1 칩들(100)을 포함한다. 도 1에서는 편의상 베이스 웨이퍼(10)에 3개의 칩이 도시되어 있지만 베이스 웨이퍼(10)에 수십 내지 수백 개의 칩들이 형성되어 있을 수 있다.

- [0025] 베이스 웨이퍼(10)는 바디층(110), 하부 절연층(120), 메인 쓰루 실리콘 비아(Through silicon via(TSV), 130), 더미 TSV(135), 제1 연결 부재(140), 보호층(160), 상부 패드(170), 테스트 패드(175) 및 더미 배선 라인(185)을 포함할 수 있다.
- [0026] 바디층(110)은 기관(도시되지 않음), 상기 기관 상에 형성된 집적 회로부(도시되지 않음) 및 상기 집적 회로부를 덮는 층간 절연막(도시되지 않음)을 포함할 수 있다.
- [0027] 하부 절연층(120)은 바디층(110)의 하부에 형성되고, 금속간 절연층(122, intermetallic insulating layer) 및 패시베이션층(124)을 포함할 수 있다. 금속간 절연층(122) 내부에는 다층 배선 패턴(도시되지 않음)이 형성될 수 있다.
- [0028] 메인 TSV(130)는 칩 영역(CR1) 내에 복수 개로 형성되고, 바디층(110)을 관통하여 하부 절연층(120)의 상기 다층 배선 패턴에 연결될 수 있다. 메인 TSV의 형성 방법은 추후에 자세히 설명하도록 한다.
- [0029] 제1 연결 부재(140)는 범프 패드(142) 및 범프(144)를 포함할 수 있다. 범프 패드(142)는 패시베이션층(124) 상에 도전성 물질로 형성되며, 하부 절연층(120) 내의 상기 다층 배선 패턴과 전기적으로 연결될 수 있다. 그에 따라, 범프 패드(142)는 상기 다층 배선 패턴을 통해 메인 TSV(130)에 전기적으로 연결될 수 있다. 범프 패드(142) 상에는 UBM(Under Bump Metal, 도시되지 않음)이 형성될 수 있다. 범프 패드(142)는 알루미늄(Al)이나 구리(Cu) 등으로 형성될 수 있고, 펄스 도금이나 직류 도금 방법을 통해 형성될 수 있다. 그러나 범프 패드(142)가 상기 재질이나 방법에 한정되는 것은 아니다. 범프(144)는 범프 패드(142) 상에 형성될 수 있다. 범프(144)는 도전성 재질 예컨대, 구리(Cu), 알루미늄(Al), 금(Au), 솔더 등으로 형성될 수 있다. 그러나 범프(144)의 재질이 그에 한정되는 것은 아니다. 범프(144)가 솔더로 형성되는 경우, 솔더 범프라고 부르기도 한다.
- [0030] 보호층(160)은 바디층(110)의 상부에 형성되며 절연성 물질로 형성되어 바디층(110)을 외부로부터 보호할 수 있다. 보호층(160)은 산화물, 질화물, 산질화물 또는 이들의 조합을 사용하여 형성될 수 있다. 예를 들면, 보호층(160)은 화학 기상 증착(CVD) 공정을 이용하여 실리콘 산화막(SiO₂)으로 형성할 수 있다.
- [0031] 상부 패드(170)는 칩 영역(CR1)의 보호층(160) 상에 복수 개로 형성되며, 각각의 상부 패드(170)는 메인 TSV(130)와 연결될 수 있다. 상부 패드(170)는 앞서 범프 패드(142)와 같이 알루미늄이나 구리 등으로 형성될 수 있다.
- [0032] 더미 TSV(135)는 스크라이브 영역(SR1) 내에 복수 개로 형성되며, 바디층(110)을 관통한다. 더미 TSV(135)는 메인 TSV(130)와 유사한 형상으로 형성될 수 있다. 도 1에는 예시적으로 스크라이브 영역(SR1)에 두 개의 더미 TSV(135)가 형성된 것이 도시되었으나, 더미 TSV(135)의 개수는 스크라이브 영역(SR1)의 폭에 따라 달라질 수 있다.
- [0033] 더미 배선 라인(185)은 하부 절연층(120) 내에서 칩 영역(CR1)으로부터 스크라이브 영역(SR1)으로 연결된다. 더미 배선 라인(185)에 의해 메인 TSV(130)와 더미 TSV(135)가 전기적으로 연결될 수 있다. 도 1에는 두 개의 더미 배선 라인들(185)이 형성되어, 스크라이브 영역(SR1) 내의 두 개의 더미 TSV(135)가 스크라이브 영역(SR1) 양측에 배열된 칩 영역들(CR1) 내의 메인 TSV들(130)에 각각 연결되는 것이 도시되었다. 한편, 더미 배선 라인(185)의 개수는 더미 TSV(175)의 개수에 따라 달라질 수 있다.
- [0034] 테스트 패드(175)는 스크라이브 영역(SR1)의 보호층(160) 상에 형성되며, 더미 TSV(135)와 전기적으로 연결될 수 있다. 테스트 패드(175)는 상부 패드(170)와 같이 알루미늄이나 구리 등으로 형성될 수 있다. 테스트 패드(175)의 폭은 상부 패드(170)의 폭과 동일하게 형성되거나, 상부 패드(170)의 폭보다 크게 형성될 수 있다. 테스트 패드(175)의 폭은 스크라이브 영역(SR1)의 폭보다 작게 형성될 수 있다. 도 1에는 스크라이브 영역(SR1)에 두 개의 테스트 패드(175)가 형성된 것을 도시하였으나, 테스트 패드(175)의 개수는 더미 TSV(135)의 개수에 따라 달라질 수 있다.
- [0035] 베이스 웨이퍼(10)에 대하여는 후에 보다 더 상세하게 설명한다.
- [0036] 도 2를 참조하면, 지지 캐리어(800, supporting carrier)를 준비한다. 지지 캐리어(800) 상에는 접착 부재(820)가 형성될 수 있다. 지지 캐리어(800)는 실리콘 기관, 게르마늄 기관, 실리콘-게르마늄 기관, 갈륨-비소(GaAs) 기관, 유리 기관, 플라스틱 기관, 세라믹 기관 등으로 형성될 수 있다. 접착 부재(820)는 NCF(Non-

Conductive Film), ACF(Anisotropic Conductive Film), UV 감응 필름, 순간 접착제, 열경화성 접착제, 레이저 경화형 접착제, 초음파 경화형 접착제, NCP(Non-Conductive Paste) 등으로 형성될 수 있다.

- [0037] 베이스 웨이퍼(10)는 지지 캐리어(800) 상에 접착 부재(820)를 통해 접착된다. 베이스 웨이퍼(10)의 제1 연결 부재(140)가 지지 캐리어(800)를 향하도록 접착될 수 있다. 지지 캐리어(800)는 베이스 웨이퍼(10)의 준비 전에, 또는 베이스 웨이퍼(10) 준비 후 베이스 웨이퍼(10)의 지지 캐리어(800) 접착 전에 준비될 수도 있다.
- [0038] 도 3을 참조하면, 제2 칩(200)을 준비한다. 제2 칩(200)은 바디층(210), 하부 절연층(220), 및 제2 연결 부재(240)를 포함할 수 있다. 바디층(210)은 제1 칩(100)과 마찬가지로 기관(도시되지 않음), 상기 기관 상에 형성된 집적 회로부(도시되지 않음) 및 상기 집적 회로부를 덮는 층간 절연막(도시되지 않음)을 포함할 수 있다. 바디층(210)의 상면은 외부로 노출될 수 있다. 상기 기관의 제1 면에 상기 집적 회로부가 형성되고, 상기 제1 면에 대향하는 상기 기관의 제2 면은 바디층(210)의 상면일 수 있다. 예를 들면, 제2 칩(200)의 기관이 실리콘 기관인 경우, 실리콘 기관 상면이 외부로 노출될 수 있다. 도시되지는 않았으나, 제2 칩(200)의 바디층(210) 상에 보호층(도시되지 않음)이 더 형성되어 실리콘 기관 상면이 직접 노출되지 않을 수도 있다.
- [0039] 하부 절연층(220)은 바디층(210) 하부에 형성되고, 금속간 절연층(222) 및 패시베이션층(224)을 포함할 수 있다. 금속간 절연층(222) 내부에는 다층 배선 패턴(도시되지 않음)이 형성될 수 있다.
- [0040] 제2 연결 부재(240)는 하부 절연층(220) 및 패시베이션층(224) 상에 형성되며, 범프 패드(242) 및 범프(244)를 포함할 수 있다. 범프 패드(242)는 패시베이션층(224) 상에 도전성 물질로 형성되며, 하부 절연층(220) 내의 상기 다층 배선 패턴과 전기적으로 연결될 수 있다. 범프 패드(242) 상에는 UBM(도시되지 않음)이 형성될 수 있다. 범프 패드(242)는 앞서 제1 연결 부재(140)의 범프 패드(242)와 동일 재질 또는 다른 재질로 형성될 수 있고, 또한 형성 방법도 동일하거나, 또는 다르게 형성될 수 있다. 범프(244)는 범프 패드(242) 상에 형성될 수 있다. 범프(244)는 도전성 재질로 형성되며, 제1 연결 부재(140)의 범프(144)와 같이, 구리(Cu), 알루미늄(Al), 금(Au), 솔더 등으로 형성될 수 있다. 그러나 범프(244)의 재질이 그에 한정되는 것은 아니다. 제2 칩(200)은 제1 칩(100)과 달리 바디층(110)을 관통하는 TSV가 형성되지 않을 수 있다. 그에 따라, 상부 패드도 형성되지 않을 수 있다.
- [0041] 제1 칩(100)들 각각의 상부에 제2 칩(200)을 적층하여 적층 칩(1100)을 형성한다. 적층은 제2 칩(200)의 제2 연결 부재(240)를 제1 칩(100)의 상부 패드(170) 상에 열 압착 방법을 통해 접착함으로써 수행될 수 있다. 이에 따라, 제2 연결 부재(240)는 제1 칩(100)의 상부 패드(170)에 연결될 수 있다. 제2 연결 부재(240)를 통해 제2 칩(200)의 상기 다층 배선 패턴이 제1 칩(100)의 메인 TSV(130)에 전기적으로 연결될 수 있다.
- [0042] 제2 칩(200)의 제2 연결 부재(240)의 배치는 제1 칩(100)의 상부 패드(170)의 배치에 대응하여 위치하므로, 제1 칩(100) 상부에 제2 칩(200)이 적층될 수 있다. 따라서, 제2 칩(200)은 제1 칩(100)과 이종의 칩일 수도 있고, 또는 동종의 칩일 수도 있다. 예를 들면, 제2 칩(200)은 도 1의 베이스 웨이퍼(10)를 절단하여 분리한 칩일 수 있고, 이러한 경우, 제1 칩(100)과 같이 바디층(210)을 관통하는 TSV(도시되지 않음)가 더 형성될 수도 있다.
- [0043] 도 3에는 제2 칩(200)의 폭(CS2)이 칩 영역(CR1)의 폭과 실질적으로 동일한 경우를 예시적으로 도시하였다. 이러한 경우, 제2 칩(200) 사이의 간격(S2)은 스크라이브 영역(SR1)의 폭과 실질적으로 동일할 수 있다. 이와는 달리, 제2 칩(200)의 폭(CS2)은 베이스 웨이퍼(10)의 칩 영역(CR1)의 폭보다 작을 수 있고, 이 때, 제2 칩(200) 사이의 간격(S2)은 스크라이브 영역(SR1)의 폭보다 클 수 있다.
- [0044] 이후, 테스트 패드(175)를 통하여 EDS(Electrical Die Sorting) 테스트를 수행한다. 일반적으로, 제1 칩(100)과 제2 칩(200)의 크기가 동일하거나 제2 칩(200)이 제1 칩(100)의 크기보다 약간 작으므로, 적층 칩(1100)의 접속 불량 여부를 판별하기 용이하지 않다. 본 발명에 따르면, 스크라이브 영역(SR1)에 형성된 테스트 패드(175)의 상면이 제2 칩(200)에 의해 커버되지 않으므로, 노출된 테스트 패드(175)의 상면을 통하여 전기적 접속 여부를 판별할 수 있다. 제2 칩(200)은 제2 연결 부재(240)를 통해 상부 패드(170)에 연결되고, 상부 패드(170)은 메인 TSV(130)와 연결된다. 테스트 패드(175)는 스크라이브 영역(SR1)에 형성된 더미 TSV(135) 및 더미 배선 라인(185)에 의해 칩 영역(CR1) 내의 메인 TSV(130)와 연결되어 있다. 따라서, 테스트 패드(175)에 EDS 테스트를 수행함으로써 적층 칩(1100)의 양호 또는 불량 여부를 판단할 수 있다. EDS 테스트는 프로브 카드(도시되지 않음) 등을 사용하여 수행될 수 있다. 예를 들면, 프로브 카드에 포함된 단자 핀(도시되지 않음)이 테스트 패드(175)에 콘택되고 전기적 신호가 인가됨으로써 EDS 테스트가 수행될 수 있다.
- [0045] 도 4를 참조하면, 적층 칩(1100)의 제1 칩(100)과 제2 칩(200)의 연결 부분을 채우는 언더필(310)을 형성한다. 언더필(310)은 제1 칩(100) 및 제2 칩(200)의 연결 부분, 즉 제1 칩(100)의 상부 패드(170)와 제2 연결 부재

(240)가 연결되는 부분을 채울 수 있다. 언더필(310)은 에폭시 수지와 같은 언더필 수지로 형성될 수 있고, 실리콘 필러(filler)나 플럭스(flux) 등이 포함될 수 있다. 언더필(310)은 후속 공정에서 형성되는 몰딩재(320)(도 5 참조)와 다른 재질로 형성될 수 있지만 동일 재료로 형성될 수도 있다.

[0046] 도시된 바와 같이, 언더필(310)은 제1 칩(100) 및 제2 칩(200)의 연결 부분뿐만 아니라, 상기 연결 부분에서 확장하여 제2 칩(200)의 측면 및 제2 칩(200)의 상면 일부분을 밀봉시킬 수 있다. 즉, 언더필(310)은 제1 칩(100)과 제2 칩(200)의 연결 부분만을 채울 수도 있지만, 도시된 바와 같이 제1 칩(100)과 제2 칩(200)의 연결 부분을 채우면서 제2 칩(200)의 측면을 감싸도록 형성될 수도 있다. 언더필(310)은 인접하는 제2 칩(200) 하부의 언더필(310)과 겹쳐지도록 형성될 수도 있다. 이와 같이 언더필(310)이 제2 칩(200)의 측면을 감싸게 되면, 반도체 패키지 완성 후에, 언더필(310)이 측면으로 노출될 수도 있다.

[0047] 도 5를 참조하면, 지지 캐리어(800) 상에 접착된 적층 칩들(1100)을 몰딩하는 몰딩재(320)를 형성한다. 몰딩재(320)는 레진과 같은 폴리머로 형성될 수 있다. 예를 들면, 몰딩재(320)는 EMC(Epoxy Molding Compound)로 형성될 수 있다. 언더필(310)과 몰딩재(320)를 밀봉재(330)로 지칭할 수 있다. 밀봉재(330)는 복수의 적층 칩들(1100)의 제1 및 제2 칩(100, 200)의 측면들 및 상면들을 밀봉할 수 있다. 언더필(310)의 존재로 인해 몰딩재(320)는 언더필(310)의 측면을 밀봉할 수 있다.

[0048] 도 6을 참조하면, 밀봉재(330) 상면을 그라인딩하여, 적층 칩들(1100) 각각의 제2 칩(200)의 상면을 노출시킬 수 있다. 밀봉재(330)의 상면은 제2 칩(200)의 상면과 동일 평면 상에 있을 수 있다. 제2 칩(200)에 TSV가 형성되지 않은 경우에, 제2 칩(200) 상면은, 상기 집적 회로부가 형성되지 않는 반도체 기판(즉 실리콘 기판)의 제2 면일 수 있고, 그에 따라, 반도체 기판의 제2 면의 실리콘이 외부로 노출될 수 있다.

[0049] 밀봉재(330)의 상면을 그라인딩하여 적층 칩(1100), 즉 제2 칩(200)의 상면을 노출시키는 경우, 후에 완성되는 반도체 패키지를 보드 기판(도시되지 않음) 상에 실장하여 몰딩하는 것이 용이하다.

[0050] 도 7을 참조하면, 베이스 웨이퍼(10) 및 밀봉재(330)가 제1 폭(W1)을 갖도록 소잉(sawing, 절단)하여 각각의 반도체 패키지(1000)(도 8 참조)로 분리한다. 접착 부재(820)는 소잉에 의해 일부가 제거될 수도 있다. 도 7에서는 칩 영역(CR1)의 폭을 기준으로 베이스 웨이퍼(10) 및 밀봉재(330)를 절단한다. 도 7에서는 제2 칩(200)의 폭(CS2)이 칩 영역(CR1)의 폭과 실질적으로 동일한 경우를 도시하였으므로, 분리된 제2 칩(200)의 폭(CS2)은 반도체 패키지(1000)의 폭(W1)과 실질적으로 동일하다. 그러나, 이와는 달리 제2 칩(200)의 폭(CS2)이 칩 영역(CR1)의 폭보다 약간 작게 형성되는 경우, 반도체 패키지(1000)는 제2 칩(200)의 측면을 둘러싸는 밀봉재(330)를 포함할 수 있다.

[0051] 한편, 스크라이브 영역(SR1)에 형성된 더미 TSV(135) 및 테스트 패드(175)는 상기 소잉에 의해 제거될 수 있다. 더미 TSV(135)와 메인 TSV(130)를 연결하는 더미 배선 라인(185)은 칩 영역(CR1)의 하부 절연층(120) 내부로부터 스크라이브 영역(SR1)의 하부 절연층(120) 내부까지 연장되므로, 상기 소잉에 의하여 절단된다. 칩 영역(CR1)의 더미 배선 라인(185) 부분은 잔류하고, 스크라이브 영역(SR1)의 더미 배선 라인(185) 부분은 제거될 수 있다.

[0052] 따라서, 분리된 각각의 반도체 패키지(1000)는 더미 TSV(135) 및 테스트 패드(175)를 포함하지 않고, 칩 영역(CR1) 내의 더미 배선 라인(185) 부분을 포함할 수 있다. 또한, 제1 칩(100) 측면에 더미 배선 라인(185)이 노출될 수 있다.

[0053] 도 8을 참조하면, 지지 캐리어(800)(도 7 참조) 및 접착 부재(820)(도 7 참조)를 제거함으로써, 각각의 반도체 패키지(1000)를 완성한다. 지지 캐리어(800) 및 접착 부재(820)의 제거는 순차적으로 수행될 수도 있고 동시에 수행될 수도 있다. 예를 들면, 지지 캐리어(800)는 투명한 재질, 예컨대 유리 기판으로 형성되고, 접착 부재(820)가 UV 감응 필름으로 형성된 경우, UV 조사에 의해 지지 캐리어(800)와 접착 부재(820)가 동시에 베이스 웨이퍼(10)로부터 분리될 수 있다.

[0054] 반도체 패키지(1000)의 제1 칩(100)의 양 측면이 노출되며, 제1 칩(100)의 측면에는 더미 배선 라인(185)이 노출될 수 있다. 이 경우, 반도체 패키지(1000)를 보드 기판 상에 실장하여 재차 몰딩할 경우 추가 몰딩재가 제1 칩(100)의 측면에 용이하게 부착될 수 있다.

[0055] 본 발명에 따른 반도체 패키지의 제조 방법에 따르면, 베이스 웨이퍼(10)의 스크라이브 영역(SR1)에 더미 TSV(135) 및 테스트 패드(175)가 형성된다. 베이스 웨이퍼(10)의 제1 칩(100) 상부에 제2 칩(200)을 실장한 상태로, 스크라이브 영역(SR1)의 테스트 패드(175)를 통해 EDS 테스트를 수행한다. 따라서, PCB 기판이나 인터포저(interposer) 없이 적층 칩(1100)의 접속 불량을 판별할 수 있다. 제1 칩(100) 및 제2 칩(200)의 사이즈가

동일하거나, 제1 칩(100)의 사이즈가 제2 칩(200)의 사이즈보다 약간 큰 경우에도 테스트 패드(175) 상부는 커버되지 않으므로, 용이하게 EDS 테스트를 수행할 수 있다. 따라서, 상기 반도체 패키지(1000)의 신뢰성이 향상될 수 있다.

- [0056] 여기서, 도 8을 참조하여, 전술한 반도체 패키지의 제조 방법에 의해 제조된 반도체 패키지의 구조 및 특징에 대하여 간단히 설명한다.
- [0057] 구체적으로, 반도체 패키지(1000)는 제1 칩(100), 제2 칩(200) 및 밀봉재(330)를 포함한다. 제1 칩(100)은 바디층(110), 하부 절연층(120), 메인 TSV(130), 제1 연결 부재(140), 보호층(160), 상부 패드(170) 및 더미 배선 라인(185)을 포함할 수 있다. 제1 칩(100)의 하부는 범프(144)가 외부로 노출되어 있고, 제1 칩(100)의 액티브면의 패시베이션층(124)도 외부로 노출되어 있다. 더미 배선 라인(185)은 제1 칩(100) 측벽에서 외부로 노출되고, 메인 TSV(130)와 연결된다.
- [0058] 제2 칩(200)은 제1 칩(100)과 마찬가지로 바디층(210), 하부 절연층(220), 및 제2 연결 부재(240)를 포함할 수 있다. 제2 칩(200)은 도 8과 같이 TSV를 포함하지 않을 수 있고, 필요에 따라 TSV를 포함할 수 있다. 제1 칩(100)의 비액티브면 상에 제2 칩(200)의 액티브면이 탑재되어 적층 칩(1100)을 구성하며, 제2 연결 부재(240)는 제1 칩(100)의 상부 패드(170)에 연결될 수 있다. 그에 따라, 제2 연결 부재(240)를 통해 제2 칩(200)이 제1 칩(100)의 메인 TSV(130)에 전기적으로 연결될 수 있다.
- [0059] 밀봉재(330)는 제1 칩(100) 및 제2 칩(200)의 연결 부분, 즉 제1 칩(100)의 상부 패드(170)와 제2 연결 부재(240)가 연결되는 부분에 채워져 있다.
- [0060] 전술한 바와 같이, 상기 반도체 패키지(1000)는 스크라이브 영역(SR1)에 형성된 테스트 패드(175)를 통하여 EDS 테스트를 수행하기 용이하므로 신뢰성이 우수하다.
- [0061] 도 9 및 도 10은 예시적인 실시예들에 따른 반도체 패키지(1000a)(도 10 참조)의 제조 방법을 설명하기 위한 단면도들이다. 상기 제조 방법은 베이스 웨이퍼(10) 및 밀봉재(330)의 절단 공정을 제외하면 도 1 내지 도 8을 참조로 설명한 제조 방법과 유사하다.
- [0062] 도 9를 참조하면, 우선 도 1 내지 도 8을 참조로 설명한 제조 공정들을 수행하여, 복수 개의 제1 칩들(100)이 형성된 베이스 웨이퍼(10) 상에 복수 개의 제2 칩들(200)을 실장하고, 베이스 웨이퍼(10) 하부에 지지 캐리어(800)를 부착한다. 베이스 웨이퍼(10)의 칩 영역(CR1)에는 메인 TSV(130)가 형성되고, 스크라이브 영역(SR1)에는 더미 TSV(135) 및 테스트 패드(175)가 형성되며, 더미 TSV(135) 및 메인 TSV(130)는 하부 절연층(120) 내의 더미 배선 라인(185)에 의해 전기적으로 연결된다. 밀봉재(330)가 제1 칩(100) 및 제2 칩(200)의 연결 부위를 커버하며 제2 칩(200) 측벽 둘레에 형성된다.
- [0063] 이후, 베이스 웨이퍼(10) 및 밀봉재(330)는 소잉 공정에 의해 복수 개의 반도체 패키지(1000a)(도 10 참조)로 절단된다. 각각의 반도체 패키지(1000a)의 제1 칩(100)은 칩 영역(CR1)과 칩 영역(CR1)의 양 측면에 형성된 스크라이브 영역(SR1)을 포함하도록 분리될 수 있다. 예를 들면, 베이스 웨이퍼(10)에서 복수의 칩 영역들(CR1)이 스크라이브 영역(SR1)을 사이에 두고 이격되어 배열하므로, 각각의 스크라이브 영역(SR1)은 인접한 두 개의 칩 영역들에 의해 공유된다. 따라서, 스크라이브 영역(SR1)의 중앙선을 따라 베이스 웨이퍼(10)를 절단하는 경우, 각각의 반도체 패키지(1000a)는 칩 영역(CR1)의 양 측면에 스크라이브 영역(SR1)의 부분들이 더 포함되도록 분리될 수 있다.
- [0064] 예시적인 실시예들에 있어서, 반도체 패키지(1000a)의 폭(W2)은 베이스 웨이퍼(10)의 칩 영역(CR1)의 폭보다 크다. 예를 들면, 반도체 패키지(1000a)의 폭(W2)은 칩 영역(CR1)의 폭과 스크라이브 영역(SR1)의 폭의 합에 대응될 수 있다. 이와는 달리, 반도체 패키지(1000a)의 폭(W2)은 칩 영역(CR1)의 폭과 스크라이브 영역(SR1)의 폭의 합보다 약간 작을 수 있다. 예를 들면, 소정의 두께를 가지는 블레이드(도시되지 않음)를 사용하여 베이스 웨이퍼(10)를 절단하는 경우, 절단된 반도체 패키지(1000a)의 폭(W2)은 상기 블레이드의 두께만큼 감소할 수 있다.
- [0065] 예시적인 실시예들에 있어서, 스크라이브 영역(SR1)에 형성된 더미 TSV(135) 및 테스트 패드(175)는 상기 소잉 공정에서 제거되지 않고 반도체 패키지(1000a) 내부에 포함될 수 있다. 또한, 더미 TSV(135), 테스트 패드(175) 및 더미 배선 라인(185)은 제1 칩(100) 측벽으로 노출되지 않을 수 있다. 이와는 달리, 상기 소잉 공정에서 스크라이브 영역(SR1)에 형성된 더미 TSV(135) 및 테스트 패드(175)의 일부가 절단되어 반도체 패키지(1000a) 측벽에 더미 TSV(135) 또는/및 테스트 패드(175)의 일부가 노출될 수도 있다.
- [0066] 또한, 제2 칩(200)의 측벽을 둘러싸는 밀봉재(330)가 반도체 패키지(1000a)의 측벽으로 노출될 수 있다. 예를

들면, 제2 칩(200)의 폭(CS2)이 베이스 웨이퍼(10)의 칩 영역(CR1)의 폭과 실질적으로 동일한 경우에 제2 칩(200)의 폭(CS2)이 반도체 패키지(1000a)의 폭(W2)보다 작게 형성된다. 따라서, 반도체 패키지(1000a)의 측벽에 제2 칩(200)의 측벽을 둘러싸는 밀봉재(330)가 노출된다.

- [0067] 도 10을 참조하면, 지지 캐리어(800) 및 접착 부재(820)를 제거함으로써, 각각의 반도체 패키지(1000a)를 완성한다. 지지 캐리어(800) 및 접착 부재(820)의 제거는 순차적으로 수행될 수도 있고 동시에 수행될 수도 있다. 도 9의 절단 공정을 통하여 개개의 반도체 패키지(1000a)를 형성하고 나면, 도 10에 도시한 바와 같이 제1 칩(100)의 양 측면이 노출된다.
- [0068] 본 발명에 따른 반도체 패키지의 제조 방법에 따르면, 스크라이브 영역(SR1)에 형성된 더미 TSV(135) 및 테스트 패드(175)를 사용하여 제2 칩(200)이 적층된 상태로 EDS 테스트를 수행할 수 있다. 따라서, PCB 기판이나 인터포저 없이 접속 불량 여부를 판별할 수 있다. 또한, 베이스 웨이퍼(10)를 절단할 때 칩 영역(CR1) 및 스크라이브 영역(SR1)을 포함하도록 절단하여, 더미 TSV(135)와 테스트 패드(175)가 절단된 제1 칩(100)의 측벽으로 노출되지 않을 수 있다.
- [0069] 여기서, 도 10을 참조하여 전술한 반도체 패키지의 제조 방법에 의해 제조된 반도체 패키지의 구조 및 특징에 대하여 간단히 설명한다.
- [0070] 구체적으로, 도 10의 반도체 패키지(1000a)는 제1 칩(100) 양 측면에 스크라이브 영역(SR1)이 포함되도록 절단되는 것을 제외하면 도 8을 참조로 설명한 반도체 패키지(1000)와 유사하다.
- [0071] 스크라이브 영역(SR1) 내에 더미 TSV(135) 및 테스트 패드(175)가 형성된다. 제1 칩(100) 측벽에 더미 TSV(135) 및 테스트 패드(175)가 노출되지 않도록 베이스 웨이퍼(10)가 절단되므로 제1 칩(100) 측벽에는 더미 배선 라인(185)이 노출되지 않는다.
- [0072] 밀봉재(330)는 제1 칩(100) 및 제2 칩(200)의 연결 부분, 즉 제1 칩(100)의 상부 패드(170)와 제2 연결 부재(240)가 연결되는 부분을 채우며, 제2 칩(200)의 양 측면은 밀봉재(330)로 둘러싸인다.
- [0073] 전술한 바와 같이, 상기 반도체 패키지(1000a)는 제2 칩(200)이 적층된 상태로 스크라이브 영역(SR1)에 형성된 테스트 패드(175)를 통하여 EDS 테스트를 수행하기 용이하므로 신뢰성이 우수하다.
- [0074] 도 11a 내지 도 11i는 예시적인 실시예들에 따른 반도체 패키지의 제조 방법에 이용되는 베이스 웨이퍼(10)의 제조 방법을 설명하기 위한 단면도들이다. 도 11a 내지 도 11i는 본 실시예의 베이스 웨이퍼(10) 중 칩 영역(CR1) 및 스크라이브 영역(SR1)의 일부분만을 확대하여 도시하였다.
- [0075] 도 11a를 참조하면, 기판(102)은 칩 영역(CR1) 및 스크라이브 영역(SR1)으로 구분될 수 있다. 스크라이브 영역(SR1)은 복수의 칩 영역들(CR1) 주위에서 소정의 폭을 가지도록 형성될 수 있다. 기판(102)은 실리콘 기판, 게르마늄 기판, 실리콘-게르마늄 기판, 실리콘-온-인슐레이터(Silicon-On-Insulator: SOI) 기판 등의 반도체 기판을 포함할 수 있다.
- [0076] 칩 영역(CR1) 내의 기판(102)의 제1 면(F1) 상에 집적 회로부(150)를 형성한다. 집적 회로부(150)는 반도체 칩의 종류에 따라 다양한 회로 소자들을 포함할 수 있다. 예를 들면, 집적 회로부(150)는 메모리, 로직, 마이크로프로세서, 아날로그 소자, 디지털 시그널 프로세서(digital signal processor), 시스템-온-칩(System On Chip) 등 다양한 기능을 수행하는 소자들일 수 있다.
- [0077] 기판(102)의 제1 면(F1) 상에 집적 회로부(150)를 덮는 층간 절연막(104)을 형성한다. 층간 절연막(104)은 기판(102)의 칩 영역(CR1) 및 스크라이브 영역(SR1) 모두를 덮도록 형성될 수 있다. 예시적인 실시예들에 있어서, 층간 절연막(104)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등을 사용하여 화학 기상 증착(chemical vapor deposition: CVD) 공정, 원자층 증착(atomic layer deposition: ALD) 공정, 물리 기상 증착(physical vapor deposition: PVD) 공정 또는 이들의 조합을 사용하여 형성될 수 있다. 집적 회로부(150)의 프로파일에 따라 층간 절연막(104)이 평탄하게 형성되지 않는 경우, 층간 절연막(104) 상부에 화학 기계적 연마(chemical mechanical polishing: CMP) 공정 또는 에치백(etch-back) 공정을 더 수행하여 층간 절연막(104) 상부를 평탄화시킬 수 있다.
- [0078] 도 11b를 참조하면, 층간 절연막(104) 및 기판(102)을 식각하여 칩 영역(CR1) 및 스크라이브 영역(SR1)에 각각 제1 비아 홀(via hole)(105) 및 제2 비아 홀(107)을 형성한다. 비아 홀들(105, 107)은 층간 절연막(104)을 관통하고, 기판(102) 상면으로부터 소정의 깊이로 형성될 수 있다.

- [0079] 예시적인 실시예들에 있어서, 비아 홀들(105, 107)은 이방성 식각 공정 또는 레이저 드릴링(laser drilling) 기술을 이용하여 형성될 수 있다. 예를 들면, 층간 절연막(104) 상에 포토레지스트 패턴(도시하지 않음)을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 층간 절연막(104) 및 기판(102)을 순차적으로 식각하여 비아 홀들(105, 107)을 형성할 수 있다. 비아 홀들(105, 107)의 형상은 식각 조건 또는 드릴링 조건에 따라서 다양하게 형성될 수 있다. 예를 들면, 비아 홀들(105, 107)은 상부 폭과 하부 폭이 비교적 균일한 원통 형상을 가질 수도 있고, 상부에서 하부로 내려갈수록 폭이 점점 좁아지는 형상을 가질 수도 있다.
- [0080] 도 11c를 참조하면, 제1 및 제2 비아 홀들(105, 107) 내부 측벽 및 저면을 덮는 절연층(131)을 형성한다. 절연층(131)은 비아 홀들(105, 107)에 의해 노출되는 기판(102)의 표면 및 층간 절연막(104)의 표면을 균일한 두께로 덮도록 형성될 수 있다. 예시적인 실시예들에 있어서, 절연층(131)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등을 사용하여 CVD 공정, PVD 공정 등에 의해 형성될 수 있다.
- [0081] 이후, 절연층(131) 상에 배리어층(132)을 형성한다. 배리어층(132)은 비아 홀들(105, 107)의 측벽 및 저면 상에서 균일한 두께로 절연층(131)을 덮도록 형성될 수 있다. 예시적인 실시예들에 있어서, 배리어층(132)은 티타늄(Ti), 탄탈륨(Ta), 티타늄 질화물(TiN), 탄탈륨 질화물(TaN) 또는 이들의 다층막으로 형성될 수 있다. 배리어층(132)은 PVD 공정을 사용하여 형성될 수 있다.
- [0082] 도 11d를 참조하면, 비아 홀들(105, 107) 내부를 채우는 도전층(133)을 형성한다. 예시적인 실시예들에 있어서, 도전층(133)은 텅스텐(W), 알루미늄(Al), 구리(Cu) 또는 이들의 조합을 사용하여 형성될 수 있다. 도전층(133)은 PVD 공정 또는 전기 도금 공정을 사용하여 형성할 수 있다. 전기 도금 공정을 사용하는 경우 PVD 공정을 사용하여 배리어층(132) 상에 금속 시드층(metal seed layer)(도시되지 않음)을 형성한 후, 상기 금속 시드층 상에 도전층(133)을 형성할 수 있다.
- [0083] 이후, 층간 절연막(104) 상면이 노출될 때까지 도전층(133), 배리어층(132) 및 절연층(131)을 평탄화함으로써 제1 및 제2 비아 홀들(105, 107) 내부에 절연층(131), 배리어층(132) 및 도전층(133)을 잔류시킨다. 상기 평탄화는 화학 기계적 연마(chemical mechanical polishing: CMP) 공정 또는 에치백(etch-back) 공정에 의해 수행될 수 있다.
- [0084] 다른 실시예들에 따르면, 층간 절연막(104) 상에 연마 정지층(도시되지 않음)을 형성한 이후에 비아 홀들(105, 107)을 형성할 수도 있다. 이러한 경우에, 비아 홀들(105, 107) 내부에 절연층(131), 배리어층(132) 및 도전층(133)을 순차적으로 형성한 후, 상기 연마 정지층이 노출될 때까지 CMP 공정 또는 에치백 공정을 수행할 수 있다. 이후, 상기 연마 정지층은 제거될 수 있다.
- [0085] 한편, 제1 비아 홀(105) 내부에 형성된 배리어층(132) 및 도전층(133)은 메인 TSV(130)로, 제2 비아 홀(107) 내부에 형성된 배리어층(132) 및 도전층(133)은 더미 TSV(135)로 부를 수 있다. 이에 따라, 기판(102)의 칩 영역(CR1) 내에 메인 TSV(130)가 형성되고, 기판(102)의 스크라이브 영역(SR1) 내에 더미 TSV(135)가 형성된다.
- [0086] 도 11e를 참조하면, 메인 TSV(130)와 연결된 다층 배선 패턴(180) 및 다층 배선 패턴(180)을 덮는 금속간 절연층(122, intermetallic insulation layer)을 형성할 수 있다. 다층 배선 패턴(180)은 복수의 배선 라인들(181, 183) 및 수직 플러그들(182, 184)의 적층 구조를 형성하는 단계를 반복하여 형성할 수 있다. 금속간 절연층(122)은 다층 배선 패턴(180)의 적층 구조에 따라 다층 구조로 형성될 수 있다. 예시적인 실시예들에 있어서, 다층 배선 패턴(180)은 알루미늄, 텅스텐, 구리 또는 이들의 조합을 사용하여 형성할 수 있다.
- [0087] 예시적인 실시예들에 있어서, 제1 배선 라인(181)은 층간 절연막(104) 상에 도전층(도시되지 않음)을 형성한 후 상기 도전층을 패터닝함으로써 형성될 수 있다. 이후, 제1 배선 라인(181)을 덮는 제1 절연층(도시되지 않음)을 층간 절연막(104) 상에 형성하고, 제1 배선 라인(181)이 노출될 때까지 상기 제1 절연층 상부를 평탄화할 수 있다. 제1 배선 라인(181) 및 상기 제1 절연층을 덮는 제2 절연층(도시되지 않음)을 형성한 후, 제1 배선 라인(181)을 일부 노출하는 개구부(도시되지 않음)를 형성할 수 있다. 상기 개구부를 채우는 도전층(도시되지 않음)을 형성한 후, 상기 제2 절연층 상면이 노출될 때까지 상기 도전층 상부를 평탄화 하여 상기 개구부 내에 제1 배선 라인(181)과 전기적으로 연결되는 제1 수직 플러그(182)를 형성할 수 있다. 이러한 공정들을 반복하여 복수의 배선 라인들(181, 183) 및 복수의 수직 플러그들(182, 184)을 형성할 수 있다. 이에 따라, 다층 배선 패턴(180)은 복수의 배선 라인들(181, 183) 및 복수의 수직 플러그들(182, 184)을 포함할 수 있고, 적층된 상기 절연층들은 금속간 절연층(122)으로 부를 수 있다.
- [0088] 다른 실시예들에 있어서, 층간 절연막(104) 상에 제1 절연층(도시되지 않음)을 형성한 후, 메인 TSV(130)를 노출하는 개구부(도시되지 않음)를 형성할 수 있다. 상기 개구부 내에 도전층(도시되지 않음)을 형성한 후, 상기

제1 절연층 상면이 노출될 때까지 상기 도전층을 평탄화함으로써 제1 배선 라인(181)을 형성할 수 있다. 이후, 제1 배선 라인(181) 및 상기 제1 절연층 상에 제2 절연층(도시되지 않음)을 형성한 후, 제1 배선 라인(181)을 노출하는 개구부(도시되지 않음)을 형성할 수 있다. 상기 개구부를 채우는 도전층(도시되지 않음)을 형성한 후, 상기 제2 절연층 상면이 노출될 때까지 상기 도전층을 평탄화함으로써 제1 배선 라인(181)에 전기적으로 연결되는 제1 수직 플러그(182)를 형성할 수 있다. 이러한 공정들을 반복하여 복수의 배선 라인들(181, 183) 및 복수의 수직 플러그들(182, 184)을 형성할 수 있다. 이에 따라, 다층 배선 패턴(180)은 복수의 배선 라인들(181, 183) 및 복수의 수직 플러그들(182, 184)을 포함할 수 있고, 적층된 상기 절연층들은 금속간 절연층(122)으로 부를 수 있다.

[0089] 기판(102)의 스크라이브 영역(SR1)에는 더미 TSV(135)과 메인 TSV(130)에 연결되는 더미 배선 라인(185)이 형성된다. 예시적인 실시예들에 있어서, 다층 배선 패턴(180)의 형성 과정에서 상기 도전층을 패터닝하여 칩 영역(CR1)에 제1 배선 라인(181)을 형성하고, 칩 영역(CR1)으로부터 스크라이브 영역(SR1)까지 연장되는 더미 배선 라인(185)을 형성할 수 있다. 이에 따라, 더미 배선 라인(185)은 층간 절연막(104) 상에 형성되고, 더미 배선 라인(185)의 상면은 제1 배선 라인(181)의 상면과 동일한 레벨 상에 있을 수 있다. 도 11e에는 더미 배선 라인(185)이 층간 절연막(104) 상에 형성되어 칩 영역(CR1)의 메인 TSV(130)와 스크라이브 영역(SR1)의 더미 TSV(135)를 전기적으로 연결시키는 것을 도시하였으나, 이와는 달리, 더미 배선 라인(185)은 금속간 절연층(122) 내에 형성되어 칩 영역(CR1)의 메인 TSV(130)와 스크라이브 영역(SR1)의 더미 TSV(135)를 전기적으로 연결시킬 수도 있다. 예를 들면, 더미 배선 라인(185)의 상면은 제2 배선 라인(183)의 상면과 동일한 레벨 상에 있을 수 있다.

[0090] 도 11f를 참조하면, 다층 배선 패턴(180) 및 금속간 절연층(122) 상에 패시베이션층(124)을 형성한다. 패시베이션층(124)은 실리콘 질화물 또는 폴리이미드를 사용하여 CVD 공정, 스펀 코팅 공정, 스프레이 공정 등을 수행하여 형성할 수 있다.

[0091] 이후, 패시베이션층(124)을 식각하여 다층 배선 패턴(180)을 노출하는 개구부를 형성하고, 개구부를 채우는 범프 패드(142)를 형성한다. 범프 패드(142)는 알루미늄, 구리 등을 사용하여 펄스 도금 공정 또는 직류 도금 공정에 의해 형성될 수 있다. 한편, 범프 패드(142) 상에는 UBM(도시되지 않음)이 더 형성될 수 있다.

[0092] 범프 패드(142) 상에 범프(144)를 형성한다. 범프(144)는 순차적으로 형성된 필라층(145) 및 솔더층(146)을 포함할 수 있다. 예시적인 실시예들에 따르면, 패시베이션층(124) 및 범프 패드(142) 상에 포토레지스트 패턴(도시되지 않음)이 형성되고, 상기 포토레지스트 패턴에 범프 패드(142) 일부를 노출하는 개구부(도시되지 않음)가 형성된다. 전기 도금 공정을 사용하여 상기 개구부에 구리 등의 도전 물질을 채움으로써 범프 패드(142)와 접촉하는 필라층(145)이 형성된다. 예를 들면, 필라층(145)은 알루미늄, 구리, 금, 솔더 등을 사용하여 형성될 수 있다. 필라층(145) 상부에 전기 도금 공정을 사용하여 솔더층(146)을 형성한다. 이후, 리플로우 공정이 더 수행될 수 있다.

[0093] 도 11g를 참조하면, 패시베이션층(124) 및 범프(144)의 상부에 접착 부재(820)를 통해 지지 캐리어(800)를 접착한다. 지지 캐리어(800)는 실리콘 기판, 게르마늄 기판, 실리콘-게르마늄 기판, 갈륨-비소(GaAs) 기판, 유리 기판, 플라스틱, 세라믹 기판 등으로 형성될 수 있다. 접착 부재(820)는 NCF, ACF, UV 감응 필름, 열경화성 접착제, 레이저 경화형 접착제, 초음파 경화형 접착제, NCP 등으로 형성될 수 있다.

[0094] 이후, 기판(102)의 제2 면(F2)을 그라인딩하기 위하여 상기 베이스 웨이퍼를 뒤집는다.

[0095] 도 11h를 참조하면, 기판(102)의 제2 면(F2)으로부터 기판(102)의 소정 두께를 제거하여 메인 TSV(130) 및 더미 TSV(135)를 노출시킨다.

[0096] 기판(102)의 제거는 그라인딩, CMP 공정, 에치백 공정, 등방성 식각 공정, 이방성 식각 공정 또는 이들의 조합에 의해 수행될 수 있다. 예를 들면, CMP 공정에 의하여 메인 TSV(130) 및 더미 TSV(135)를 둘러싸는 절연층(131)이 노출될 때까지 기판(102)을 제2 면(F2)으로부터 제거하고, 이후 등방성 식각 공정 또는 이방성 식각 공정을 수행하여 기판(102)의 표면을 소정 두께만큼 리세스시킬 수 있다. 이후, 노출된 절연층(131) 상면을 제거하여, 메인 TSV(130) 및 더미 TSV(135)를 노출시킬 수 있다.

[0097] 도 11i를 참조하면, 기판(102)의 제2 면(F2) 상에 보호층(160)을 형성하고, 보호층(160) 상에 메인 TSV(130)에 연결되는 상부 패드(170) 및 더미 TSV(135)에 연결되는 테스트 패드(175)를 각각 형성한다.

[0098] 보호층(160)은 기판(102)의 제2 면(F2) 상에서 절연층(131)의 측벽을 감싸도록 형성될 수 있다. 보호층(160)은 산화물, 질화물 등의 절연성 물질로 형성될 수 있다. 한편, 도시되지는 않았지만, 기판(102)의 제2 면을 그라인

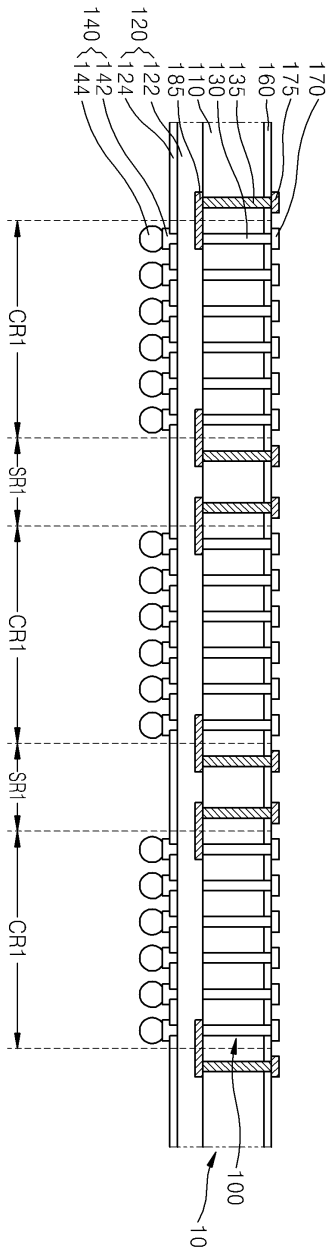
당하는 과정에서 노출된 절연층(131)이 모두 제거되고, 메인 TSV(130) 및 더미 TSV(135)의 측벽이 노출될 수도 있다. 이러한 경우에, 보호층(160)은 기판(102)의 제2 면 상에서 메인 TSV(130) 및 더미 TSV(135)의 측벽을 감싸도록 형성될 수 있다.

- [0099] 상부 패드(170) 및 테스트 패드(175)는 보호층(160) 상에 도전층(도시되지 않음)을 형성하고, 상기 도전층을 패터닝함으로써 메인 TSV(130) 및 더미 TSV(135)에 각각 연결되도록 형성될 수 있다. 테스트 패드(175)의 폭은 상부 패드(170)의 폭과 유사하게 형성될 수 있고, 스크라이브 영역(SR1)의 폭에 따라 상부 패드(170)의 폭보다 크거나 더 작게 형성될 수도 있다. 예시적인 실시예들에 있어서, 테스트 패드(175)의 폭은 약 10 내지 70 μ m일 수 있다. 그러나, 테스트 패드(175)의 폭이 이에 한정되는 것은 아니다.
- [0100] 이에 따라, 기판(102)의 칩 영역(CR1)에는 상부 패드(170)가 형성되고, 기판(102)의 스크라이브 영역(SR1)에는 테스트 패드(175)가 형성된다. 테스트 패드(175)에 프로브 카드(도시되지 않음)를 연결하여 EDS(electrical die sorting) 테스트를 수행할 수 있다. 이에 따라, 메인 TSV(130)와 더미 TSV(135)의 전기적 접속의 양호 또는 불량 여부를 판단할 수 있다.
- [0101] 도 12는 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 설명하기 위한 단면도이다. 상기 제조 방법은 베이스 웨이퍼(10)의 제1 칩(100) 상에 복수 개의 제2 칩들(200)이 적층되는 것을 제외하면, 도 1 내지 도 8을 참조로 설명한 제조 방법과 유사하다.
- [0102] 도 12를 참조하면, 베이스 웨이퍼(10)의 제1 칩들(100) 각각의 상부로 n개(n은 2 이상의 양의 정수), 즉 적어도 2개의 제2 칩(200)을 적층하여 적층칩(1100a)을 형성한다. 베이스 웨이퍼(10)의 제1 칩(100)에 하나씩 제2 칩(200)을 복수 개 적층할 수도 있고, 베이스 웨이퍼(10)의 제1 칩(100)에 2개 이상의 제2 칩(200)이 접촉된 제2 칩 세트를 적층할 수도 있다. 예컨대, 도 8 또는 도 10과 같은 반도체 패키지를 제1 칩(100) 상에 적층할 수도 있다.
- [0103] 제1 칩(100)과 제2 칩(200)간의 적층 부분, 즉 연결 부분은 언더필이나 몰딩재와 같은 밀봉재(330)로 채워질 수 있다. 제2 칩(200)들간의 적층 부분도 밀봉재(330)로 채워질 수 있다. 밀봉재(330)는 최상부의 칩(N번째 칩) 상면에는 형성되지 않을 수 있고, 최상부의 칩은 TSV가 형성되지 않는다.
- [0104] 도 13는 예시적인 실시예들에 따른 칩 적층 반도체 패키지(10000)에 대한 단면도들이다.
- [0105] 도 13을 참조하면, 칩 적층 반도체 패키지(10000)는 메인 칩(2000) 및 반도체 패키지(1000)를 포함할 수 있다. 반도체 패키지(1000)는 도 8의 반도체 패키지(1000)와 동일할 수 있다. 그에 따라, 반도체 패키지(1000)의 각 구성부분에 대한 설명은 생략하거나 간략하게 기술한다.
- [0106] 메인 칩(2000) 상에 반도체 패키지(1000)가 적층되어 있고, 반도체 패키지(1000)은 제2 밀봉재(340)로 밀봉되어 있다. 제1 칩(100) 및 제2 칩(200)의 양측면은 노출되어 있고 제2 칩(200)의 양 측면에 제2 밀봉재(340)가 형성되어 반도체 패키지(1000a)를 밀봉한다. 제2 밀봉재(340)은 앞서 설명한 바와 같은 몰딩재로 형성할 수 있다.
- [0107] 메인 칩(2000)은 반도체 패키지(1000) 내에 포함된 제1 및 제2 칩들(100, 200) 보다는 사이즈가 더 클 수 있다.
- [0108] 메인 칩(2000)의 수평 단면의 사이즈는 반도체 패키지(1000)의 전체 수평 단면 사이즈, 즉 제2 밀봉재(340)를 포함한 수평 단면의 사이즈와 동일할 수 있다. 반도체 패키지(1000)는 접착 부재(2400)를 통해 메인 칩(2000)에 실장될 수 있다. 그에 따라, 반도체 패키지(1000)의 제2 밀봉재(340)의 하면은 메인 칩(2000)의 외곽 부분에 접착 부재(2400)를 통해 접착될 수 있다.
- [0109] 메인 칩(2000)은 메모리 칩과 유사하게, 바디층(2100), 하부 절연층(2200), 패시베이션층(2300), TSV(2500), 제3 연결 부재(2600), 보호층(2750) 및 상부 패드(2700)를 포함할 수 있다. 하부 절연층(2200) 및 패시베이션층(2300) 내의 집적 회로부, 다층 배선 패턴은 메인 칩의 종류에 따라 다르게 형성될 수 있다. 메인 칩(2000)은 로직 칩, 예컨대, 중앙처리장치(central processing unit, CPU), 컨트롤러(controller), 또는 주문형 반도체(application specific integrated circuit, ASIC) 등일 수 있다.
- [0110] 한편, TSV(2500) 및 그에 대응하는 상부 패드(2700)의 개수는 메인 칩(2000)으로 적층되는 반도체 패키지(1000)의 제1 칩(100)의 제1 연결 부재(140)에 대응하는 개수로 형성될 수 있다. 이러한 경우에, 제1 연결 부재(140)보다 많은 개수의 TSV(2500)가 형성될 수 있다.
- [0111] 메인 칩(2000)의 하면에 형성되는 제3 연결 부재(2600)는 범프 패드(2610) 및 범프(2620)를 포함할 수 있고, 제3 연결 부재(2600)의 개수가 TSV(2500)의 개수보다 작을 수 있다. 그에 따라, 대응되는 제3 연결 부재(2600)가

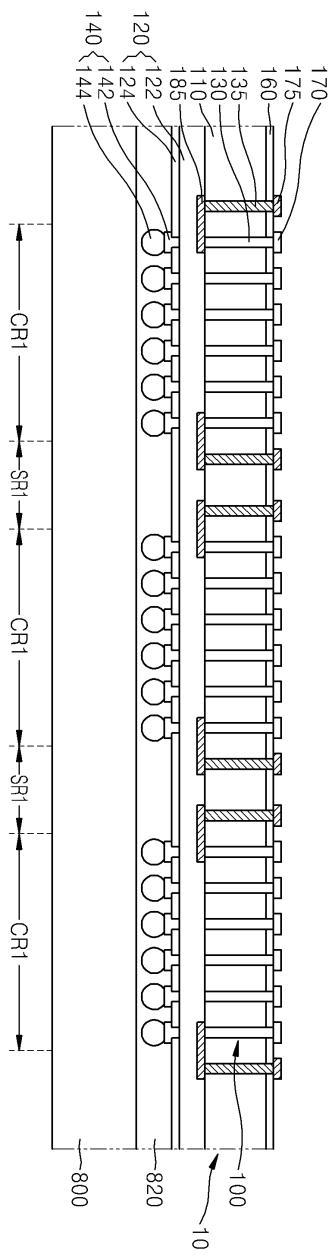
- | | |
|------------------|----------------------|
| 146: 솔더층 | 150: 집적 회로부 |
| 160: 보호층 | 170: 상부 패드 |
| 175: 테스트 패드 | 180: 다층 배선 패턴 |
| 181, 183: 배선 라인 | 182, 184: 수직 플러그 |
| 185: 더미 배선 라인 | 200: 제2 칩 |
| 210: 바디층 | 220: 하부 절연층 |
| 222: 금속간 절연층 | 224: 패시베이션층 |
| 240: 연결 부재 | 242: 범프 패드 |
| 244: 범프 | 270: 상부 패드 |
| 310: 언더필 | 320: 몰딩재 |
| 330, 340: 밀봉재 | 800: 지지 캐리어 |
| 820: 접착 부재 | 1000, 1000a: 반도체 패키지 |
| 1100, 1100a: 적층칩 | |

도면

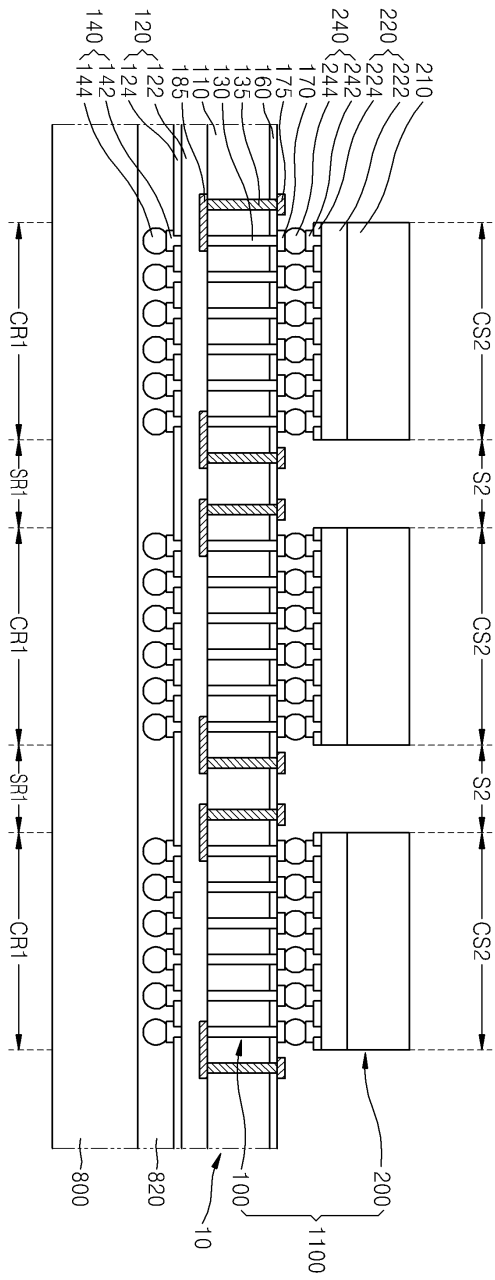
도면1



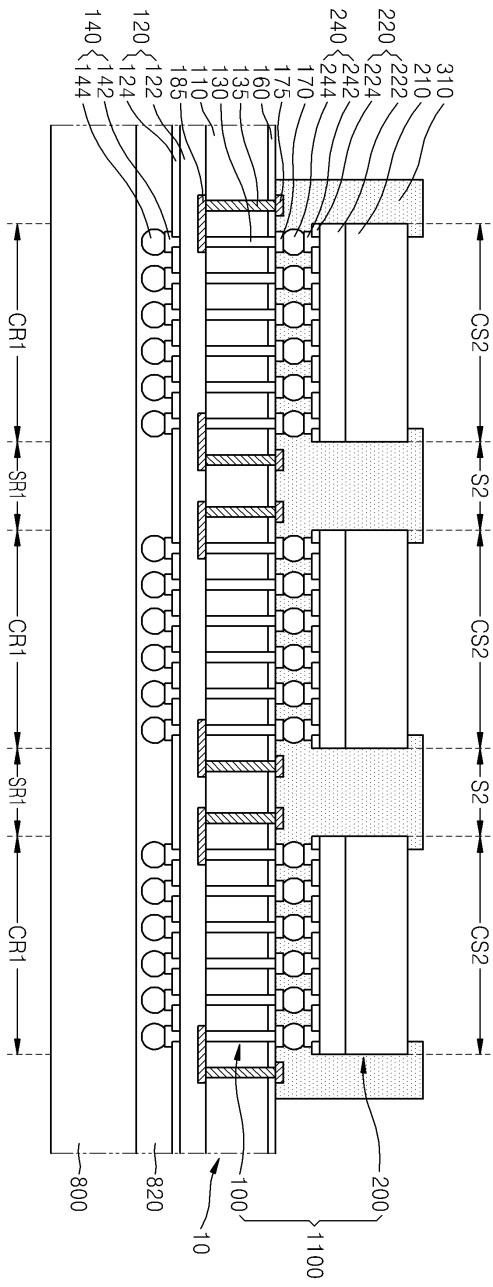
도면2



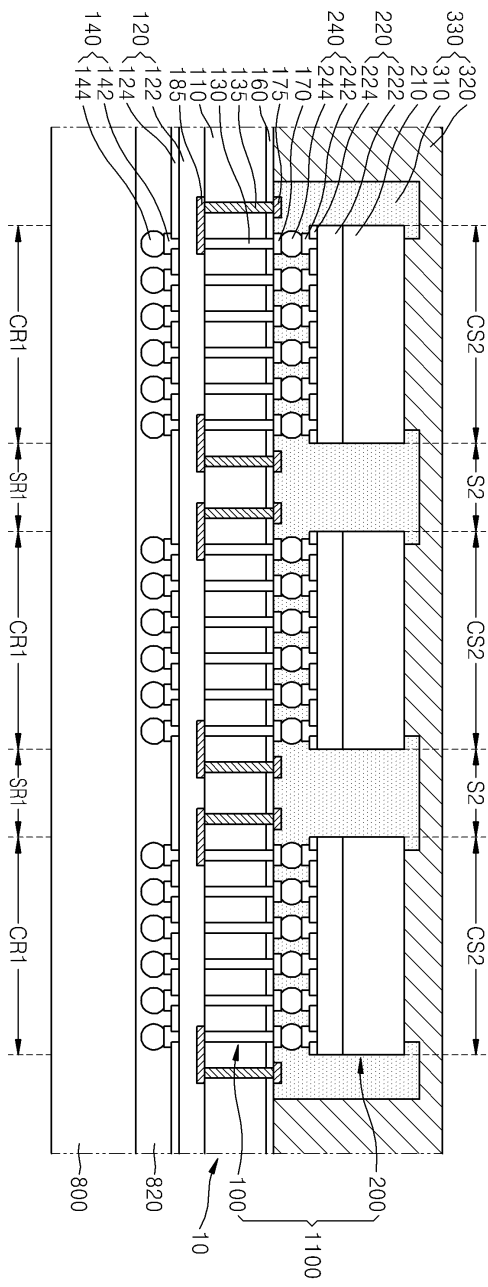
도면3



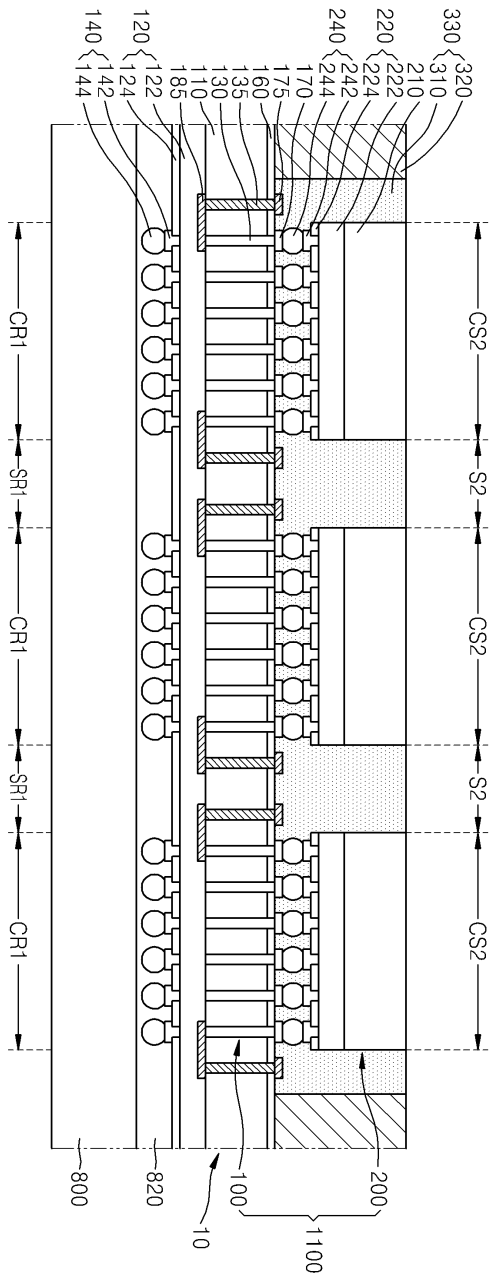
도면4



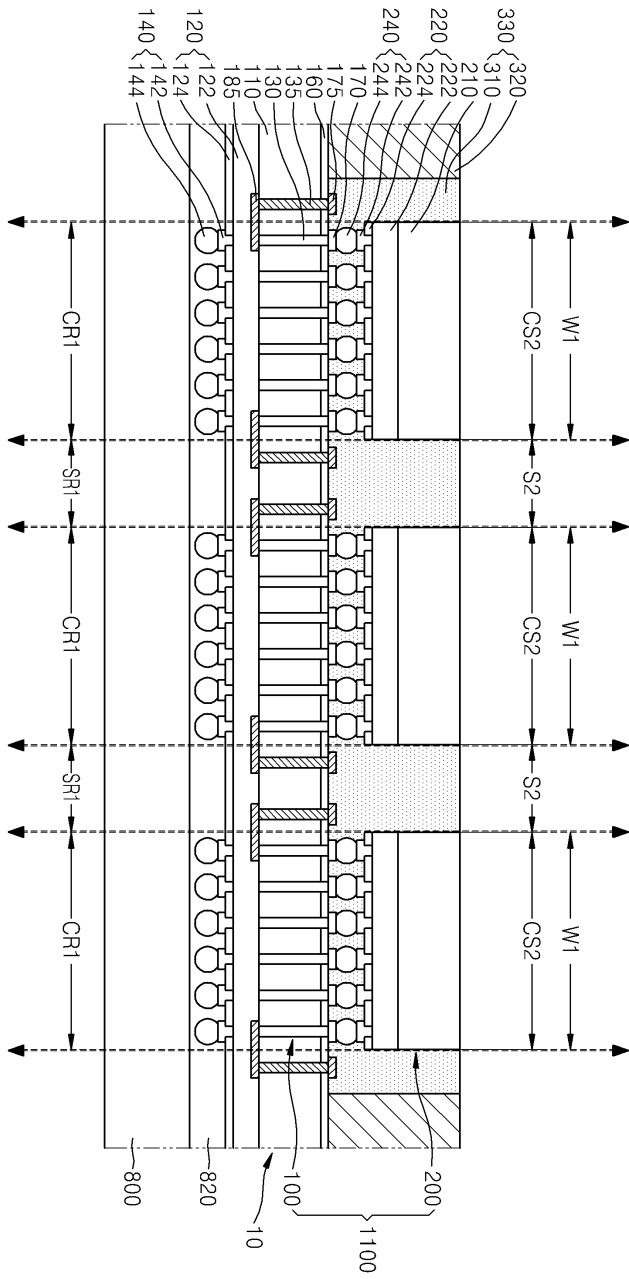
도면5



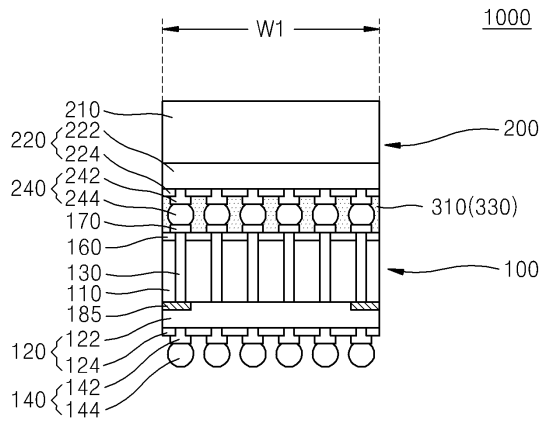
도면6



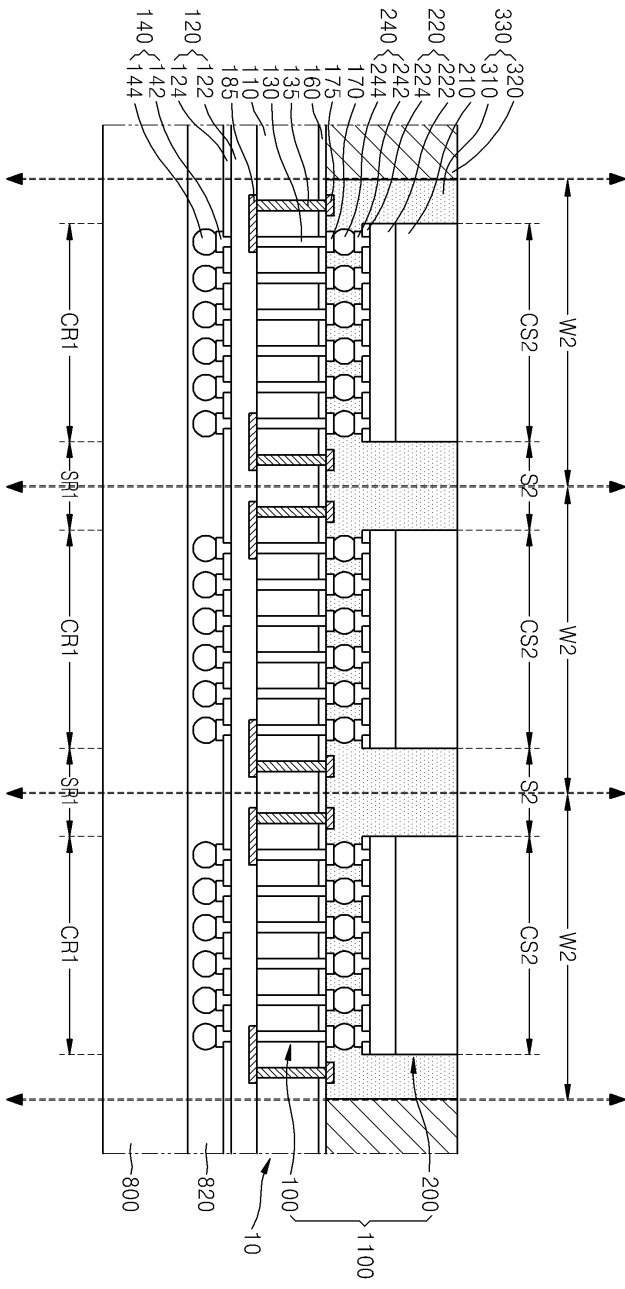
도면7



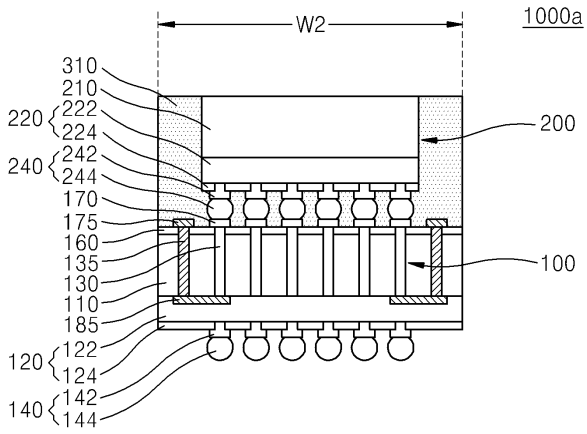
도면8



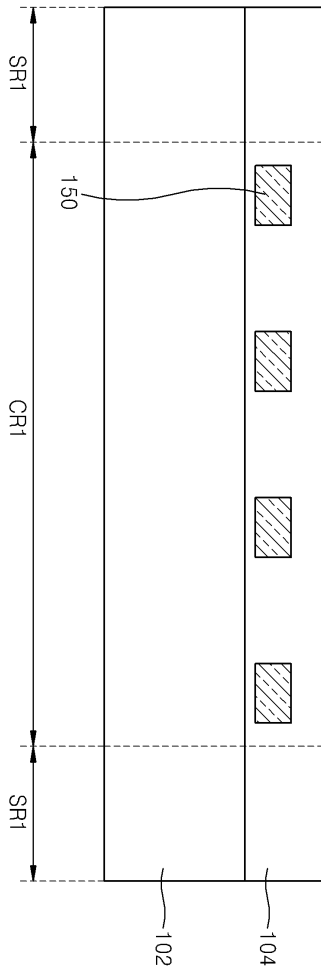
도면9



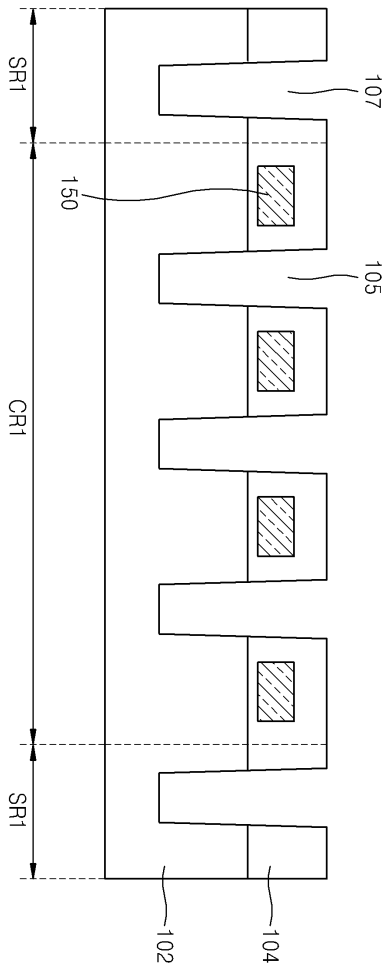
도면10



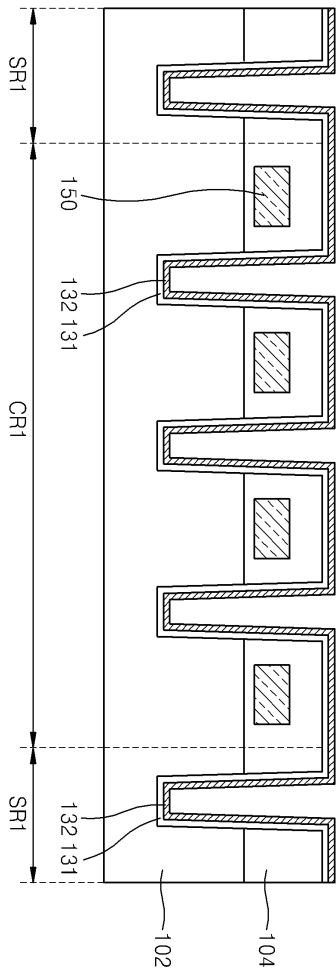
도면11a



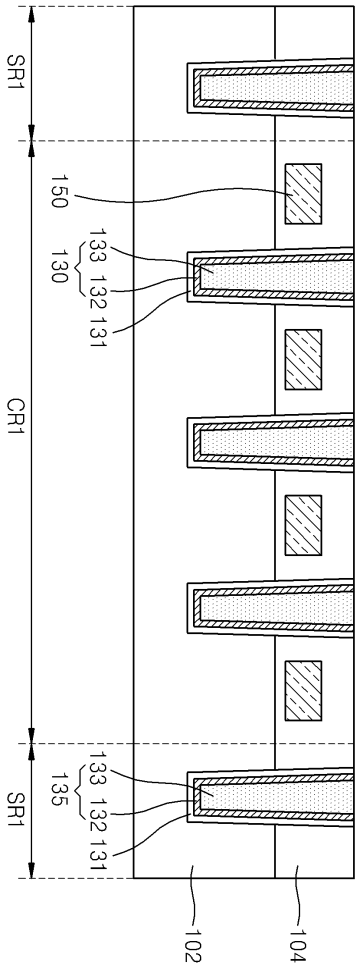
도면11b



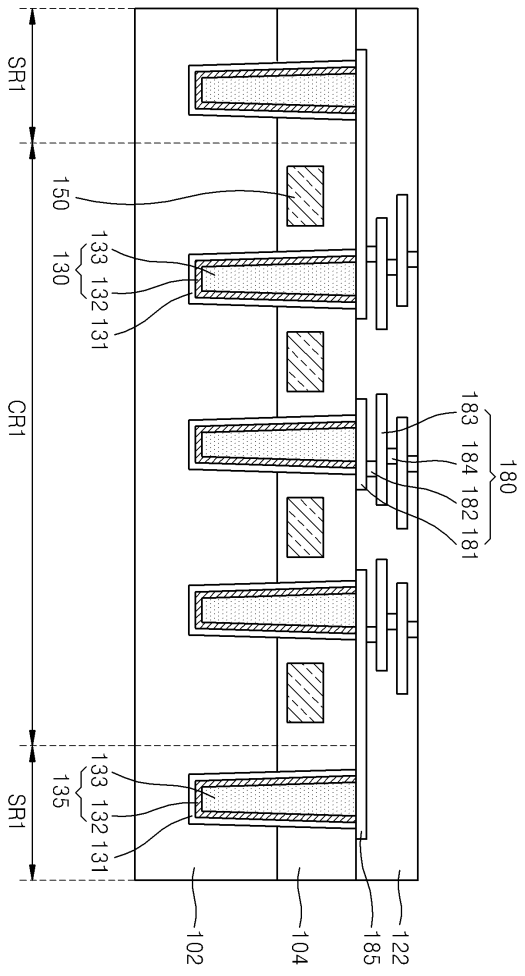
도면11c



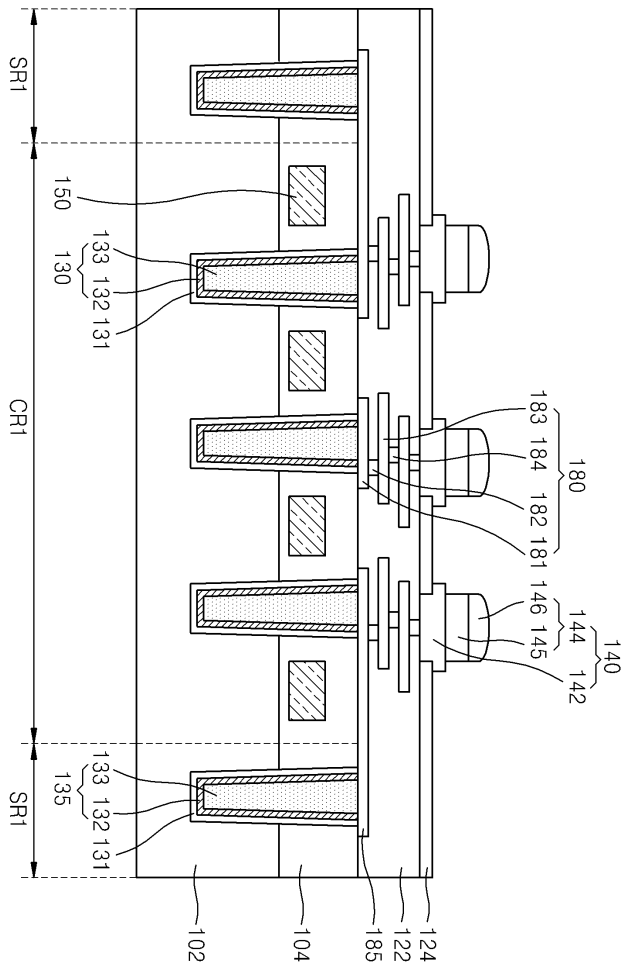
도면11d



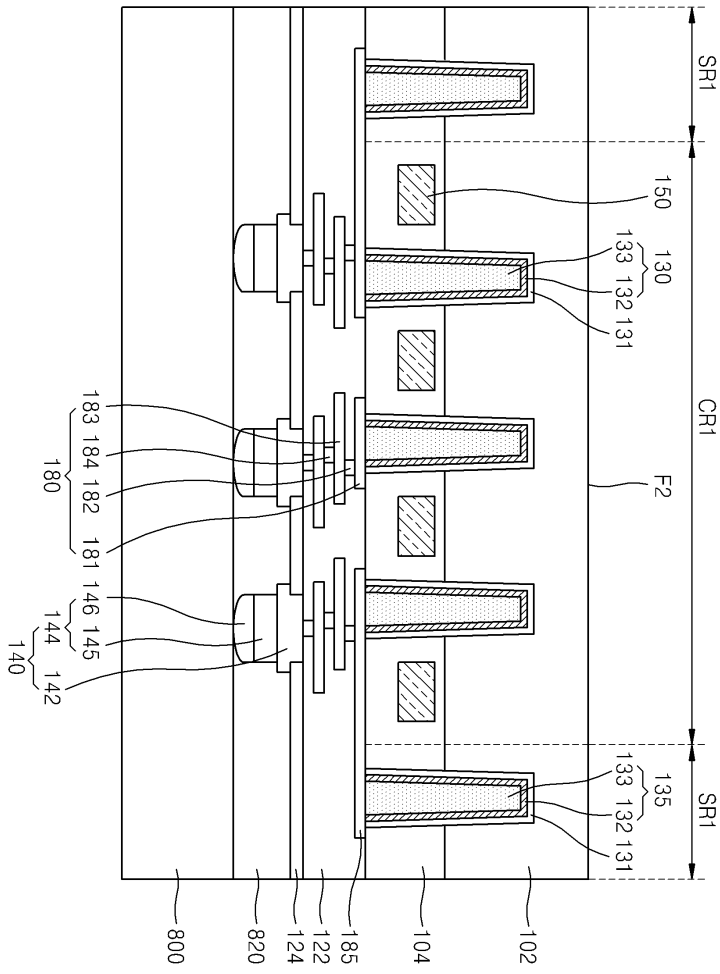
도면11e



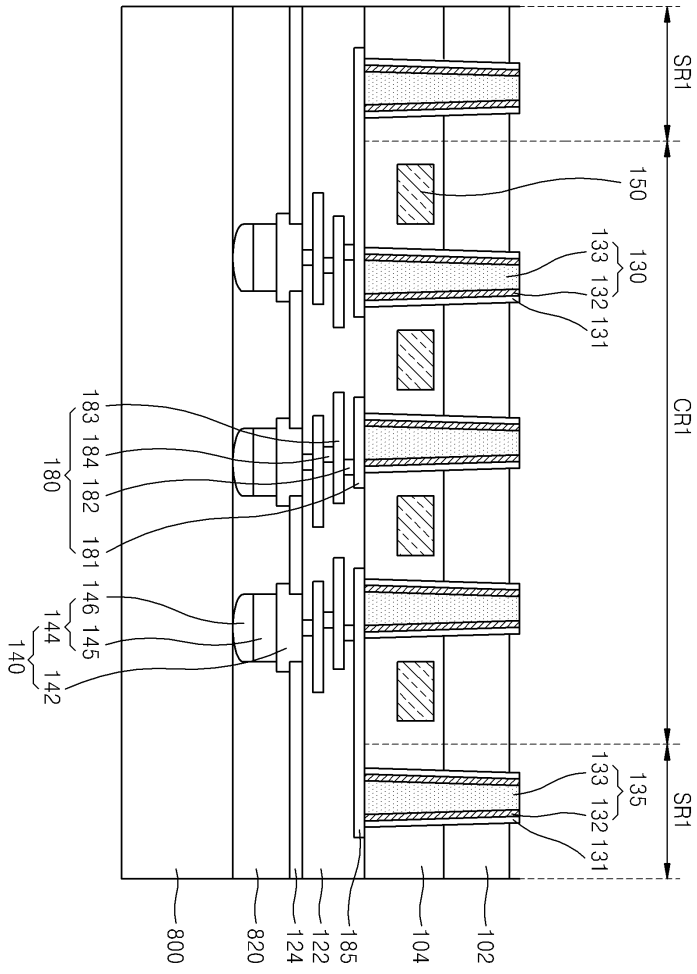
도면11f



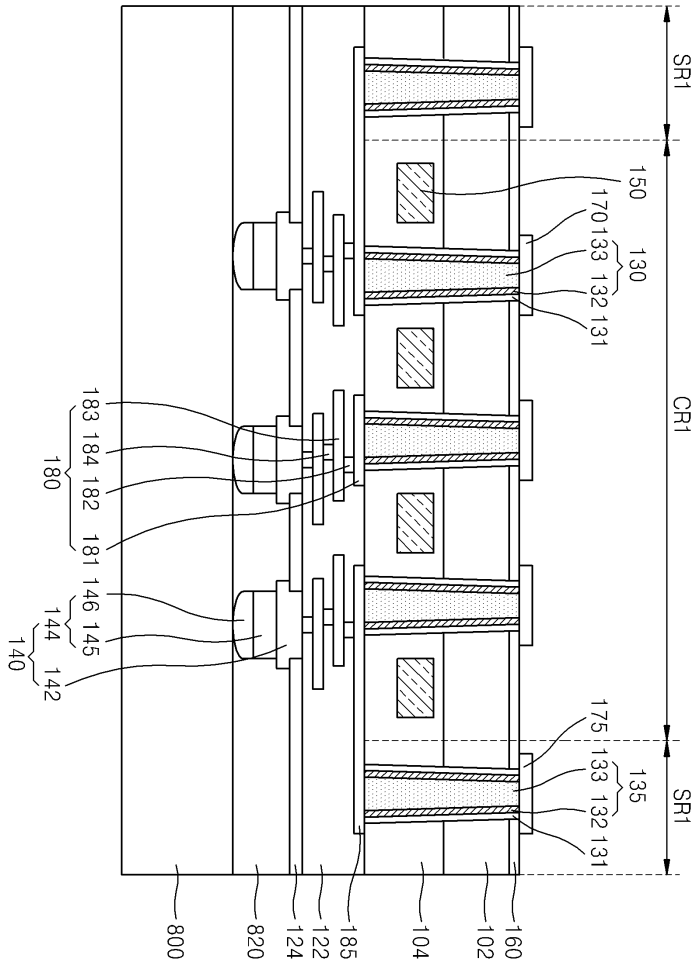
도면11g



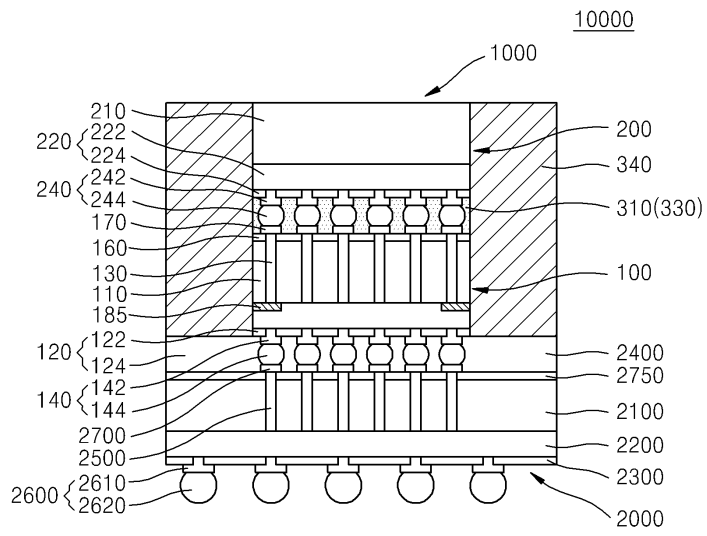
도면11h



도면11i



도면13



도면14

