

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2023年7月13日(13.07.2023)



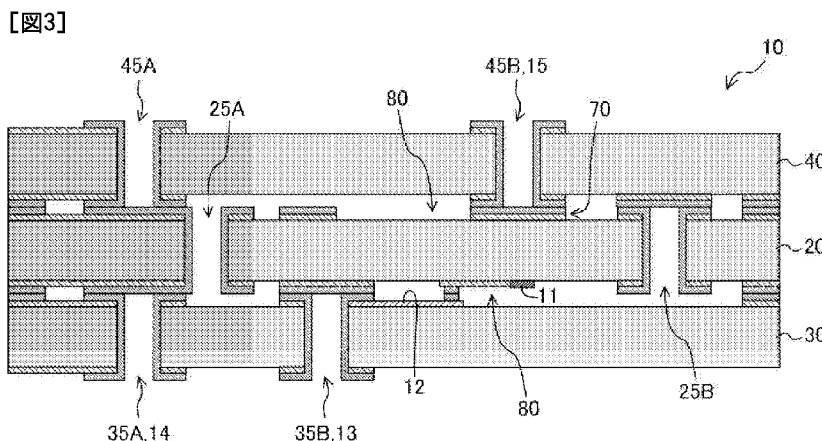
(10) 国際公開番号

WO 2023/132064 A1

- (51) 国際特許分類:  
H01L 39/22 (2006.01) H01L 39/24 (2006.01)  
H01L 39/02 (2006.01)
- (21) 国際出願番号: PCT/JP2022/000385
- (22) 国際出願日: 2022年1月7日(07.01.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者: 島内 岳明 (SHIMANOUCHI, Takeaki); 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 中島 淳, 外 (NAKAJIMA, Jun et al.); 〒1600022 東京都新宿区新宿4丁目3番17号 H K 新宿ビル7階 太陽国際特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: QUANTUM COMPUTING DEVICE AND METHOD FOR MANUFACTURING QUANTUM COMPUTING DEVICE

(54) 発明の名称: 量子演算装置及び量子演算装置の製造方法



(57) Abstract: A quantum computing device (10) comprises: a layered plurality of substrates (20, 30, 40) that includes a substrate (20) provided with a quantum bit element (11); and through vias (35A, 35B, 45A, 45B) that are provided to, of the plurality of substrates (20, 30, 40), at least the substrate (40) which is disposed in the uppermost layer and the substrate (30) which is disposed in the lowermost layer, and that are electrically connected to the substrate (20) which is disposed in an adjacent layer.

(57) 要約: 量子演算装置 (10) は、量子ビット素子 (11) が設けられた基板 (20) を含む積層された複数の基板 (20、30、40) と、複数の基板 (20、30、40) のうち、少なくとも最上層に配置された基板 (40) 及び最下層に配置された基板 (30) に設けられ、隣接する層に配置された基板 (20) に電氣的に接続された貫通ビア (35A、35B、45A、45B) と、を含む。



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

## 明 細 書

発明の名称：量子演算装置及び量子演算装置の製造方法

### 技術分野

[0001] 開示の技術は、量子演算装置及び量子演算装置の製造方法に関する。

### 背景技術

[0002] 量子演算装置に関する技術として、以下の技術が知られている。例えば、2次元レイアウトに配列された複数の量子ビット素子を備え、複数の量子ビット素子のうちの少なくとも1つの内部量子ビット素子が、複数の量子ビット素子の2次元レイアウトの外へ延びる信号線を含む量子コンピュータ・システムが知られている。内部量子ビット素子は、複数の層を備え、複数の層のうちの上部層は、底部層へのスルー・ホールを含み、信号線は、スルー・ホール内に置かれて、底部層を上部層へ接続する。

[0003] また、基板上に形成された第1のセットの突起と、量子ビットチップ上に形成された第2のセットの突起とを含む量子デバイスが知られている。量子デバイスは、インターポーザ上に形成されたバンプのセット、室温範囲で閾値を超える延性を有する材料で形成されたバンプのセットを含み、バンプのセットの第1のサブセットは、冷間溶接するように構成される。突起の第1のセットに、バンプのセットの2番目のサブセットは、突起の2番目のセットに冷間溶接するように構成される。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：米国特許出願公開第2019/287946号明細書  
特許文献2：米国特許出願公開第2020/259064号明細書

### 発明の概要

#### 発明が解決しようとする課題

[0005] 量子ビット素子 (Q u b i t) を含んで構成される量子演算装置は、外部から量子ビット素子を制御するための制御ポートを含み得る。また量子演算

装置は、量子ビット素子の状態を示すビット信号を外部に読み出すための読み出しポートを含み得る。また、量子演算装置は、量子ビット素子を含む演算回路にグランド電位を与えるためのグランドポートを含み得る。量子演算装置は、真空チャンバーの中で極低温に保たれた状態で、制御ポート、読み出しポート及びグランドポート等のアクセスポートに当接されるプローブを介して演算処理に関する信号の入出力及び電位の供給がなされる。プローブは、量子演算装置とともに希釈冷凍機の内部に收容される。

[0006] 必要なプローブの本数は、量子演算装置のビット数の増加に伴って増加する。量子ビット装置において多ビット化及び小型化が進展するとポートの密度が高くなり、これに伴ってプローブの密度が高くなる。これにより、各ポートとプローブとの間の接触不良が発生したり、ポート間における信号のクロストークが発生したりするおそれがある。

[0007] 開示の技術は、量子演算装置において、多ビット化及び小型化に伴うアクセスポートの高密度化を抑制することを目的とする。

### 課題を解決するための手段

[0008] 開示の技術に係る量子演算装置は、量子ビット素子が設けられた基板を含む積層された複数の基板と、前記複数の基板のうち、最上層に配置された第1基板を貫通して設けられ、前記第1基板に隣接する層に配置された基板に電氣的に接続された第1貫通ビアと、前記複数の基板のうち、最下層に配置された第2基板を貫通して設けられ、前記第2基板に隣接する層に配置された基板に電氣的に接続された第2貫通ビアと、を含む。

### 発明の効果

[0009] 開示の技術によれば、量子演算装置において、多ビット化及び小型化に伴うアクセスポートの高密度化を抑制することが可能となる。

### 図面の簡単な説明

[0010] [図1]開示の技術の実施形態に係る量子演算装置の部分的な等価回路図である。

[図2]開示の技術の実施形態に係る量子ビット素子間の接続構成の一例を示す

図である。

[図3]開示の技術の実施形態に係る量子演算装置の構成の一例を示す模式的な断面図である。

[図4]開示の技術の実施形態に係る量子演算装置を構成する第1乃至第3の基板を分解して示す図である。

[図5A]開示の技術の実施形態に係る量子演算装置にプローブが当接された状態の一例を示す図である。

[図5B]開示の技術の実施形態に係る量子演算装置にプローブが当接された状態の一例を示す図である。

[図6A]開示の技術の実施形態に係るシール部材の形態の一例を示す平面図である。

[図6B]開示の技術の実施形態に係る貫通ビアを構成する貫通孔が電極によって塞がれている状態を示す平面図である。

[図7]開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

[図8]開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

[図9]開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

[図10]開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

[図11]開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

[図12]開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

[図13]開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

[図14]開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断

面図である

[図15]開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

[図16]開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

[図17]開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

[図18]開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

[図19]開示の技術の他の実施形態に係る量子演算装置の構成の一例を示す断面図である。

[図20]開示の技術の他の実施形態に係る量子演算装置の構成の一例を示す断面図である。

[図21A]開示の技術の他の実施形態に係る量子演算装置の構成の一例を示す断面図である。

[図21B]開示の技術の他の実施形態に係る量子演算装置の構成の一例を示す断面図である。

[図22]開示の技術の他の実施形態に係る量子演算装置の構成の一例を示す断面図である。

### 発明を実施するための形態

[0011] 以下、開示の技術の実施形態の一例を、図面を参照しつつ説明する。なお、各図面において同一または等価な構成要素及び部分には同一の参照符号を付与し、重複する説明は省略する。

[0012] [第1の実施形態]

図1は、量子演算装置10の部分的な等価回路図である。量子演算装置10は、量子ビット素子(Qubit)11、共振器12、読み出しポート13、グランドポート14及び制御ポート15を有する。

[0013] 量子ビット素子11は、超電導を用いてコヒーレントな2準位系を形成す

る素子であり、超電導ジョセフソン素子201とキャパシタ202とを並列に接続したトランズモン量子ビット回路を含んで構成されている。超電導ジョセフソン素子201は、所定の臨界温度以下の温度で超電導を発現する一対の超電導体と、一対の超電導体の間に挟まれた厚さ数nm程度の極薄の絶縁体とを含んで構成されている。超電導体は例えばアルミニウムであってもよく、絶縁体は、例えば酸化アルミニウムであってもよい。

[0014] 図2に示すように、量子演算装置10において、複数の量子ビット素子11が、隣接する他の量子ビット素子11にビット間配線221を介して接続されている。ビット間配線221の経路上には、キャパシタ222が設けられている。これにより、量子ビット素子11の各々は隣接する他の量子ビット素子11との間で量子もつれ状態を作り出して量子演算を行う。図1は、1つの量子ビット素子11の周辺の構成のみを抽出して示したものである。

[0015] 共振器12は、量子ビット素子11と相互作用することによって量子ビット素子11の状態を示すビット信号を読み出す。共振器12は、量子ビット素子11にキャパシタ16を介して接続されている。共振器12は、超電導インダクタ211とキャパシタ212とを並列に接続した共振回路を含んで構成されている。

[0016] 読み出しポート13、グランドポート14及び制御ポート15は、外部から量子ビット素子11及び共振器12を含む量子演算回路にアクセスするためのアクセスポートである。読み出しポート13は、キャパシタ17を介して共振器12に接続されている。読み出しポート13は、共振器12によって読み出されたビット信号を外部に取り出すために使用される。グランドポート14は、量子ビット素子11及び共振器12に接続されている。グランドポート14は、外部から量子ビット素子11及び共振器12にグランド電位を与えるために使用される。制御ポート15は、キャパシタ18を介して量子ビット素子11に接続されている。制御ポート15は、外部から量子ビット素子11を制御するために使用される。

[0017] 図3は、量子演算装置10の構成の一例を示す模式的な断面図である。図

3は、1つの量子ビット素子11の周辺の構成のみを抽出して示したものである。量子演算装置10は、第1の基板30、第2の基板40及び第3の基板50を積層した構成を有する。本実施形態において、第2の基板30が最下層に配置され、第3の基板40が最上層に配置され、第1の基板20が最上層と最下層の間の中間層に配置されている。図4は、第1の基板20、第2の基板30及び第3の基板40それぞれの構成の理解を容易にするために、これらの基板を分解して示した図である。

[0018] 第1の基板20の下面には量子ビット素子11が設けられ、第2の基板30の上面には共振器12が設けられている。共振器12は、導電膜50Aをパターンニングすることによって形成されている。第2の基板30は、その上面が第1の基板20の下面に対向するように第1の基板20の下面側にシール部材60を介して接合されている。量子ビット素子11及び共振器12は、配線21及びバンプ22、32を介して互いに接続されている。シール部材60は、導電膜50A及び導電膜50Bを積層した積層膜を含んで構成されている。配線21は、導電膜50Aによって構成され、バンプ22、32はそれぞれ導電膜50Bによって構成されている。

[0019] 第1の基板20の上面には、量子ビット素子11を制御するための制御信号が供給される制御電極70が設けられている。制御電極70は、量子ビット素子11の直上に配置されており、制御電極70に供給される制御信号は、第1の基板20の基材を介して量子ビット素子11に伝送される。第3の基板40は、その下面が第1の基板20の上面に対向するように第1の基板20の上面側にシール部材60を介して接合されている。

[0020] 第1の基板20には貫通ビア25A、25Bが設けられ、第2の基板30には貫通ビア35A、35Bが設けられ、第3の基板40には貫通ビア45A、45Bが設けられている。これらの貫通ビアは、それぞれ当該基板を貫通する貫通孔51と、貫通孔51の内壁を覆う導電膜50Bとを含んで構成されている。これらの貫通ビアは、隣接する層に配置された基板に設けられた電極71又は制御電極70に電氣的に接続されている。制御電極70及び

その他の電極 71 は、それぞれ導電膜 50A 及び導電膜 50B を積層した積層膜を含んで構成されている。

[0021] 第2の基板30の貫通ビア35Aは、グランドポート14として機能する。すなわち、量子演算装置10の使用時において、図5Aに示すように、貫通ビア35Aにはグランド電位に固定されたプローブ300Aが当接される。プローブ300Aから供給されるグランド電位は、貫通ビア35Aによって、第2の基板30の上面及び下面に設けられている各要素に与えられる。グランド電位は、共振器12にも与えられる。貫通ビア35Aは、第1の基板20の貫通ビア25Aに電氣的に接続されており、グランド電位は、第1の基板20の上面及び下面に設けられている各要素に与えられる。グランド電位は、量子ビット素子11にも与えられる。貫通ビア25Aは、第3の基板40の貫通ビア45Aに電氣的に接続されており、グランド電位は、第3の基板40の上面及び下面に設けられている各要素に与えられる。

[0022] なお、第2の基板30の貫通ビア35A及び第3の基板40の貫通ビア45Aの双方をグランドポート14として機能させてもよい。すなわち、量子演算装置10の使用時において、図5Bに示すように、貫通ビア35A、45Aの各々にグランド電位に固定されたプローブ300Aが当接されてもよい。

[0023] 第2の基板30の貫通ビア35Bは、共振器12に電氣的に接続されている。貫通ビア35Bは、量子ビット素子11の状態を示すビット信号を読み出すための読み出しポート13として機能する。すなわち、量子演算装置10の使用時において、図5A及び図5Bに示すように、貫通ビア35Bにプローブ300Bが当接され、プローブ300Bによってビット信号が外部に取り出される。

[0024] 第3の基板40の貫通ビア45Bは、第1の基板20に設けられている制御電極70に電氣的に接続されている。貫通ビア45Bは、外部から量子ビット素子11を制御するための制御ポート15として機能する。すなわち、量子演算装置10の使用時において図5A及び図5Bに示すように、貫通ビ

ア45Bにプローブ300Cが当接され、プローブ300Cから供給される量子ビット素子11を制御するための制御信号が、貫通ビア45Bを介して制御電極70に与えられる。量子演算装置10は、真空チャンバーの中で極低温に保たれた状態で使用される。プローブ300A、300B、300Cは、量子演算装置10とともに希釈冷凍機の内部に收容され得る。

[0025] 第1の基板20の貫通ビア25Bは、量子演算装置10の製造工程において、量子ビット素子11の表面を覆う保護膜を除去するためのガスの導入経路として用いられる。量子演算装置10の製造工程については後述する。

[0026] 第1の基板20と第2の基板30との間及び第1の基板20と第3の基板40との間には、それぞれ空間80が形成されている。量子ビット素子11の周囲にも空間80が形成されている。ガスの導入経路として用いられる第1の基板20の貫通ビア25Bを構成する貫通孔51は、量子ビット素子11の周囲に延在する空間80に連通している。

[0027] ここで、図6Aは、第1の基板20と第2の基板30との接合部及び第1の基板20と第3の基板40との接合部を形成するシール部材60の形態の一例を示す平面図である。図6に示すようにシール部材60は、基板間に形成される空間80を囲むリング状とされている。このように、空間80を囲むリング状のシール部材60を介して基板同士を接合することで、空間80は密閉状態とされる。また、第2の基板30の貫通ビア35A、35Bを構成する貫通孔51の開口端は、第1の基板20の下面に設けられている電極71によって塞がれている。同様に、第3の基板40の貫通ビア45A、45Bを構成する貫通孔51の開口端は、第1の基板20の上面に設けられている電極71及び制御電極70によって塞がれている。図6Bは、貫通ビア35A、35B、45A、45Bを構成する貫通孔51が、それぞれ電極71又は制御電極70によって塞がれている状態を示す平面図である。このように、第3の基板40の貫通ビア45A、45B及び第2の基板30の貫通ビア35A、35Bを構成する貫通孔51の開口端を、第1の基板20に設けられた電極71又は制御電極70によって塞ぐことで、空間80は完全密閉

状態とされる。

- [0028] 密閉された空間80は真空であることが好ましい。空間80が真空とされることで、量子ビット素子11の表面に誘電体損失を引き起こす保護膜を形成することなく量子ビット素子11への物質の吸着を抑制することができ、量子ビット素子11の表面を常に清浄な状態に保つことができる。なお、真空とは、完全な真空に限定されず、量子ビット素子11への物質の吸着を実質的に抑制する効果が発揮される程度の低圧状態を含む。
- [0029] 第1乃至第3の基板に設けられた各要素を構成する導電膜50A、50Bは、所定の温度以下の温度で超電導を発現する金属によって構成されることが好ましい。特に限定されるものではないが、導電膜50Aとして、例えばTiN（窒化チタン）を好適に用いることができ、導電膜50Bとして例えばAl（アルミニウム）を好適に用いることができる。
- [0030] 以下において、量子演算装置10の製造方法について説明する。初めに第1の基板20の製造方法の一例を、図7～図13を参照しつつ説明する。
- [0031] 第1の基板20を構成する基材20aを用意する。基材20aとして例えばシリコン基板を用いることができる（図7）。次に、例えば蒸着法により、基材20aの上面及び下面にそれぞれ導電膜50Aを形成する。導電膜50Aとして例えばTiN（窒化チタン）を好適に用いることができる（図8）。次に、公知のフォトリソグラフィ技術を用いて導電膜50Aをパターニングすることで、配線21等を形成する（図9）。
- [0032] 次に、基材20aの表面に量子ビット素子11を形成する（図10）。量子ビット素子11を構成する超電導ジョセフソン素子は、例えば、蒸着法によって基材20aの表面にAl（アルミニウム）を含む第1電極（図示せず）を形成する工程、O<sub>2</sub>ガスを用いて第1電極の表面に厚さ数nm程度の極薄の酸化膜（図示せず）を形成する工程、蒸着法によって酸化膜の表面にAl（アルミニウム）を含む第2電極（図示せず）を形成する工程を経ることによって形成される。第1電極及び第2電極のパターニングは、例えば、パターニングされたレジスト（図示せず）を用いたリフトオフ法によって行って

もよい。この場合、レジストの開口パターンを、第1の方向に沿った第1の直線部と、第1の方向と直交する第2の方向に沿った第2の直線部とを含む十字型とし、第1の方向を回転軸として傾けて蒸着を行うことで、第1の直線部に対応する部分に第1電極を形成してもよい。続いて、第2の方向を回転軸として傾けて蒸着を行うことで、第2の直線部に対応する部分に第2電極を形成してもよい。上記の方法によれば、第1電極及び第2電極のパターニングを単一のレジストによって行うことが可能となる。

[0033] 次に、例えばCVD法 (chemical vapor deposition) により、基材20aの表面にSiO<sub>2</sub>等の絶縁体からなる保護膜90を形成する。量子ビット素子11は、保護膜90によって覆われる。次に、公知のフォトリソグラフィ技術を用いて保護膜90をパターニングする。保護膜90は、量子ビット素子11を覆う部分を残して除去される(図11)。

[0034] 次に、基材20aの表面にレジスト(図示せず)を形成し、このレジストをパターニングする。パターニングされたレジストをマスクとして、例えばディープRIE (Reactive Ion Etching) によって基材20aに貫通孔51を形成する(図12)。

[0035] 次に、例えば蒸着法により、基材20aの上面及び下面に導電膜50Bを形成する。導電膜50Aの表面及び貫通孔51の内壁は、導電膜50Bで覆われる。導電膜50Bとして例えばAl(アルミニウム)を好適に用いることができる。導電膜50Bのパターニングは例えばリフトオフ法によって行われる(図13)。基材20aの表面には、導電膜50A及び導電膜50Bを積層した積層膜を含んで構成される制御電極70、その他の電極71及びリング状のシール部材60等が形成される。また、貫通孔51の内壁が導電膜50Bによって覆われることにより、貫通ビア25A、25Bが形成される。

[0036] 以上の各工程を経ることにより第1の基板20が完成する。第2の基板30及び第3の基板40は、第1の基板20と同様の要領によって製造されるので、これらの基板の製造方法の説明は省略する。

[0037] 以下において、第1の基板20、第2の基板30及び第3の基板40を組み合わせて量子演算装置10を形成する方法の一例を図14～図18を参照しつつ説明する。

[0038] 第1の基板20及び第2の基板30を真空チャンバー（図示せず）に収容し、真空チャンバー内において、第1の基板20の下面及び第2の基板30の上面にイオンビームを照射する（図14）。これにより、第1の基板20と第2の基板30との接合部を形成する導電膜50Bの表面に存在する酸化膜、水酸基及び水分子等の接合の妨げとなる要素が除去され、導電膜50Bの表面が活性化される。また、第1の基板20及び第2の基板30の表面に存在するレジスト残渣及び吸着物が除去され、第1の基板20及び第2の基板30の表面が清浄化される。イオンビームには、アルゴン等の不活性ガスが用いられる。量子ビット素子11は、保護膜90で覆われているため、イオンビーム照射による量子ビット素子11へのダメージは抑制される。

[0039] 次に、真空チャンバー内において、第1の基板20と第2の基板30とを接合する。すなわち、第1の基板20のシール部材60と第2の基板30のシール部材60とを接合し、第1の基板20の電極71と第2の基板30の貫通ビア35A、35Bとをそれぞれ接合し、第1の基板20のバンプ22と第2の基板30のバンプ32とを接合する。これらの各要素を構成する導電膜50Bの表面は、イオンビーム照射によって活性化されているため、常温下（25℃程度）で強固な接合を得ることが可能となる。この手法は、表面活性化常温接合と呼ばれている。基板間の接合を常温下で行うことで、量子ビット素子11の加熱に伴う特性変動が抑制される。第2の基板30の貫通ビア35A及び35Bを構成する貫通孔51の開口端は第1の基板20の電極71によって塞がれる。第1の基板20と第2の基板30とは間隙を隔てて接合され、量子ビット素子11の周囲には空間80が形成される（図15）。

[0040] 次に、第1の基板20の貫通ビア25Bを構成する貫通孔51から量子ビット素子11の周囲の空間80にベーパーHFガス等のエッチングガスを導

入する。これにより、量子ビット素子11を覆う保護膜90が除去されるとともに、第1の基板20及び第2の基板30の表面に形成されているシリコン酸化膜(SiO<sub>2</sub>)が除去され、第1の基板20及び第2の基板30の表面が清浄化される(図16)。

[0041] 次に、互いに接合された第1の基板20及び第2の基板30と、第3の基板40とを真空チャンバー(図示せず)に收容し、真空チャンバー内において、第1の基板20の上面及び第3の基板40の下面にイオンビームを照射する(図17)。これにより、第1の基板20と第3の基板40との接合部を形成する導電膜50Bの表面に存在する酸化膜、水酸基及び水分子等の接合の妨げとなる要素が除去され、導電膜50Bの表面が活性化される。また、第1の基板20及び第3の基板40の表面に存在するレジスト残渣及び吸着物が除去され、第1の基板20及び第3の基板40の表面が清浄化される。

[0042] 次に、真空チャンバー内において、第1の基板20と第3の基板40とを接合する。すなわち、第1の基板20のシール部材60と第3の基板40のシール部材60とを接合し、第1の基板20の電極71と第3の基板の貫通ビア45Aとを接合し、第1の基板20の制御電極70と第3の基板40の貫通ビア45Bとを接合し、第1の基板20の貫通ビア25Bと第3の基板40の電極71とを接合する(図18)。これらの各要素を構成する導電膜50Bの表面は、イオンビーム照射によって活性化されているため、常温下(25℃程度)で強固な接合を得ることが可能となる。第1の基板20の貫通ビア25Bは、第3の基板40の電極71によって塞がれる。また、第3の基板40の貫通ビア45A及び45Bは、それぞれ第1の基板20の電極71及び制御電極70によって塞がれる。以上の各工程を経ることにより、量子演算装置10が完成する。

[0043] 以上のように、開示の技術の実施形態に係る量子演算装置10は、量子ビット素子が設けられた第1の基板20、第1の基板20の下面側に積層された第2の基板30及び第1の基板20の上面側に積層された第3の基板40

を含む。これらの基板のうち、最下層に配置された第2の基板30には、グランドポート14として機能する貫通ビア35A及び読み出しポート13として機能する貫通ビア35Bが設けられている。また、最上層に配置された第3の基板40には、制御ポート15として機能する貫通ビア45Bが設けられている。第3の基板40の貫通ビア45Aはグランドポート14として使用することも可能である。これらの貫通ビア35A、35B、45A及び45Bは、それぞれ、中間層に配置された第1の基板20に電氣的に接続されている。

[0044] 量子演算装置10の使用時には図5A及び図5Bに示すように、これらの貫通ビア35A、35B、45A及び45Bにプローブ300A~300Cを当接することで量子ビット素子11及び共振器12を含む量子演算回路にアクセスすることが可能となる。必要なプローブの本数は、量子演算装置10のビット数の増加に伴って増加する。量子演算装置10において多ビット化及び小型化が進展するとポートの密度が高くなり、これに伴ってプローブの密度が高くなる。これにより、各ポートとプローブとの間の接触不良が発生したり、ポート間における信号のクロストークが発生したりするおそれがある。

[0045] 本実施形態に係る量子演算装置10においては、プローブが当接されるアクセスポートと機能する貫通ビア35A、35B、45A及び45Bが量子演算装置10の両面に分散して設けられている。これにより、これらの貫通ビア35A、35B、45A及び45Bが一方の面にのみ設けられる場合と比較して、多ビット化及び小型化に伴うアクセスポートの高密度化を抑制することが可能となる。また、第2の基板30の貫通ビア35A及び第3の基板40の貫通ビア45Aの双方をグランドポート14として使用することで、量子演算装置10の各部に供給されるグランド電位を均一且つ安定化させることができる。

[0046] ここで、量子ビット素子11において量子演算を持続できる時間をコヒーレンス時間と呼ぶ。コヒーレンス時間は量子ビット素子11の周辺の状態の

影響を敏感に受ける。例えば、量子ビット素子 11 の周辺に酸化膜などの誘電体が存在する場合、誘電体損失によってコヒーレンス時間が短くなる。そのため、量子ビット素子 11 の表面には保護膜等の絶縁膜を形成しないことが好ましい。量子演算装置 10 は、真空チャンバーの中で極低温に保たれるが、大気中で吸着したデコヒーレンスの要因となる吸着物はそのまま冷却されて残留する。量子ビット素子 11 の表面に吸着した吸着物によってコヒーレンス時間が短縮されることから、量子ビット素子 11 の表面を常に清浄な状態に保つ必要がある。本実施形態に係る量子演算装置 10 においては、量子ビット素子 11 の周囲に形成される空間 80 が、真空密閉状態とされている。これにより、量子ビット素子 11 の表面に誘電体損失を引き起こす保護膜を形成することなく量子ビット素子 11 への物質の吸着を抑制することができ、量子ビット素子 11 の表面を常に清浄な状態に保つことができる。

[0047] 量子ビット素子 11 を構成する超電導ジョセフソン素子 201 は、加熱によって特性が変動するおそれがある。本実施形態に係る量子演算装置 10 の製造方法によれば、第 1 の基板 20 と第 2 の基板 30 との接合及び第 1 の基板 20 と第 3 の基板 40 との接合は、それぞれ、表面活性化常温接合によって行われる。従って、量子ビット素子 11 の加熱に伴う特性変動を回避することができる。表面活性化常温接合においては、各基板の表面にイオンビームが照射される。本実施形態に係る量子演算装置 10 の製造方法によれば、イオンビーム照射時において、量子ビット素子 11 は保護膜 90 で覆われている。これにより、イオンビーム照射による量子ビット素子 11 へのダメージを抑制することができる。

[0048] また、本実施形態に係る量子演算装置 10 の製造方法によれば、量子ビット素子 11 を覆う保護膜 90 は、第 1 の基板 20 と第 2 の基板 30 との接合後に除去される。これにより、コヒーレンス時間の短縮をもたらす要因を排除することができる。

[0049] また、本実施形態に係る量子演算装置 10 の製造方法によれば、保護膜 90 の除去は、第 1 の基板 20 と第 2 の基板 30 との接合後に、量子ビット素

子11の周囲に形成される空間80に連通する貫通孔51からエッチングガスを導入することにより行われる。これにより、保護膜90を除去及び第1の基板20及び第2の基板30の表面の清浄化を効率的に行うことが可能となる。

[0050] なお、本実施形態においては、第1の基板20、第2の基板30及び第3の基板40を積層した3層構造の量子演算装置10の構成を例示したが、量子演算装置10は、2層構造であってもよいし、4以上の層数を有していてもよい。図19は、2層構造の量子演算装置10Aの構成の一例を示す模式的な断面図である。量子演算装置10Aは、第3の基板40を有していない点が、図3等に示す量子演算装置10と異なる。すなわち、量子演算装置10Aにおいて、第1の基板20が最上層に配置されており、制御電極70が制御ポート15として機能し、制御電極70にプローブ300Cが当接される。量子演算装置10Aにおいては、量子ビット素子11の周囲の空間80は貫通ビア25Bを構成する貫通孔51を介して大気に開放されている。

[0051] また、本実施形態においては、量子ビット素子11が第1の基板20に設けられ、共振器12が第2の基板30に設けられた構成を例示したが、量子ビット素子11及び共振器12が、同一の基板に設けられていてもよい。図20は、量子ビット素子11及び共振器12が第1の基板20に設けられた量子演算装置10Bの構成の一例を示す模式的な断面図である。

[0052] また、本実施形態において、量子ビット素子11の周囲の空間80に連通する貫通孔51を有する貫通ビアが、第1の基板20に設けられたものであったが、空間80に連通する貫通孔51を有する貫通ビアは、第1の基板20以外の基板に設けられていてもよい。例えば、図21Aに示す量子演算装置10Cのように、第2の基板30に設けられた貫通ビア35Cを構成する貫通孔51が、量子ビット素子11の周囲の空間80に連通していてもよい。この場合において、図21Bに示す量子演算装置10Dのように、第3の基板40を第2の基板30の下面側に接合し、空間80に連通する第2の基板30の貫通孔51の開口端を、第3の基板40の電極71によって塞いで

もよい。量子演算装置 10D において、最上層に配置された第 1 の基板 20 の貫通ビア 25A 及び最下層に配置された第 3 の基板 40 の貫通ビア 45A が、それぞれグランドポート 14 として機能する。最下層に配置された第 3 の基板 40 の貫通ビア 45B が読み出しポート 13 として機能する。最上層に配置された第 1 の基板 20 の制御電極 70 が制御ポート 15 として機能する。

[0053] [第 2 の実施形態]

図 22 は、開示の技術の第 2 の実施形態に係る量子演算装置 10E の構成の一例を示す模式的な断面図である。量子演算装置 10E において量子ビット素子 11 が設けられた第 1 の基板 20 に隣接する層に配置された第 2 の基板 30 は、量子ビット素子 11 と対向する部位に、第 2 の基板 30 の厚さ方向に窪んだ凹部 95A を有する。また、共振器 12 が設けられた第 2 の基板 30 に隣接する層に配置された第 1 の基板 20 は、共振器 12 と対向する部位に、第 1 の基板 20 の厚さ方向に窪んだ凹部 95B を有する。凹部 95A、95B の表面は、導電膜 50B によって覆われている。

[0054] このように、第 2 の基板 30 が凹部 95A を有することで、量子ビット素子 11 と第 2 の基板 30 との間の容量カップリングを抑制することが可能となる。同様に、第 1 の基板 20 が凹部 95B を有することで、共振器 12 と第 1 の基板 20 との間の容量カップリングを抑制することが可能となる。これにより、量子ビット素子 11 及び共振器 12 の動作を安定化させることができる。また、凹部 95A、95B の表面が導電膜 50B によって覆われることで、量子ビット素子 11 及び共振器 12 の動作に影響を及ぼす外来ノイズを抑制するとともに量子ビット素子 11 及び共振器 12 から放射される電磁波ノイズの拡散を抑制することが可能となる。

### 符号の説明

- [0055] 10、10A、10B、10C、10D、10E 量子演算装置  
11 量子ビット素子  
12 共振器

- 13 読み出しポート
- 14 グランドポート
- 15 制御ポート
- 20 第1の基板
- 25 A、25 B 貫通ビア
- 30 第2の基板
- 35 A、35 B、35 C 貫通ビア
- 40 第3の基板
- 45 A、45 B 貫通ビア
- 50 A、50 B 導電膜
- 51 貫通孔
- 60 シール部材
- 70 制御電極
- 71 電極
- 80 空間
- 90 保護膜
- 95 A、95 B 凹部

## 請求の範囲

- [請求項1] 量子ビット素子が設けられた基板を含む積層された複数の基板と、  
前記複数の基板のうち、最上層に配置された第1基板を貫通して設けられ、前記第1基板に隣接する層に配置された基板に電氣的に接続された第1貫通ビアと、  
前記複数の基板のうち、最下層に配置された第2基板を貫通して設けられ、前記第2基板に隣接する層に配置された基板に電氣的に接続された第2貫通ビアと、  
を含む量子演算装置。
- [請求項2] 前記第1貫通ビアは、前記第1基板を貫通する第1貫通孔に形成され、前記第2貫通ビアは、前記第2基板を貫通する第2貫通孔に形成され、  
前記第1貫通孔の開口端は、前記第1基板に隣接する層に配置された基板によって塞がれ、前記第2貫通孔の開口端は、前記第2基板に隣接する層に配置された基板によって塞がれている  
請求項1に記載の量子演算装置。
- [請求項3] 前記量子ビット素子の周囲に空間が形成されており、  
前記複数の基板のうち前記第1基板及び前記第2基板以外の第3基板には、前記第3基板を貫通し、前記空間に連通する第3貫通孔に形成された第3貫通ビアが設けられている  
請求項1又は請求項2に記載の量子演算装置。
- [請求項4] 前記空間は密閉され、真空である  
請求項3に記載の量子演算装置。
- [請求項5] 前記量子ビット素子が設けられた基板に隣接する層に配置された基板は、前記量子ビット素子と対向する部位に凹部を有する  
請求項1から請求項4のいずれか1項に記載の量子演算装置。
- [請求項6] 前記凹部の表面を覆う導電膜を更に有する  
請求項5に記載の量子演算装置。

- [請求項7] 前記量子ビット素子の状態を示すビット信号を読み出すための読み出しポートとして機能する第4貫通ビア、前記量子ビット素子にグラウンド電位を与えるためのグラウンドポートとして機能する第5貫通ビア、及び前記量子ビット素子を制御するための制御ポートとして機能する第6貫通ビアが、前記複数の基板のうち、前記第1基板及び前記第2基板の少なくとも一方に設けられている
- 請求項1から請求項6のいずれか1項に記載の量子演算装置。
- [請求項8] 表面が保護膜で覆われた量子ビット素子が設けられた第1の基板の表面を清浄化する工程と、
- 第2の基板の表面を清浄化する工程と、
- 前記第1の基板の表面及び前記第2の基板の表面を清浄化した後に、前記量子ビット素子の周囲に空間を形成するように、前記第1の基板と前記第2の基板とを接合する工程と、
- 前記第1の基板及び前記第2の基板の少なくとも一方に設けられた貫通孔を介して前記空間にエッチングガスを導入することにより前記保護膜を除去する工程と、
- を含む量子演算装置の製造方法。
- [請求項9] 前記貫通孔の開口端を塞ぐ第3の基板を、前記第1の基板又は前記第2の基板に接合する工程を更に含む
- 請求項8に記載の製造方法。
- [請求項10] 前記第1の基板、前記第2の基板及び前記第3の基板における基板間の接合を、それぞれ真空中で行い、前記空間を密閉する
- 請求項9に記載の製造方法。
- [請求項11] 前記第1の基板及び前記第2の基板を含む複数の基板のうち、2つの基板にそれぞれ貫通ビアを形成する工程と、前記複数の基板を、前記貫通ビアが形成された前記2つの基板がそれぞれ最上層及び最下層に配置されるように積層する工程と
- を更に含み、

前記貫通ビアが、前記2つの基板にそれぞれ隣接する層に配置された基板に電氣的に接続される

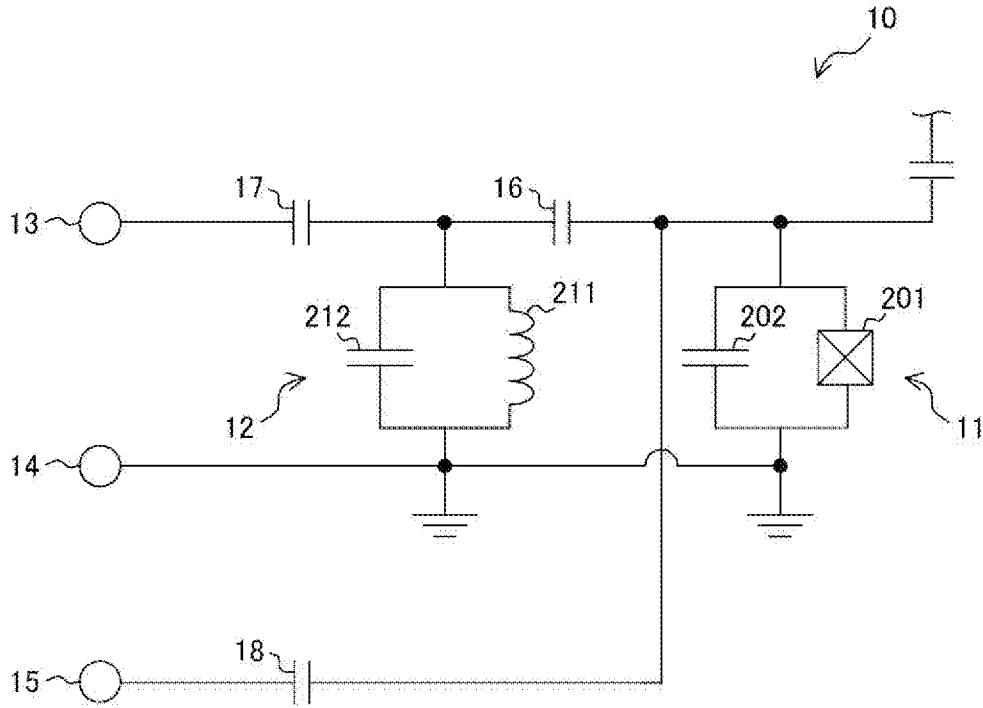
請求項8から請求項10のいずれか1項に記載の製造方法。

[請求項12] 前記第1の基板及び前記第2の基板の表面を清浄化する工程において、前記第1の基板及び前記第2の基板の表面にイオンビームを照射する

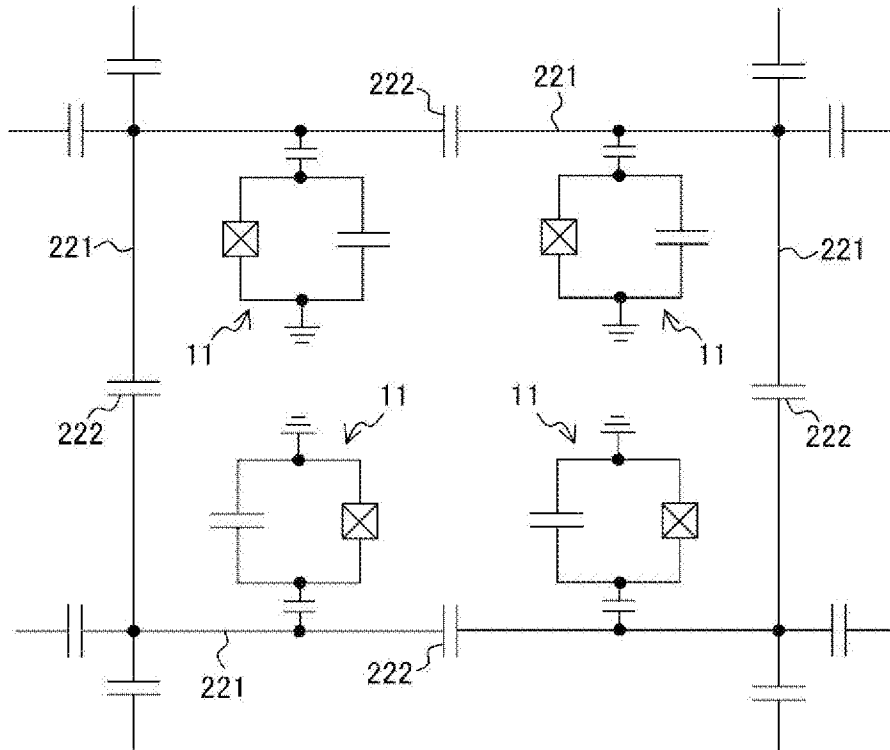
請求項8から請求項11のいずれか1項に記載の製造方法。

[請求項13] 前記第1の基板及び前記第2の基板には導電膜が設けられており、前記イオンビームの照射によって表面が活性化された前記導電膜同士の間で常温接合により、前記第1の基板と前記第2の基板とを接合する  
請求項12に記載の製造方法。

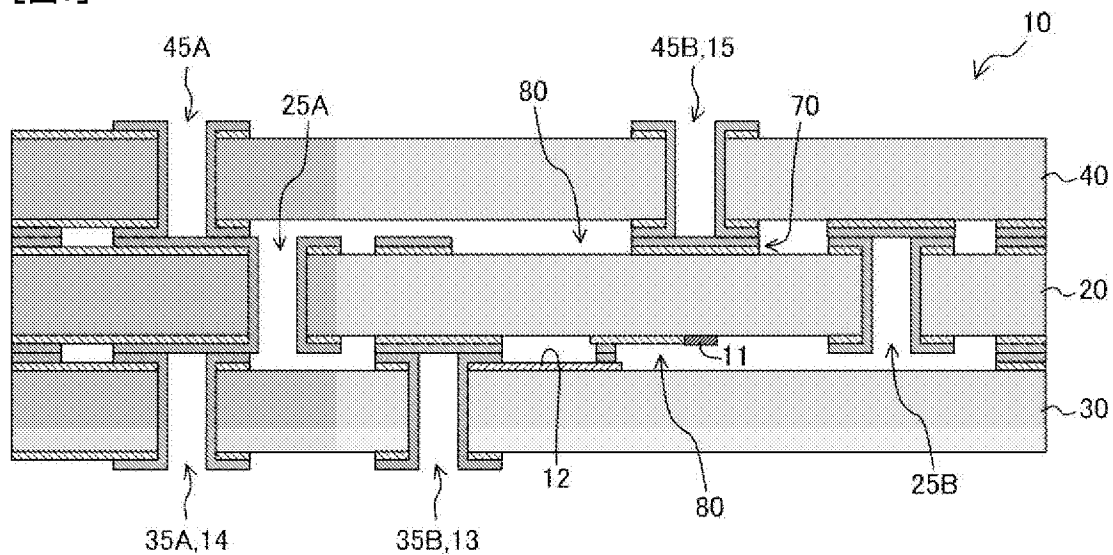
[図1]



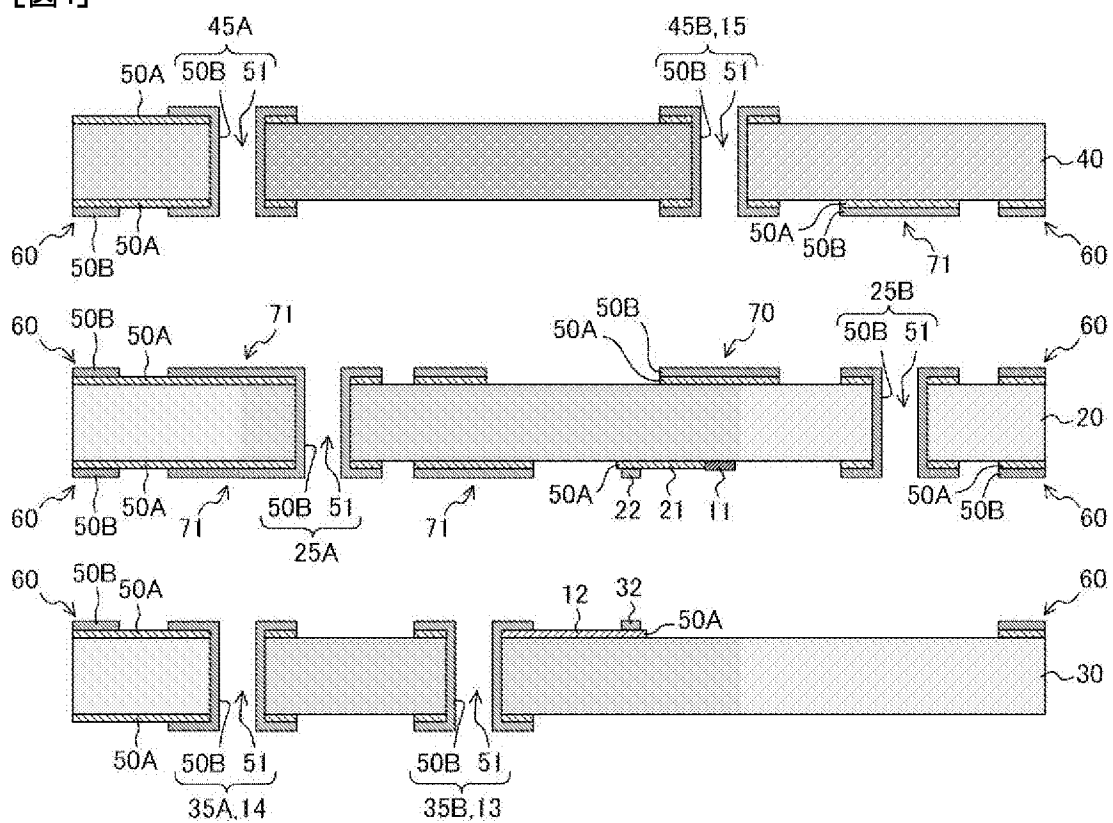
[図2]



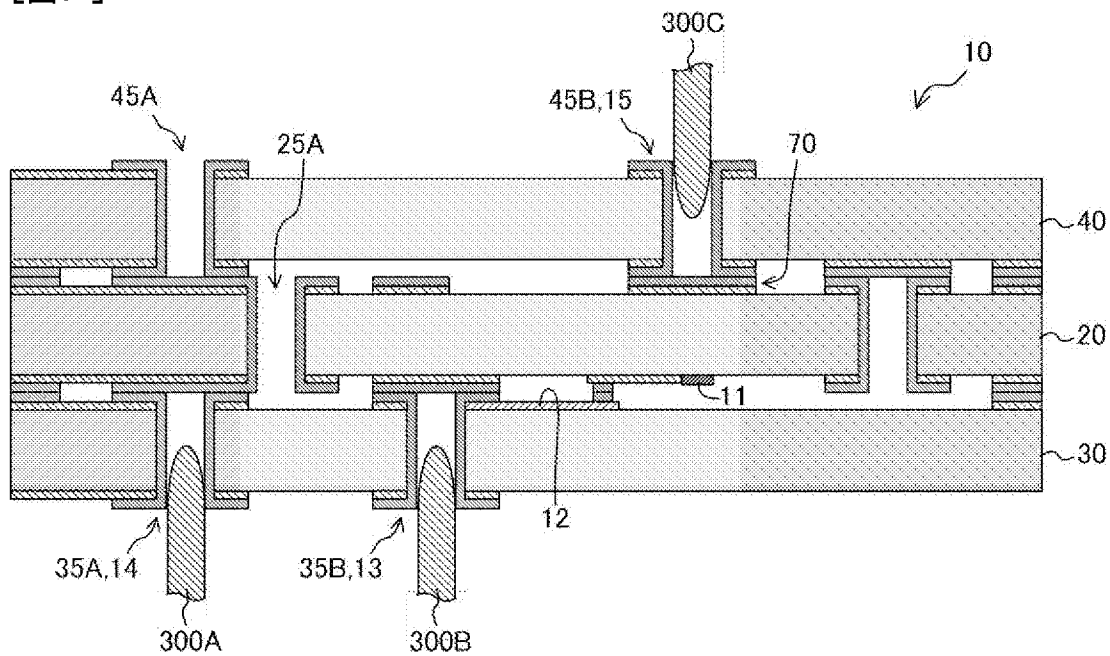
[図3]



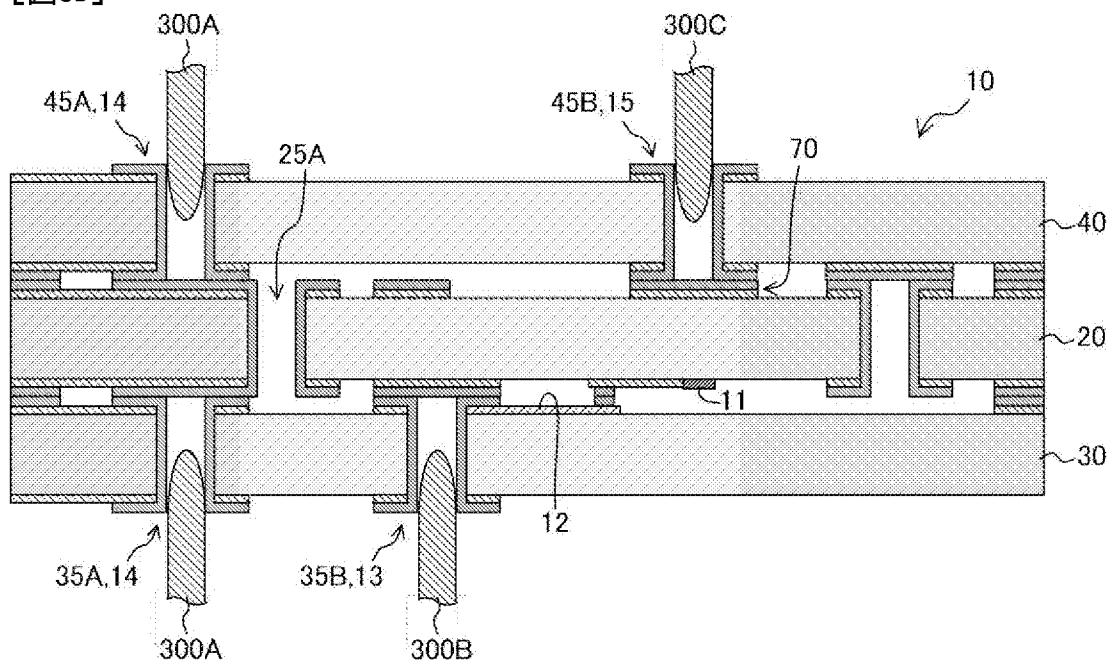
[図4]



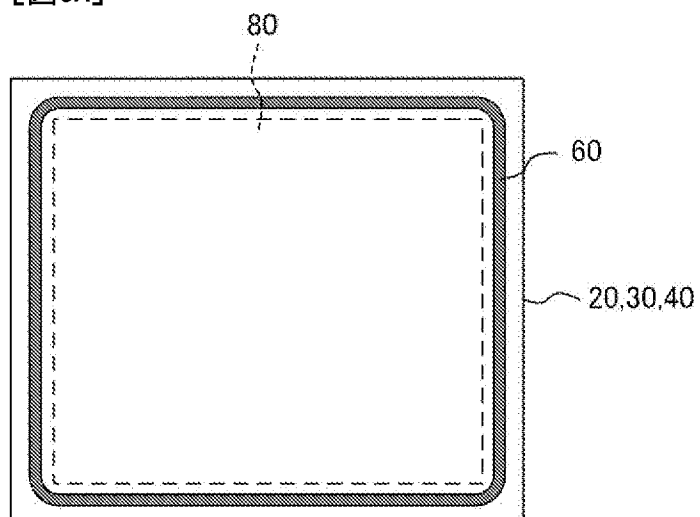
[図5A]



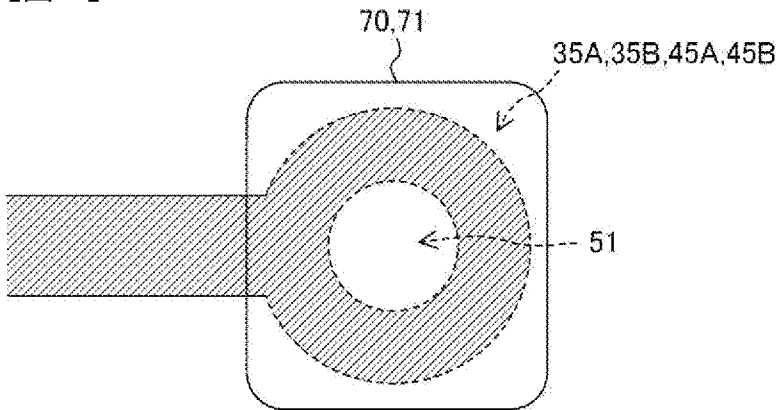
[図5B]



[図6A]



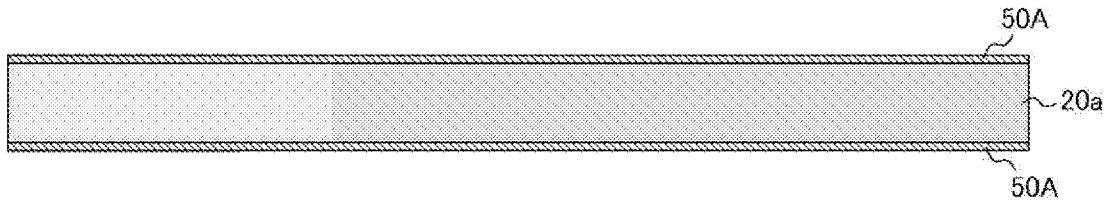
[図6B]



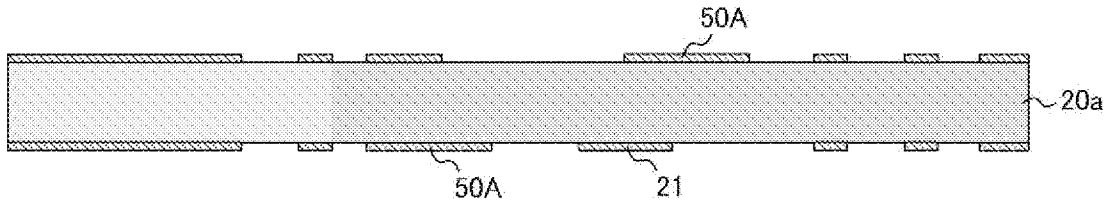
[図7]



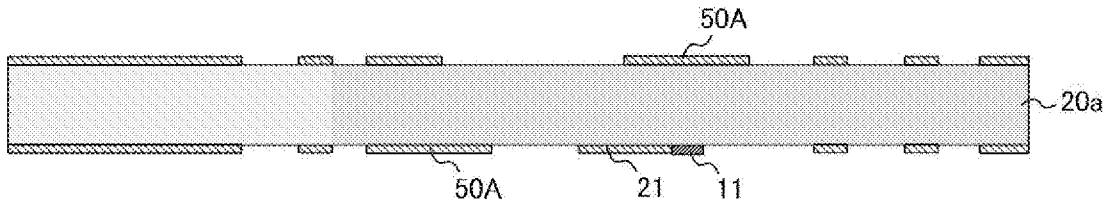
[図8]



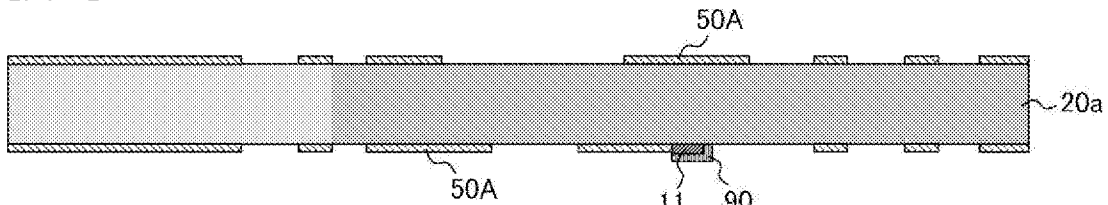
[図9]



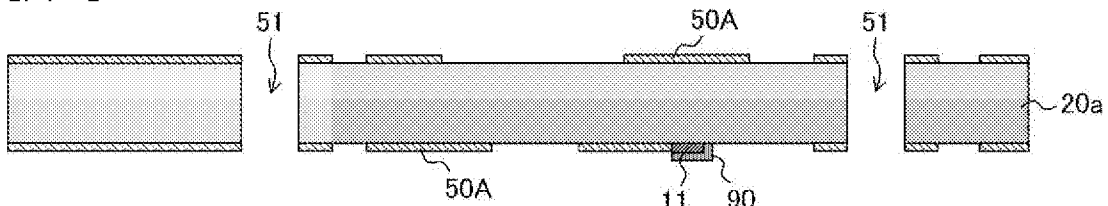
[図10]



[図11]



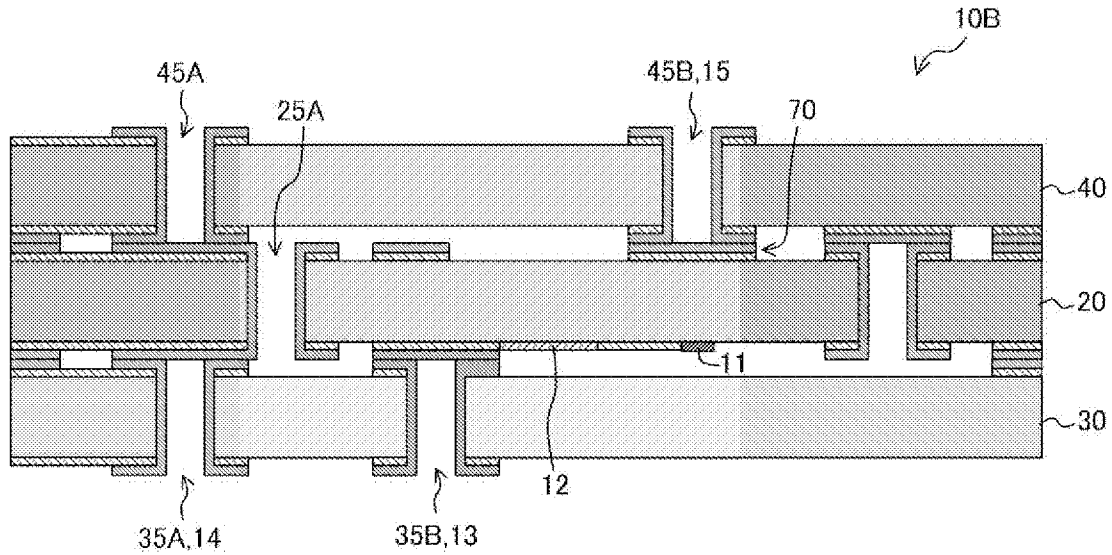
[図12]



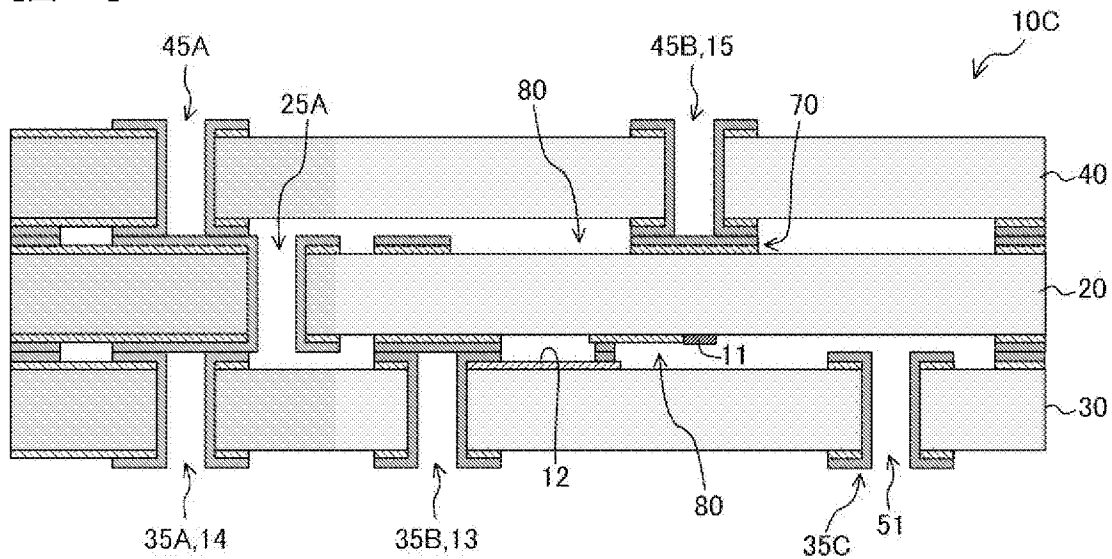




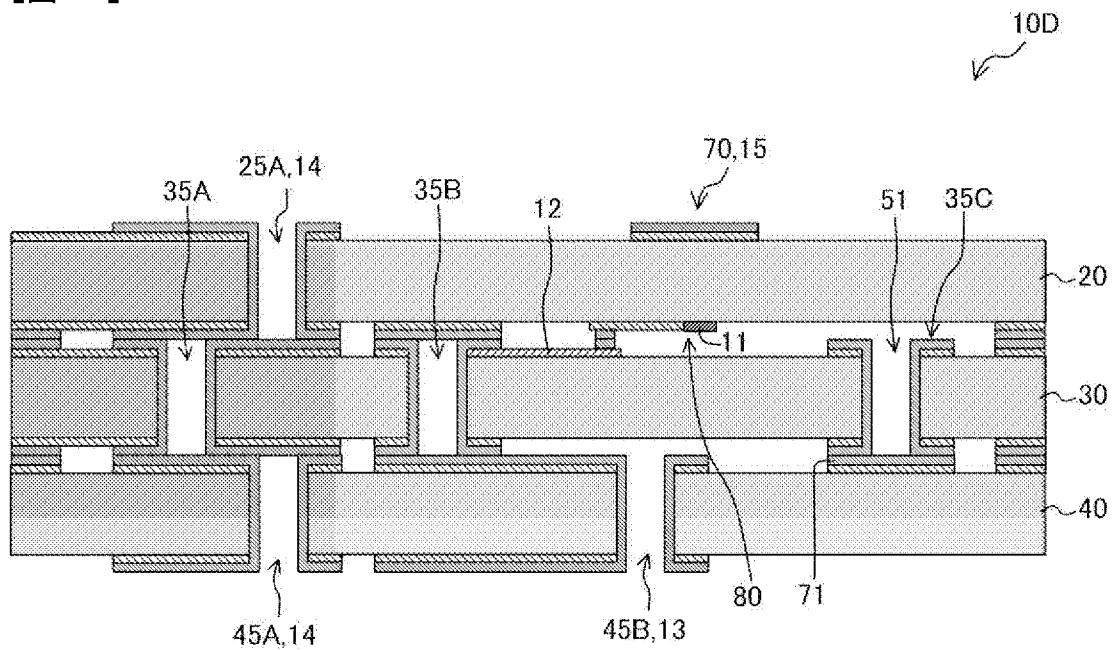
[図20]



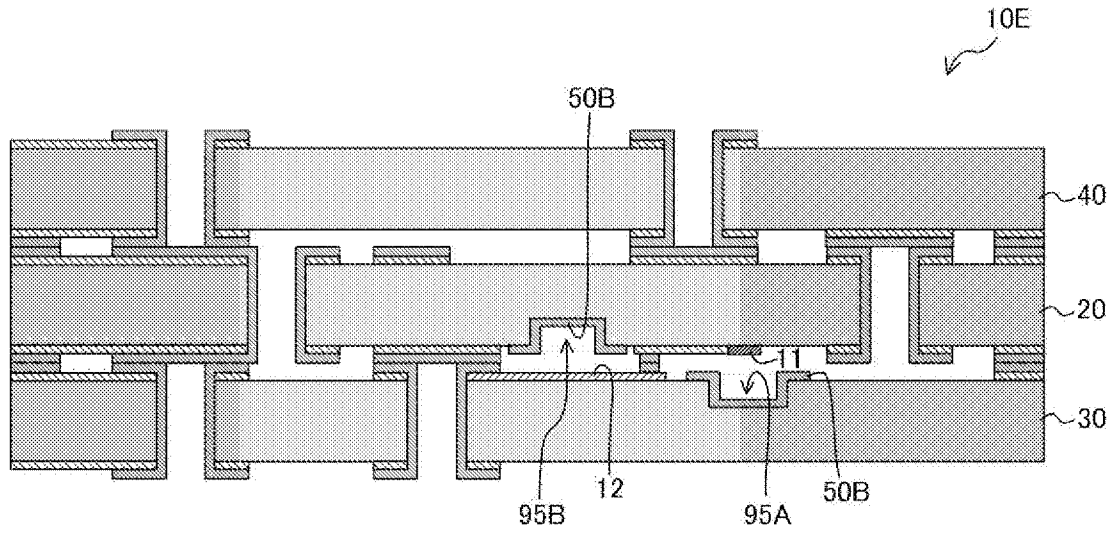
[図21A]



[図21B]



[図22]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/000385

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H01L 39/22</i> (2006.01)i; <i>H01L 39/02</i> (2006.01)i; <i>H01L 39/24</i> (2006.01)i FI: H01L39/22 A; H01L39/02 W; H01L39/24 W		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L39/22; H01L39/02; H01L39/24; H01L23/12; H05K3/46		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2018/0013052 A1 (OLIVER et al.) 11 January 2018 (2018-01-11) entire text, all drawings	1-13
A	JP 2021-72351 A (NEC CORP) 06 May 2021 (2021-05-06) entire text, all drawings	1-13
A	JP 2019-532505 A (GOOGLE LLC) 07 November 2019 (2019-11-07) entire text, all drawings	1-13
A	JP 11-177157 A (AGENCY OF IND SCIENCE & TECHNOL) 02 July 1999 (1999-07-02) entire text, all drawings	1-13
A	JP 4-338683 A (FUJITSU LTD) 25 November 1992 (1992-11-25) entire text, all drawings	1-13
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>17 March 2022</b>		Date of mailing of the international search report <b>05 April 2022</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No. <b>PCT/JP2022/000385</b>
---

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2018/0013052	A1	11 January 2018	WO 2017/015432 A1 entire text, all drawings	
JP	2021-72351	A	06 May 2021	(Family: none)	
JP	2019-532505	A	07 November 2019	US 2019/0229094 A1 entire text, all drawings	
				WO 2018/052399 A1	
				EP 3513434 A1	
				CA 3036054 A1	
				KR 10-2019-0045362 A	
				CN 109891591 A	
JP	11-177157	A	02 July 1999	(Family: none)	
JP	4-338683	A	25 November 1992	(Family: none)	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））                  H01L 39/22(2006.01)i; H01L 39/02(2006.01)i; H01L 39/24(2006.01)i                  FI: H01L39/22 A; H01L39/02 W; H01L39/24 W</p>																				
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））                  H01L39/22; H01L39/02; H01L39/24; H01L23/12; H05K3/46</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年										
日本国実用新案公報	1922 - 1996年																			
日本国公開実用新案公報	1971 - 2022年																			
日本国実用新案登録公報	1996 - 2022年																			
日本国登録実用新案公報	1994 - 2022年																			
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>US 2018/0013052 A1 (OLIVER et al.) 11.01.2018 (2018-01-11) 全文、全図</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>JP 2021-72351 A (日本電気株式会社) 06.05.2021 (2021-05-06) 全文、全図</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>JP 2019-532505 A (グーグル エルエルシー) 07.11.2019 (2019-11-07) 全文、全図</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>JP 11-177157 A (工業技術院長) 02.07.1999 (1999-07-02) 全文、全図</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>JP 4-338683 A (富士通株式会社) 25.11.1992 (1992-11-25) 全文、全図</td> <td>1-13</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	US 2018/0013052 A1 (OLIVER et al.) 11.01.2018 (2018-01-11) 全文、全図	1-13	A	JP 2021-72351 A (日本電気株式会社) 06.05.2021 (2021-05-06) 全文、全図	1-13	A	JP 2019-532505 A (グーグル エルエルシー) 07.11.2019 (2019-11-07) 全文、全図	1-13	A	JP 11-177157 A (工業技術院長) 02.07.1999 (1999-07-02) 全文、全図	1-13	A	JP 4-338683 A (富士通株式会社) 25.11.1992 (1992-11-25) 全文、全図	1-13
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
A	US 2018/0013052 A1 (OLIVER et al.) 11.01.2018 (2018-01-11) 全文、全図	1-13																		
A	JP 2021-72351 A (日本電気株式会社) 06.05.2021 (2021-05-06) 全文、全図	1-13																		
A	JP 2019-532505 A (グーグル エルエルシー) 07.11.2019 (2019-11-07) 全文、全図	1-13																		
A	JP 11-177157 A (工業技術院長) 02.07.1999 (1999-07-02) 全文、全図	1-13																		
A	JP 4-338683 A (富士通株式会社) 25.11.1992 (1992-11-25) 全文、全図	1-13																		
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																				
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>"&amp;" 同一パテントファミリー文献</td> </tr> <tr> <td>"O" 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献	"O" 口頭による開示、使用、展示等に言及する文献		"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献							
* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの																			
"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの																			
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの																			
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献																			
"O" 口頭による開示、使用、展示等に言及する文献																				
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献																				
<p>国際調査を完了した日</p> <p>17.03.2022</p>	<p>国際調査報告の発送日</p> <p>05.04.2022</p>																			
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>上田 智志 5F 3664</p> <p>電話番号 03-3581-1101 内線 3514</p>																			

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/000385

引用文献			公表日	パテントファミリー文献			公表日
US	2018/0013052	A1	11.01.2018	WO	2017/015432	A1	
				全文、全図			
JP	2021-72351	A	06.05.2021	(ファミリーなし)			
JP	2019-532505	A	07.11.2019	US	2019/0229094	A1	
				全文、全図			
				WO	2018/052399	A1	
				EP	3513434	A1	
				CA	3036054	A1	
				KR	10-2019-0045362	A	
				CN	109891591	A	
JP	11-177157	A	02.07.1999	(ファミリーなし)			
JP	4-338683	A	25.11.1992	(ファミリーなし)			