



(12)发明专利

(10)授权公告号 CN 104303304 B

(45)授权公告日 2017.10.03

(21)申请号 201380015395.6

(22)申请日 2013.03.20

(65)同一申请的已公布的文献号
申请公布号 CN 104303304 A

(43)申请公布日 2015.01.21

(30)优先权数据
61/613,363 2012.03.20 US

(85)PCT国际申请进入国家阶段日
2014.09.19

(86)PCT国际申请的申请数据
PCT/IB2013/000422 2013.03.20

(87)PCT国际申请的公布数据
W02013/140227 EN 2013.09.26

(73)专利权人 赫普塔冈微光有限公司
地址 新加坡新加坡市

(72)发明人 B·布艾特根 M·莱曼
B·凡艾罗

(74)专利代理机构 上海专利商标事务所有限公
司 31100

代理人 何焜

(51)Int.Cl.
H01L 27/146(2006.01)

(56)对比文件
US 2009/0179232 A1, 2009.07.16,
CN 101310387 A, 2008.11.19,
CN 1812138 A, 2006.08.02,
US 2011/0292380 A1, 2011.12.01,
US 2007/0158770 A1, 2007.07.12,

审查员 李快快

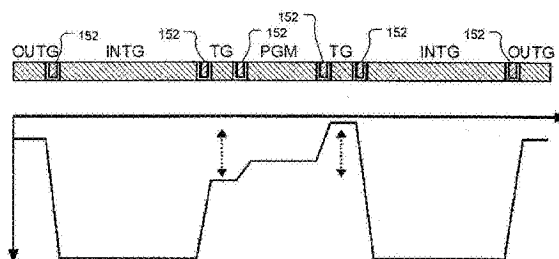
权利要求书1页 说明书7页 附图11页

(54)发明名称

PN结构栅解调像素

(57)摘要

本发明提出一种新型的用于电子成像的光敏元件,并且在本文中,尤其适用于飞行时间3D成像传感器像素。该元件基于单栅架构使电荷域光检测和处理成为可能。栅的P型和N型掺杂注入的特定区域被定义。这种单栅架构使低噪声光子检测以及高速电荷传输方法同时成为可能。与已知的像素结构相比较,一个巨大优势是这种单栅架构不需要诸如重叠栅结构或非常高欧姆的多晶硅沉积之类的特殊处理步骤。在此意义上,该元件使处理方法变得从容,以便该设备可通过使用例如标准CMOS技术被集成。至于飞行时间像素技术,一个主要挑战是横向电场的生成。该元件允许边缘场以及大型横向电场的生成。



1. 一种解调像素,包括:

基底,在其中生成光电荷,所述基底包括具有光栅区域和集成区域的解调部分,所述基底还包括感测节点区域;以及

所述基底上的栅层,所述栅层包括多个交替的p掺杂和n掺杂区域,形成平行于所述基底的表面的一系列p-n结,所述栅层设置在所述基底上并布置成具有施加于所述p掺杂和n掺杂区域的不同的各个电位,由此在所述基底上产生用于将光电荷交替地传递至集成区域的不同区域以及从所述集成区域到所述感测节点的各个节点的电位分布,

其中,所述栅层的p掺杂和n掺杂区域限定光栅、在所述光栅的每一侧具有双p-n布置的各个切换栅、与每个所述切换栅相邻的各个集成栅、以及与各所述集成栅相邻的各个输出栅。

2. 如权利要求1所述的解调像素,其中对所述p掺杂和n掺杂区域施加各个电压使得所述p-n结被反向偏置。

3. 如权利要求1所述的解调像素,其中以增加方式对从切换栅到所述光栅到切换栅的各个栅施加各个电压。

4. 如权利要求1所述的解调像素,其中所述p掺杂和n掺杂区域具有彼此基本相同尺寸。

5. 如权利要求1所述的解调像素,其中所述光栅和所述集成栅是所述栅层的n掺杂区域,而所述输出栅是所述栅层的p掺杂区域。

6. 如权利要求5所述的解调像素,其中在集成期间,所述集成栅具有高于其他栅的电位的施加电位。

7. 如权利要求5所述的解调像素,其中在集成期间,所述输出栅具有低于其他栅电位的施加电位,从而对每个所述集成区域及其各个感测节点区域之间的电子流动提供屏障。

8. 如权利要求1所述的解调像素,其中所述栅层由p掺杂和n掺杂多晶硅构成。

9. 如权利要求1所述的解调像素,进一步包括:

转储节点,在解调循环之前清除光生电荷。

PN结构栅解调像素

[0001] 相关申请

[0002] 本申请基于35U.S.C. §119 (e) 要求享有于2012年3月20号提交的美国临时专利申请61/613,363的权益,所述美国临时专利申请的全文通过引用合并到本文中。

[0003] 发明背景

[0004] 通常,两种不同类型的设备在过去已被用于电荷域中的光检测:第一类设备是钉扎光电二极管 (PPD) (参见例如,Nobukazu Teranishi等,“No image lag photodiode structure in the interline CCD image sensor (隔行CCD图像传感器中的无图像落后光电二极管结构)”,IEEE,1982),这在如今的互补金属氧化物半导体 (CMOS) 工艺技术中已可获得;以及第二类设备使用MOS栅结构,其可在CMOS技术或优化的电荷耦合器件 (CCD) 技术中被制造。

[0005] 钉扎光电二极管通常在基底中具有两个注入,它们的掺杂浓度以这样的方式经选择:在基底表面一层非常浅的非耗尽层之下形成完全耗尽区域。参考图1,如果所述基底12被认为是P型掺杂,那么所述两个注入步骤则包括较深的n-注入14以及较浅的p+注入16,其中p+横向延伸超过n-层,以便创造至基底12的导电连接。在基底的一侧,多晶硅栅18被放置,这使将电荷从PPD区域14转移至感测节点扩散20成为可能。所谓的转移栅周围区域以及所述栅本身通常针对电荷传输过程被优化。钉扎区域14定义光子在其中被转化为电荷的光敏区域24。只要转移栅18被设为低电位,则光生电荷就被存储于PPD区域14中。

[0006] 参考图2,MOS栅结构通常应用多晶硅栅22,其至少对于感兴趣的波长或至少大于500纳米 (nm) 的长波长来说通常应该是光透明的。如图所示,光子在栅22以下基底12的区域24内创造电荷,在所述区域24中它们可被存储直到相邻转移栅18打开至另一存储栅区域的通道或至感测节点20的通道。当使用CMOS工艺时,虽然感测节点20典型地被单独集成至每个像素中,但当使用CCD技术时只有一个感测节点和若干存储和漂移寄存器。然而,光敏元件的原理在这两种情况下都是相同的。

[0007] 两种类型的电荷域光检测设备在电荷处理方面均具有相同的缺陷。如果电荷需要从一个光检测元件被转移至另一个存储或感测区域,则此类传输过程的有效性高度依赖于支持这一过程的电场。在极端情况下,尤其是大像素尺寸 (例如,大于1毫米) 情况下,光敏区域并不显示出支持电荷向感测节点传输的有效横向电场。这种情况在图3中示出,所示的转移栅被设为高电位。由于敏感区域24内的平带电势分布,单电荷通过热运动过程被传输至感测节点20,所述热运动过程由于电场的存在比电荷运动慢几个数量级。

[0008] Seitz的美国专利8299,504B2中公开了加速电荷传输的第一个解决方案。单高阻栅通过电流流经所述栅本身来创造横向漂移场。这个方法已在实践中经证实。然而,当大像素阵列在动态操作模式下被运行时,由于永久电阻损耗加上额外电容损耗,所述大像素阵列消耗大量能量。

[0009] 在Buettgen的美国专利8115,158B2中公开了加速电荷传输的另一个可能的解决方案,所述专利通过引用合并到本文中。

[0010] 如图4所示,若干相邻栅22-1至22-n, (而非穿过光敏区域域的单栅) 被用于在光敏

区域24上方由小而浅的栅形成栅链。通过在栅22-1至22-n上施加渐增电压,生成了如图5中所示的电位分布。这个方法已在实践中证明了它的效率。相比于美国专利8115,158B2,并未预计有任何永久性的能耗。

[0011] 半导体材料12的电位分布理想地如图5所示。两栅之间的电位增长理想地为正。然而,这取决于施加在相邻栅22之间的电位阶跃以及两栅22-x与22-(x+1)之间的空间大小。栅相互间越近,两栅间任何电位颠簸的生成就越不可能。这就是为什么在CCD工艺中重叠栅结构被用于栅至栅距离典型地是在纳米范围内的情况的原因。

[0012] 已经研究了关于PPD像素的几种方法来加速电荷传输。第一个示例包括n-注入层的成形,以便获取一种空间上的钉扎电压调制。这在2009年的IISW中Cedric Tubert等的“High Speed Dual Port Pinned-photodiode for Time-of-Flight Imaging (用于飞行时间法成像的高速双端口钉扎光电二极管)”一文中予以说明。另一个方法通过应用n-注入掺杂梯度来充分利用空间钉扎电压调制。这在2011年的ESSCIRC中A.Spickermann等的“CMOS3D image sensor based on pulse modulated time-of-flight principle and intrinsic lateral drift-field photodiode pixels (基于脉冲调制飞行时间原则以及本征横向漂移场光电二极管像素的CMOS3D图像传感器)”一文中以示例的形式呈现。

[0013] 所有基于PPD的方法均具有共同缺陷:相比于基于栅的方法来说,其在漂移电压控制方面的总体不灵活性,因为钉扎电压是由掺杂浓度预先确定的,且不能从外部源处被控制。这使PPD像素在许多应用中并不受欢迎。就加速方法而言,钉扎电压的任何空间上的调制也与灵敏度的调制密切相关。电位颠簸的最小化与理想电位分布函数的阶梯式逼近是重要考虑因素。特殊灰度掩模或几个注入步骤必须由代工厂提供,这对标准成像过程来说是相当不寻常的。

[0014] 至于基于栅的方法,对处理技术的特殊要求也在此设立:必须使用非常高阻栅来保持能耗尽可能的低,或者为避免相邻栅之间的电位颠簸,较窄的栅间隔或甚至是重叠栅都是必要的。由若干栅的使用引起的电位梯度离散化总导致阶跃函数,但从不导致完美恒定梯度。

发明内容

[0015] 所述已公开的结构在避免PPD或基于栅的方法的前述缺陷的同时,使电漂移场的形成成为可能。例如,在某些情况下,在避免从一个存储区域至下一个存储区域的电位颠簸以及理想恒久电场分布的阶梯式逼近的同时,可避免在窄栅、重叠栅、多注入步骤或灰度掩模方面对工艺的特殊要求。

[0016] 本发明关注在解调或飞行时间像素中漂移场的形成。通过掺杂例如大型多晶硅栅的方式形成分开的半隔离区域,而非通过使用类似CCD的重叠栅或窄间隔栅(这两种技术均需要典型工艺的改变)来使用分开的栅。不同掺杂区域通过PN结彼此分开。因此这一技术被称为PN结构栅。

[0017] 应注意到的是,虽然PN结构栅是在多晶硅材料系统的情况下给予说明的,但其他半导体材料也是可能的且未被排除。

[0018] 通常,根据一个方面,本发明的特征在于解调像素,所述解调像素包括在其中生成光电荷的基底以及在所述基底上具有一个或多个PN结的栅层。

[0019] 在实施例中,所述栅层在诸如多晶硅之类的层中被形成,该层被沉积于基底上隔离层或绝缘层的顶部。感测节点通常相邻于栅层。这就允许了使用切换栅 (toggle gate) 以及集成栅的光电荷移动。这两种栅具有相反的掺杂类型。

[0020] 在一个实施例中,所述栅层形成漂移以及光敏部分。所述漂移以及光敏部分向解调部分提供光电荷。

[0021] 通常,根据另一方面,本发明的特征还在于制造解调像素的方法,该方法包括:在其中生成光电荷的基底上沉积栅层,以及在该栅层中掺杂(杂质)以获得一个或多个PN结。

[0022] 现在将参考随附图更具体地说明并在权利要求中指出本发明的上述以及其他特征,包括结构的各种新颖细节、部分的组合及其他优点。应当理解的是,体现本发明的特定方法和设备是通过示例而非限制的方式示出的。本发明的原理和特点可在不脱离本发明范围的情况下在不同和多种实施例中被采用。

附图说明

[0023] 在附图中,参考字符指代不同视图中的相同部分。附图并不一定是为了确定本发明原理的范围;其重点改为放在说明本发明的原理上。附图中的:

[0024] 图1是示出包括感测节点注入的常规钉扎二极管 (PPD) 的剖面示意图;

[0025] 图2是示出包括感测节点注入的常规MOS栅像素的剖面示意图;

[0026] 图3示出当转移栅被设为高电位以便将电荷从光敏区域转移至感测节点时的PPD电位分布以及MOS栅结构;

[0027] 图4是示出基于栅链的向感测节点生成渐增电位分布的方法的剖面示意图;

[0028] 图5示出通过由执行加速电荷传输的栅链而生成的具有渐增电位的电位分布;

[0029] 图6是示出单PN结构栅的剖面示意图;

[0030] 图7是由反向定位二极管的串联连接组成的栅的模型,以及通过适当的二极管偏置的任意电位分布形成的示例;

[0031] 图8A以及图8B分别示出在反向偏置情况下以及正向偏置情况下PN结中的电位分布;

[0032] 图9示出非均匀分布的漂移场电位的电位分布;

[0033] 图10是具有N型PGM以及单P型切换栅的解调区域以及电位分布的剖面示意图;

[0034] 图11是解调区域的剖面示意图,示出在漂移过程中的电位分布,在该漂移过程中,集成栅电位被降低以便电荷流过输出栅至感测节点;

[0035] 图12是解调区域的剖面示意图,示出解调区域中的电位分布以及允许在PGM与TG之间更高电位阶数的双切换栅;

[0036] 图13是具有PN结构栅的筒仓形漂移场像素的俯视示意图;

[0037] 图14是示出与结型场效应管相似工作的半掺杂多晶硅栅的剖面示意图;

[0038] 图15是示出具有半掺杂栅的漂移场区域以及相应电位分布的剖面示意图;

[0039] 图16是示出具有半掺杂栅的解调区域以及当P型区域将栅彼此分开时相应电位分布的剖面示意图;

[0040] 图17是基于半掺杂PN结构栅的筒仓形漂移场的俯视示意图;

[0041] 图18是示出具有两个本征区域的PN结构栅电位分布的剖面示意图;

[0042] 图19是示出具有一个较大本征区域的PN结构栅电位分布的剖面示意图；

[0043] 图20是示出具有掺杂浓度的阶梯式变化以生成内置漂移场的PN结构栅电位分布的剖面示意图；

[0044] 图21是示出具有 $n^+/n^-/p^-/p^+$ 掺杂栅的PN结构栅电位分布的剖面示意图。

具体实施方式

[0045] 在图6中示出结合根据本发明一个实现方式的任意布置的本发明基本理念。在特定的图示示例中，使用P型基底12。然而，在其他示例中，使用N型基底。栅22沉积且随后在基底12上形成，并通过绝缘层112与所述基底电隔离。

[0046] 单栅12被构造成具有N型以及P型区域110-1至110-n，其中这些区域之间的距离可从零至几毫米不等。通过将适当的电压施加至N型和/或P型栅区域110-1至110-n，可获得类似CCD的电压分布控制，其使半导体块体材料12中类似CCD的电荷传输成为可能。N型和P型掺杂区域之间的每一个区域或仅几个区域在一些示例中是低浓度N型或P型掺杂的或是本征区域（这些区域或表面的少数几个在图6中以参考数字115示出）。

[0047] 在所述示例中，使用N型掺杂感测节点20。它被用于感测光生电荷，但也被用于在重置阶段耗尽光敏区域24。

[0048] 在其他实施例中，添加埋沟。这涉及到另一个在栅22之下的并且在光敏区域24中的 n^- 注入。

[0049] PN结构栅22如图7所示可被建模为二极管的串联。任意电压分布116被示出，该电压分布116通过将栅22的二极管设为适当电压而形成。由于在任何情况中电流路径中至少有一个PN结处于反向偏置操作模式这一事实，穿过栅22的电流被避免。

[0050] 已知的是具有PN二极管结构的多晶硅层。二极管特性取决于多晶硅材料的晶粒大小而被测量，并且光学特性已被充分利用，参见，例如www.sciencedirect.com上在线可得的2002年《固态电子学》上Sooraj V.karnik的“Lateral polysilicon p^+-p-n^+ and p^+-n-n^+ diodes（横向多晶硅 p^+-p-n^+ 以及 p^+-n-n^+ 二极管）”；Ming-Dou Ker等的“Design of Negative Charge Pump Circuit with Polysilicon Diodes in a 0.25- μ m CMOS Process（0.25- μ m CMOS工艺中具有多晶硅二极管的负电荷泵电路的设计）”；以及S.Radovanovic等的“High-speed lateral polysilicon photodiode in standard CMOS technology（标准CMOS技术中的高速横向多晶硅二极管）”。然而，没有一个现存的出版物提出通过在相反方向同时添加几个PN二极管的方式来实现半导体材料中电荷流控制的专用二维PN结构的多晶硅栅。

[0051] 如果栅22被完全掺杂，则所示该栅已如图8A所示被构建。如果N区域110-n以及P型区域110-p均从外部被接触，则所述N型区域必须低于相邻P型区域不超过 $V_{diode} \sim 0.3V$ ，否则高强度电流将开始流动。将实现正向偏置的二极管。

[0052] 在反向偏置模式中，N型区域以及P型区域之间的大幅度电压差可被施加，其中较高电压被置于N型区域。只要所述电压不超过击穿电压，则预计只有漏电流会流动。这一典型的电压等级强烈取决于诸如多晶硅材料晶粒大小、掺杂浓度以及N型区域和P型区域之间的距离之类的二极管特性。

[0053] 图8A示出具有大耗尽宽度110-d的反向偏置PN结的电位分布。图8B示出所述耗尽

宽度相应较小的正向偏置情况下的二极管。

[0054] 在CMOS工艺中使用n+/p+漏极/源极掺杂可导致齐纳二极管特性,其中反向偏置将导致巨大电流。这在二极管的设计中必须予以考虑,可能通过在N型及P型区域中间插入特定空间的方式。在这种情况下,PIN二极管实际上将被实现为N型及P型区域之间层是未掺杂的,可能是本征硅材料的情况下。并且,在某些示例中使用几个额外的掺杂步骤。

[0055] 利用PN结构栅技术形成漂移场的概念在图9中示出。等尺寸N型掺杂区域(110-1, 110-3, ...)以及P型掺杂区域(110-2, 110-4, ...)的漂移栅被示出。确保 $V_n > V_p - V_{diode}$,则可预计不出现高强度电流。这可通过与每个区域接触并根据以上条件施加适当电压来实现。另一种可能性是与每个第二栅区域接触并向它们施加渐增电压。

[0056] 图10示出根据本发明实施例的飞行时间像素中的解调区域。通常它具有许多在高频(通常在兆赫兹至千兆赫兹)处被驱动的栅。它们被称为切换栅TG。典型地,存在两个或多个切换栅TG。在示出的示例中,所述切换栅TG由P型掺杂多晶硅构造而成。此外,所述解调区域进一步优选包括N型掺杂中间栅PGM、N型掺杂集成栅INTG以及P型掺杂输出栅OUTG。当所述集成栅INTG充当存储元件时,输出栅OUTG被用于将集成区域从感测节点区域处去耦。

[0057] 所述示例实施例示出中间栅PGM任意一侧上的两个切换栅TG、集成栅INTG以及输出栅OUTG。所述解调过程因此输出两个样本。

[0058] 在这个略图中所述栅的N型区域以及P型区域之间不存在间隙,然而根据本发明,可应用所述栅的N型区域以及P型区域之间的间隙。通过根据以电位分布的图样进行说明的采样函数来切换TG栅,电荷流的解调发生在中间三个栅PGM以及TG的区域中。电荷将会流向两个集成栅中间的一个并在其中存储。

[0059] 所述集成栅INTG是在集成过程中具有最高电位(例如,5V)的栅。这就是为什么在此图中为它们选择N型多晶硅的原因。所述输出栅OUTG具有相对较低的电位,例如1V,以在集成栅与感测节点之间筑起屏障。因此P型多晶硅被使用。由这一配置开始,图10也示出在集成阶段以及解调阶段时的电位分布。

[0060] 为了读出集成电荷,它们在所谓的移动阶段被转移至感测节点。在移动模式中,所述电位如图11所示被设置。

[0061] 图12示出对一些应用来说允许更好的解调性能的另一种栅结构。所述切换栅TG1、TG2具有双PN布置。具有双切换栅的解调区域允许PGM以及TG之间更高的电位阶跃。

[0062] 在已合并的美国专利8115,158B2中已公开的漂移场解调像素如图13所示具有漂移和/或光敏部分24以及解调部分120。所述漂移和/或光敏部分24具有三角形形状,因为所述像素常被称为筒仓形像素架构。单PN结构栅110在光敏部分24中被形成,所述光敏部分包括可选择的N掺杂多晶硅带124-1、124-3、124-5以及P掺杂多晶硅带124-2、124-4、124-6。所述栅110如图6所示通过绝缘层被隔开并与基底绝缘。

[0063] 所述漂移部分24中的这一结构将在下面的基底中形成的光生电荷载流子传递至包含中间光栅PGM以及两个(左、右)切换栅TG的解调部分120。因此,光生电荷载流子被轮流地存储进左或右集成栅INTG的其中之一。一旦生成完全样本,被集成至左或右集成栅INTG中的光生电荷通过各自的左或右输出栅OUTG被传递至各自的左或右感测节点130-L, 130-R。

[0064] 提供转储节点136,其中在解调循环之前可清除光生电荷。

[0065] 由半导体芯片代工厂提供的许多标准工艺可能无法提供本征多晶硅沉积,因为在默认情况下添加的是基础掺杂浓度。然而,源极/漏极扩散步骤可仍被用于定义N型区域以及P型区域。

[0066] 根据注入步骤的能量剂量以及栅的厚度,可能发生一种掺杂类型的定义并不影响所述栅的整个深度。在这种情况下,产生了半掺杂栅。

[0067] 栅150的N型基础掺杂以及P型半掺杂区域152的示例如图14所示。然而,这只是示例,并且本发明并不限于N型基础掺杂,相对的P型基础掺杂也是另一种选择。

[0068] 本示例中,左N侧150-L被设为高于右N侧150-R电位(例如2V)的电位(例如3V)。所述P型区域152被设为更低电位,例如1V。所述功能原理与JFET设备相似。根据所述P电压,下方的沟道多少是呈电阻性的。因此,如图所示在底面形成线性电位分布。

[0069] P型多晶硅152的电位并不直接影响基底中的电位,但会对两个相邻N型岛150-L、150R之间的电阻进行调制。这就允许N型区域之间非常高阻连接;并且所述漂移场可通过高电阻栅来被实施。

[0070] 当电位差并不太大时,所述“沟道”仅仅是电阻性的。否则所述设备可进入饱和并且因此所述电位分布不再是线性的。

[0071] 图15示出通过使用两个阶段的P型掺杂152-L、152-R生成漂移场以定义三个岛150-L、150-C、150-R的示例。

[0072] 在图6所示的像素的解调区域中,P型掺杂区域152被用于有效隔开不同栅,将输出栅OUTG与集成栅INTG隔开,将集成栅INTG与切换栅TG隔开,并且将切换栅TG与中间栅PGM隔开。然后,将非常低的电位施加至P型掺杂区域152。此处,P区域152应尽可能的小。

[0073] 图17示出结合前述漂移场实施例以及基于半掺杂PN结构栅的解调区域的筒仓形型漂移场像素的示例。

[0074] 单PN结构栅110在包含P型掺杂区域152的光敏部分24中被形成。所述栅110通过图6所示的绝缘层被隔开并与基底绝缘。

[0075] 漂移场24中的这个结构将下方基底中形成的光生电荷载流子传递至包含有中间光栅PGM以及两个(左,右)切换栅TG的解调部分120。因此,光生电荷载流子被轮流存储进左或右集成栅INTG的其中之一。一旦生成完全样本,被集成至每一个左或右集成栅INTG中的光生电荷通过各自的左和右输出栅OUTG,将被传递至各自的左和右感测节点130-L、130-R。

[0076] 更多的本发明实施例示例在下文中示出。

[0077] 通过P-本征-N结构而生成的理想常值漂移场

[0078] 如果我们考虑全掺杂栅,则给出又一个形成理想常值漂移场的灵活性。通过分离N型以及P型掺杂区域并且在它们之间形成低掺杂的或甚至完全各自不掺杂的中间本征多晶硅栅区域,形成了所谓的PIN二极管结构。所述本征区域可被完全耗尽并因此被用于形成大长度的理想恒定漂移场。本征区域的最大长度取决于电压等级、N型区域以及P型区域的掺杂浓度、多晶硅材料的晶粒大小等。任何情况下,实际长度为几毫米。

[0079] 在图18中示出具有两个本征区域的PN结构栅的第一示例。

[0080] 在图19中示出PN结构栅的另一个示例,其中使用一个大型本征区域。

[0081] 此概念仅适用于如果能够假设所述本征区域并不太大以至于不能被完全耗尽的情况。

[0082] 如果所述工艺允许多注入步骤,则内置漂移场可通过高-低结的充分采用而被实现。示例在图20示出。通过将所述注入区分离少许以便中间的本征区使电位的某种延伸从注入区域降至注入区域,则可获得进一步的改善。灰度掩模也将提供帮助以便实现空间上的不同掺杂浓度而无需连续的多个注入步骤。

[0083] 取代采用允许延伸耗尽宽度的p+和n+掺杂栅区域中间的本征区域的另一种可能性是可使用p-和n-区域的二阶弱注入。这在图22中示出。

[0084] 本发明允许没有任何限制地结合不同示例实施例。例如,漂移区域可具有同时拥有高-低结以及PIN二极管的栅结构。

[0085] 虽然参考本发明的优选实施例具体地示出并说明本发明,但应该为本领域技术人员所理解的是,在不背离随附的权利要求所包含的本发明范围的情况下,在其中可做出形式上以及细节上的不同变化。

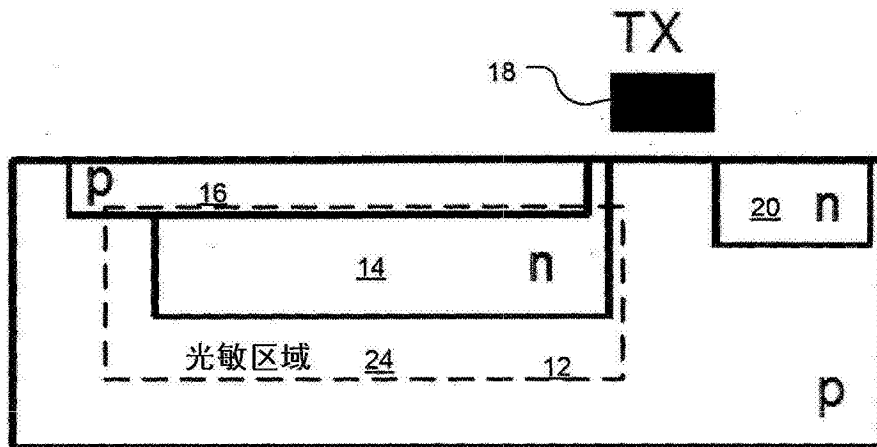


图1

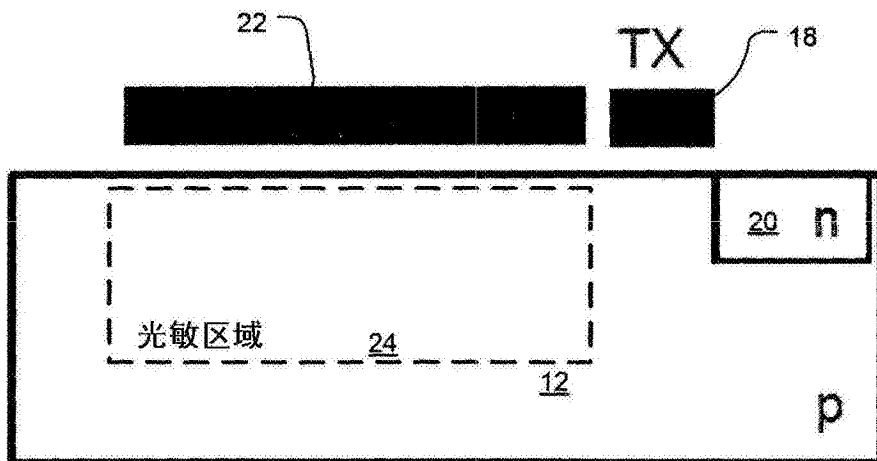


图2

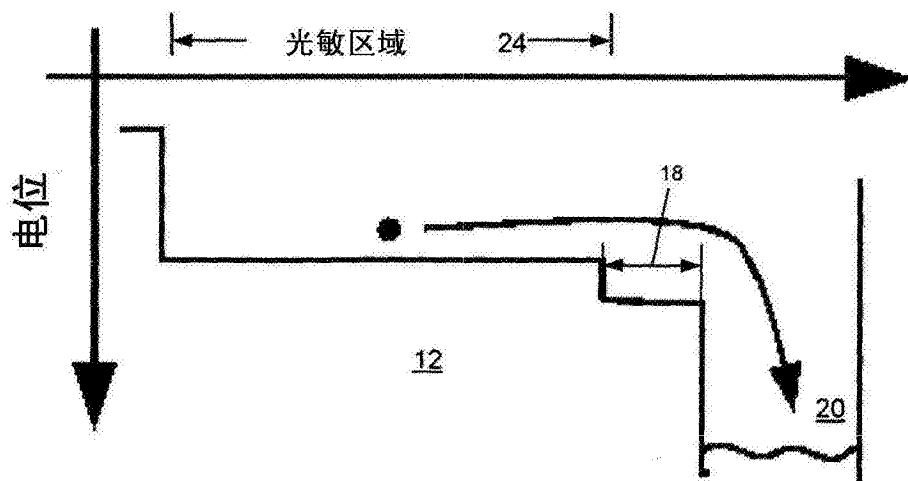


图3

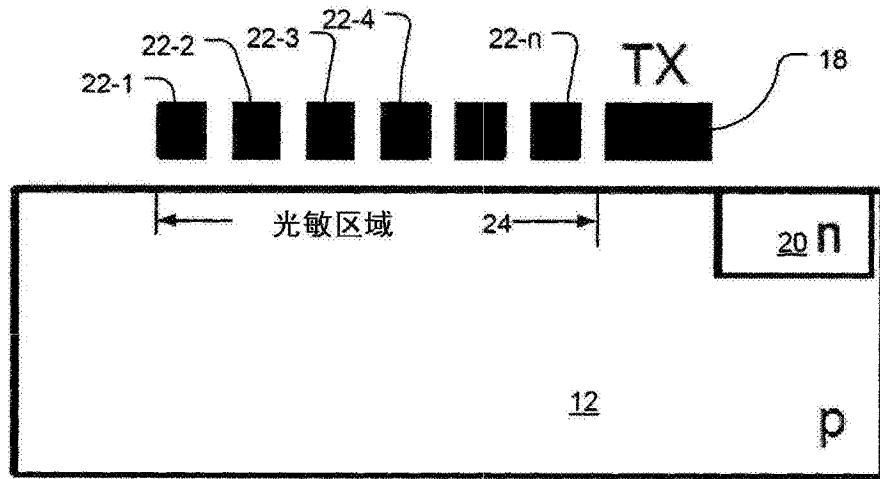


图4

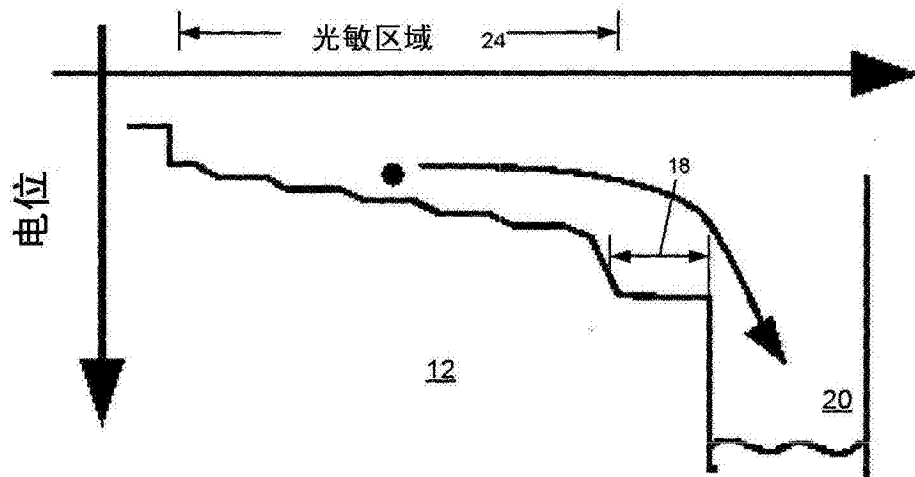


图5

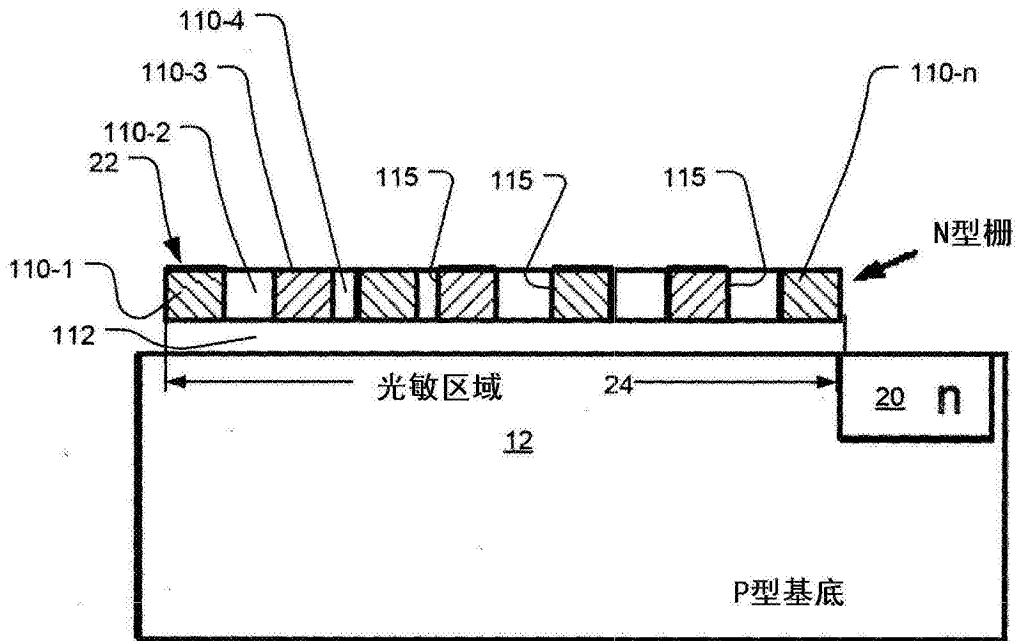


图6

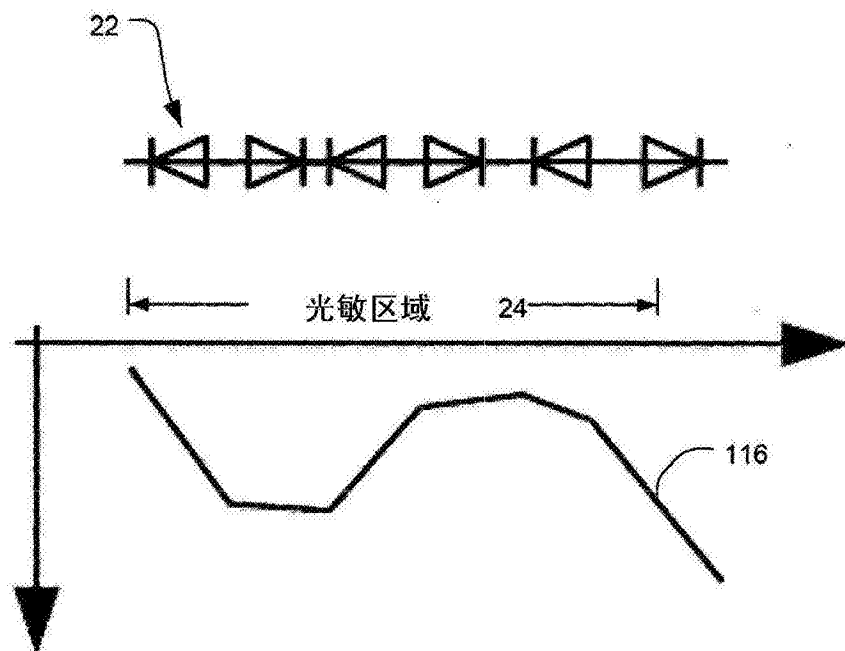


图7

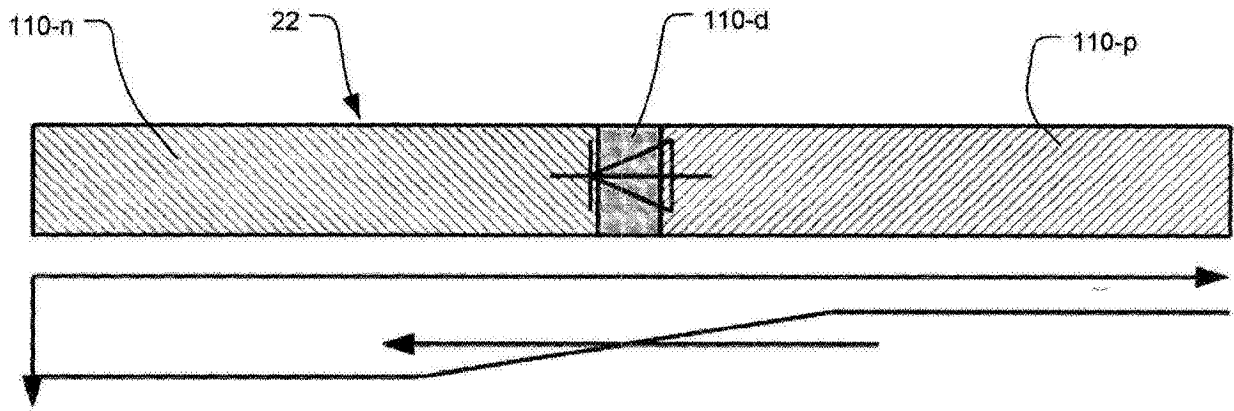


图8A

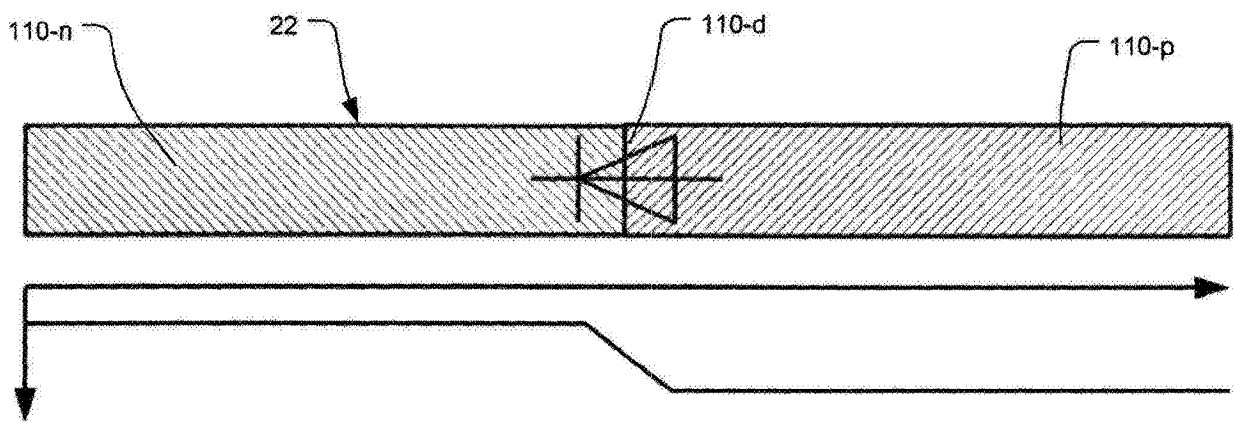


图8B

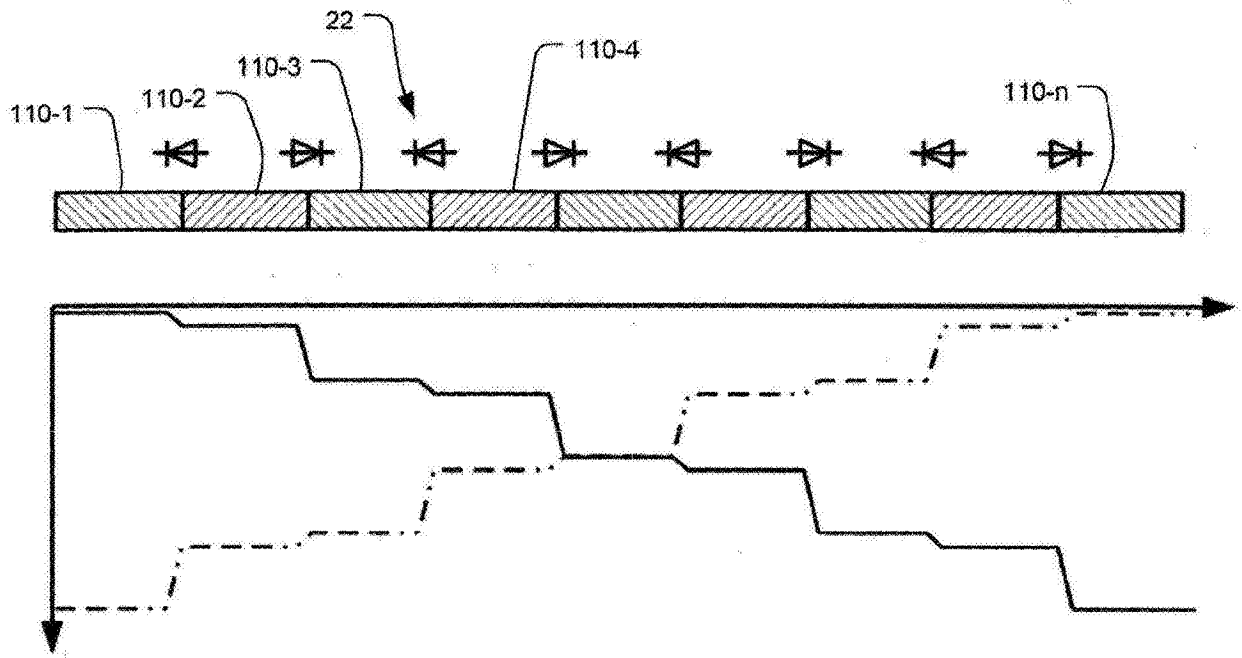


图9

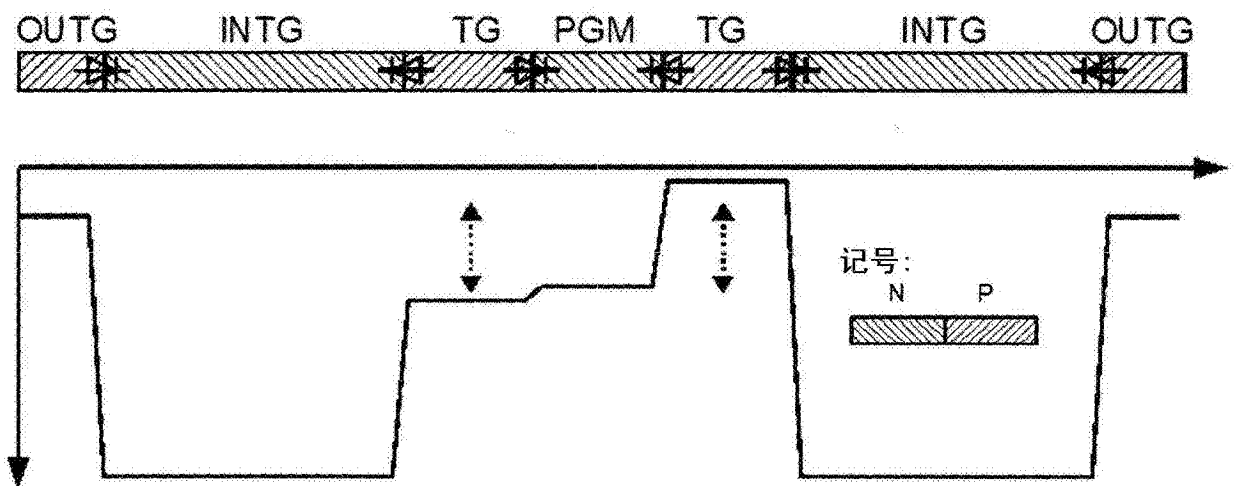


图10

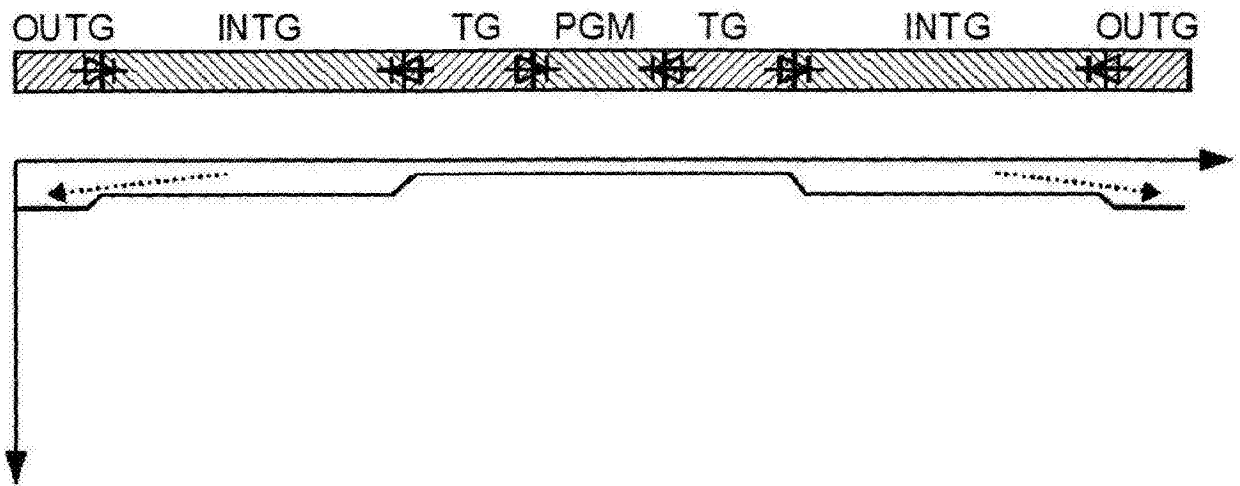


图11

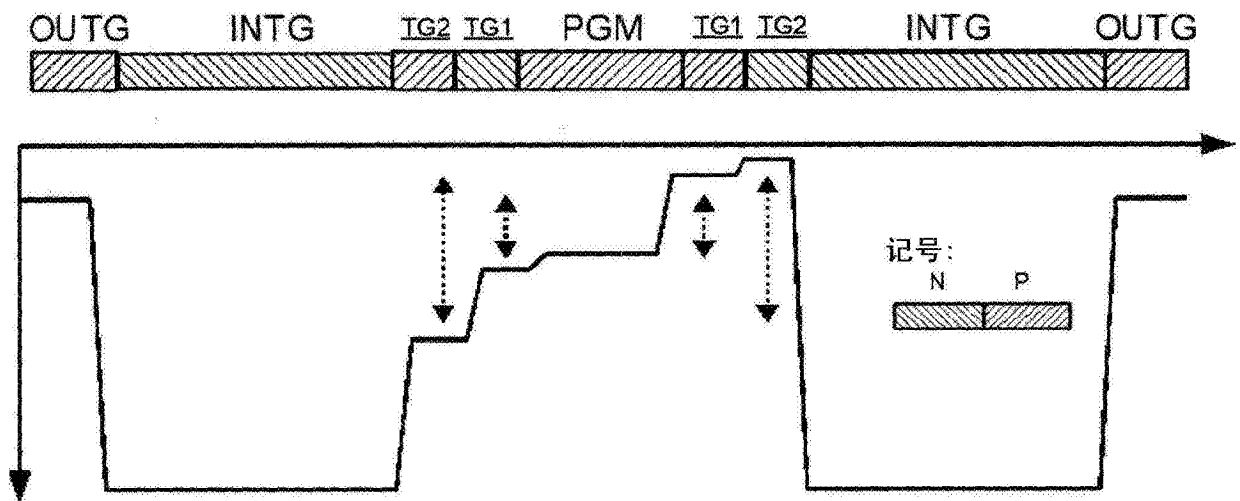


图12

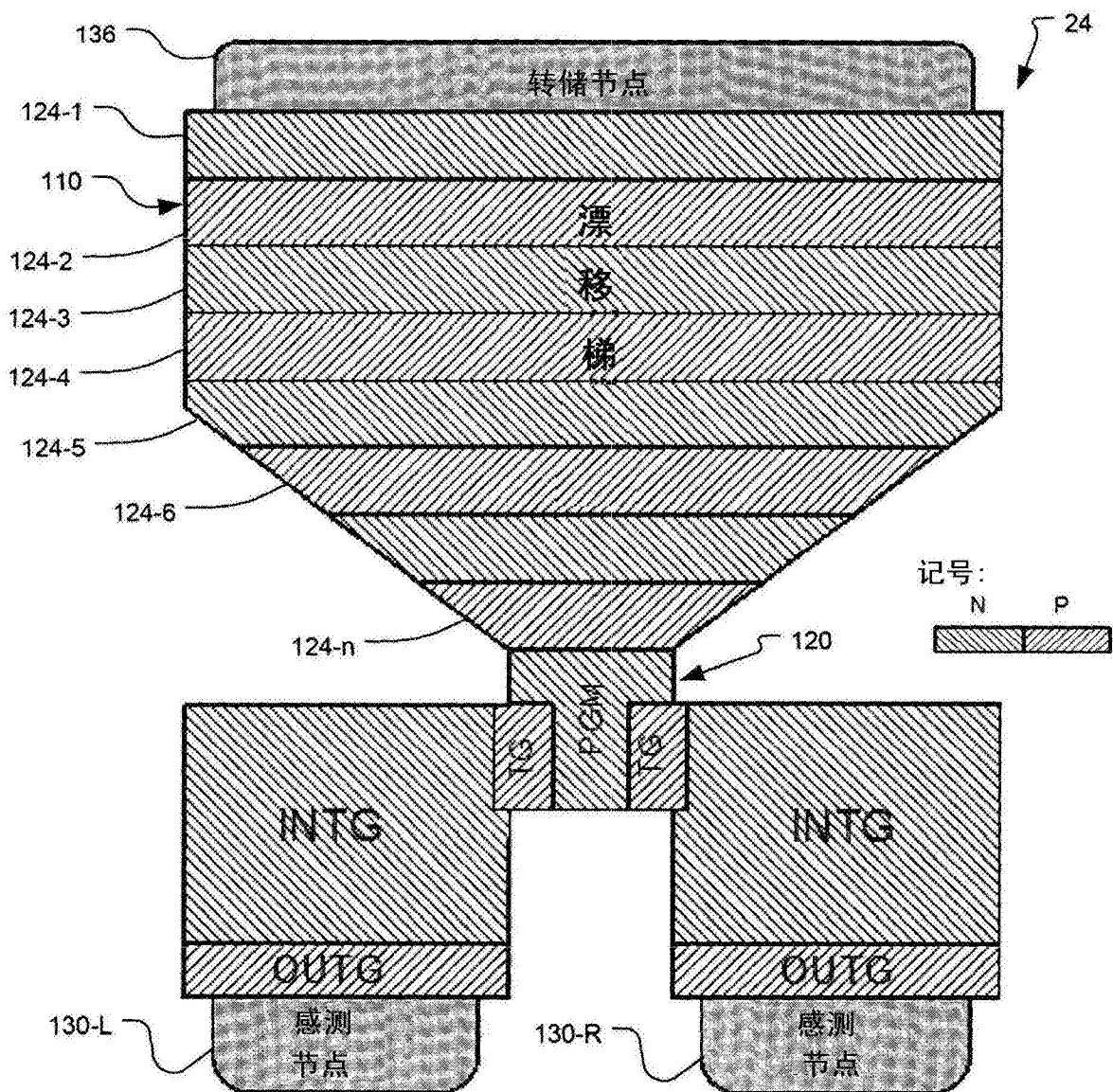


图13

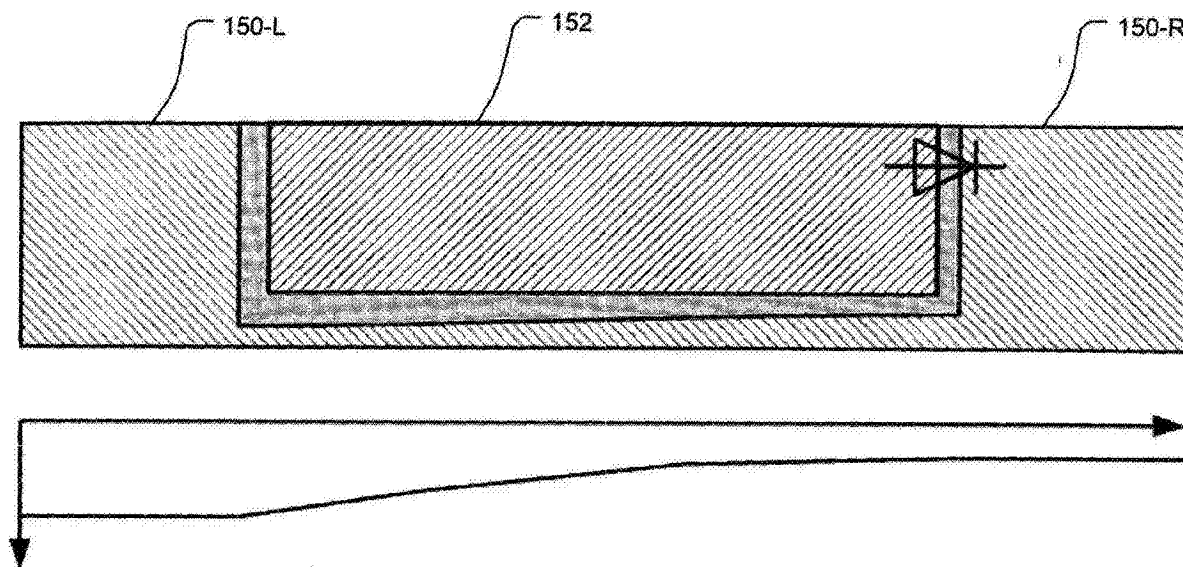


图14

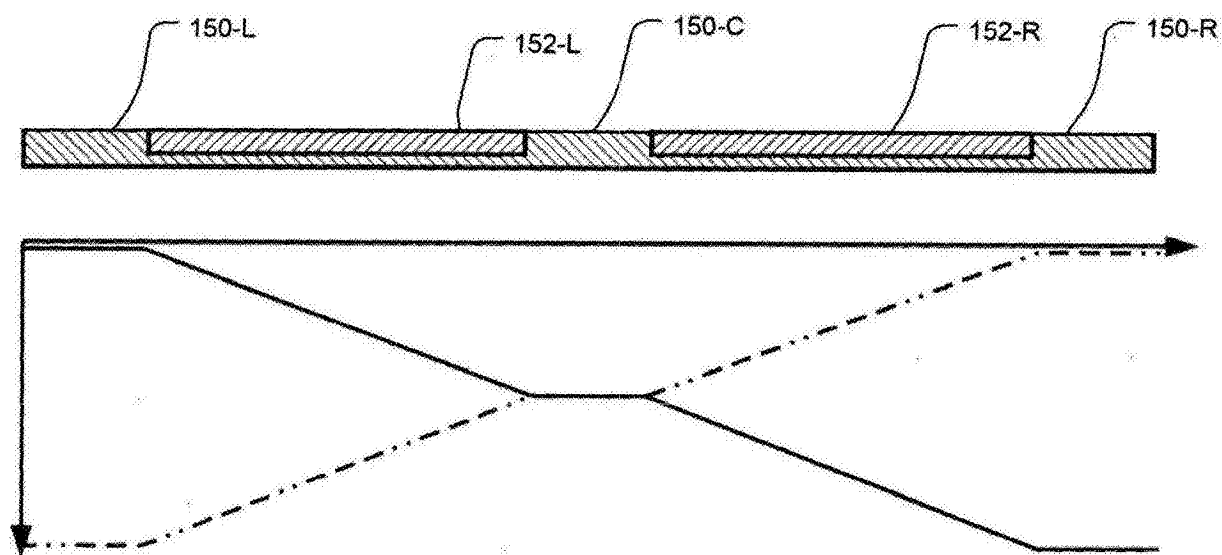


图15

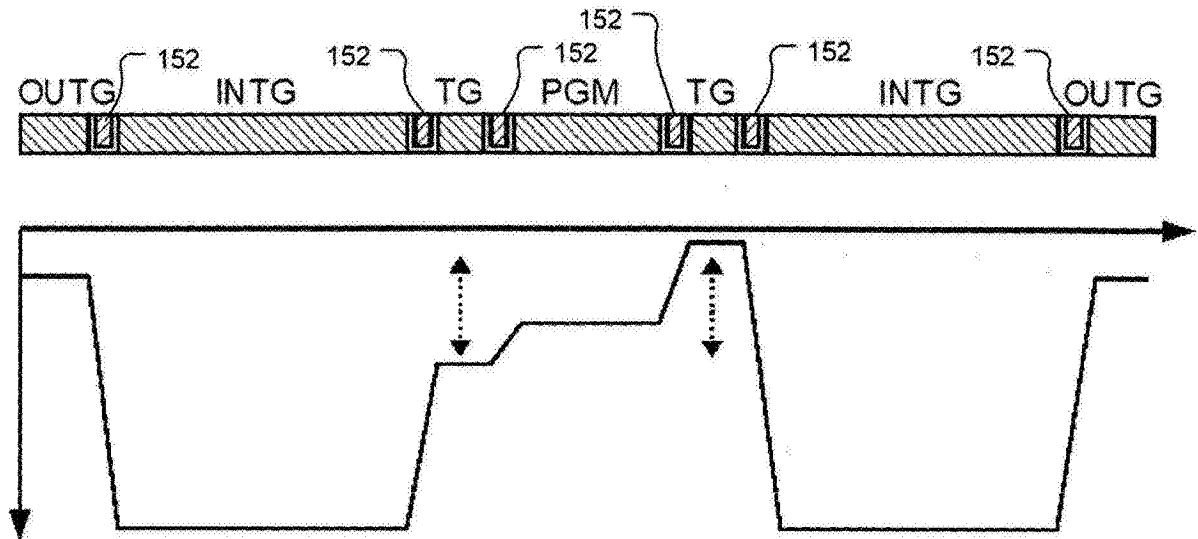


图16

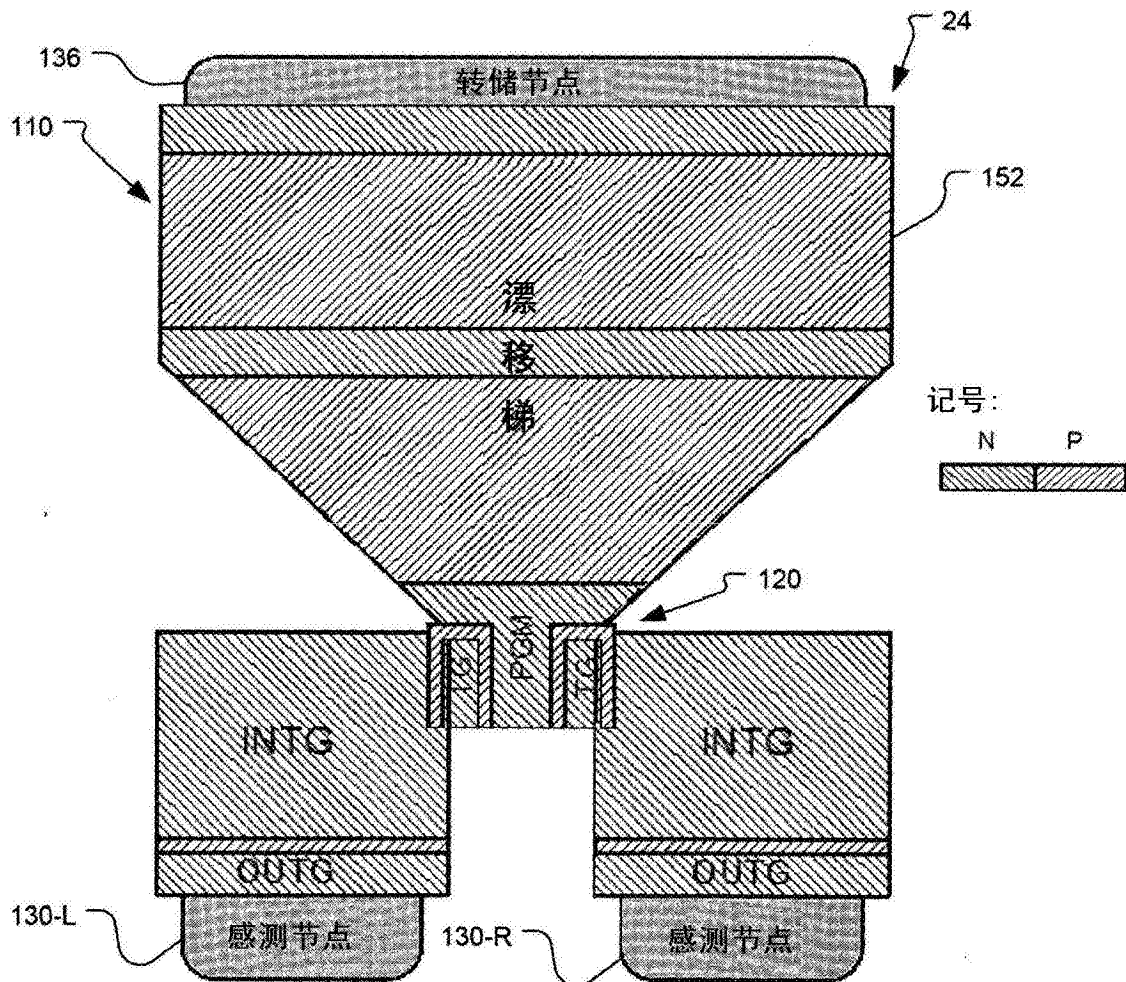


图17

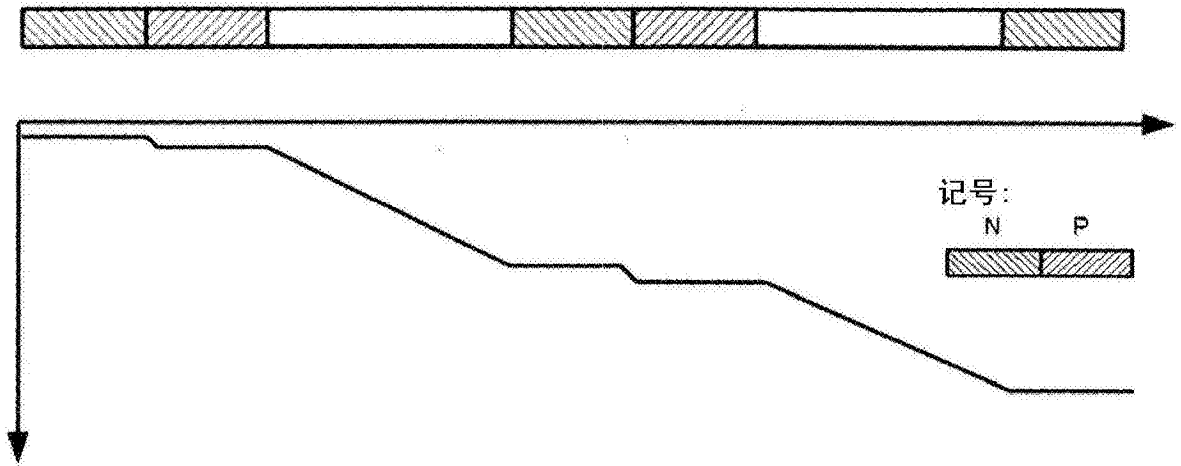


图18

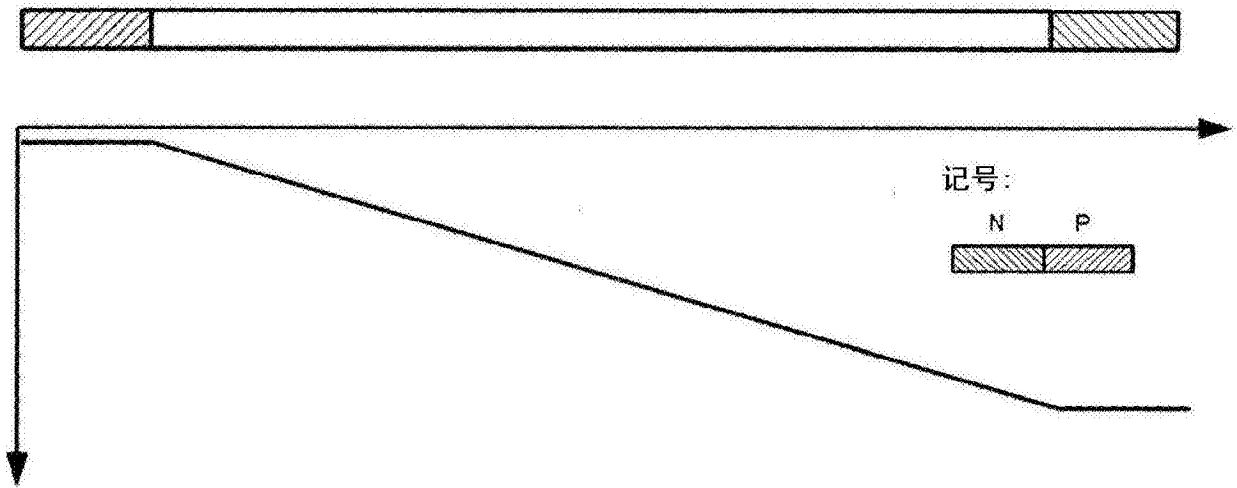


图19

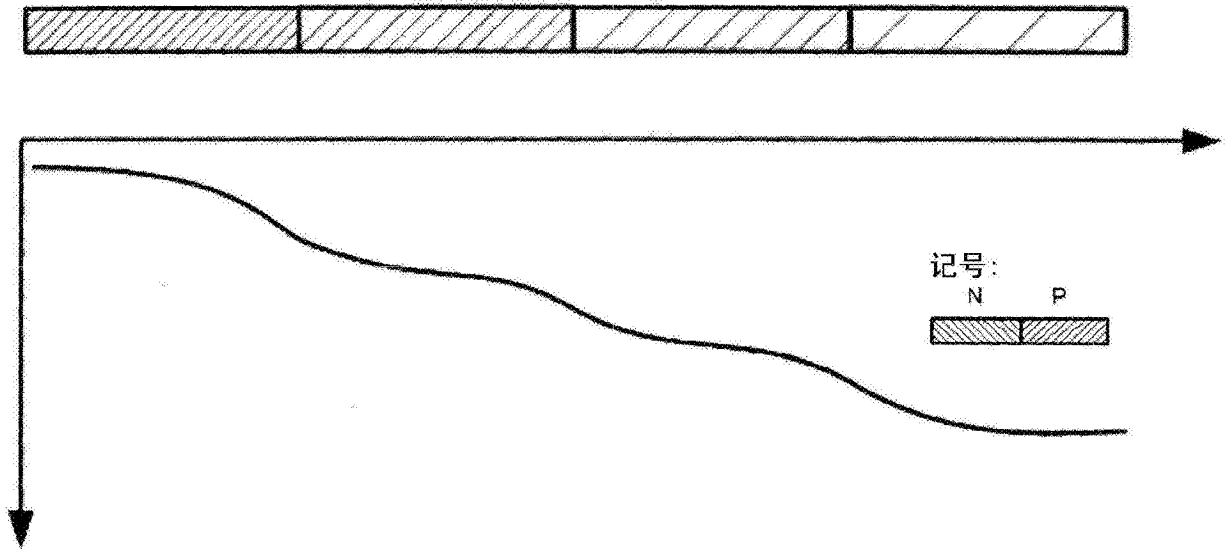


图20

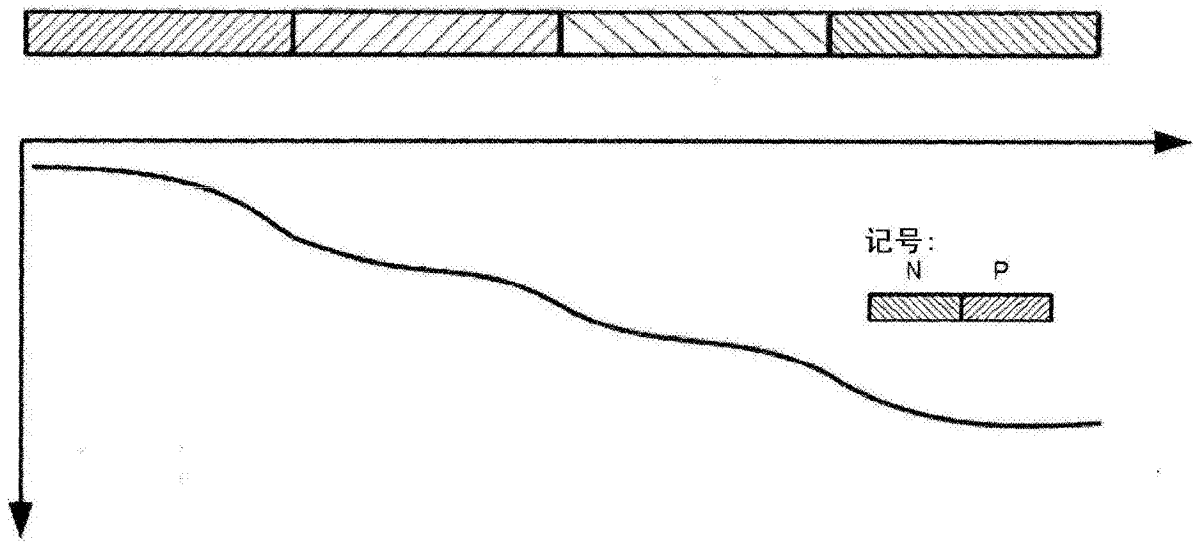


图21