

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 29 年 9 月 14 日 (2017.9.14)

【公開番号】特開 2017-50839 (P2017-50839A)

【公開日】平成 29 年 3 月 9 日 (2017.3.9)

【年通号数】公開・登録公報 2017-010

【出願番号】特願 2016-83699 (P2016-83699)

【国際特許分類】

H 0 4 L 25/02 (2006.01)

H 0 3 K 17/16 (2006.01)

H 0 3 K 17/687 (2006.01)

H 0 3 K 19/0175 (2006.01)

【F I】

H 0 4 L 25/02 F

H 0 3 K 17/16 D

H 0 3 K 17/687 A

H 0 3 K 19/00 1 0 1 F

H 0 3 K 19/00 1 0 1 Q

【手続補正書】

【提出日】平成 29 年 8 月 2 日 (2017.8.2)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

一対の高電位側信号線（3P）、低電位側信号線（3N）によりハイ、ローの 2 値レベルに変化する差動信号を送送する伝送線路（3）に接続され、前記信号の伝送に伴い発生するリンギングを抑制するリンギング抑制回路において、

前記一対の信号線間に接続される電圧駆動型で単一の線間スイッチング素子（15）と

、  
前記差動信号のレベルが変化したことを検出すると、前記線間スイッチング素子をオンさせて前記信号線間のインピーダンスを低下させる制御部（6）と、

入力される設定信号により示される抑制期間の長さを検出する期間検出部（10、33、43）と、

前記検出された抑制期間の長さを記憶する抑制期間記憶部（11、54）とを備え、

前記制御部は、抑制期間記憶部に記憶された長さの抑制期間だけ、前記線間スイッチング素子をオンさせ、

前記設定信号は、前記抑制期間の長さを電圧レベルで示すリンギング抑制回路。

【請求項 2】

前記電圧レベルは、電源電圧を、複数の抵抗素子（63、64、65、66）からなる分圧回路により分圧することで示される請求項 1 記載のリンギング抑制回路。

【請求項 3】

前記複数の抵抗素子の 1 つ以上が、可変抵抗素子（65、66）である請求項 2 記載のリンギング抑制回路。

【請求項 4】

前記分圧回路にセクタ（67）を備え、

前記セレクトにより抵抗素子の通電経路を切替えて、前記電圧レベルを変更する請求項 2 又は 3 記載のリングング抑制回路。

【請求項 5】

前記セレクトは、電圧駆動型の半導体スイッチング素子（68）で構成される請求項 4 記載のリングング抑制回路。

【請求項 6】

一对の高電位側信号線（3P）、低電位側信号線（3N）によりハイ、ローの 2 値レベルに変化する差動信号を伝送する伝送線路（3）に接続され、前記信号の伝送に伴い発生するリングングを抑制するリングング抑制回路において、

前記一对の信号線間に接続される電圧駆動型で単一の線間スイッチング素子（15）と、

前記差動信号のレベルが変化したことを検出すると、前記線間スイッチング素子をオンさせて前記信号線間のインピーダンスを低下させる制御部（6）と、

入力される設定信号により示される抑制期間の長さを検出する期間検出部（10、33、43）と、

前記検出された抑制期間の長さを記憶する抑制期間記憶部（11、54）とを備え、  
前記制御部は、抑制期間記憶部に記憶された長さの抑制期間だけ、前記線間スイッチング素子をオンさせ、

前記設定信号は、前記抑制期間の長さをパルス幅で示し、

前記期間検出部は、電源の供給が開始されたことを検出する電源供給検出部と、

前記設定信号のパルスの立下りエッジを検出するエッジ検出部と、

前記電源の供給開始が検出されたことをトリガとして設定イネーブル信号をアクティブにし、前記立下りエッジが検出されたことをトリガとして設定イネーブル信号をインアクティブにするイネーブル信号出力部と、

前記設定イネーブル信号がアクティブである期間の長さに応じた電圧レベルを生成する電圧信号変換部とを備えるリングング抑制回路。

【請求項 7】

一对の高電位側信号線（3P）、低電位側信号線（3N）によりハイ、ローの 2 値レベルに変化する差動信号を伝送する伝送線路（3）に接続され、前記信号の伝送に伴い発生するリングングを抑制するリングング抑制回路において、

前記一对の信号線間に接続される電圧駆動型で単一の線間スイッチング素子（15）と、

前記差動信号のレベルが変化したことを検出すると、前記線間スイッチング素子をオンさせて前記信号線間のインピーダンスを低下させる制御部（6）と、

入力される設定信号により示される抑制期間の長さを検出する期間検出部（10、33、43）と、

前記検出された抑制期間の長さを記憶する抑制期間記憶部（11、54）と、

前記設定信号を前記期間検出部に送信する設定信号送信部（9）とを備え、

前記制御部は、抑制期間記憶部に記憶された長さの抑制期間だけ、前記線間スイッチング素子をオンさせ、

前記設定信号送信部は、前記抑制期間の長さに応じて、前記設定信号が示すハイ又はローレベルの何れかを継続する時間の長さを変化させて送信し、

前記期間検出部は、前記時間の長さに応じてコンデンサ（26）を充電する充電部（24、25）と、

前記コンデンサの端子電圧を、それぞれ異なる閾値と比較する複数のコンパレータ（27）とを備え、

これら複数のコンパレータの出力信号が変化する数に応じて、前記時間の長さを検出するリングング抑制回路。

【請求項 8】

前記抑制期間記憶部（11）は、前記複数のコンパレータの出力信号の変化状態を記憶

するラッチ回路を備える請求項 7 記載のリングング抑制回路。

【請求項 9】

一对の高電位側信号線（3 P）、低電位側信号線（3 N）によりハイ、ローの 2 値レベルに変化する差動信号を伝送する伝送線路（3）に接続され、前記信号の伝送に伴い発生するリングングを抑制するリングング抑制回路において、

前記一对の信号線間に接続される電圧駆動型で単一の線間スイッチング素子（15）と

前記差動信号のレベルが変化したことを検出すると、前記線間スイッチング素子をオンさせて前記信号線間のインピーダンスを低下させる制御部（6）と、

入力される設定信号により示される抑制期間の長さを検出する期間検出部（10、33、43）と、

前記検出された抑制期間の長さを記憶する抑制期間記憶部（11、54）とを備え、

前記制御部は、抑制期間記憶部に記憶された長さの抑制期間だけ、前記線間スイッチング素子をオンさせ、

前記設定信号送信部（32）は、前記抑制期間の長さに応じて、前記設定信号が 2 値レベル間で遷移するエッジの出力回数を変化させて送信し、

前記期間検出部（33）は、前記出力回数を検出するリングング抑制回路。

【請求項 10】

前記期間検出部は、前記設定信号が変化する回数をカウントするカウンタ（36）を備える請求項 9 記載のリングング抑制回路。

【請求項 11】

前記抑制期間記憶部（11）は、前記コンパレータの出力信号が変化しない状態が所定期間継続すると、前記カウンタのカウント値をラッチするラッチ回路で構成される請求項 10 記載のリングング抑制回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

請求項 1 記載のリングング抑制回路によれば、期間検出部は、設定信号により電圧レベルで示される抑制期間の長さを検出し、抑制期間記憶部は検出された抑制期間の長さを記憶する。そして、制御部は、差動信号のレベルが変化したことを検出すると、抑制期間記憶部に記憶された長さの抑制期間だけ線間スイッチング素子をオンさせる。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

線間スイッチング素子である FET 15 の非基準側導通端子であるドレインは高電位側信号線 3 P に接続されており、FET 13 及び 14 のドレインは FET 15 のゲートに接続されていると共に抵抗素子 16 を介してハイレベル、すなわち電源レベル（Vcc）にプルアップされている。FET 12 のドレインは、抵抗素子 17 を介してハイレベルにプルアップされていると共に、抑制期間設定部 18 を介して FET 13 のゲートに接続されている。以上において、FET 15 は図 1 に示す抑制素子 7 及びスイッチ回路 8 の直列回路に相当する。つまり、FET 15 のオン抵抗が抑制素子 7 に相当している。また、FET 12 は歪開始回路検出部 5 に相当し、その他は抑制期間制御部 6 に相当する。