

公告本

416057

申請日期	87.1.26
案 號	87114062
類 別	G11C 1/00

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		416057
一、發明 名稱	中 文	記憶體單胞配置及其製造方法
	英 文	MEMORY-CELL DEVICE AND ITS PRODUCTION METHOD
二、發明 創作人	姓 名	1. 羅勒瑞奇 Lothar Risch 2. 伍夫根羅斯勒 Wolfgang Rosner 3. 賀曼賈寇貝斯 Hermann Jacobs 4. 堤斯瑞麥克 Ties Ramcke
	國 籍	1.-4. 皆屬德國
三、申請人	住、居所	1. 德國紐比貝格 D-85579 堤里安街 27 號 2. 德國慕尼黑 D-81739 漢恩雷曼全街 2 號 3. 德國布魯克木爾 D-83052 彼得斯貝街 17A 號 4. 德國慕尼黑 D-81739 雷里斯-菊西-艾里 90 號
	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

裝

訂

線

416057

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

本局及知悉此項專利之人員

德國(地區) 申請專利，申請日期： 案號： ☒有 ☐無主張優先權
1997年9月17日 19740945.8(主張優先權)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (11)

在中間氧化物層 25 之表面上以及已填入材料之接觸孔 27 上沈積一層例如由鋁構成之導電層且藉助於微影術之程序來進行結構化以便形成位元線 26。位元線 26 垂直於導電性之間隔層 24 而延伸。位元線 26 平行於第二平面而延伸。

位元線 26 是與運算放大器之反相輸入端相連接，就像第 1 圖和第 2 圖中所述者一樣。運算放大器之其它接線方式以及讀取方式類似於第 1 圖和第 2 圖中所述者來進行。

參考符號說明

- WL, 13.....字線
- BL, 12, 26.....位元線
- OP, 16.....運算放大器
- R, 15.....電阻
- 10, 20.....基體
- 11, 21.....隔離層
- 14, 27.....接觸孔
- 22.....線條之輔助結構
- 23.....導電層
- 24.....導電性間隔層
- 25.....中間氧化物層
- 28.....電組

五、發明說明()

本發明係關於一種記憶體單胞配置，適合作為定值記憶體。資料以數位形式固定地寫入其中之此種記憶體配置稱為定值記憶體，亦稱為讀取記憶體或唯讀記憶體。

就大量之資料集而言，通常使用多層之塑膠碟片(disk)，即，所謂光碟(compact disk)，作為讀取記憶體，此種光碟塗有一層鋁。在此種塗層中具有二種點狀形式之凹口，這些凹口對應於邏輯值0或1。資訊以數位形式儲存於這些凹口之配置中。

為了讀出這些儲存在光碟上之資料，則須藉由二極體和光電池對這些點狀之凹口進行掃描。因此需要一種具有可移動部份之讀裝置，這些可移動之部份會受到機械性磨損。其需要較大之體積且只允許較慢之資料存取。此外，讀出裝置對震動很敏感，因此只能有限地使用在移動性系統中。

另外，以半導體為主之記憶體已為人所知(例如可參考DE44 34 725 C1)。此種以半導體為主之記憶體具有MOS電晶體以作為記憶體單胞。電晶體藉由閘極電極(其是與字線相連接)來選取。MOS電晶體之輸入端是與參考線相連接，輸出端則和位元線相連接。在讀出時須評估：是否有電流流經電晶體。其分別對應於邏輯值0和1。在技術上0和1之儲存是以下述方式進行：在記憶體單胞(其中儲存此種對應於狀態“無任何電流流經此電晶體”之邏輯值)中不設置MOS電晶體或不製造此種至位元線之導電性連接區或製造一種具有較高導通(turn on)

五、發明說明 (>)

電壓之 MOS 電晶體。MOS 電晶體之較高導通電壓可藉由通道區中適當之植入作用或藉由較高之閘極氧化物密度來達成。

此外，亦設計一種半導體記憶體，其具有二極體以作為記憶體單胞，二極體分別連接在字線和位元線之間（例如，請參考 C. de. Graaf et al., IEDM 1996, 第 189 頁）。但由於二極體在電性相較於電晶體而言是有缺點的，此種概念尚不能在產品上實施。

以半導體為主之記憶體允許可對所儲存之資訊進行自由選擇之存取。讀取資訊所需之電功率較一種具有機械式磁帶驅動器之讀取裝置者小很多。由於讀出資訊時不需機械式之磁帶驅動器，因此不會有機械磨損現象且對震動不敏感。此種記憶體因此亦可用於移動性系統中。由於每一記憶體單胞需要 MOS 電晶體，因此，製造單胞時在技術上較昂貴。

本發明之目的是提供一種記憶體單胞配置，其在技術上以較低之費用製成。此外，本發明亦提供此種單胞之製造方法。

上述目的是藉由 1 項之記憶體單胞配置以及申請專利範圍第 6 項之製造方法來達成。本發明之其它形式敘述在申請專利範圍其它各項中。

記憶體單胞配置具有基本上是互相平行延伸之字線以及基本上互相平行延伸之位元線。字線垂直於位元線而延伸。字線可在位元線上方或下方延伸。在字線和位元

五、發明說明()

線之間連接有電阻，這些電阻之歐姆值較字線或位元線者都大。位元線是與讀取放大器相連接。各條位元線上之電位可藉由讀取放大器而調整至一種參考電位且輸出信號可在讀取放大器上測得。

在此種記憶體單胞配置中可以下述方式實現邏輯值0和1，即，具有二種不同電阻值之電阻係用來製成二種不同之邏輯值，或，有一個電阻被製成邏輯值中之一，另一邏輯值則以不使用電阻之方式來達成。在只有一個邏輯值使用電阻來達成之情況中，對於所儲存之資訊而言只有位元線之一部份是經由電阻而與字線之一部份相連接。

在此種記憶體單胞配置中字線和位元線互相連接。於是可讀取記憶體單胞配置，這是因為位元線可經由讀取放大器而調整至一種參考電位。位元線例如可調整至接地電位。若字線藉由施加一種信號而被選取，而所有之其它字線則與參考電位（例如，接地電位）相連接，則讀取放大器之輸出信號是和電阻（字線即經由此電阻而和位元線相連接）有關的。此種電阻在下述情況是無限的，即，邏輯值之一是以不具備電阻之方式來達成。

讀取放大器最好是含有一個回授式運算放大器。若此運算放大器之反相輸入端是與位元線相連接，非反相輸入端是與接地電位相連接且輸出端經由一個回授電阻而與反相輸入端相連接，則運算放大器可調整反相輸入端（即，位元線）上之電位至0伏特。由運算放大器之輸出

五、發明說明(4)

信號和回授電阻即可得出此種介於各條位元線和所選取之字線之間的電阻值。

所使用之字線數目最好是較位元線還多，這是因為這樣可減少所需之讀取放大器數目。

此種記憶體單胞配置能以不同之方式製成，其例如能以薄層技術製作在例如由玻璃，矽或金屬所構成之載體板上。此種記憶體單胞配置最好是以半導體層結構之方式製作在半導體基體上。例如矽晶圓或SOI-基體適合作為半導體基體。字線及／或位元線以條形結構之方式而由導電性材料(例如，金屬，摻雜之矽及／或金屬矽化物)所形成或以條形之摻雜區形式而形成在基體之表面中。它們最好是與一些導電軌平面(例如，閘極平面或金屬化之平面)之形成而同時製成。

使用半導體基體所具有之優點是：週邊組件(例如，讀取放大器，控制電路或其類似組件)可以積體(integrated)方式而包含在基體中。

此外，此種記憶體單胞配置可製作在半導體組件之二個最上方之金屬化位置中，此種單胞配置另外在下方之區域中含有上述之讀取放大器。

此種記憶體單胞配置之製造最好以半導體技術來進行。字線和位元線分別藉由層沈積以及隨後之結構化而形成或藉助於微影術之步驟而以摻雜方式來形成。電阻最好是在相關字線和位元線之間的交叉點上藉由接觸孔之蝕刻以及在接觸孔中形成電阻而產生。由於記憶體單胞

五、發明說明(5)

配置之程式是藉由接觸孔之蝕刻及電阻之形成來進行且在製程結束之後進行此種程式化通常是有利的，則在最後之金屬化平面之前直接開啓(open)上述之接觸孔是有利的。

上述之接觸孔之可在位元線和字線形成之後開啓且以適當之材料填入。

就資料之讀取方法而言，製成電阻值為百萬(10^6)歐姆範圍之電阻是有利的。此種電阻設有一層絕緣之隧道層亦屬本發明之範圍。一種絕緣之薄層適合作為隧道層，此種薄層須很薄，使電荷載體由於量子學之隧道效應而可克服此種隧道層，因此會有電流流經此種隧道層。隧道層通常是由氧化物(例如， Al_2O_3 或 SiO_2)所構成。電阻在此種情況中包含此種隧道層及一層導電層，例如多晶矽，此種導電層可連接至相關之字線或位元線。另一方式是，此種電阻可由輕微摻雜之多晶矽及／或不定形之矽所構成。

為了提高封裝密度，則藉由間隔層(Spacer)技術來形成字線是有利的。因此首先須產生一種輔助結構，其具有條形之元件。然後以基本上是保形之邊緣覆蓋方式來形成一種導電層。藉由選擇性地對輔助結構所進行之非等向性蝕刻，則導電性間隔層形式之字線可由上述之導電層所形成。輔助結構之大小會由於所使用之微影術而在條形元件之寬度和間距方面分別受到F(即，在當時之微影術中可製成之最小結構之大小)所限制。導電性間

五、發明說明 (b)

隔層形成在條形元件之二個邊緣上，使字線之密度在和微影術所能達到之密度比較時可提高2倍。

在讀出此種具有 i 條位元線及 j 條字線之記憶體單胞配置時，則受控制之字線之電阻最多是由 i 個電阻值為 $R_{\max}$ 至 $R_{\max}/i$ 之電阻所形成之並聯電路所產生。現在若產生例如 $1M\Omega$ 之電阻以用於邏輯值中之一，且回授電阻亦是 $1M\Omega$ ，則在總漏電流是 $1nA$ 時會產生一個 $1mV$ 之信號以作為其中一邏輯值且產生一個 $1V$ 之信號以作為另一邏輯值，只要字線以一個例如 $1V$ 之信號來選取即可。受控制之字線的電阻在例如 100 條位元線時至少是 $10k\Omega$ 。

本發明以下將依據顯示在圖式中之實施例作詳細描述。
圖式簡單說明如下：

第 1 圖 記憶體單胞配置之結構，其中邏輯值 0 和 1 是藉由不同之電阻來達成。

第 2 圖 記憶體單胞配置之一部份，其中邏輯值 0 和 1 是藉由“不形成接觸孔”或形成一種具有電阻之接觸孔來達成。

第 3 和第 4 圖 形成記憶體單胞配置時所用之製造步驟，其係使用導電性間隔層作為字線。

記憶體單胞配置包括一些基本上是平行延伸之字線 WL 以及一些垂直於字線而延伸之基本上是互相平行而延伸之位元線 BL (請參考第 1 圖)。在一條位元線 BL 和一條字線 WL 之間連接一個電阻 R 。這些電阻 R 之一部份所具有之電阻值是 $1M\Omega$ ，其餘之電阻所具有之電阻值是 $2M\Omega$ 。

五、發明說明(2)

此種 $2M\Omega$ 之電阻值對應於邏輯值 0，所需 $1M\Omega$ 之電阻值則對應於邏輯值 1。此種記憶體單胞配置設有 100 條位元線 BL 以及 10000 條字線 WL。

每一條位元線 BL 是與運算放大器 OP 之反相輸入端相連接。運算放大器 OP 之非反相輸入端是與接地電位相連接。運算放大器 OP 是回授式的且具有一個回授電阻 RK。

為了讀出此種儲存在記憶體單胞配置中之資訊，則須藉由施加一種例如 1 伏特之信號來選取一條字線 WL。其餘之字線則處於接地電位。這樣就會在所選取之字線 WL 和每一條位元線 BL 之間形成一條電流路徑。由於位元線 BL 是藉由運算放大器 OP 而調整成 0 伏特，則在位元線 BL 之間不會有電流流動。輸出信號（其可在每一運算放大器 OP 之輸出端 A 上測得）可用來表示各條位元線 BL 和所選取字線 WL 之交叉點上之電阻 R 之電阻值。輸出信號 V_{out} 適用於：

$$V_{out} = IV \cdot \frac{RK}{R + Rbl}$$

其中回授電阻 RK 之電阻值是 RK，電阻 R 之電阻值是 R 且位元線 BL 之電阻值是 Rbl。由於位元線 BL 調整成 0V 且電流經由回授電阻 RK 而流經位元線 BL，上述關係式因此是適當的。

基體 10 設有一個隔離層 11。基體 10 例如是一種矽晶圓或 SOI-基體之單晶之矽層。隔離層 11 含有 SiO_2 且厚度是 100nm（請參考第 2 圖）。

五、發明說明(8)

在隔離層 11 之表面上配置位元線 12。位元線 12 是條形的且基本上是互相平行而延伸。位元線之長度是 $10\mu\text{m}$ 且寬度是 $0.5\mu\text{m}$ 。相鄰之位元線 12 之間的間距是 $0.5\mu\text{m}$ 。位元線 12 含有鋁或鎢。位元線是藉由整面沈積一層鋁層且隨後使用微影術步驟來進行結構化而產生。位元線最好是在半導體程序中同時與金屬化平面的產生一起形成。

位元線 12 以中間氧化物層 (未示出) 來覆蓋。在中間氧化物層 (其厚度是 650nm 且由 SiO_2 構成) 之表面上配置一些字線 13。字線 13 垂直於位元線 12 而延伸。字線 13 之長度是 $10\mu\text{m}$ 且寬度是 $0.5\mu\text{m}$ 。相鄰字線 13 之間距是 $0.5\mu\text{m}$ 。字線是由鋁所構成。須沈積一層鋁層且藉助於微影術之程序來進行結構化。字線 13 最好與金屬化平面之產生而同時在半導體程序中形成。

為了對此種記憶體單胞配置進行程式化，則在位元線 12 和其上之中間氧化物層製成之後須在字線 13 和位元線 12 之間的交叉點處 (其中儲存一種邏輯值 1) 開啓 open) 一些接觸孔 14。於是使用一種微影術所產生之遮罩，此種遮罩在接觸孔 14 之位置上具有一些開孔。接觸孔 14 藉由非等向性之蝕刻而例如以 CHF_3 , CF_4 , Ar 來形成。

然後在已開啓之接觸孔 14 中形成電阻 15。這例如是藉由形成一層厚度為 2nm 之 Al_2O_3 層 (其是一種隧道氧化物層) 來達成。然後以鋁填入此接觸孔 14 中。另一方式是，電阻 15 以填入輕微摻雜之多晶矽或填入輕微摻雜之不定形矽 (其摻雜物質濃度為 10^{14}cm^{-3}) 來形成。其它可形成

五、發明說明(9)

電阻 15 之可能方式是在接觸孔 14 中填入摻雜之多晶矽 1 (其摻雜物質濃度是在 10^{14} cm^{-3} 之範圍中) 且隨後藉由熱氧化作用而形成一層厚度為 2 nm 之 SiO_2 層。此一層 SiO_2 層是作為隧道氧化物層。電阻 15 之電阻值是 $1 \text{ M}\Omega$ 。

位元線 12 是與運算放大器 16 之反相輸入端相連接。運算放大器 16 之非反相輸入端則位在接地電位處。運算放大器 16 連接成回授方式。

在操作此種記憶體單胞配置時，位元線 12 上之電位藉由運算放大器 16 而調整成接地電位。就像第 1 圖中所述者一樣，運算放大器 16 之輸出信號是表示一種電阻值，此種電阻值在所選取之字線 13 和相關之位元線 12 之間是有作用的。由於在本實施例中對邏輯值 0 而言不須開啓接觸孔 14 且不會形成電阻 15，則字線 13 和位元線 12 (在其交叉點處儲存 0 值) 之間的電阻值是無窮大的。在此種情況中，輸出信號接近零。此種實施形式所具有之優點是：邏輯值 0 和 1 可容易地區別。

在基體 20 之表面上配置一層隔離層 21 (請參閱第 3 圖)。基體 20 例如是一種單晶之矽晶圓或 SOI-基體之單晶之矽層。隔離層 21 含有 SiO_2 且厚度是 100 nm 。在隔離層 21 之表面上形成條形之輔助結構 22。條形之輔助結構 22 例如同樣是藉助於微影術所形成之遮罩以非等向性之蝕刻而由 SiO_2 所產生。此種條形之輔助結構 22 所具有之寬度例如是 $0.5 \mu \text{ m}$ 且間距是 $0.5 \mu \text{ m}$ 。此種寬度相當於 16 M 技術中最小之結構寬度 F 。

五、發明說明 (10)

以基本上是保形 (conform) 之邊緣覆蓋方式在整面上沈積一層導電層 23。導電層 23 之厚度例如是 150 nm。導電層 23 例如含有摻雜之多晶矽和金屬矽化物。摻雜之多晶矽所具有之摻雜物質濃度是 10^{21} cm^{-3} 。例如 TiSiO_2 或 CoSiO_2 適合作為金屬矽化物。

例如 Cl_2 , CF_4 選擇性地對 SiO_2 進行非等向性之蝕刻，則可在輔助結構 22 之邊緣上形成導電性之間隔層 24，其可用作字線 (請參閱第 4 圖)。在半導體製程中，導電性之間隔層 24 最好與其它由相同材料所構成之導電性間隔層 (其半導體電路中例如是用作閘極電極或其它接點) 同時形成。

然後形成一層中間氧化物 25，其厚度是 400 nm。中間氧化物層 25 例如是由硼磷矽酸鹽玻璃所形成且具有一種基本上是平坦之表面。中間氧化物層 25 覆蓋上述之輔助結構 22 以及導電性間隔層 24。

為了對此種記憶體單胞配置進行程式化，則隨後須像第 2 圖中所述一樣在一條位元線 26 和一層導電性間隔層 24 其是作為字線用之間的交叉點處 (其中儲存一種邏輯值 1) 開始一些接觸孔 27。由於在 $2F$ 長的區段中有二個導電性間隔層 24 且接觸孔 27 能以最小值 F 之大小來形成，則相鄰之接觸孔 27 會互相疊合。這在第 4 圖中是以點線來表示。

為了形成電阻 28，則接觸孔隨後須填入材料。可使用和第 2 圖所述實施例中相同之材料作為電阻 28 之材料。

五、發明說明(一)

在中間氧化物層 25 之表面上以及已填入材料之接觸孔 27 上沈積一層例如由鋁構成之導電層且藉助於微影術之程序來進行結構化以便形成位元線 26。位元線 26 垂直於導電性之間隔層 24 而延伸。位元線 26 平行於第二平面而延伸。

位元線 26 是與運算放大器之反相輸入端相連接，就像第 1 圖和第 2 圖中所述者一樣。運算放大器之其它接線方式以及讀取方式類似於第 1 圖和第 2 圖中所述者來進行。

參考符號說明

- WL, 13.....字線
- BL, 12, 26.....位元線
- OP, 16.....運算放大器
- R, 15.....電阻
- 10, 20.....基體
- 11, 21.....隔離層
- 14, 27.....接觸孔
- 22.....線條之輔助結構
- 23.....導電層
- 24.....導電性間隔層
- 25.....中間氧化物層
- 28.....電組

四、中文發明摘要(發明之名稱：

)

記憶體單胞配置及其製造方法

在字線和垂直於字線而延伸之位元線之間連接有電阻，其歐姆數較字線和位元線者還大。位元線分別與讀取放大器相連接，各條位元線上之電位可藉由讀取放大器而調整成一種參考電位且在讀取放大器上可測得一種輸出信號。若選取一條字線且所有其它字線部位在參考電位處，則電阻之電阻值(其對應於一種資訊)可由上述之輸出信號讀得。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱： MEMORY-CELL DEVICE AND ITS PRODUCTION)
METHOD

Between word-lines and bit-lines, which extend transversely to said word-lines, are connected some resistors, which have higher ohms than said word-lines and bit-lines. Said bit-lines are connected respectively with a read-amplifier, through which the potential on each bit-line can be adjusted to a reference-potential and on which an output-signal can be picked up. If one word-line is selected and all other word-lines are at said reference-potential, then the resistance-value of said resistor let itself be read from said output-signal, which corresponds to an information.

訂

線

六、申請專利範圍

1. 一種記憶體單胞配置，其特徵為：
 - 其中設置一些基本上是平行延伸之字線以及一些基本上是平行延伸之位元線，字線和位元線則互相垂直而延伸，
 - 在字線和位元線之間連接有電阻，其歐姆數較字線和位元線者還大，
 - 位元線分別與讀取放大器相連接，各條位元線上之電位藉由讀取放大器可調整成一種參考電位且在讀取放大器上可測得一種輸出信號。
2. 如申請專利範圍第 1 項之記憶體單胞配置，其中讀取放大器具有一種回授式之運算放大器。
3. 如申請專利範圍第 1 或第 2 項之記憶體單胞配置，其中電阻值之第一電阻和第二電阻。
4. 如申請專利範圍第 1 或第 2 項之記憶體單胞配置，其中
 - 設有半導體層結構，其含有字線，位元線和電阻，
 - 在字線和位元線之間配置一層隔離層，
 - 在字線和位元線之交叉點處配置一個接觸孔，字線和位元線之間連接一個電阻且此電阻是製作在接觸孔中。
5. 如申請專利範圍第 1 或第 2 項之記憶體單胞配置，其中字線之數目較位元線之數目還多。
6. 一種記憶體單胞配置之製造方法，其特徵為：
 - 在基體之表面上形成一些基本上是平行延伸之字線

(請先閱讀背面之注意事項再填寫本頁)

訂

大

六、申請專利範圍

1. 一種記憶體單胞配置，其特徵為：
 - 其中設置一些基本上是平行延伸之字線以及一些基本上是平行延伸之位元線，字線和位元線則互相垂直而延伸，
 - 在字線和位元線之間連接有電阻，其歐姆數較字線和位元線者還大，
 - 位元線分別與讀取放大器相連接，各條位元線上之電位藉由讀取放大器可調整成一種參考電位且在讀取放大器上可測得一種輸出信號。
2. 如申請專利範圍第 1 項之記憶體單胞配置，其中讀取放大器具有一種回授式之運算放大器。
3. 如申請專利範圍第 1 或第 2 項之記憶體單胞配置，其中電阻值之第一電阻和第二電阻。
4. 如申請專利範圍第 1 或第 2 項之記憶體單胞配置，其中
 - 設有半導體層結構，其含有字線，位元線和電阻，
 - 在字線和位元線之間配置一層隔離層，
 - 在字線和位元線之交叉點處配置一個接觸孔，字線和位元線之間連接一個電阻且此電阻是製作在接觸孔中。
5. 如申請專利範圍第 1 或第 2 項之記憶體單胞配置，其中字線之數目較位元線之數目還多。
6. 一種記憶體單胞配置之製造方法，其特徵為：
 - 在基體之表面上形成一些基本上是平行延伸之字線

(請先閱讀背面之注意事項再填寫本頁)

訂

大

六、申請專利範圍

- 和一些基本上是平行延伸之位元線以及一個隔離層，其中字線垂直於位元線而延伸且隔離層是配置在字線和位元線之間，
- 在字線和位元線之間各預定之交叉點處於上述之隔離層中開啓(open)一些接觸孔，電阻在接觸孔製成，電阻連接在各別之位元線和各別之字線之間且其歐姆值較位元線及字線者還大，
 - 項產生一種讀取放大器，其分別與一條位元線相連接，各條位元線上之電位可藉由讀取放大器而調整成一種參考電位，輸出信號可在讀取放大器上測得。
7. 如申請專利範圍第6項之方法，其中電阻含有材料 Al_2O_3 , SiO_2 ，多晶矽或不定形矽中至少一種材料。
8. 如申請專利範圍第6或第7項之方法，其中
- 為了形成字線首先須產生一種輔助結構，其具有條形之元件，
 - 以基本上是保形(conform)之邊緣覆蓋方式來產生一種導電層，
 - 藉由選擇性地對輔助結構進行非等向性之蝕刻而形成導電性間隔層形式之由上述導電層所構成之字線。

(請先閱讀背面之注意事項再填寫本頁)

訂

泉

六、申請專利範圍

- 和一些基本上是平行延伸之位元線以及一個隔離層，其中字線垂直於位元線而延伸且隔離層是配置在字線和位元線之間，
- 在字線和位元線之間各預定之交叉點處於上述之隔離層中開啓(open)一些接觸孔，電阻在接觸孔製成，電阻連接在各別之位元線和各別之字線之間且其歐姆值較位元線及字線者還大，
 - 項產生一種讀取放大器，其分別與一條位元線相連接，各條位元線上之電位可藉由讀取放大器而調整成一種參考電位，輸出信號可在讀取放大器上測得。
7. 如申請專利範圍第6項之方法，其中電阻含有材料 Al_2O_3 , SiO_2 ，多晶矽或不定形矽中至少一種材料。
8. 如申請專利範圍第6或第7項之方法，其中
- 為了形成字線首先須產生一種輔助結構，其具有條形之元件，
 - 以基本上是保形(conform)之邊緣覆蓋方式來產生一種導電層，
 - 藉由選擇性地對輔助結構進行非等向性之蝕刻而形成導電性間隔層形式之由上述導電層所構成之字線。

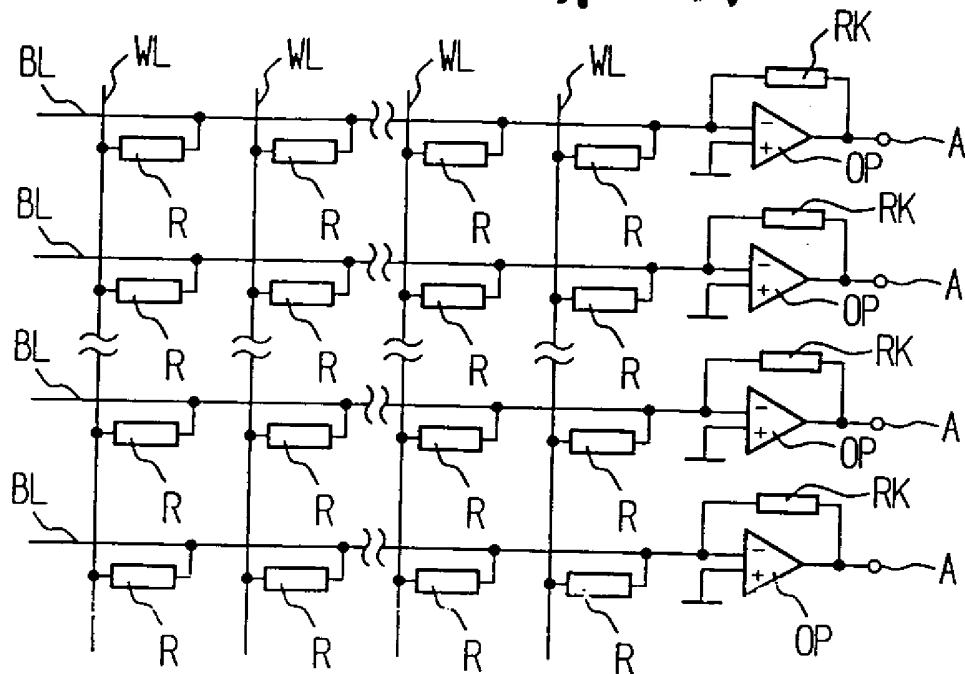
(請先閱讀背面之注意事項再填寫本頁)

訂

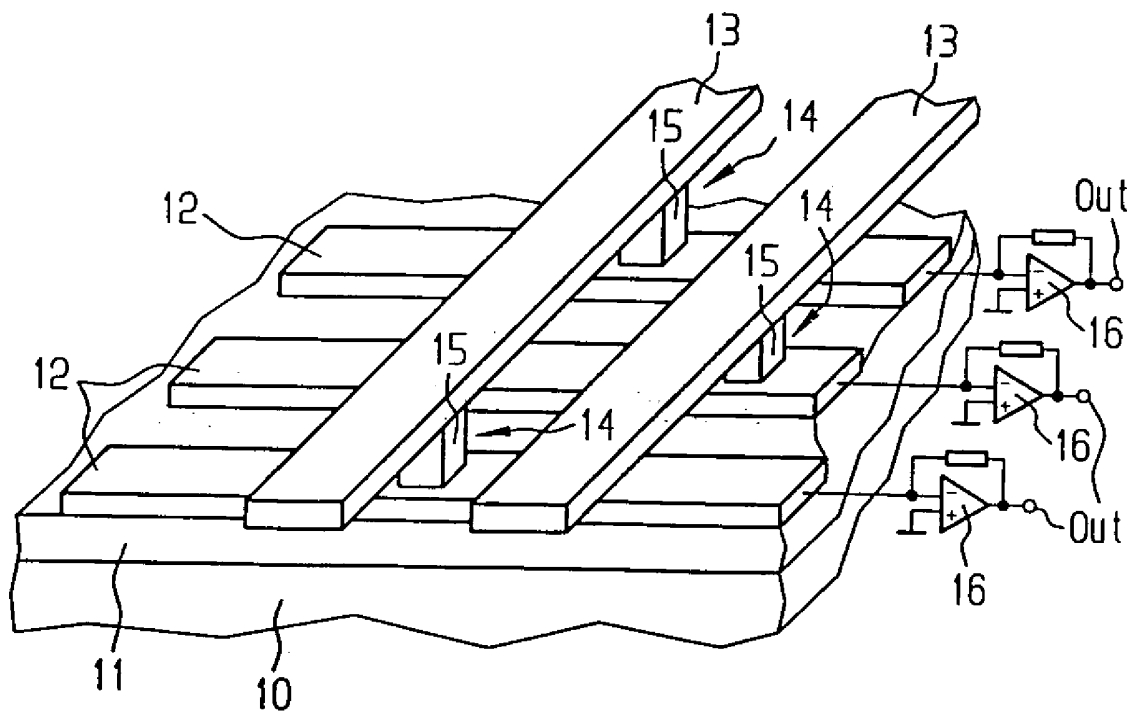
泉

1/2

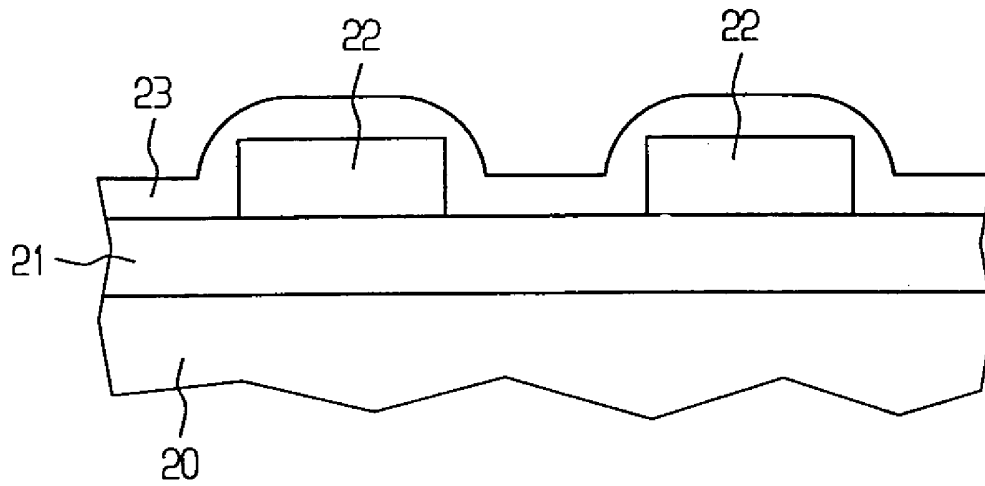
第 1 圖



第 2 圖



第 3 圖



第 4 圖

