

①②

DEMANDE DE BREVET D'INVENTION

A1

②② Date de dépôt : 08.06.01.

③⑦ Priorité : 08.06.00 GB 00013862.

④③ Date de mise à la disposition du public de la
demande : 04.01.02 Bulletin 02/01.

⑤⑥ Liste des documents cités dans le rapport de
recherche préliminaire : *Ce dernier n'a pas été
établi à la date de publication de la demande.*

⑥⑦ Références à d'autres documents nationaux
apparentés :

⑦① Demandeur(s) : MITEL CORPORATION — CA.

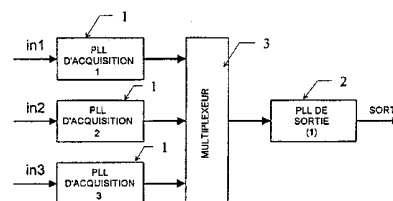
⑦② Inventeur(s) : SKIERSZKAN SIMON J et VAN DER
VALK ROBERT.

⑦③ Titulaire(s) :

⑦④ Mandataire(s) : CABINET BEAU DE LOMENIE.

⑤④ PROCÉDE DE CADENCEMENT ET CIRCUIT DE CADENCEMENT AVEC BOUCLES A VERROUILLAGE DE
PHASE DOUBLES.

⑤⑦ Un circuit de cadencement pour générer des signaux
d'horloge inclut une boucle à verrouillage de phase numéri-
que d'acquisition (1) avec une plage de capture large afin de
suivre de près un signal d'entrée ainsi que ses perturbations
associées. Une boucle à verrouillage de phase numérique
de sortie (2) qui présente une réponse lente par rapport à la
boucle à verrouillage de phase d'acquisition suit une sortie
de la boucle à verrouillage de phase d'acquisition afin de
générer un signal de sortie pour le circuit de cadencement
(1).



La présente invention concerne le domaine des dispositifs électroniques numériques et de façon davantage particulière, la présente invention concerne un circuit de cadencement permettant de générer des signaux d'horloge à partir d'un signal de référence, plus
5 particulièrement pour une utilisation dans des réseaux numériques.

Les circuits de cadencement sont utilisés pour de nombreuses applications de cadencement temporel, de façon davantage particulière dans les réseaux de communication numérique. Un circuit de cadencement typique comprend une boucle à verrouillage de
10 phase, de façon davantage particulière une boucle à verrouillage de phase numérique au niveau de laquelle la sortie d'un oscillateur commandé numérique, qui est divisée par un nombre n , est appliquée en retour sur un détecteur de phase numérique et est comparée au signal d'entrée. La sortie du détecteur de phase est appliquée sur
15 l'entrée de l'oscillateur commandé numérique par l'intermédiaire d'un filtre numérique.

Dans les architectures de boucle à verrouillage de phase ou PLL typiques, la sortie de la PLL n'est jamais identique de façon précise à son entrée. Si l'entrée est en régime établi, la sortie peut suivre de
20 près l'entrée mais elle présentera un comportement légèrement différent du fait du bruit. Dans le cas où l'entrée n'est pas en régime établi, la PLL tentera de suivre le bruit mais nécessairement avec une réponse relativement tardive. Dans les PLL, on ne dispose typiquement pas de base à partir de laquelle la valeur future du signal
25 d'entrée peut être prédite. Par conséquent, un filtrage non causal serait requis afin de suivre de façon précise le signal d'entrée, ce qui est clairement impossible. Si un moyen de retard analogique précis était réalisable, il pourrait être possible de mimer de façon précise l'entrée retardée. Cependant, ce type de comportement existe seulement pour
30 une restauration de signal, cas dans lequel le signal d'entrée comporte une information qui concerne par exemple le domaine des phases ou des fréquences. Ce peut être le cas pour les récepteurs dans lesquels la PLL forme un dispositif de convolution qui établit la précision la plus élevée lorsque le signal est suivi de la façon la plus précise.

Dans une large classe d'applications des PLL, il est dans la réalité non souhaitable que la PLL suive de façon précise le signal d'entrée. En lieu et place, la fonction de la PLL peut consister à suivre le comportement au fil de l'eau du signal d'entrée mais dans le même temps, certains aspects du signal d'entrée sont perdus. Un exemple typique devrait être une PLL qui présente une caractéristique passe basses fréquences, ce qui permet une réjection de composantes d'erreur avec une fréquence relativement élevée. Un autre exemple typique devrait être une PLL avec une caractéristique de suppression de bande, qui peut être utilisée afin d'atténuer ou de supprimer une erreur connue et bien quantifiable telle que des signaux parasites à 50 ou 60 Hz. Ces types de PLL ont tous pour propriété qu'ils perdent de façon intentionnelle de l'information et que le signal d'entrée et le signal de sortie ne sont pas identiques et probablement même pas pratiquement identiques.

Les PLL peuvent être également classées selon un certain nombre de caractéristiques lors de leur mise en oeuvre. Deux aspects qui peuvent être utilisés, entre autres, sont rapportés au traitement de l'entrée qui est réalisé dans le détecteur de phase. L'entrée peut ou non utiliser une quantification d'amplitude, une quantification temporelle ou les deux sur le signal d'entrée. Par conséquent, quatre classes de mise en oeuvre apparaissent et parmi ces quatre classes, seulement une seule est réellement numérique, soit la mise en oeuvre avec quantification temporelle et d'amplitude.

Un récepteur radio classique n'utilise pas de quantification, qu'il s'agisse d'une quantification temporelle ou d'une quantification d'amplitude, dans ses premiers étages. L'existence de nombreuses perturbations importantes rend la quantification d'amplitude difficile du fait du nombre de bits requis ; une quantification temporelle aboutirait à la perte de détails concernant par exemple l'information de phase. En lieu et place, l'utilisation d'une conversion par abaissement et d'un filtrage selon un seuil abrupt sur la fréquence IF (fréquence intermédiaire) générée conduit à un effet de perte de signaux non souhaitables. L'élément crucial de cet aspect réside dans le fait que

l'élément de mélange (qui peut être appelé un détecteur de phase) forme de fait un dispositif de convolution simple pour accentuer le signal souhaité.

La plupart des détecteurs de phase fonctionnent sur une base
5 continuité temporelle et amplitude discrète. La sortie du détecteur de phase se comporte en tant que signal analogique tel que vu sur une quelconque période plus longue ; avec un filtre passe-bas, le détecteur de phase devient réellement analogique. Ceci est dû aux entrées continues temporellement du détecteur et ceci est transposé selon une
10 continuité d'amplitude au niveau de la sortie.

Il y a des détecteurs de phase, par exemple pour des radars très hautes fréquences, qui fonctionnent sur la base de l'échantillonnage du signal haute fréquence. En réalisant un échantillonnage sur une période temporelle extrêmement courte (une période d'échantillonnage
15 de 5 picosecondes ou ps est possible), l'amplitude du signal de retour ou du signal de référence est échantillonnée. Ceci évite la nécessité de diviseurs, et fonctionne bien pour les fréquences élevées pour lesquelles typiquement les signaux générés ressemblent davantage à des sinusoïdes qu'à des ondes carrées, ce qui est essentiel pour la
20 linéarité du détecteur de phase. La continuité en amplitude conduit ici directement à une continuité de la sortie du détecteur de phase.

Dans un détecteur de phase réellement numérique, il est par conséquent clair que l'aspect temporel et l'aspect d'amplitude sont tous deux discrets. Ceci rend possible d'éviter des éléments analogiques
25 tels que dans le filtre passe-bas, ce qui introduit de façon inhérente tous les types d'imprécisions non souhaitables. Un signal discret temporellement peut être exprimé de façon précise selon un certain nombre de pas d'erreur, ce qui est la propriété la plus importante. Une quantification d'amplitude fine (erreur faible) n'est pas extrêmement
30 importante mais il est essentiel de disposer d'au moins une information de deux niveaux de telle sorte qu'il devienne relativement aisé de faire en sorte que la PLL fonctionne plus rapidement ou plus lentement. Une quantification temporelle plus fine rend l'erreur au niveau de la quantification plus petite et une quantification d'amplitude plus fine

peut contribuer à un établissement de façon davantage précise de passages par zéro par extrapolation, ce qui conduit également à des erreurs temporelles plus petites. Les deux mécanismes d'erreur peuvent être exprimés selon une erreur de phase équivalente.

- 5 Maintenant, afin de mettre en oeuvre une PLL très précise telle que par exemple utilisée pour des signaux à 2,048 MHz qui sont utilisés dans un bus ST, il est souhaitable de faire en sorte que le signal d'erreur soit quantifié aussi tôt que possible et de façon aussi précise que possible. La raison de ce souhait réside dans les
- 10 précisions et opérations afférentes.

- Une PLL de télécommunication doit présenter une fréquence passe-bas stable et précise. Les marges qui sont autorisées dans les divers standards ne sont pas extrêmement importantes et elles deviennent très petites si l'on souhaite satisfaire plusieurs standards
- 15 ou plusieurs variantes de standard à l'intérieur d'un seul dispositif. Les mises en oeuvre analogiques souffrent typiquement de disparités de fabrication qui par exemple dans des puces peut aller jusqu'à une imprécision d'environ 50%. Une approche intégrée à 100% est la solution la plus robuste lorsque l'on fonctionne en mode numérique.

- 20 Une opération telle qu'un maintien (poursuite de la génération d'une quelconque fréquence même lorsque la référence n'existe plus) est une opération non linéaire typique qui nécessite de la mémoire. Celle-ci peut être mise en oeuvre d'une façon analogique mais il est extrêmement difficile d'obtenir des précisions de par exemple 10^{-10} .
- 25 Typiquement, une mise en oeuvre analogique normale conduira déjà à un saut soit en termes de variation, soit en termes de courant, soit en termes de tension de par exemple 100 ppm. Ceci devrait impliquer que la sensibilité du VCO (oscillateur commandé en tension) devrait être extrêmement faible, ce qui à son tour réduit fortement la plage de
- 30 fréquences maximum et nécessite une précision de VCO initiale élevée. Afin de réduire par exemple l'imprécision du saut, des techniques relativement complexes doivent être utilisées telles que des convertisseurs numériques-analogiques (CNA) avec beaucoup de bits et avec presque toujours un rognage ou une limitation. Une mise en

oeuvre complètement numérique peut virtuellement être exempte d'erreurs.

Une opération telle que MTIE et qu'une remise à l'état initial de MTIE peut être relativement bien réalisée dans des systèmes analogiques mais elle nécessite un cycle de mesure/activation, typiquement avec des convertisseurs AN (analogique/numérique) et NA (numérique/analogique). Selon une solution numérique, ceci est à nouveau plus simple. (MTIE se rapporte à une commutation entre deux références qui ne sont pas nécessairement en phase. La commutation MTIE signifie que sur la nouvelle référence, une phase décalée est manipulée de telle sorte que la phase de sortie semble rester fixe. Dans des solutions analogiques, la mise en oeuvre du décalage est typiquement réalisée en soustrayant le décalage sur la sortie du détecteur de phase avec un CNA).

La flexibilité est beaucoup plus importante dans le domaine numérique. Des opérations non linéaires telles que la modification de la fréquence passe-bas sont relativement directes à mettre en oeuvre. Dans le domaine analogique, ces opérations conduisent à des demandes supplémentaires, ce qui a un impact direct sur les précisions.

Le domaine numérique peut être instauré de telle sorte que des précisions soient une conséquence directe de la fréquence système. Si la mise en oeuvre est réalisée à l'aide d'un cristal, la précision est élevée du fait des propriétés naturelles du cristal, tout particulièrement sa qualité élevée. Une mise en oeuvre analogique peut seulement utiliser un oscillateur haute qualité en faisant appel à un VCXO (oscillateur à quartz commandé en tension), lequel limite directement sa plage de fréquences.

Les mises en oeuvre numériques ne présentent pas de difficultés particulières pour une combinaison de précisions élevées avec des plages dynamiques importantes. Poursuivons avec l'exemple analogique ; un CNA d'une précision de 20 bits nécessite encore une plage de VCO de seulement 100 ppm afin d'obtenir une précision de maintien de 10^{-10} . Une solution numérique permet aisément d'obtenir

une plage de 25% ou même de 100% avec un tel maintien.

Au niveau d'une mise en oeuvre tout numérique, les signaux d'erreur présentent tous un format numérique. Ceci rend l'utilisation de ces valeurs au niveau de mesures statistiques (calcul de moyenne, calcul de minimum, calcul de maximum, calcul de déviation, etc...) relativement aisée. Au niveau d'une solution analogique, les signaux doivent être convertis tout d'abord sous forme numérique ou doivent être manipulés avec des circuits analogiques très difficiles. L'un des éléments difficiles dans le domaine analogique réside dans le fait que les signaux peuvent présenter une plage dynamique variant largement d'un signal à un autre signal, ce qui ne rend pas la mise en oeuvre simple.

Pour résumer, une mise en oeuvre tout numérique présente de nombreux avantages. Les précisions qui sont typiquement requises selon les standards des télécommunications conduisent dans la pratique à l'obligation de l'utilisation des approches numériques, tout particulièrement lorsqu'une approche complètement intégrée est souhaitée. La flexibilité d'une approche tout numérique constitue alors un point positif qui peut être utilisé afin d'étendre les fonctionnalités.

Le schéma fonctionnel d'une solution numérique est en fait peu différent de celui du cas analogique normal ; les blocs sont mis en oeuvre d'une façon numérique, avec des connexions multibits entre eux en lieu et place de signaux analogiques. Ceci a pour effet que la modélisation d'une PLL analogique peut être appliquée à pratiquement 100%, laquelle modélisation est un domaine bien connu de par de nombreuses publications.

Une PLL tout numérique présente un inconvénient essentiel ; le signal de retour et la référence ne sont typiquement pas en phase du fait que l'objet de la PLL consiste à atténuer ou supprimer certains artefacts de signal. Cette absence d'alignement des phases se transpose directement selon des erreurs de cadencement ; l'échantillonnage implicite est discret et par conséquent, il présente des erreurs d'arrondi/troncature. Ceci en soi peut ne pas sembler très sérieux au premier coup d'oeil mais a un impact direct sur la fonction

de transfert de la PLL, laquelle est rapportée à la fonction de transfert du détecteur de phase.

Un objet de l'invention consiste à alléger les problèmes mentionnés ci-avant que l'on rencontre dans l'art antérieur.

- 5 Conformément à la présente invention, on propose un circuit de cadencement permettant de générer des signaux d'horloge, comprenant une boucle à verrouillage de phase numérique d'acquisition présentant une large plage de capture pour suivre de près un signal d'entrée ainsi que ses perturbations associées ; e une boucle
- 10 à verrouillage de phase numérique de sortie qui présente une réponse lente par rapport à ladite boucle à verrouillage de phase d'acquisition, ladite boucle à verrouillage de phase numérique de sortie suivant une sortie numérique de ladite boucle à verrouillage de phase d'acquisition afin de générer un signal de sortie pour le circuit de cadencement.
- 15 L'utilisation d'une approche à deux pas ou étapes est élégante. La première PLL numérique suit activement tous les signaux d'entrée avant tout autre traitement. Ceci signifie que cette première PLL numérique présente une large plage de capture, une fréquence passe-bas élevée et une plage de phases relativement importante. Par
- 20 conséquent, la PLL d'acquisition suit chaque élément digne d'intérêt. L'élément critique dans cette PLL doit être que sa fréquence passante doit être élevée au point que tous les signaux d'erreur pertinents soient suivis. Dans la réalité, ceci signifie qu'il peut y avoir une largeur de bande ou bande passante de par exemple 100 kHz puisque les erreurs
- 25 les plus importantes se trouveront en définitive en direction des composantes continues ou DC. Ceci est à rapporter aux effets $1/f$ et $1/f^2$ concernant les VCO, les amplificateurs etc... Au-dessus de ces largeurs de bande ou bandes passantes, la PLL manquera une certaine part des éléments de bruit vrais mais ce bruit tend à être blanc
- 30 et n'est pas très important pour des systèmes de télécommunication.

La première PLL génère une sortie numérique qui est ensuite appliquée sur une seconde PLL tout numérique qui suit de près le signal tout en éliminant les composantes d'erreur. Les avantages d'une PLL tout numérique sont atteints mais puisque le signal de référence

pour la seconde PLL est tout numérique et qu'aucune conversion analogique-numérique n'est requise, des erreurs de quantification sont évitées.

L'invention propose également un procédé permettant de
5 générer des signaux d'horloge à partir d'un signal d'entrée susceptible d'erreurs, comprenant le suivi du signal d'entrée et de ses composantes d'erreur à l'aide d'une boucle à verrouillage de phase numérique d'acquisition afin de produire un signal de sortie numérique ; et le suivi dudit signal de sortie numérique avec une
10 boucle à verrouillage de phase numérique de sortie qui présente une réponse lente par rapport à ladite boucle à verrouillage de phase numérique d'acquisition de manière à éliminer lesdites composantes d'erreur.

L'invention sera décrite de manière davantage détaillée, à titre
15 d'exemple seulement par report aux dessins annexés parmi lesquels :

la figure 1 est un schéma fonctionnel d'un oscillateur commandé numérique ;

la figure 2 est un schéma de cadencement qui représente l'effet de la réjection ou du rejet de composantes d'erreur avec une
20 fréquence élevée ;

la figure 3 représente la fonction de transfert du détecteur de phase d'une PLL tout numérique ;

la figure 4 représente la variation du gain du détecteur de phase ;

25 la figure 5 représente l'effet de la variation du gain sur la fonction de transfert de la boucle à verrouillage de phase ;

la figure 6 représente une boucle à verrouillage de phase numérique double conformément aux principes de l'invention ;

la figure 7 représente un second mode de réalisation d'une
30 boucle à verrouillage de phase numérique double conformément aux principes de l'invention ;

la figure 8 représente un troisième mode de réalisation d'une boucle à verrouillage de phase numérique double conformément aux principes de l'invention ;

la figure 9 représente un quatrième mode de réalisation d'une boucle à verrouillage de phase numérique double conformément aux principes de l'invention ; et

la figure 10 représente un cinquième mode de réalisation d'une
5 boucle à verrouillage de phase numérique double conformément aux principes de l'invention.

La figure 1 est un schéma fonctionnel d'une boucle à verrouillage de phase tout numérique typique. Cette boucle à verrouillage de phase tout numérique typique comprend un détecteur
10 de phase numérique 10 qui reçoit un signal de référence au niveau de sa première entrée et un filtre numérique 11 qui applique la sortie du détecteur de phase sur un oscillateur commandé numérique (DCO) 13, lequel à son tour génère le signal de sortie. Un diviseur 12 est inclus
15 dans la boucle de retour depuis la sortie du DCO 13 jusqu'à la seconde entrée du détecteur de phase 10. Ceci est similaire à une boucle à verrouillage de phase analogique à ceci près que le DCO remplace l'oscillateur commandé en tension (VCO) de la PLL analogique et que les circuits restants sont tous numériques.

Par report ensuite à la figure 2, il est à noter que le rapport
20 impulsion sur espace du signal d'entrée varie du fait de composantes d'erreur parasites. Une PLL idéale présentant une caractéristique passe basses fréquences rejette les composantes d'erreur et génère le signal de sortie souhaité uniforme qui est représenté.

Comme noté ci-avant, ce circuit présente de nombreux
25 avantages par rapport à des conceptions qu'on peut lui opposer mais il a un certain nombre de problèmes du fait de l'absence d'alignement des phases du signal de retour avec le signal de référence.

Tandis qu'un détecteur de phase normal présente une fonction de transfert qui est une ligne en pente rectiligne, un détecteur de
30 phase de signal échantillonné complètement numérique présente des pas de quantification en son sein, comme représenté sur la figure 3. Ceci pourrait être évité soit en n'utilisant pas une quantification d'amplitude, soit en n'utilisant pas une quantification temporelle, soit en n'utilisant aucune des deux. Dans ce cas, le signal d'entrée peut être

restructuré de façon parfaite. Cependant, la quantification double rend la fonction de transfert illustrée inévitable.

Les valeurs réelles sur les axes n'ont pas une réelle importance mais elles ont simplement pour but de procurer un certain ressenti
5 concernant l'approche globale. Les valeurs sont utilisées telles que dans un système de comptage numérique normal.

L'axe horizontal peut être vu en tant qu'endroits au niveau
desquels l'échantillonnage temporel est réalisé ; en tant que temps
centraux, on peut noter $t = 0$, mais également $t = -1$, $t = +1$ etc...
10 L'utilisation du temps central 0 est rapportée à la relation en termes de
phase des deux signaux au niveau de l'entrée du détecteur de phase,
laquelle relation est invariante du point de vue du temps, de telle sorte
qu'il est souhaitable d'utiliser 0 en tant que valeur centrale.

La transition verticale au travers de 0 est choisie ici compte tenu
15 du contexte. Il est possible de décaler la courbe complète vers le haut
ou vers le bas en liant une valeur au signal échantillonné. Dans le cas
d'un signal numérique normal, on peut dire que les échantillons sont 0
ou 1. Cependant, le codage de ce signal peut être utilisé de manière à
signifier $-1/2$ et $+1/2$ (ou si on le souhaite $-1/3$, $+2/3$ etc... mais le choix
20 de $-1/2$, $+1/2$ est le plus souhaitable).

Ainsi, le gain de boucle est maximum au voisinage de 0. De par
la théorie des PLL analogiques, il est connu depuis longtemps que ceci
est relativement essentiel ; si l'on doit choisir une ligne horizontale qui
passe par 0, l'effet devrait être qu'une zone morte en résulte, le retour
25 pouvant réaliser une dérive vers l'avant et vers l'arrière sans un
quelconque effet sur la valeur qui est générée par le détecteur de
phase. En lieu et place, une partie raide ou même verticale de la
courbe lors du passage par 0 aboutit au fait que la PLL recherche de
façon active la position centrale. Dans des systèmes analogiques, ceci
30 est également relativement important ; la sortie du détecteur de phase
au-dessus de 0 et la partie au-dessous de zéro sont typiquement
générées avec différentes sources de courant et ceci à son tour
conduit à des problèmes de cadencement. En introduisant un certain
chevauchement depuis l'endroit où le "courant positif" se termine et où

le "courant négatif" commence, la transition par 0 devient de fait relativement raide.

L'impact le plus important subi par la fonction de transfert réside dans le fait que le gain du détecteur de phase est normalement défini en tant que pente de la courbe de transfert de phase. Celle-ci devient infinie au voisinage de 0. Ceci peut être considéré en tant que dépendance du gain vis-à-vis de la dimension du signal d'erreur d'entrée ; une faible erreur apparaîtra en tant qu'erreur beaucoup plus importante. Dans la situation d'un signal d'entrée numérique, ceci est clair ; si la référence réalise un décalage de par exemple 0,1 radian depuis le côté gauche du 0 jusqu'au côté droit du 0, l'échantillon passe de 0 à 1, ce qui signifie une variation de 2π radians de telle sorte que le gain semble être égal à 20π en lieu et place de 1. Cet effet est représenté sur la figure 4.

On peut voir sur la figure 4 que le gain pour des signaux d'erreur importants est de 1 et que le gain au voisinage de zéro est très important. Le gain peut chuter au-dessous de 1, par exemple entre 0,5 et 1, cas dans lequel la sortie est toujours à 0,5.

Si la quantification temporelle devient plus petite, la sensibilité en termes d'erreur (la divergence entre le gain réel et la valeur souhaitée de 1) pour une certaine dimension du signal d'erreur devient plus faible.

La conséquence essentielle de la variation du gain peut être trouvée dans la fonction de transfert du système total comme représenté sur la figure 5. Un gain plus important au niveau de l'entrée signifie que la fréquence passe-bas de la PLL totale est décalée vers le haut. De fait, il peut être prouvé que le système doit devenir instable lors de la présence la plus légère d'un quelconque élément de retard ou de décalage de phase. De fait, ceci est vrai ; le comportement au voisinage de 0 a pour effet que le système continue de sembler être à l'équilibre au voisinage de 0 en réalisant des oscillations vers l'avant et vers l'arrière en permanence. Cet effet est connu en tant que cycle de limite. La dimension de cet effet dépend des autres éléments tels que la sensibilité de l'oscillateur commandé numériquement (DCO) ou de

l'oscillateur commandé en tension (VCO), des filtres etc... Sur la figure 5, l'effet est calculé et tracé pour une quelconque courbe de transfert de premier ordre réaliste.

La fréquence passe-bas instable est non souhaitable ; elle
5 signifie que le système présentera de fait une fréquence passante différente pour un petit signal par rapport au cas d'un signal important. Ceci est en général non souhaitable du fait qu'une partie importante de la précision que l'on trouve au niveau de l'approche numérique est perdue.

10 Un certain nombre de problèmes additionnels se posent. A la suite des problèmes de la fréquence passe-bas, des éléments tels qu'un effet de crête et qu'une fréquence de crête commencent à se décaler.

Le comportement en transfert réel au fil du temps rencontrera
15 des sauts au niveau des sensibilités tandis que la PLL tente de réaliser un verrouillage. Ceci en général peut être modélisé en tant que comportement non linéaire qui peut conduire (et qui probablement conduira) à un comportement chaotique mathématiquement. Dans le modèle de signal de grande amplitude, ceci ne joue pas un rôle
20 important mais ce phénomène ne peut pas être complètement négligé. Même dans l'approche par signal de grande amplitude, certains petits sauts restent présents.

Le comportement chaotique conduit à des anomalies
relativement étranges telles qu'une différence en termes de
25 comportement des deux PLL numériques qui fonctionnent sur la même horloge, avec les mêmes conditions de départ (remise à l'état initial) et la même référence d'entrée ; bien que les PLL soient numériques, de fait les sorties ne se suivront pas l'une l'autre de façon précise. Ceci est dû à des effets temporels mineurs au niveau des PLL, lesquels
30 effets ont pour effet que les PLL ne sont après tout pas réellement identiques. L'élément chaotique accentue ces différences de telle sorte que les sorties présentent des différences importantes (ceci a été vérifié dans la réalité). Dans un système comportant par exemple seize cartes dont chacune dispose de sa propre PLL qui génère une certaine

horloge à partir d'un signal de plan arrière partagé, les seize horloges générées ne peuvent par conséquent pas être considérées comme étant égales ou pratiquement égales.

Il peut être impossible de détecter une quelconque différence
5 entre des signaux d'erreur très petits, petits et normaux si tous ces signaux tombent dans la région au voisinage de 0. Ceci à son tour rend impossible d'obtenir un quelconque détail concernant le signal d'entrée simplement en observant la sortie du détecteur de phase. Ce sont précisément les détails qui présentent un intérêt si l'on veut
10 caractériser par exemple le comportement en termes de bruit d'une ligne de télécommunication. Les détails peuvent révéler des effets tels qu'un bruit typiquement en provenance d'amplificateurs, de commutateurs etc... Ces sources de bruit seront faibles (sinon, l'information restante sur la ligne est à zéro et par conséquent, une
15 résolution plus fine pour l'étude est nécessaire).

Par report maintenant à la figure 6, celle-ci comporte deux boucles à verrouillage de phase tout numérique qui sont agencées en tandem, chacune comportant un détecteur de phase numérique 10, un filtre 11, un oscillateur commandé numérique 13 et un diviseur 12.

20 La première PLL 1 est appelée PLL d'acquisition et elle comporte un filtre passe-bas 11 qui présente une fréquence de coupure relativement élevée. Cette fréquence est par exemple de 300 kHz de telle sorte que la PLL d'acquisition suive toutes les variations du signal d'entrée, y compris des composantes d'erreur. La sortie 3 de
25 la première PLL 1 est connectée à l'entrée d'une seconde PLL 2, laquelle forme une PLL de sortie et génère un signal de sortie 4.

La seconde PLL 2 comporte un filtre passe-bas 11 qui présente une fréquence de coupure relativement faible de telle sorte qu'il ne suive pas les composantes d'erreur dans le signal de sortie de la PLL
30 d'acquisition.

En suivant le signal d'entrée très rapidement, le système, de façon implicite, ne réalise pas d'erreur au niveau du détecteur de phase ; le détecteur de phase est toujours actif de façon précise au voisinage de zéro. Par conséquent, il suffit d'observer la façon dont le

DCO est piloté afin d'obtenir toute l'information pertinente concernant le comportement. Il y a toujours une raison pour rendre la quantification temporelle aussi fine que possible ; si les pas temporels sont petits, l'information peut comporter davantage de bits, et le

5 couplage sur le DCO 13 peut être réalisé avec un bit de poids le plus faible d'un ordre inférieur. Par conséquent, un pas temporel plus petit rendra de façon implicite la sensibilité de cycle de limite du système plus faible. Ceci est d'un intérêt pour la détection des erreurs les plus petites ; si le cycle de limite présente une sensibilité crête à crête de

10 par exemple 1 nanoseconde ou ns, la détection d'erreurs au voisinage de 10 ps n'est pas triviale bien que ces nombres soient pertinents dans les technologies courantes.

Un effet avantageux de la PLL d'acquisition à entrée rapide est qu'elle peut être efficacement utilisée également pour restaurer des

15 données, en générant la position d'échantillonnage au niveau du diagramme en oeil. Pour une telle PLL, il est essentiel que des fréquences relativement élevées soient suivies telles que le bruit mais que ces fréquences ne soient pas élevées au point qu'une interférence inter-symbole ou ISI soit également suivie. L'ISI peut donner naissance

20 à des décalages relativement sévères des points de passage par zéro dans le signal d'entrée (par rapport à l'horloge "idéale", c'est-à-dire) tout particulièrement pour des symboles directement voisins. En fonction des courbes (rolloff) du spectre (0,13, 0,15, 0,25 etc...) et en fonction de la forme du spectre (GMSK, cosinus élevé au carré, Feher,

25 etc...), l'ISI peut être plus grande ou plus petite mais typiquement, la partie pertinente de l'ISI ne s'étend pas de façon "visible" au delà de 5 symboles. Ceci suggère une PLL qui présente une fréquence passe-bas relativement élevée mais qui de fait est libérée des anomalies que l'on rencontre dans le cas d'une échelle de quelques symboles. Pour

30 des fréquences plus élevées telles que Sonet (155 MHz), l'utilisation d'une largeur de bande ou bande passante au voisinage de quelques 100 kHz est par conséquent attractive.

Puisque les PLL à suivi rapide peuvent déterminer de façon précise la phase numérisée du signal d'entrée, elles sont appelées

PLL d'acquisition. La largeur de bande ou bande passante réelle de la PLL n'est pas critique mais la largeur de bande ou bande passante relative de la PLL, rapportée aux perturbations normales sur le signal d'entrée, est importante. Elle doit être suffisamment grande pour englober toutes ces perturbations normales.

La PLL de génération de sortie 2 utilise le signal d'entrée quantifié de façon précise. Même si la PLL de sortie peut être lente de telle sorte qu'elle ne suive pas de près la PLL d'entrée, l'erreur de quantification ne remonte pas à nouveau du fait que le signal de référence d'entrée sur la seconde PLL est déjà numérique et qu'aucune étape de conversion analogique-numérique additionnelle n'est requise.

Il est possible de combiner plusieurs PLL d'acquisition dans un seul système de telle sorte qu'une commutation d'une boucle à une autre puisse être mise en oeuvre. La commutation depuis une entrée sur une autre peut être réalisée numériquement sans discontinuité. Pour des applications de télécommunication, ceci est critique ; lors d'une commutation, il y a une demande de MTIE, ce qui place un maximum sur l'erreur de phase qui survient lorsqu'une commutation est réalisée. Cette approche permet une erreur de 0 théorique lorsque l'on réalise une commutation depuis un signal complètement caractérisé sur un autre signal complètement caractérisé. Traditionnellement, des erreurs maximum de l'ordre de 1 nanoseconde ou ns jusqu'à 1 microseconde ou μs sont demandées, ce qui devient maintenant relativement trivial. D'autres solutions nécessitant tout d'abord un apprentissage après la commutation, ce qui implique toujours que tous aspects de phase en comportement du signal d'entrée deviennent alors connus. Par conséquent, il devient possible de caractériser complètement le signal d'entrée du point de vue de son comportement en termes de phase. Cette caractérisation peut être sous la forme de par exemple un jeu statistique de nombres (tels que minimum, maximum, moyenne, déviation standard de fréquence ou de phase au fil du temps) ou un jeu de données FFT (transformation de Fourier rapide) complet. Par conséquent, il devient possible de

disposer d'une information en ligne concernant des signaux d'entrée de telle sorte que la prédiction de problèmes qui surviennent devient davantage possible. Par ailleurs, il devient possible de tester la compatibilité avec des standards pertinents tandis que le
5 fonctionnement se déroule normalement.

Les mesures statistiques rendent possible de caractériser la mise en oeuvre de l'idée elle-même quant à ses limitations inhérentes ; en suivant un signal "propre" tel qu'il peut en être généré au moyen d'un cristal, il devient possible de disposer d'une caractérisation du
10 dispositif lui-même. Ceci constitue un élément critique pour faire en sorte que le dispositif soit auto-testable. Cette capacité d'auto-test peut être utilisée à la fois pendant la fabrication et au niveau de l'application dans le domaine.

Il est possible d'utiliser plusieurs PLL de sortie qui peuvent
15 répondre moyennant des vitesses différentes. Ceci à son tour peut être utilisé pour établir la différence des deux sorties dans la bande entre les deux vitesses. Par conséquent, il devient possible de réaliser une caractérisation de bande passante simple ou une caractérisation en fréquence simple sans FFT.

20 Les opérations mathématiques réalisées sur les sorties numériques d'un certain nombre de PLL d'acquisition sont triviales. Ceci est vrai pour n'importe quel élément d'information pertinent, soit la phase, la fréquence etc... Les opérations relativement évidentes sont : addition, calcul de moyenne, calcul de moyenne pondérée. Afin de
25 donner des exemples d'une telle utilisation, un calcul de moyenne peut typiquement être utilisé pour la génération d'une horloge qui est la moyenne précise d'un certain nombre d'horloges. Ceci est utilisé dans des points centraux de réseaux au niveau desquels plusieurs horloges atomiques sont "moyennées" afin d'obtenir une sortie. Le calcul de
30 moyenne pondérée est une forme davantage générale qui peut être utilisée pour la mise en oeuvre d'une telle fonction. La sommation de phases ou de fréquences peut être utilisée par exemple dans des applications de radar dans lesquelles de nombreux types différents de signaux qui traversent des mélangeurs permettent d'obtenir des effets

de sommation de fréquence.

Une autre classe simple d'opérations peut être trouvée au niveau des additions, des multiplications et des divisions à virgule fixe. Les phases peuvent être rendues telles qu'elles présentent une
5 certaine relation rationnelle (telle que selon une relation mathématiquement rationnelle). Un exemple est une multiplication N/M. Ceci est typiquement nécessaire à nouveau dans le cas par exemple des télécommunications, par exemple pour rapporter E1 et T1 l'un à l'autre. Des exemples d'addition de phases ou de fréquences
10 peuvent être observés dans des standards pour DECT, TETRA et similaire (un décalage de fréquence fixe entre un signal de réception et un signal d'émission).

Une considération de niveau très basique liée aux multiples PLL d'acquisition réside dans le fait qu'il devient simple de suivre un
15 premier signal d'entrée plus un premier signal de réserve, pour une commutation à n'importe quel moment, plus une troisième PLL d'acquisition afin d'observer d'autres signaux d'entrée pour les mesurer (caractérisation en amont) ou pour commencer à les utiliser en tant que fréquence de secours meilleure. Dans le dernier cas, la PLL
20 d'acquisition de premier signal de réserve pourrait être manquante.

Un second décimateur peut être ajouté si on souhaite dériver un signal d'erreur non souhaité pour une sortie variable basses fréquences.

La figure 7 représente un circuit avec trois PLL d'acquisition 1
25 qui sont connectées à la PLL de sortie 2 par l'intermédiaire d'un multiplexeur 3, ce qui permet de sélectionner n'importe laquelle des entrées de référence.

La figure 8 représente une connexion de circuit similaire au cas de la PLL de sortie 2. Plusieurs PLL d'acquisition 1 sont connectées à
30 la PLL de sortie 2 par l'intermédiaire d'un additionneur, lequel additionneur somme les entrées de référence (avec ou sans facteurs de pondération) afin d'obtenir une quelconque fréquence moyenne de plusieurs entrées.

La figure 9 représente un modèle davantage généralisé pour

trois PLL d'acquisition 1 et une seule PLL de sortie 2, modèle généralisé selon lequel la PLL de sortie reçoit une certaine combinaison mathématique des sorties des PLL d'acquisition 1 par l'intermédiaire d'un bloc opérationnel 5. L'équation peut englober des

5 équations non linéaires telles que celle du multiplexeur 3 mais également des équations qui dépendent du temps, des équations linéaires normales etc... Bien entendu, le nombre de PLL d'acquisition et de sortie peut être modifié de façon simple.

La figure 10 représente une pluralité de PLL d'acquisition 1 qui

10 sont connectées par l'intermédiaire d'un bloc opérationnel 5 à une PLL de sortie 2. Les PLL d'acquisition 1 sont connectées par l'intermédiaire de multiplexeurs 6 à trois entrées in1, in2, in3 et à un oscillateur à quartz 7. Ce mode de réalisation permet de tester la qualité des circuits.

15 Il apparaîtra clairement que le nombre de mises en oeuvre possibles et pertinentes est énorme. L'élément crucial à ce niveau réside dans le fait qu'une fois que l'entrée est numérisée, les opérations peuvent être manipulées sans erreur simplement en choisissant le codage correct et l'architecture appropriée. Ceci ouvre

20 une large plage d'applications moyennant des erreurs négligeables.

REVENDICATIONS

1. Circuit de cadencement pour générer des signaux d'horloge, caractérisé en ce qu'il comprend :

une boucle à verrouillage de phase numérique d'acquisition (1) présentant une large plage de capture pour suivre de près un signal d'entrée ainsi que ses perturbations associées ; et

une boucle à verrouillage de phase numérique de sortie (2) qui présente une réponse lente par rapport à ladite boucle à verrouillage de phase d'acquisition, ladite boucle à verrouillage de phase numérique de sortie suivant une sortie numérique de ladite boucle à verrouillage de phase d'acquisition afin de générer un signal de sortie pour le circuit de cadencement.

2. Circuit de cadencement selon la revendication 1, caractérisé en ce que ladite boucle à verrouillage de phase numérique d'acquisition (1) et ladite boucle à verrouillage de phase de sortie (2) incluent des filtres passe-bas numériques (11), ledit filtre passe-bas numérique dans ladite boucle à verrouillage de phase numérique d'acquisition (1) présentant une fréquence de coupure supérieure à celle dudit filtre passe-bas numérique dans ladite boucle à verrouillage de phase de sortie (2).

3. Circuit de cadencement selon la revendication 2, caractérisé en ce que ledit filtre passe-bas numérique (11) dans ladite boucle à verrouillage de phase numérique d'acquisition (1) présente une fréquence de coupure suffisamment élevée pour assurer que la sortie suive de près le signal d'entrée ainsi que ses composantes d'erreur associées.

4. Circuit de cadencement selon la revendication 3, caractérisé en ce que ledit filtre passe-bas numérique (11) dans ladite boucle à verrouillage de phase numérique de sortie (2) présente une fréquence de coupure suffisamment faible pour assurer que la sortie suive la sortie de ladite boucle à verrouillage de phase numérique d'acquisition (1) sans les composantes d'erreur associées qui sont

présentes dans le signal d'entrée.

5. Circuit de cadencement selon l'une quelconque des revendications 1 à 4, caractérisé en ce qu'il comprend une pluralité desdites boucles à verrouillage de phase numérique d'acquisition (1) qui reçoivent des signaux d'entrée respectifs, chacune desdites boucles à verrouillage de phase numérique d'acquisition étant connectée par l'intermédiaire d'un circuit fonctionnel (5) à ladite boucle à verrouillage de phase de sortie (2).

6. Circuit de cadencement selon la revendication 5, caractérisé en ce que ledit circuit fonctionnel (5) est un multiplexeur (3) afin de sélectionner l'une des sorties desdites boucles à verrouillage de phase numériques d'acquisition (1).

7. Circuit de cadencement selon la revendication 6, caractérisé en ce que ledit circuit fonctionnel (5) est un additionneur afin de combiner les sorties desdites boucles à verrouillage de phase numériques d'acquisition (1) afin de produire une moyenne.

8. Circuit de cadencement selon la revendication 7, caractérisé en ce que ledit additionneur génère une moyenne pondérée.

9. Circuit de cadencement selon la revendication 5, caractérisé en ce que le circuit fonctionnel (5) dérive une sortie à partir des sorties desdites boucles à verrouillage de phase numériques d'acquisition (1) conformément à une équation mathématique.

10. Circuit de cadencement selon la revendication 5, caractérisé en ce que des entrées desdites boucles à verrouillage de phase numériques d'acquisition (1) sont connectées par l'intermédiaire de multiplexeurs respectifs (6) à une pluralité d'entrées (in1, in2, in3) et à un oscillateur à quartz (7).

11. Procédé de génération de signaux d'horloge à partir d'un signal d'entrée susceptible d'erreurs, caractérisé en ce qu'il comprend :

le suivi du signal d'entrée et de ses composantes d'erreur à l'aide d'une boucle à verrouillage de phase numérique d'acquisition (1) afin de produire un signal de sortie numérique ; et

le suivi dudit signal de sortie numérique avec une boucle à verrouillage de phase numérique de sortie (2) qui présente une réponse lente par rapport à ladite boucle à verrouillage de phase numérique d'acquisition de manière à éliminer lesdites composantes d'erreur.

12. Procédé selon la revendication 11, caractérisé en ce que ladite boucle à verrouillage de phase numérique d'acquisition (1) comporte un filtre numérique (11) qui présente une fréquence de coupure élevée par rapport à la fréquence de coupure d'un filtre numérique (11) dans ladite boucle à verrouillage de phase numérique de sortie (2).

13. Procédé selon la revendication 12, caractérisé en ce qu'une pluralité de signaux d'entrée sont suivis en relation avec lesdites boucles à verrouillage de phase numériques d'acquisition (1) afin de produire une pluralité de signaux de sortie numériques qui sont passés au travers d'un bloc fonctionnel (5) pour réaliser un suivi à l'aide de ladite boucle à verrouillage de phase numérique de sortie (2).

14. Procédé selon la revendication 13, caractérisé en ce que ledit bloc fonctionnel (5) permet la sélection de l'une des sorties numériques desdites boucles à verrouillage de phase numériques d'acquisition (1).

15. Procédé selon la revendication 13, caractérisé en ce que ledit bloc fonctionnel (5) combine lesdites sorties numériques desdites boucles à verrouillage de phase numériques d'acquisition (1) afin de produire une moyenne.

16. Procédé selon la revendication 15, caractérisé en ce que ladite moyenne est une moyenne pondérée.

17. Procédé selon la revendication 13, caractérisé en ce que l'un d'une pluralité de signaux d'entrée peut être sélectionné pour une entrée sur chacune desdites boucles à verrouillage de phase numérique d'acquisition (1).

18. Procédé selon la revendication 17, caractérisé en ce que l'un desdits signaux d'entrée est dérivé à partir d'un oscillateur à quartz (7) à des fins de test.

19. Procédé selon la revendication 12, caractérisé en ce que ledit filtre (11) dans ladite boucle à verrouillage de phase numérique d'acquisition (1) présente une fréquence de coupure de quelques centaines de Hertz.

- 5 20. Procédé selon la revendication 14, caractérisé en ce que l'un desdits signaux d'entrée constitue un signal de secours en vue d'une utilisation dans l'éventualité d'une défaillance d'un signal de référence principal.

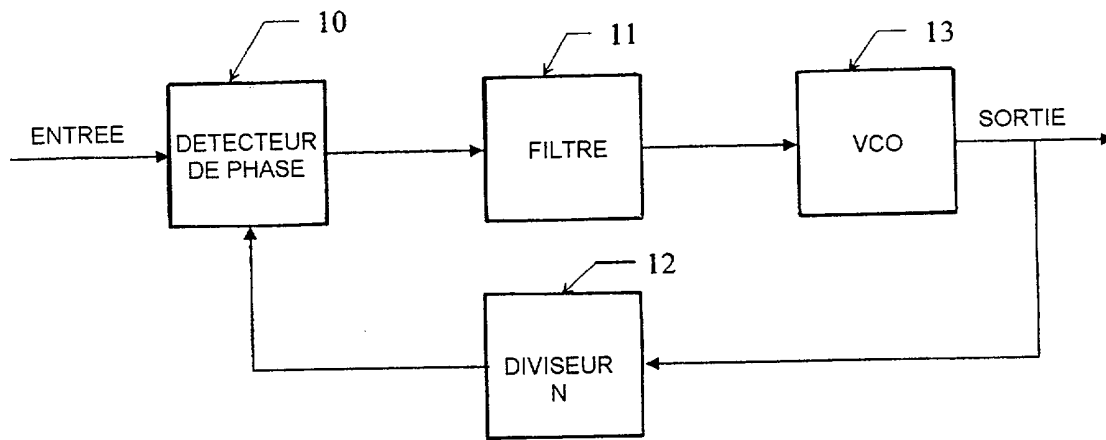


FIG.1

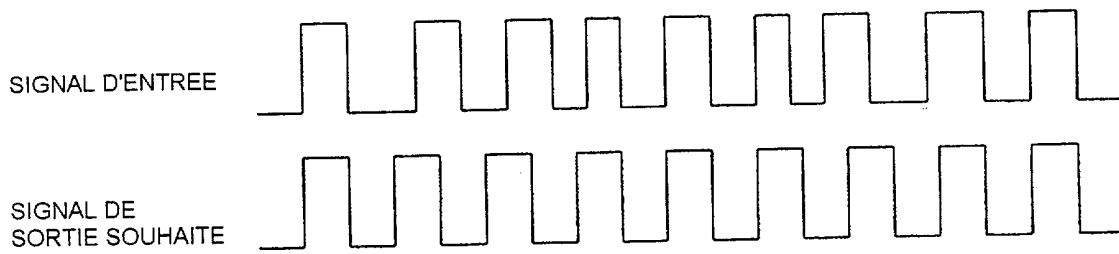


FIG.2

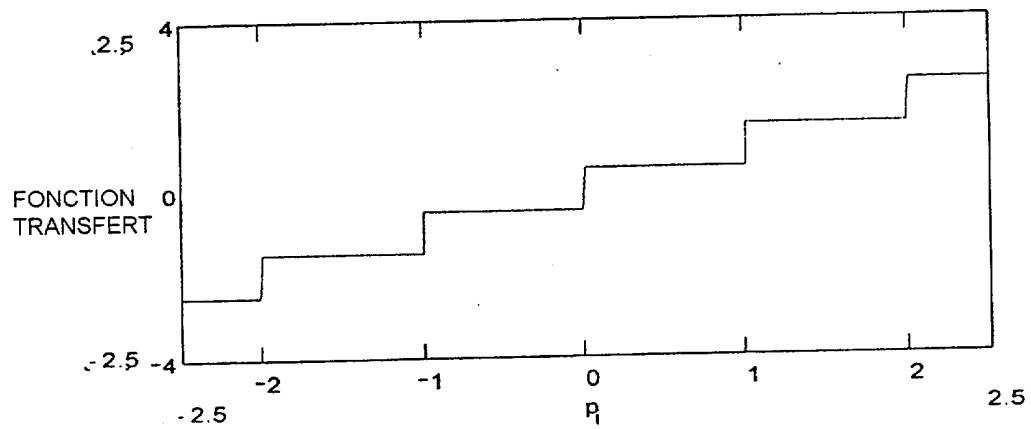


FIG.3

2/4

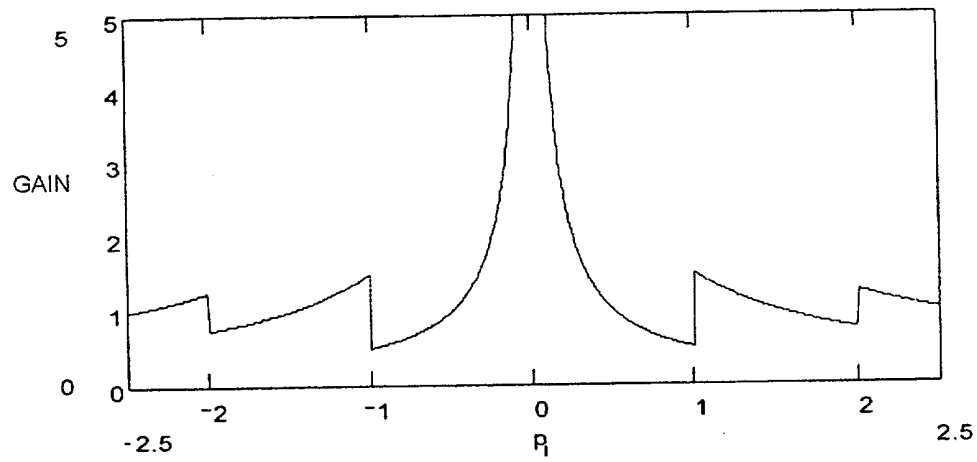


FIG. 4

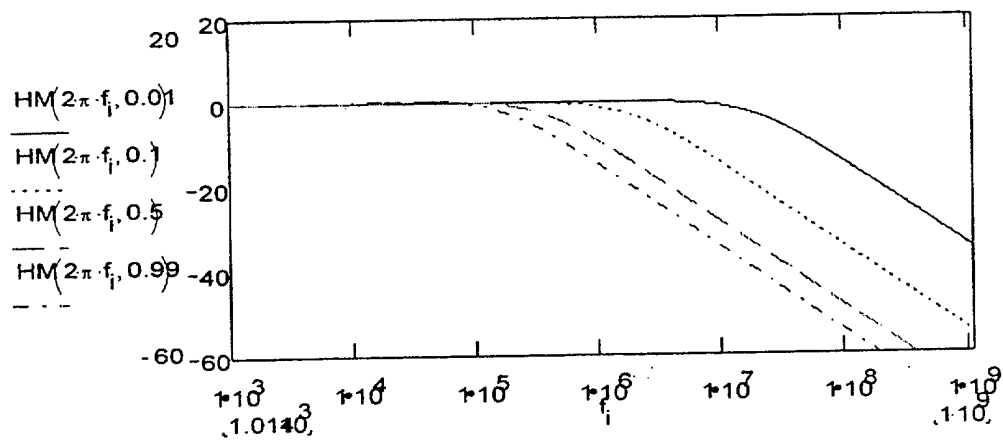


FIG. 5

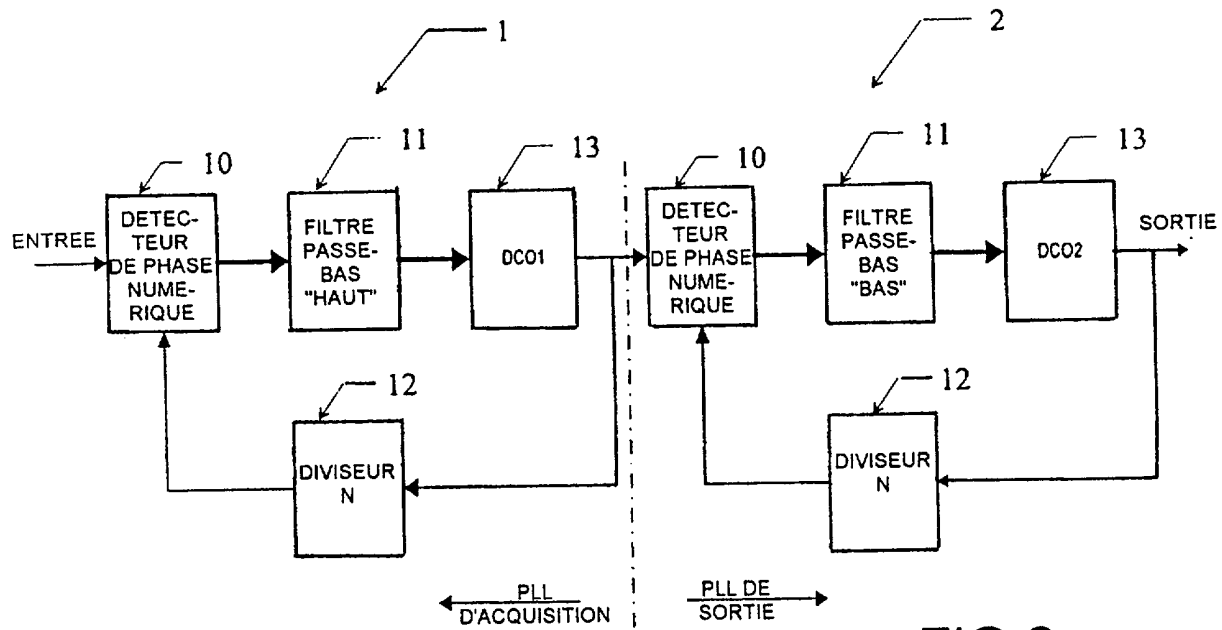


FIG. 6

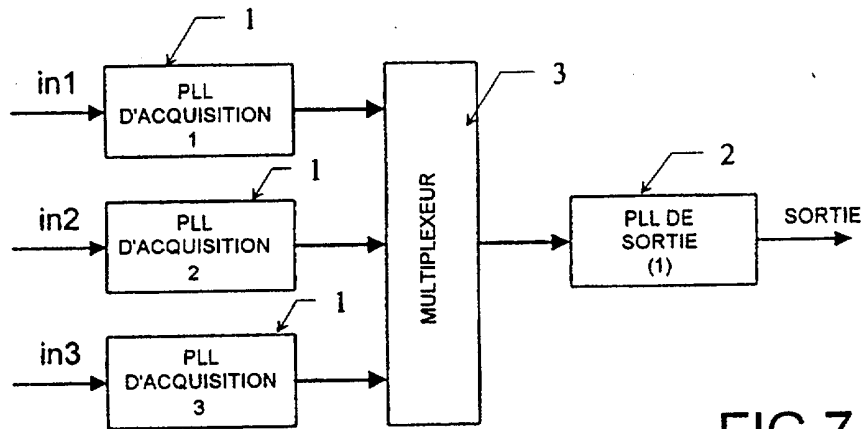


FIG. 7

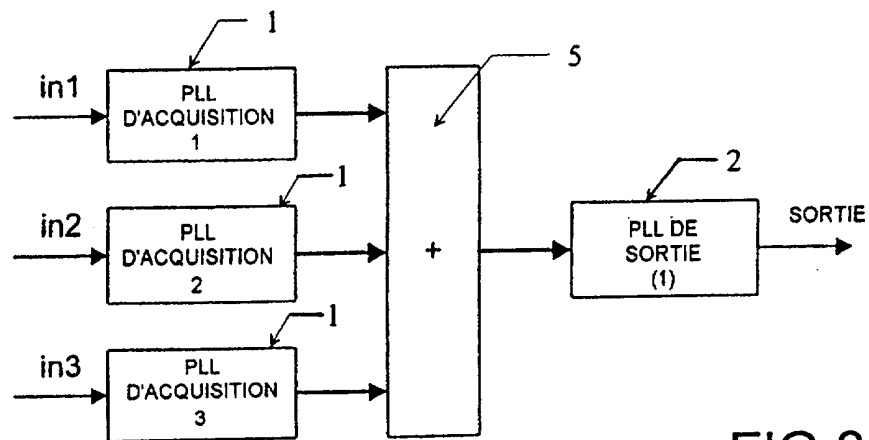


FIG. 8

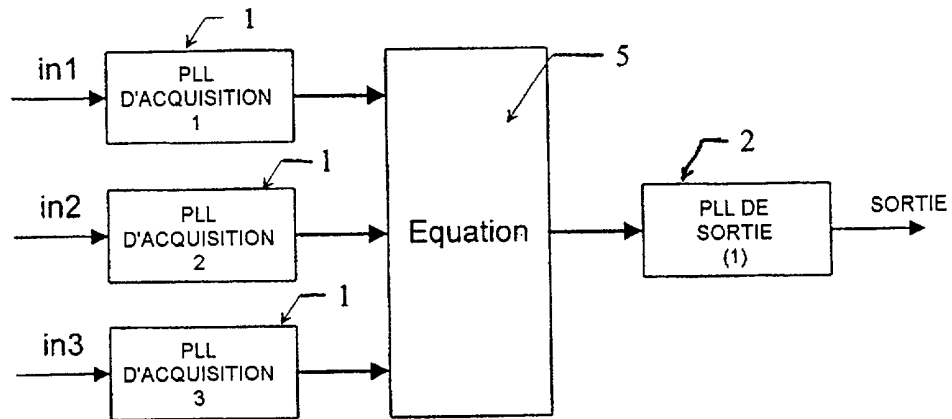


FIG.9

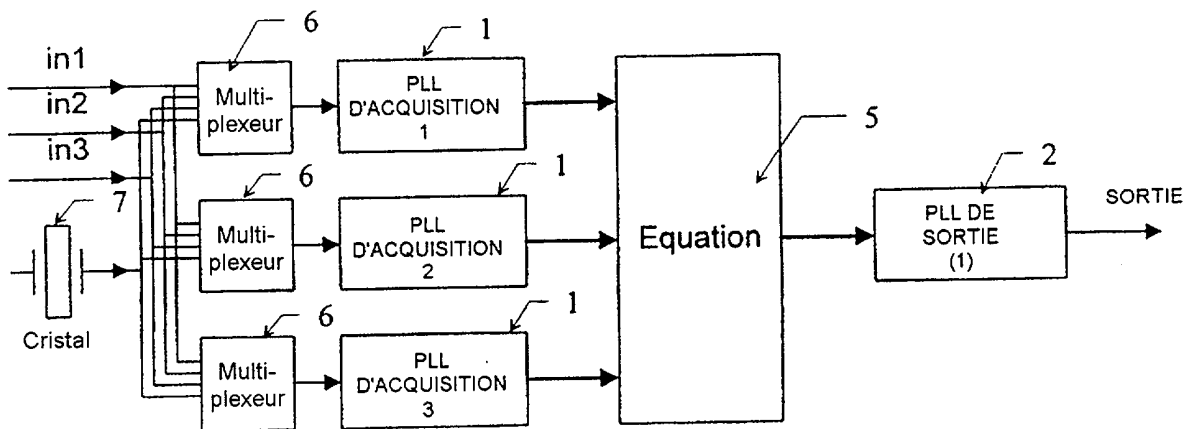


FIG.10