

公告本

申請日期	91 年 1 月 30 日
案 號	91101551
類 別	H01L 23/52, 21/16

A4
C4

533569

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	用於半導體晶圓之內連線結構的阻障層及沉積該阻障層的方法
	英 文	A barrier layer for interconnect structures of a semiconductor wafer and method for depositing the barrier layer
二、發明 創作人	姓 名	(1) 席德哈沙·柏密克 Bhowmik, Siddhartha (2) 沙利·莫琴 Merchant, Sailesh Mansinh (3) 達洛·辛普森 Simpson, Darrell L.
	國 籍	(1) 印度 (2) 美國 (3) 美國
	住、居所	(1) 美國賓州亞林鎮山景道一六五九號 1659 Ridgeview Drive, Allentown, PA 18104, U.S.A. (2) 美國佛羅里達州奧蘭多凡蘭橡樹路八二一四號 8214 Vineland Oaks Boulevard, Orlando, FL 32835, U.S.A. (3) 美國佛羅里達州哥他溫德麥爾柴斯大道一〇四 三〇號 10430 Windermere Chase Boulevard, Gotha, FL 34734, U.S.A.
	代 表 人 姓 名	(1) 佛迪納德·羅梅諾 Romano, Ferdinand M.
三、申請人	姓 名 (名稱)	(1) 艾基爾系統股份有限公司 Agere Systems Inc.
	國 籍	(1) 美國
	住、居所 (事務所)	(1) 美國佛羅里達州奧蘭多南約翰青年公園路九三 三三號 9333 S. John Young Parkway, Orlando, FL 32819-8698, U.S.A.
	代 表 人 姓 名	(1) 佛迪納德·羅梅諾 Romano, Ferdinand M.

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國（地區）申請專利，申請日期：案號：，☐有 ☐無主張優先權

美國2001 年 9 月 28 日 09/967,094☒有主張優先權

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝訂線

五、發明說明(2)

障層係施加至包含孔或導孔的晶圓表面上。因為鈦對包含晶圓或 I C 裝置之介電材料的黏著性之故，所以，一鈦 (Ti) 薄膜係首先施加作為接觸層。

鈦可以使用一常被稱為濺鍍之物理氣相沉積 (PVD) 製程加以施加。一傳統 PVD 室係如於第 1 圖所示。

PVD 室 30 之元件包含一鈦靶材 33，作為一濺鍍鈦的來源。一半導體晶圓 31 係支撐於該室內之托架 32 上。一直流電源 35 係施加至靶材 33，及一氬 (Ar) 發光放電係耦合至該室，以於靶材 33 及晶圓 31 間建立一電漿 34，並由該靶材 33 產生一 Ti 物種，其將聚結於晶圓 31 之表面上。

一 TiN (氮化鈦) 薄膜然後藉由於分開之 PVD 室中，以氬發光放電內之氮噴氣，而濺鍍而沉積於該晶圓表面上。該 TiN 薄膜作用以被稱為成核層或黏著層。

鎢係以 CVD 被沉積於 TiN 薄膜上作為插塞，以填充接觸孔或導孔。氟化鎢 (WF₆) 氣體作為用於 W 插塞之來源。WF₆ 氣體與矽烷及氫進行一還原反應，這造成 W 沉積於晶圓上。一回蝕或平坦化步驟然後被執行，以去除在導孔或接觸孔外之過量 W。

有關第 2 圖，顯示出一有缺陷之 W 插塞。一氮化鈦薄膜 41 係作動為於 Ti 接觸層 40 及 W 插塞 42 間之阻障層，同時，作用為一成核層，用以形成 W 插塞 42。吾人不想要直接施加鎢於 Ti 膜 40 上，因為 WF₆ 源可能與 Ti 反應，而在晶圓表面上形成“鎢火山口”。TiN 薄

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(4)

供改良之特性底覆蓋及步階保角性。允許於A r 離子及濺鍍T i 間之碰撞次數的增加，會增加離子化事件的次數。一被加入該室中之R F 供電之作動線圈作為額外之電子源，增加了於室中之A r 壓力，並增加於A r 離子及濺鍍T i 間之碰撞次數。增加靶材至晶圓之間距同時也改良了於A r 離子及濺鍍T i 原子間之碰撞可能性，因而，造成離子化事件的增加。

上述濺鍍製程也被同時進行於一分離I M P 室中，分開地沉積T i N 於一晶圓表面上。氮及氬係被噴入室中，以形成予以沉積於晶圓表面上之T i N 。

於T i N 沉積階段中，T i N 膜係形成於I M P 室的屏蔽及其他元件上。這些T i N 膜本質上受高應力，因此，傾向於產生微粒及剝離，而污染了晶圓表面，藉以降低

半導體晶圓的良率及／或限制了I C 裝置的生產。為了避免此污染問題，空白或擋片係放置於I M P 室中。鈦係沉積，以形成覆蓋在室屏蔽上之T i N 膜的薄膜。此避免手段被稱為”塗膏法”，其增加了成本並降低了半導體晶圓及／或I C 晶片製程的循環時間。或者，一擋閘架構係經常用以沉積T i 至該擋閘上，使得該室及其部件可以被有效地”塗膏”。

因此，現行可用以沉積阻障層膜於接觸孔及導孔中之程序仍有某些缺點。傳統P V D 濺鍍並不符合導孔及接觸孔深寬比增加，而對步階保角性的要求。T i N / T i 膜的I M P 濺鍍造成了微粒污染並需要另外之塗膏步階。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(6)

該沉積室包含一 WSi_x 靶材，作為用以濺鍍 WSi_x 膜之來源。該室同時也包含一鎢線圈(W-線圈)作為一用以濺鍍W膜之來源。事實上， WSi_x 線圈並不能購得及／或很難製造，因此，一W線圈係被使用。矽化鎢(WSi_x)首先被沉積於導孔或接觸孔內之介電質表面上。然後濺鍍來自W線圈之W膜，而造成來自該線圈之W的淨消蝕。此程序可以被交替進行，以於 WSi_x 及W間形成多數膜。再者，一 WSi_x 斜坡可以建立於阻障層內在整個W膜上。當 WSi_x 被首先沉積時， WSi_x 沉積於W線圈上。因為W線圈被活化，所以 WSi_x 係由線圈濺射並聚結於晶圓表面上，在整個W膜上建立一 WSi_x 斜坡。結果，這些層基本上為W為主，並建立了整體之低本質應力及一準磊晶配置。

[圖式之簡要說明]

第1圖為具有Ti靶材之傳統PVD室。

第2圖為一包含W插塞及”火山口”形成於結構上之兩內連線結構之晶圓表面的剖面圖；

第3圖為具有Ti靶材及Ti線圈之沉積Ti膜之IMP室。

第4圖為一新穎阻障層的剖面圖。

第5圖為具有額外 WSi_x 膜之阻障層的剖面圖。

第6圖為一IMP室，顯示沉積一 WSi_x 膜。

第7圖為阻障層的放大圖，其顯示於阻障層間之

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(7)

W S i x 斜坡。

元 件 對 照 表

1 0 : 內 連 線 結 構	1 1 : 接 觸 孔
1 2 : 第 一 膜	1 3 : 第 二 膜
1 4 : W 插 塞	1 5 : 阻 障 層
1 6 : 介 電 材 料	1 7 : 金 屬 化 區 域
1 8 : 直 流 電 源	1 9 : 靶 材
2 0 : W 線 圈	2 2 : 半 導 體 晶 圓
2 3 : 托 架	2 4 : 直 流 電 源
2 5 : 晶 圓 表 面	2 6 : R F 電 源
2 9 : 斜 坡	3 0 : P V D 室
3 1 : 半 導 體 晶 圓	3 2 : 托 架
3 3 : 靶 材	3 4 : 電 漿
3 5 : 直 流 電 源	4 0 : T i 接 觸 層
4 1 : T i N 薄 膜	4 2 : W 插 塞
5 0 : 鎢 靶 材	5 1 : 線 圈
5 2 : 半 導 體 晶 圓	5 3 : 托 架
5 4 : 電 漿	

[本 發 明 之 詳 細 說 明]

參 考 第 4 及 5 圖，諸 圖 顯 示 包 含 一 介 電 材 料 1 6、一 下 層 金 屬 化 區 1 7、例 如 閘 極、源 極 或 汲 極，及 一 鎢 插 塞 1 4 (此 後 稱 W 插 塞) 之 內 連 線 結 構 1 0，該 插 塞 係 填 充

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(8)

形成於介電材料 1 6 中之導孔或接觸孔 1 1。阻障層 1 5 係為兩薄膜(或層)之複合物。第一膜 1 2(以下稱為矽化鎢膜)基本上由沿著介電材料 1 6 的表面沉積於導孔或接觸孔 1 1 內之 WSi_x 構成, 及一第二膜 1 3(同時被稱為一鎢膜), 其基本上由沉積於第一膜 1 2 上之 W 所構成。第一膜 1 2 及第二膜 1 3 係使用進行於一沉積室內之濺鍍程序加以沉積於導孔 1 1 內, 該程序將更詳細說明如下。

W 插塞 1 4 然後藉由本技藝中已知的化學氣相沉積(CVD), 而沉積於阻障層 1 5(膜 1 2 及 1 3 之複合物)上。於沉積 W 插塞後, 一回蝕或平坦化程序係被用以免除在接觸孔或導孔 1 1 外之介電材料 1 6 表面上之過量 W 及 WSi_x , 以形成 W 插塞 1 4。

阻障層 1 5 之第一膜 1 2 及第二膜 1 3 之沉積係進行於一沉積室中。參考第 6 圖, 所示之沉積室包含一 WSi_x 靶材 1 9(或靶材 1 9)及一 W 線圈 2 0(或線圈 2 0)。因為 WSi_x 不能有效地形成為一功能線圈, 所以一 W 線圈 2 0 係被使用。如為熟習於本技藝者所知, 靶材 1 9 係被施加以直流電源 1 8, 及 W-線圈 2 0 被供給以一 RF 電源 2 6。一半導體晶圓 2 2 係被安裝於一托架 2 3 上, 托架 2 3 係連接至一第二直流電源 2 4, 以對晶圓表面 2 5 加一偏壓, 用以吸引濺射自靶材 1 9 及線圈 2 0 表面之 WSi_x 或 W 物種。

藉由將一發光放電氬(Ar)氣體引入室中, 而在靶

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (10)

其他之 W S i x 及 W 層可以想要地加入，以完成阻障層 1 5。如於第 5 圖所示，一第三膜 1 2 B (或一第二矽化鎢膜) 係沉積於 W 膜 1 3 及 W 插塞 1 4 之間。

應注意的是，於來自靶材 1 9 濺鍍 W S i x 之時，W S i x 可以收集或聚結於線圈 2 0 上。因此，當線圈 2 0 被作動及來自線圈 2 0 之 W 濺鍍被啓始時，W S i x 原子可以由 W 線圈濺射並聚結在第一膜 1 2 上及在第二膜 1 3 內。因此，一 W S i x 斜坡係建立於阻障層 1 5 之 W 膜 1 3 內。如於第 7 圖所示，該斜坡係為在 W 膜 1 3 上之斜線 2 9 所代表。W 插塞 1 4 然後使用 C V D 程序沉積於第二膜 1 3 上在接觸或導孔 1 1 內。

用於第一膜 1 2 之典型膜厚度為約 1 5 0 至 2 5 0 埃，用於第二膜 1 3 範圍約 1 0 0 至 3 0 0 埃。熟習於本技藝者將了解，每一膜 1 2 或 1 3 之個別厚度係最後由其阻障層效率及積集度，及其提供用於 W 插塞沉積之良好成核所決定。

使用 W 為主膜阻障層防止有關於經常發生於 T i / T i N 阻障層沉積之“火山口”形成之事件，並防止了於沉積室內之“塗膏”。再者，一於其整個厚度之具有化學及微結構斜坡的阻障層藉由提供於構成膜間之轉換，而允許應力調節。再者，如於本案所揭示之阻障層 1 5 內使用鎢為主膜，提供了一阻障層，其係為與後續予以沉積之 W 插塞 1 4 在結晶學上為同型的。因此，這些 W 為主膜 (第一膜 1 2 及第二膜 1 3) 提供一用於 W 插塞形成之準磊晶

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (11)

基材，允許 W 插塞之容易成核及成長。

雖然，本發明之較佳實施例已經於此加以顯示及說明，但明顯地，這些實施例係只作例子使用。對於熟習於本技藝者，各種變化，改變及替換可以在不脫離本發明下加以完成。因此，本發明只為隨附之申請專利範圍之精神及範圍所限定。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要（發明之名稱： 用於半導體晶圓之內連線結構的阻障層及沉積該阻障層的方法）

一種半導體裝置之內連線結構包含一鎢插塞（14），沉積於一導孔或接觸窗（11）中。一阻障層（15）分離該鎢插塞（14）與一介電材料（16）表面，介電材料中形成有該接觸窗或導孔（11）。阻障層（15）係至少兩薄膜所組成。形成於導孔（11）內之介電材料（16）之表面上的第一薄膜係為一矽化鎢膜（12）。第二薄膜為一形成於矽化鎢膜（12）上之鎢膜（13）。一鎢插塞（14）係形成於該鎢膜（13）上，以完成該內連線結構。阻障層（15）係使用一執行於一沉積室中之濺鍍技術加以沉積。該室包含矽化鎢靶材（19），該矽化鎢膜（12）係由該處沉積，及一鎢線圈（20），鎢膜（20）係由該處沉積。

英文發明摘要（發明之名稱： A BARRIER LAYER FOR INTERCONNECT STRUCTURES OF A SEMICONDUCTOR WAFER AND METHOD FOR DEPOSITING THE BARRIER LAYER）

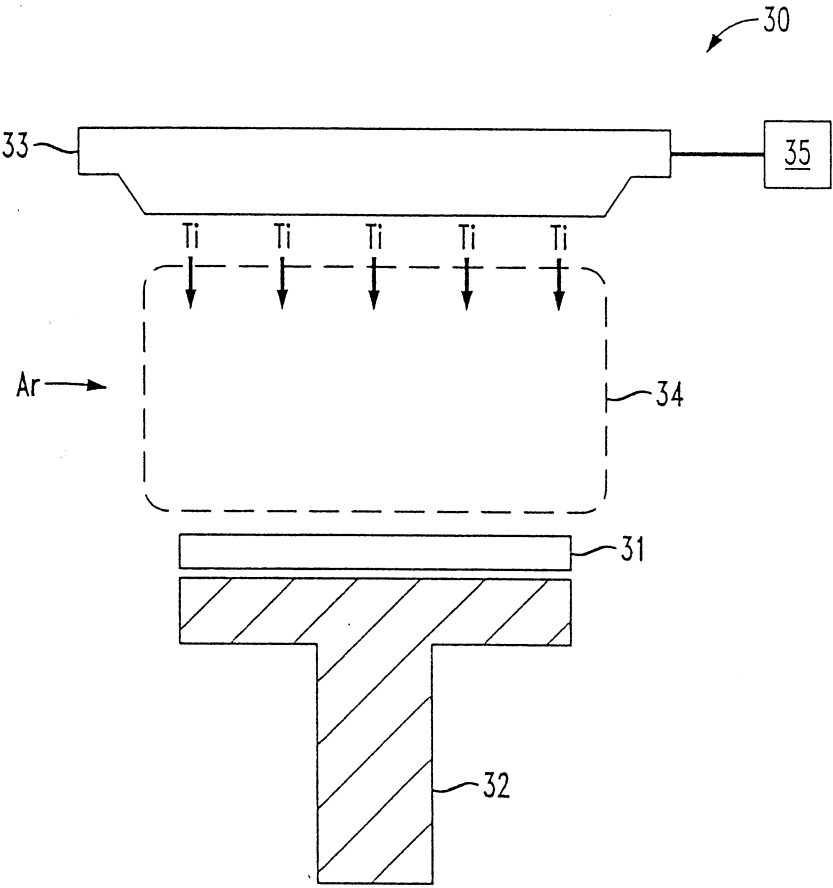
An interconnect structure of a semiconductor device includes a tungsten plug (14) deposited in a via or contact window (11). A barrier layer (15) separates the tungsten plug (14) from the surface of a dielectric material (16) within which the contact window or via (11) is formed. The barrier layer (15) is a composite of at least two films. The first film formed on the surface of the dielectric material (16) within the via (11) is a tungsten silicide film (12). The second film is a tungsten film (13) formed on the tungsten silicide film (12). A tungsten plug (14) is formed on the tungsten film (13) to complete interconnect structure. The barrier layer (15) is deposited using a sputtering technique performed in a deposition chamber. The chamber includes tungsten silicide target (19) from which the tungsten silicide film (12) is deposited, and a tungsten coil (20) from which the tungsten film (20) is deposited.

（請先閱讀背面之注意事項再填寫本頁各欄）

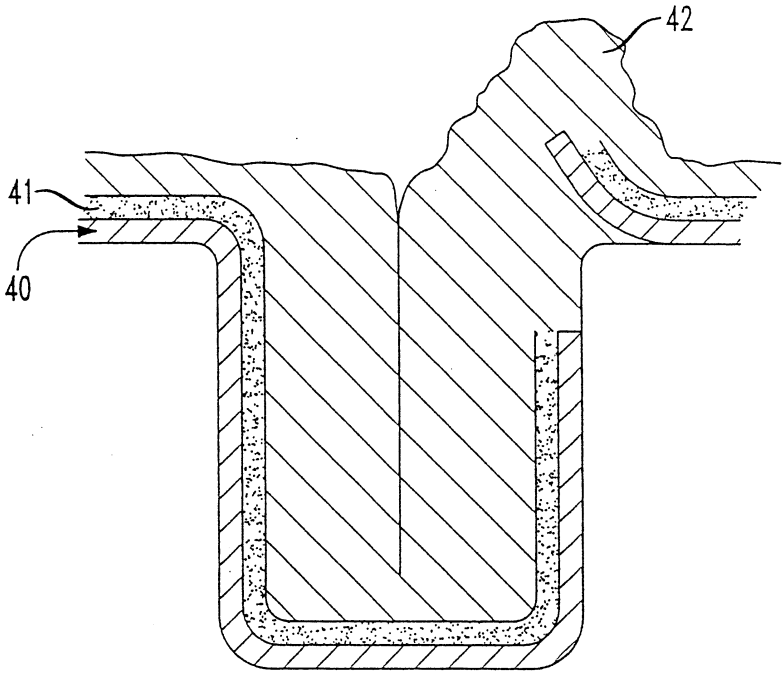
訂

裝

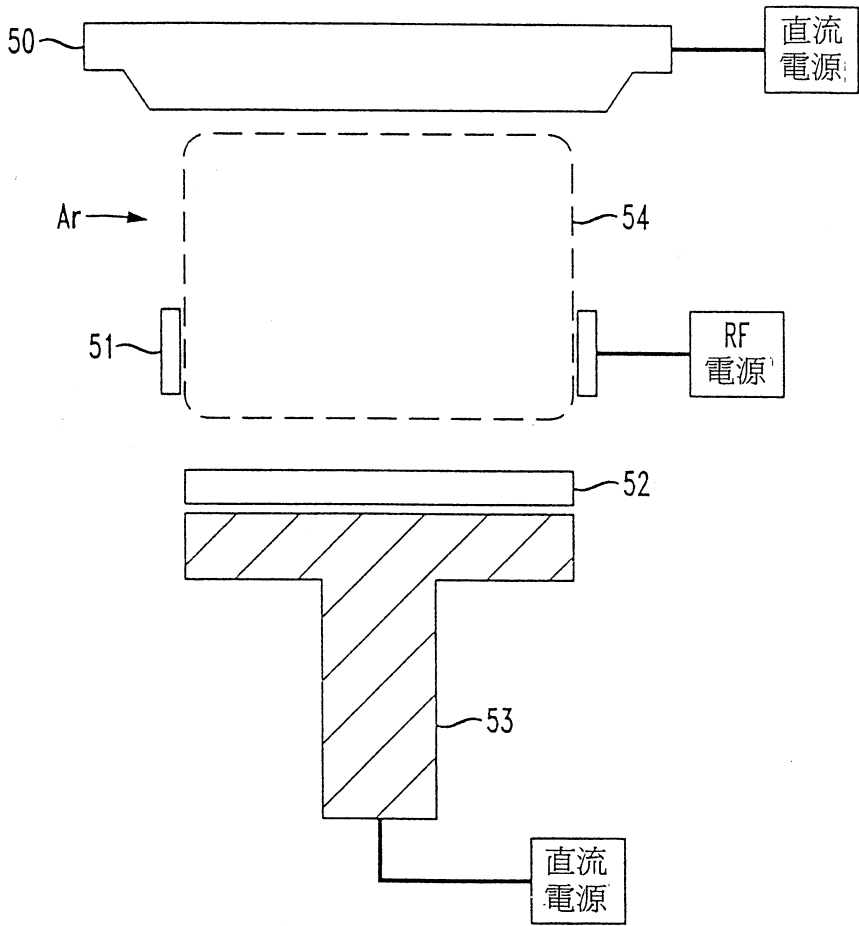
第 1 圖



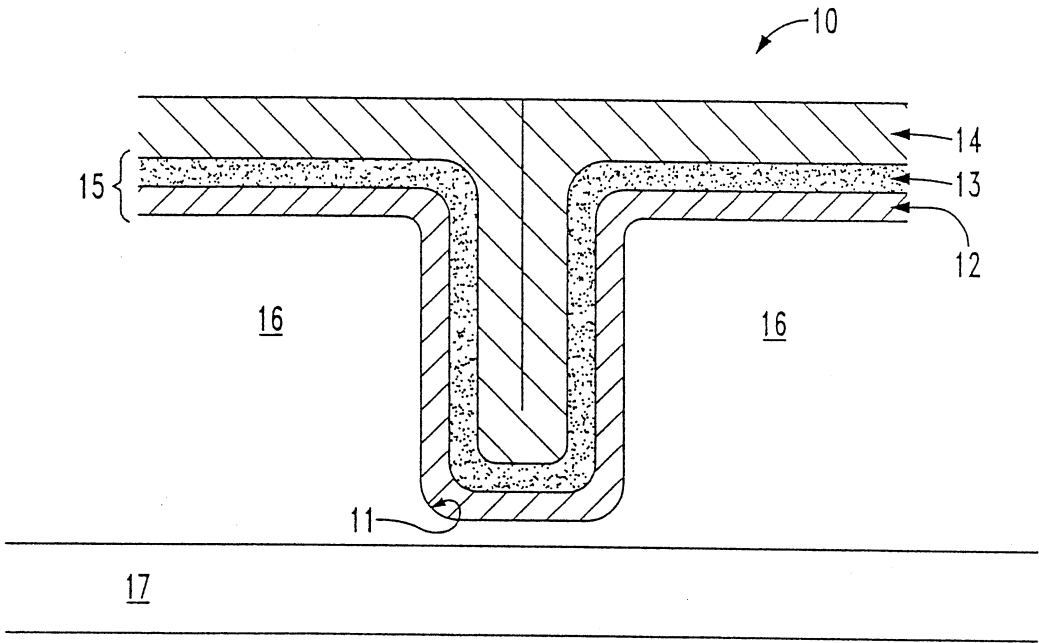
第 2 圖



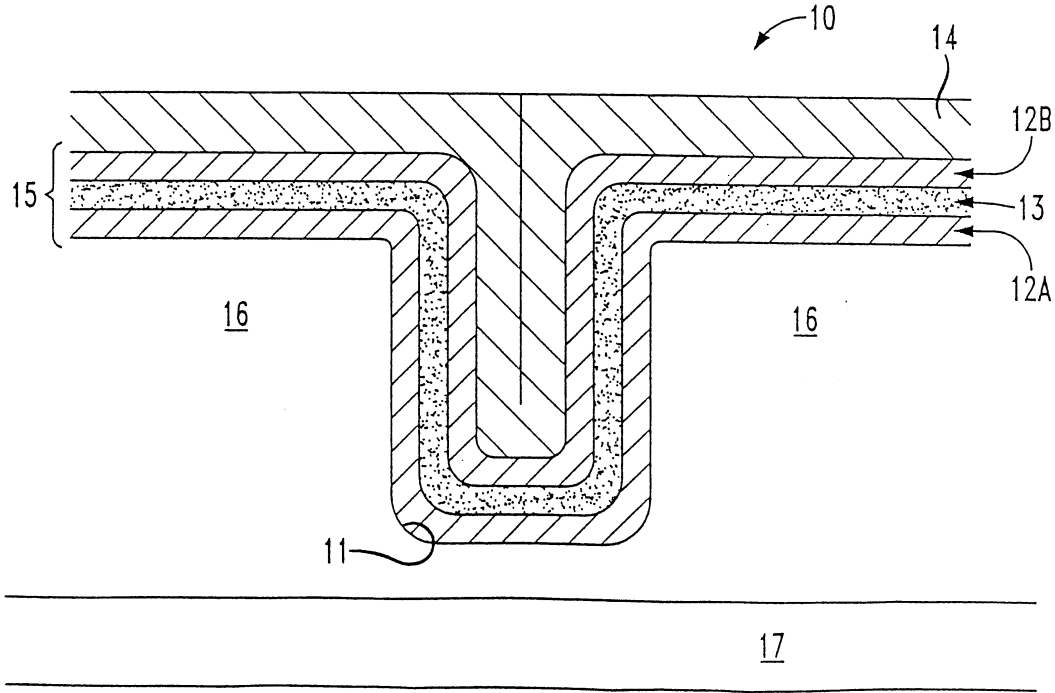
第 3 圖



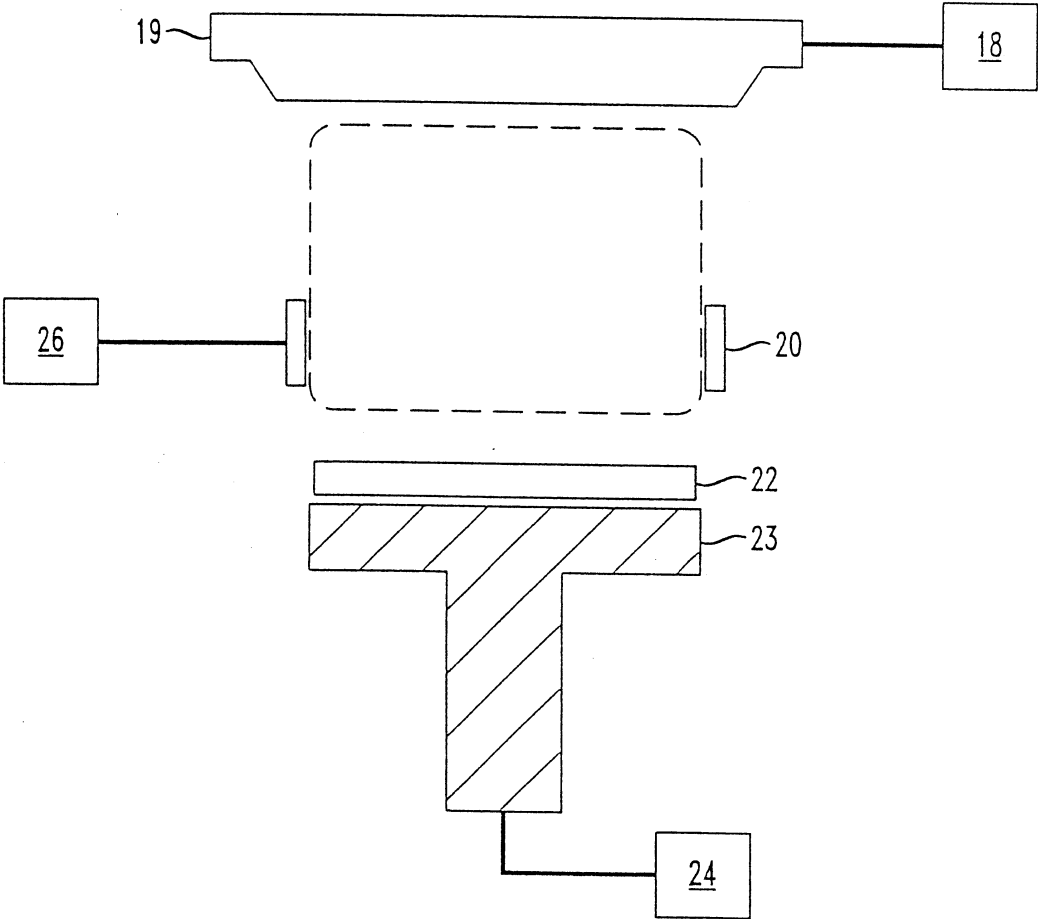
第 4 圖



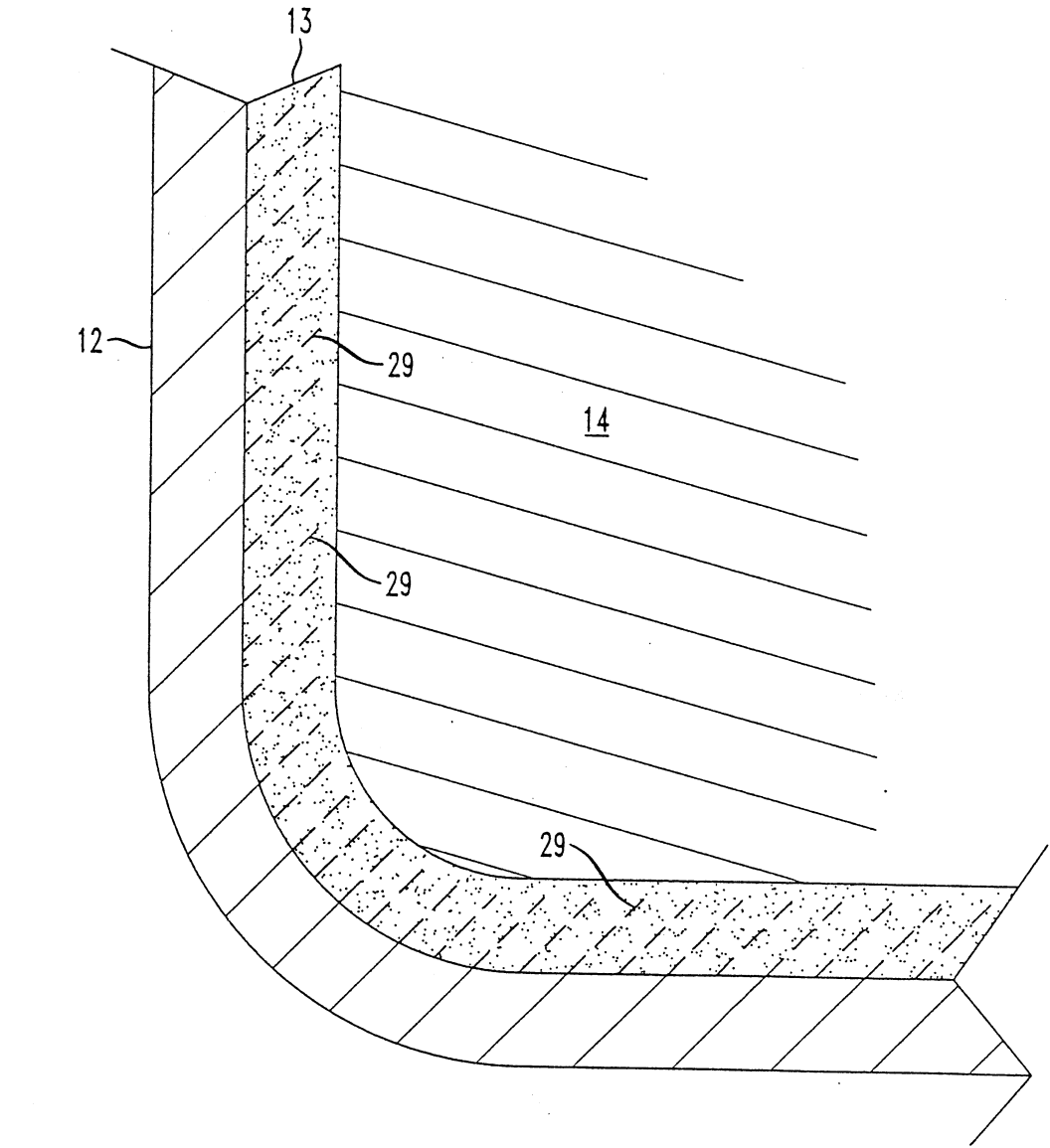
第 5 圖



第 6 圖



第 7 圖



五、發明說明 (1)

〔發明領域〕

本發明大致關係於半導體晶圓及／或積體電路（IC 晶片）裝置的製造，更明確地說，本發明關係於金屬化層或內連線結構之製造。本發明同時屬於薄膜及鎢（W）堵塞之沉積於內連線結構之接觸孔或導孔中。

〔發明背景〕

薄膜於半導體晶圓及／或 IC 裝置的製造中，具有各種不同之功能。例如，薄膜係用以具有接觸孔及導孔之內連線結構之建構中。內連線結構也是於積體電路裝置上之用以連接不同層之分層 IC 裝置之結構，其包含接觸孔及導孔。接觸孔係於 PMD（金屬前介電質）主動區域中之孔，諸主動區域係例如一矽基材之源極區及汲極區，及一金屬層。接觸孔允許於一金屬層及多晶矽及／或矽晶圓基材間之電氣連接。導孔允許於裝置上之不同金屬層間之接觸。

於被認為是內連線材料的耐火金屬中，因為鎢之高熱穩定性、低應力，優良步階保角性，及其熱膨脹係數接近矽，所以鎢已經被最常使用。因為其較低導電率，所以鎢係用以較短之內連線路徑，而銅及鋁係用以作為一般內連線路徑。

化學氣相沉積係為用以將鎢施加至一晶圓表面及／或 IC 裝置上，以填充接觸孔及導孔的一製程。將鎢沉積於晶圓表面上，至一孔或導孔內之前，一接觸層及黏著／阻

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

修訂
第 2 年 1 月 0 日

五、發明說明(3)

膜 4 1 可能破裂，或具有一將 T i 曝露至 W F₆ 之針孔，而攻 T i，造成火山口 4 2。當 W 持續形成，其將會把 T i N 層推回，使得更多之 T i 曝露至活性 W F₆。W 形成隆起或“火山口” 4 2，其並不能為回蝕程序所完全去除。於最差情況下，這些火山口產生一零良率之半導體晶圓。

導孔、孔及溝渠的降低特性尺寸已經造成用於這些特性之結構的深寬比的增加。然而，使用 P V D 濺鍍方法之沉積 T i 及 T i N 並不能適當地完成想要之步階保角性。一被稱為離子化金屬電漿 (I M P) 沉積之較新 P V D 程序已經變成較普遍之 T i 及 T i N 沉積法，以完成相對於接觸孔及導孔之深寬比的增加所要求之步階保角性。

有關於第 3 圖，其中顯示有一 I M P 室及用以沉積 T i 及 T i N 膜之步驟。T i 及 T i N 之沉積發生於兩分離之 I M P 室中。於 I M P 室中，已針對傳統 P V D 室完成幾項之硬體改變，主要是增加被濺鍍於特性中之原子的底部覆蓋。I M P 室包含一鈦靶材 (T i 靶材) 5 0 及一線圈 (T i 線圈) 5 1。一半導體晶圓 5 2 係支撐於一托架 5 3 上。一離子化金屬電漿 5 4 係產生於 I M P 室中，使得例如被濺鍍之 T i 原子離子化並被吸引向半導體晶圓的上表面，造成改良之底覆蓋率。

於傳統 P V D 室中，低於總濺鍍原子之 1 % 是被離子化，剩餘均為用以形成 T i 及 T i N 膜之中性原子。於

I M P 室中，上述改變使得其可以增加離子化或然率及提

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

修訂
 1997年1月30日

A7

B7

五、發明說明 (5)

[發明概要]

有需要於例如一內連線結構之接觸孔及導孔之特性內，需要一阻障層及一施加一阻障層的方法，其包含一阻障層，其免除為 TiN / Ti 阻障層所需之 I M P 室的經常塗膏步驟，並藉由限制微粒產生，而改良了產品良率。阻障層同時必須維持整合性並作為用於 W 插塞形成之成核位置。

本發明係用於一 I C 裝置及／或半導體晶圓上之內連線結構之阻障層。阻障層為一多層膜複合物，其包含一矽化鎢 (WSi_x) 膜及一 W 膜。名為矽化鎢之 WSi_x 化合物代表各種用於薄膜之矽化鎢化合物，其包含 WSi_2 。

矽化鎢 WSi_x 已經被用於半導體晶圓及／或 I C 裝置製造之薄膜層。明確地說， WSi_x 係經常沉積為用於多晶矽化物閘結構之膜。沉積 WSi_x 之較佳方法為 C V D。然而， WSi_x 膜及 W 膜的組合未被使用作為沉積 W 插塞於內連線結構之導孔及接觸孔中之阻障層。

於本揭示中所用之“晶圓表面”包含內連線及介電材料之表面，其內形成有一下凹作為接觸孔或導孔。因此，“介電材料表面”及“晶圓表面”可以互換使用。

WSi_x 膜係沉積於導孔或接觸孔內之晶圓表面上。W 膜然後沉積於 WSi_x 膜上。 WSi_x 膜及 W 膜沉積係使用 P V D 濺鍍技術或一 I M P 濺鍍技術，進行於一沉積室內。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

材 1 9 及晶圓表面間之室中產生一電漿 3 4 。爲了建立濺射自靶材 1 9 之 W S i x , 及第一膜 1 2 沉積於導孔 1 1 內 , 直流電源 1 8 係被作動 , 以典型產生一千瓦至 5 千瓦之功率。至 W 線圈之 R F 電源 2 6 係不被作動或作動 , 以產生範圍小於 0 . 5 千瓦範圍中之小電源。該 R F 電源爲最小 , 使得發生於室中之濺鍍基本上爲一標準 P V D 製程 , 除了於靶材及晶圓表面間之距離增加之外。於此時 , 只有 W S i x 由靶材 1 9 濺射 , 很少之材料係由 W 線圈 2 0 濺射。另外 , 至半導體晶圓 2 2 之電源 2 4 同時也施加以偏壓至晶圓表面 2 5 , 以加速任一 W S i x 原子之吸引至晶圓表面。以此方式 , W S i x 被沉積在接觸孔或導孔 1 1 內作爲第一膜 1 2 。

靶材 1 9 可以包含 W S i x , 其中組成物具有大於 2 : 1 之 S i : W 克分子比。因此 , 於第一膜中之 S i : W 之克分子比例爲大於 2 : 1 。此一大於 2 . 5 : 1 之比例係爲傳統靶材。

於第二步驟中 , 至線圈 2 0 之 R F 電源 2 6 係增加至於 0 . 5 至 2 千瓦之間 , 及至靶材 1 9 之直流電源 1 8 係被降低或刪除。爲了完成至此第二階段之轉換 , 當供給至線圈 2 0 之 R F 電源逐漸地增加至一想要或預選定輸出時 , 至靶材 1 9 之直流電源 1 8 可以逐漸地降低。鎢係由線圈 2 0 濺鍍並重疊於第一膜 1 2 上。因此 , W 的沉積造成線圈之淨消蝕。再者 , 由靶材 1 9 所發生之濺射可能建立鎢離子 , 其可能聚結並形成 W 膜。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

修正
補充

六、申請專利範圍

1. 一種內連線結構，包含：

一基材，具有一包含介電材料及下凹形成於其中之拓樸結構沉積於其上；

一矽化鎢膜，沿著該下凹之表面沉積；

一鎢膜覆蓋於該矽化鎢膜上；及

一鎢插塞，沉積於該鎢膜上之下凹內。

2. 如申請專利範圍第 1 項所述之內連線結構，更包含一第二矽化鎢膜沉積於鎢膜及 W 插塞之間。

3. 如申請專利範圍第 1 項所述之內連線結構，其中一矽化鎢斜坡係沉積於該鎢膜之內。

4. 如申請專利範圍第 1 項所述之內連線結構，其中該矽化鎢膜係由一矽化鎢靶材沉積，利用一進行於一沉積室中之濺鍍程序。

5. 如申請專利範圍第 4 項所述之內連線結構，其中該鎢膜係由一鎢線圈沉積，利用一進行於一沉積室中之濺鍍程序。

6. 如申請專利範圍第 1 項所述之內連線結構，其中該矽化鎢膜具有大於 2 : 1 之矽對鎢 (Si : W) 比例。

7. 一種於一內連線結構上形成一阻障層的方法，包含步驟：

於一下凹內形成一第一矽化鎢膜，該下凹係形成於半導體基材上之拓樸結構上；

形成一鎢膜至該第一矽化鎢膜上；及

於該下凹內及該鎢膜上形成一鎢插塞。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

8 . 如申請專利範圍第 7 項所述之方法，更包含在該鎢膜及該鎢插塞間之下凹內形成一第二矽化鎢膜的步驟。

9 . 如申請專利範圍第 7 項所述之方法，其中該形成第一矽化鎢膜阻障層的步驟包含在一沉積室內，由一矽化鎢靶材濺鍍該矽化鎢。

10 . 如申請專利範圍第 7 項所述之方法，其中該形成第一鎢膜阻障層的步驟包含於一沉積室內，由一鎢線圈濺鍍該鎢。

11 . 如申請專利範圍第 7 項所述之方法，更包含於阻障層的鎢膜內，沉積矽化鎢斜坡的步驟。

12 . 一種半導體製造系統，包含：

一室，其內執行有一濺鍍沉積；

一矽化鎢靶材，安裝在該室內；

一鎢線圈，安裝在該室內，在矽化鎢靶材下；

一托架，適用以支撐定位在該鎢線圈下之半導體源；

及

相關於該室之產生機構，用以在該室內於該半導體裝置之表面上，產生電漿。

13 . 如申請專利範圍第 12 項所述之系統，更包含一直流電源，耦合至該矽化鎢靶材。

14 . 如申請專利範圍第 12 項所述之系統，其中該電漿產生機構包含一耦合至該室之氬發光放電之來源。

15 . 如申請專利範圍第 12 項所述之系統，更包含一 R F 電源連接至該鎢線圈。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1 6 . 如申請專利範圍第 1 2 項所述之系統，更包含一 R F 電源接至該托架。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線