

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 9 月 6 日 (06.09.2024)



(10) 国际公布号
WO 2024/178663 A1

(51) 国际专利分类号:
H10K 59/131 (2023.01)

(21) 国际申请号: PCT/CN2023/078955

(22) 国际申请日: 2023 年 3 月 1 日 (01.03.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司(CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省成都市高新区(西区)合作路 1188 号, Sichuan 611731 (CN)。

(72) 发明人: 徐倩(XU, Qian); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。黄琰(HUANG, Yan); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。张毅(ZHANG, Yi); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京安信方达知识产权代理有限公司(AFD CHINA INTELLECTUAL PROPERTY LAW OFFICE); 中国北京市海淀区学清路 38 号 (B 座)21 层 2108, Beijing 100083 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,

(54) Title: DISPLAY SUBSTRATE AND DISPLAY APPARATUS

(54) 发明名称: 显示基板和显示装置

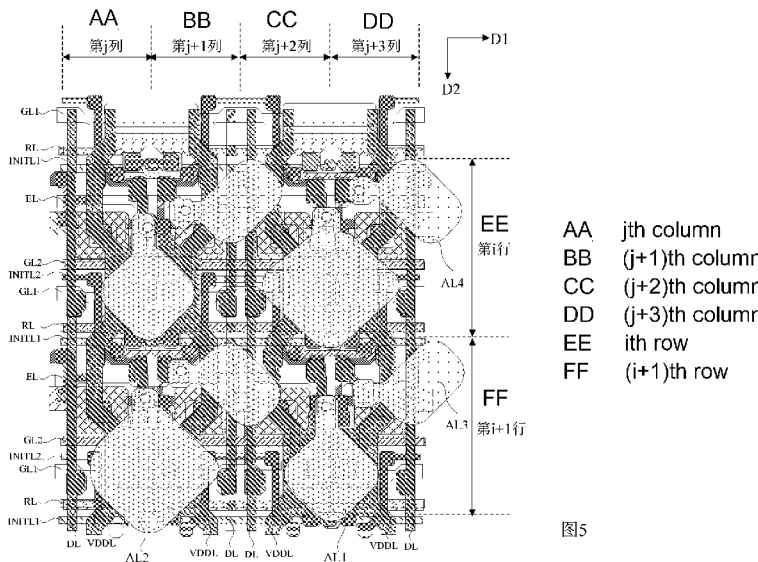


图5

(57) Abstract: A display substrate and a display apparatus. The display substrate comprises: a substrate (10), and, provided on the substrate, a plurality of sub-pixels, a plurality of reset signal lines (RL) and a plurality of second initial signal lines (INITL2). The sub-pixels comprise pixel circuits and light-emitting devices (L), the light-emitting devices (L) comprising first electrodes, and the pixel circuits comprising first transistors (T1). The reset signal lines (RL) at least partially extend in a first direction (D1), and at least one second initial signal line comprises a first initial connection part (INITL2A) extending in the first direction (D1) and a second initial connection part (INITL2B) extending in the second direction (D2). The orthographic projection of the first initial connection part (INITL2A) on the substrate (10) does not overlap with the orthographic projections of the reset signal lines (RL) on the substrate (10), and the orthographic projection of the second initial connection part (INITL2B) on the substrate (10) partially overlaps with the orthographic projections of the reset signal lines (RL) on the substrate (10).

LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,
MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,
PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE,
SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种显示基板和显示装置, 其中, 显示基板包括: 基底(10)以及设置在基底(10)上的多个子像素以及
多条复位信号线(RL)和多条第二初始信号线(INITL2), 子像素包括: 像素电路和发光器件(L), 发光器件(L)包
括第一电极, 像素电路包括: 第一晶体管(T1), 复位信号线(RL)至少部分沿第一方向(D1)延伸, 至少一条第二
初始信号线包括: 沿第一方向(D1)延伸的第一初始连接部(INITL2A)和沿第二方向(D2)延伸的第二初始连接部
(INITL2B); 第一初始连接部(INITL2A)在基底(10)上的正投影与复位信号线(RL)在基底(10)上的正投影不交叠,
第二初始连接部(INITL2B)在基底(10)上的正投影与复位信号线(RL)在基底(10)上的正投影部分交叠。

显示基板和显示装置

技术领域

本公开涉及但不限于显示技术领域，具体涉及一种显示基板和显示装置。

5

背景技术

有机发光二极管(Organic Light Emitting Diode, 简称 OLED) 和量子点发光二极管(Quantum-dot Light Emitting Diodes, 简称 QLED)为主动发光显示器件, 具有自发光、广视角、高对比度、低功耗、极高反应速度、轻薄、可弯曲和成本低等优点。随着显示技术的不断发展, 以 OLED 或 QLED 为发光器件、由薄膜晶体管 (Thin Film Transistor, 简称 TFT) 进行信号控制的柔性显示装置 (Flexible Display) 已成为目前显示领域的主流产品。

10

发明内容

以下是对本公开详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

15

第一方面, 本公开提供了一种显示基板, 包括: 基底和设置在所述基底上的多个子像素、多条复位信号线和多条第二初始信号线, 所述子像素分别与复位信号线和第二初始信号线电连接, 所述子像素包括: 像素电路和发光器件, 所述发光器件包括第一电极, 所述像素电路包括: 第一晶体管, 所述复位信号线被配置为向第一晶体管的栅电极提供控制信号, 所述第二初始信号线被配置为向发光器件的第一电极提供初始信号;

20

所述复位信号线至少部分沿第一方向延伸, 至少一条所述第二初始信号线包括: 沿第一方向延伸的第一初始连接部和沿第二方向延伸的第二初始连接部, 所述第二方向与所述第一方向相交;

所述第一初始连接部在基底上的正投影与所述复位信号线在基底上的正投影不交叠, 所述第二初始连接部在基底上的正投影与所述复位信号线在基底上的正投影部分交叠。

25

在示例性实施方式中, 还包括: 设置在所述基底上的多条发光信号线, 所述发光信号线至少部分沿所述第一方向延伸;

子像素所连接的所述第二初始信号线中的第一初始连接部在基底上的正投影位于子像素所连接的所述复位信号线在基底上的正投影与子像素所连接的所述发光信号线在基底上的正投影之间。

30

在示例性实施方式中, 所述第一初始连接部与所述第二初始连接部同层设置, 且与所述第二初始连接部为一体结构。

在示例性实施方式中, 所述第一初始连接部与第二初始连接部异层设置, 所述第二初始连接部通过过孔与第一初始连接部连接。

35

在示例性实施方式中, 所述复位信号线包括: 异层设置, 且相互连接的第一子复位信号线 and 第二子复位信号线;

所述第一初始连接部位于所述第二初始连接部靠近所述基底的一侧, 且与所述第一子复位信号线或者所述第二子复位信号线同层设置。

在示例性实施方式中, 所述第一初始连接部位于所述第二初始连接部远离基底的一侧,

且与所述第一电极同层设置。

在示例性实施方式中,所述第一初始连接部与相邻的发光器件的第一电极之间的最小距离约为1微米至3微米。

5 在示例性实施方式中,还包括:设置在所述基底上的多条第一扫描信号线和多条第一初始信号线,所述第一扫描信号线和所述第一初始信号线中的任一条至少部分沿所述第一方向延伸;

至少一条所述第二初始连接线包括:多个第二初始连接部,且多个所述第二初始连接部沿第一方向排布;

10 所述第二初始连接部在所述基底上的正投影还与所述第一扫描信号线和所述第一初始信号线在所述基底上的正投影部分交叠。

在示例性实施方式中,至少一条所述第二初始信号线还包括:多个第一初始连接部和多个沿所述第一方向延伸的第三初始连接部;多个所述第一初始连接部沿所述第一方向排布,多个所述第三初始连接部沿所述第一方向排布;

15 相邻两个第二初始连接部通过第一初始连接部或者第三初始连接部连接,第二初始连接部与其中一个相邻的第二初始连接部通过第一初始连接部连接,第二初始连接部与另一个相邻的第二初始连接部通过第三初始连接部连接。

在示例性实施方式中,子像素所连接的所述第二初始信号线的所述第三初始连接部在基底上的正投影位于子像素所连接的所述第一扫描信号线在基底上的正投影远离子像素所连接的所述复位信号线在基底上的正投影的一侧。

20 在示例性实施方式中,所述第二初始连接部和所述第三初始连接部同层设置,且为一体结构;

所述第二初始连接部位于所述复位信号线所在的膜层和所述第一电源线所在的膜层之间。

25 在示例性实施方式中,至少一条所述第二初始信号线包括:一个第一初始连接部和多个第二初始连接部,多个所述第二初始连接部与所述第一初始连接部连接。

在示例性实施方式中,还包括:至少部分沿所述第二方向延伸的多条第一连接线;所述第一连接线与所述第二初始连接部同层设置;

至少一条所述第一连接线与多条所述第一初始信号线连接。

30 在示例性实施方式中,还包括:至少部分沿所述第二方向延伸的第二连接线;所述第二连接线与所述第二初始连接部同层设置;

至少一条所述第二连接线与多条所述第二初始信号线的所述第一初始连接部连接。

在示例性实施方式中,还包括:平坦部和多条第二扫描信号线;所述像素电路还包括:第二晶体管,所述第一晶体管和所述第二晶体管为氧化物晶体管,所述第二扫描信号线至少部分沿所述第一方向延伸,且被配置为向所述第二晶体管的栅电极提供控制信号;

35 所述平坦部与所述第一电源线同层设置,且相互连接;所述平坦部在基底上的正投影与第一晶体管的有源层、第二晶体管的有源层和至少一个发光器件的第一电极在基底上的正投影至少部分交叠。

40 第二方面,本公开还提供了一种显示基板,包括:基底和设置在所述基底上的多个子像素、多条复位信号线和多条第二初始信号线,所述子像素分别与复位信号线和第二初始信号线电连接,所述子像素包括:像素电路和发光器件,所述发光器件包括第一电极,所

述像素电路包括：第一晶体管，所述复位信号线被配置为向第一晶体管的栅电极提供控制信号，所述第二初始信号线被配置为向发光器件的第一电极提供初始信号；

所述复位信号线至少部分沿第一方向延伸，至少一条所述第二初始信号线包括：沿第一方向延伸的第一初始连接部和第三初始连接部以及沿第二方向延伸的第二初始连接部，所述第二方向与所述第一方向相交；

所述第三初始连接部在基底上的正投影与所述复位信号线在基底上的正投影之间的距离小于所述第三初始连接部在基底上的正投影与所述第一初始连接部在基底上的正投影之间的距离。

第三方面，本公开还提供了一种显示装置，包括：上述显示基板。

在阅读并理解了附图和详细描述后，可以明白其他方面。

附图概述

附图用来提供对本公开技术方案的理解，并且构成说明书的一部分，与本公开的实施例一起用于解释本公开的技术方案，并不构成对本公开技术方案的限制。

图 1 为一种显示装置的结构示意图；

图 2 为一种显示基板的平面结构示意图；

图 3 为另一显示基板的平面结构示意图；

图 4A 为一种像素电路的等效电路示意图；

图 4B 为图 4A 提供的像素电路的工作时序图；

图 5 为本公开实施例提供的显示结构的结构示意图一；

图 6 为图 5 提供的显示基板中部分膜层的示意图；

图 7 为图 5 提供的显示基板的截面图；

图 8 为本公开实施例提供的显示结构的结构示意图二；

图 9 为图 8 提供的显示基板部分膜层的示意图；

图 10 为图 8 提供的显示基板的截面图；

图 11 为本公开实施例提供的显示结构的结构示意图三；

图 12 为图 11 提供的显示基板部分膜层的示意图；

图 13 为图 11 提供的显示基板的截面图；

图 14 为本公开实施例提供的显示结构的结构示意图四；

图 15 为图 14 提供的显示基板部分膜层的示意图；

图 16 为图 14 提供的显示基板的截面图；

图 17 为图 5、图 8、图 11 和图 14 中第一半导体层的平面示意图；

图 18 为图 5、图 8、图 11 和图 14 中第一导电层的平面示意图；

图 19 为图 5、图 8、图 11 和图 14 形成第一导电层后的平面示意图；

图 20 为图 5、图 8、图 11 和图 14 中第二导电层的平面示意图；

图 21 为图 5、图 8、图 11 和图 14 形成第二导电层后的平面示意图；

- 图 22 为图 5、图 8、图 11 和图 14 中第二半导体层的平面示意图；
图 23 为图 5、图 8、图 11 和图 14 形成第二半导体层后的平面示意图；
图 24 为图 5 中第三导电层的平面示意图；
图 25 为图 5 形成第三导电层后的平面示意图；
5 图 26 为图 8 和图 11 中第三导电层的平面示意图；
图 27 为图 8 和图 11 形成第三导电层后的平面示意图；
图 28 为图 14 中第三导电层的平面示意图；
图 29 为图 14 形成第三导电层后的平面示意图；
图 30 为图 5 形成第五绝缘层后的平面示意图；
10 图 31 为图 8 和图 11 形成第五绝缘层后的平面示意图；
图 32 为图 14 形成第五绝缘层后的平面示意图；
图 33 为图 5 和图 8 中第四导电层的平面示意图；
图 34 为图 5 形成第四导电层后的平面示意图；
图 35 为图 8 形成第四导电层后的平面示意图；
15 图 36 为图 11 中第四导电层的平面示意图；
图 37 为图 11 形成第四导电层后的平面示意图；
图 38 为图 14 中第四导电层的平面示意图；
图 39 为图 14 形成第四导电层后的平面示意图；
图 40 为图 5 提供的显示基板形成第一平坦层后的平面示意图；
20 图 41 为图 8 提供的显示基板形成第一平坦层后的平面示意图；
图 42 为图 11 提供的显示基板形成第一平坦层后的平面示意图；
图 43 为图 14 提供的显示基板形成第一平坦层后的平面示意图；
图 44 为图 5、图 8、图 11 和图 14 中第五导电层的平面示意图；
图 45 为图 5 形成第五导电层后的平面示意图；
25 图 46 为图 8 形成第五导电层后的平面示意图；
图 47 为图 11 形成第五导电层后的平面示意图；
图 48 为图 14 形成第五导电层后的平面示意图；
图 49 为图 5 提供的显示基板形成第二平坦层后的平面示意图；
图 50 为图 8 提供的显示基板形成第二平坦层后的平面示意图；
30 图 51 为图 11 提供的显示基板形成第二平坦层后的平面示意图；
图 52 为图 14 提供的显示基板形成第二平坦层后的平面示意图；
图 53 为图 5 和图 11 中第六导电层的平面示意图；
图 54 为图 5 形成第六导电层后的平面示意图；
图 55 为图 11 形成第六导电层后的平面示意图；
35 图 56 为图 8 中第六导电层的平面示意图；

图 57 为图 8 形成第六导电层后的平面示意图；

图 58 为图 14 中第六导电层的平面示意图；

图 59 为图 14 形成第六导电层后的平面示意图。

5 详述

为使本公开的目的、技术方案和优点更加清楚明白，下文中将结合附图对本公开的实施例进行详细说明。注意，实施方式可以以多个不同形式来实施。所属技术领域的普通技术人员可以很容易地理解一个事实，就是方式和内容可以在不脱离本公开的宗旨及其范围的条件下被变换为各种各样的形式。因此，本公开不应该被解释为仅限定在下面的实施方式所记载的内容中。在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。为了保持本公开实施例的以下说明清楚且简明，本公开省略了部分已知功能和已知部件的详细说明。本公开实施例附图只涉及到与本公开实施例涉及到的结构，其他结构可参考通常设计。

在附图中，有时为了明确起见，夸大表示了各构成要素的大小、层的厚度或区域。因此，本公开的一个方式并不一定限定于该尺寸，附图中各部件的形状和大小不反映真实比例。此外，附图示意性地示出了理想的例子，本公开的一个方式不局限于附图所示的形状或数值等。

本说明书中的“第一”、“第二”、“第三”等序数词是为了避免构成要素的混同而设置，而不是为了在数量方面上进行限定的。

在本说明书中，为了方便起见，使用“中部”、“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示方位或位置关系的词句以参照附图说明构成要素的位置关系，仅是为了便于描述本说明书和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。构成要素的位置关系根据描述各构成要素的方向适当地改变。因此，不局限于在说明书中说明的词句，根据情况可以适当地更换。

在本说明书中，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解。例如，可以是固定连接，或可拆卸连接，或一体地连接；可以是机械连接，或电连接；可以是直接相连，或通过中间件间接相连，或两个元件内部的连通。对于本领域的普通技术人员而言，可以具体情况理解上述术语在本公开中的具体含义。

在本说明书中，晶体管是指至少包括栅电极、漏电极以及源电极这三个端子的元件。晶体管在漏电极（漏电极端子、漏区域或漏电极）与源电极（源电极端子、源区域或源电极）之间具有沟道区域，并且电流能够流过漏电极、沟道区域以及源电极。注意，在本说明书中，沟道区域是指电流主要流过的区域。

在本说明书中，第一极可以为漏电极、第二极可以为源电极，或者第一极可以为源电极、第二极可以为漏电极。在使用极性相反的晶体管的情况或电路工作中的电流方向变化的情况等下，“源电极”及“漏电极”的功能有时互相调换。因此，在本说明书中，“源电极”和“漏电极”可以互相调换。

在本说明书中，“电连接”包括构成要素通过具有某种电作用的元件连接在一起的情况。“具有某种电作用的元件”只要可以进行连接的构成要素间的电信号的授受，就对其没有特别的限制。“具有某种电作用的元件”的例子不仅包括电极和布线，而且还包括晶体管等开关元件、电阻器、电感器、电容器、其它具有各种功能的元件等。

在本说明书中，“平行”是指两条直线形成的角度为 -10° 以上且 10° 以下的状态，因此，也包括该角度为 -5° 以上且 5° 以下的状态。另外，“垂直”是指两条直线形成的角度为 80° 以上且 100° 以下的状态，因此，也包括 85° 以上且 95° 以下的角度的状态。

5 在本说明书中，“膜”和“层”可以相互调换。例如，有时可以将“导电层”换成为“导电膜”。与此同样，有时可以将“绝缘膜”换成为“绝缘层”。

在本说明书中，所采用的“同层设置”是指两种（或两种以上）结构通过同一次图案化工艺得以图案化而形成的结构，它们的材料可以相同或不同。例如，形成同层设置的多种结构的前驱体的材料是相同的，最终形成的材料可以相同或不同。

10 本说明书中三角形、矩形、梯形、五边形或六边形等并非严格意义上的，可以是近似三角形、矩形、梯形、五边形或六边形等，可以存在公差导致的一些小变形，可以存在导角、弧边以及变形等。

本公开中的“约”，是指不严格限定界限，允许工艺和测量误差范围内的数值。

15 显示基板中所用的是低温多晶硅（Low Temperature Poly-Silicon，简称 LTPS）技术，LTPS 技术拥有高分辨率、高反应速度、高亮度、高开口率等优势。尽管受到了市场欢迎，但 LTPS 技术也存在一些缺陷，如生产成本较高，所需功耗较大等，此时，低温多晶硅晶体管与氧化物晶体管结合形成的背板（Low Temperature Poly-Silicon + Oxide，简称 LTPO）技术方案应运而生。相比于 LTPS 技术，LTPO 技术的漏电流更小，像素点反应更快，显示基板多加了一层氧化物，降低了激发像素点所需的能耗，从而降低屏幕显示时的功耗。采用 LTPO 技术的显示产品中不同像素电路中的驱动晶体管的老化程度不同，且
20 显示基板无法对驱动晶体管的阈值电压进行监控，降低了显示基板的显示效果、使用寿命和可靠性。

图 1 为一种显示装置的结构示意图。如图 1 所示，显示装置可以包括时序控制器、数据驱动器、扫描驱动器、发光驱动器和像素阵列，时序控制器分别与数据驱动器、扫描驱动器和发光驱动器连接，数据驱动器分别与多个数据信号线（D1 到 Dn）连接，扫描驱动器
25 分别与多个扫描信号线（S1 到 Sm）连接，发光驱动器分别与多个发光信号线（E1 到 Eo）连接。像素阵列可以包括多个子像素 P_{xij}，i 和 j 可以是自然数，至少一个子像素 P_{xij} 可以包括电路单元和与电路单元连接的发光器件，电路单元可以包括像素电路，像素电路可以分别与扫描信号线、发光信号线和数据信号线连接。在示例性实施方式中，时序控制器可以将适合于数据驱动器的规格的灰度值和控制信号提供到数据驱动器，可以将适合于扫描驱动器的规格的时钟信号、扫描起始信号等提供到扫描驱动器，可以将适合于发光驱动器的规格的时钟信号、发射停止信号等提供到发光驱动器。数据驱动器可以利用从时序控制器接收的灰度值和控制信号来产生将提供到数据信号线 D1、D2、D3、.....和 Dn 的数据电压。例如，数据驱动器可以利用时钟信号对灰度值进行采样，并且以像素行为单位将与灰度值对应的数据电压施加到数据信号线 D1 至 Dn，n 可以是自然数。扫描驱动器
35 可以通过从时序控制器接收时钟信号、扫描起始信号等来产生将提供到扫描信号线 S1、S2、S3、.....和 Sm 的扫描信号。例如，扫描驱动器可以将具有导通电平脉冲的扫描信号顺序地提供到扫描信号线 S1 至 Sm。例如，扫描驱动器可以被构造为移位寄存器的形式，并且可以在时钟信号的控制下顺序地将以导通电平脉冲形式提供的扫描起始信号传输到下一级电路的方式产生扫描信号，m 可以是自然数。发光驱动器可以通过从时序控制器接收时钟信号、发射停止信号等来产生将提供到发光信号线 E1、E2、E3、.....和 Eo 的发射信号。例如，发光驱动器可以将具有截止电平脉冲的发射信号顺序地提供到发光信号线 E1 至 Eo。例如，发光驱动器可以被构造为移位寄存器的形式，并且可以以在时钟信号的控制下顺序地将以截止电平脉冲形式提供的发射停止信号传输到下一级电路的方式产生

发射信号， o 可以是自然数。

图 2 为一种显示基板的平面结构示意图，图 3 为另一显示基板的平面结构示意图。如图 2 和图 3 所示，显示基板可以包括以矩阵方式排布的多个像素单元 P，多个像素单元 P 的包括出射第一颜色光线的第一子像素 P1、出射第二颜色光线的第二子像素 P2 和至少一个出射第三颜色光线的第三子像素 P3，第一子像素 P1、第二子像素 P2 和第三子像素 P3 均包括像素电路和发光器件。第一子像素 P1、第二子像素 P2 和第三子像素 P3 中的像素电路分别与扫描信号线、数据信号线和发光信号线连接，像素电路被配置为在扫描信号线和发光信号线的控制下，接收数据信号线传输的数据电压，向所述发光器件输出相应的电流。第一子像素 P1、第二子像素 P2 和第三子像素 P3 中的发光器件分别与所在子像素的像素电路连接，发光器件被配置为响应所在子像素的像素电路输出的电流发出相应亮度的光。

在示例性实施方式中，第一子像素 P1 可以是出射红色光线的红色子像素（R），第二子像素 P2 可以是出射蓝色光线的蓝色子像素（B），第三子像素 P3 可以是出射绿色光线的绿色子像素（G）。在示例性实施方式中，子像素的形状可以是矩形状、菱形、五边形或六边形，三个子像素可以采用水平并列、竖直并列或品字方式排列，本公开在此不做限定。

在示例性实施方式中，如图 2 所示，一个像素单元可以包括三个子像素，三个子像素可以采用水平并列、竖直并列或品字方式等排列，本公开在此不做限定。图 2 是以水平并列方式排列为例进行说明的。

在示例性实施方式中，如图 3 所示，一个像素单元可以包括四个子像素，四个子像素可以为一个第一子像素、一个第二子像素和两个第三子像素。四个子像素可以采用水平并列、竖直并列或正方形等方式排列，本公开在此不做限定。图 3 是以四个子像素正方形方式排列为例进行说明的。

在示例性实施方式中，发光器件可以是有机电致发光二极管（OLED），包括叠设的一电极（阳极）、有机发光层和第二电极（阴极）。

在示例性实施方式中，有机发光层可以包括叠设的空穴注入层（Hole Injection Layer，简称 HIL）、空穴传输层（Hole Transport Layer，简称 HTL）、电子阻挡层（Electron Block Layer，简称 EBL）、发光层（Emitting Layer，简称 EML）、空穴阻挡层（Hole Block Layer，简称 HBL）、电子传输层（Electron Transport Layer，简称 ETL）和电子注入层（Electron Injection Layer，简称 EIL）。在示例性实施方式中，所有子像素的空穴注入层可以是连接在一起的共通层，所有子像素的电子注入层可以是连接在一起的共通层，所有子像素的空穴传输层可以是连接在一起的共通层，所有子像素的电子传输层可以是连接在一起的共通层，所有子像素的空穴阻挡层可以是连接在一起的共通层，相邻子像素的发光层可以有少量的交叠，或者可以是隔离的，相邻子像素的电子阻挡层可以有少量的交叠，或者可以是隔离的。

图 4A 为一种像素电路的等效电路示意图。在示例性实施方式中，像素电路可以是 3T1C、4T1C、5T1C、5T2C、6T1C、7T1C 或 8T1C 结构。如图 4A 所示，像素电路可以包括 7 个晶体管（第一晶体管 T1 到第七晶体管 T7）和 1 个电容 C。

如图 4A 所示，第一晶体管 T1 的栅电极与复位信号端 Reset 电连接，第一晶体管 T1 的第一极与第一初始信号端 Vinit1 电连接，第一晶体管 T1 的第二极与第一节点 N1 电连接；第二晶体管 T2 的栅电极与第二扫描信号端 Gate2 电连接，第二晶体管 T2 的第一极与第一节点 N1 电连接，第二晶体管 T2 的第二极与第三节点 N3 电连接；第三晶体管 T3

的栅电极与第一节点 N1 电连接, 第三晶体管 T3 的第一极与第二节点 N2 电连接, 第三晶体管 T3 的第二极与第三节点 N3 电连接; 第四晶体管 T4 的栅电极与第一扫描信号端 Gate1 电连接, 第四晶体管 T4 的第一极与数据信号端 Data 电连接, 第四晶体管 T4 的第二极与第二节点 N2 电连接; 第五晶体管 T5 的栅电极与发光信号端 EM 电连接, 第五晶体管 T5 的第一极与第一电源端 VDD 电连接, 第五晶体管 T5 的第二极与第二节点 N2 电连接; 第六晶体管 T6 的栅电极与发光信号端 EM 电连接, 第六晶体管 T6 的第一极与第三节点 N3 电连接, 第六晶体管 T6 的第二极与第四节点 N4 电连接; 第七晶体管 T7 的栅电极与第一扫描信号端 Gate1 电连接, 第七晶体管 T7 的第一极与第二初始信号端 Vinit2 电连接, 第七晶体管 T7 的第二极与第四节点 N4 电连接; 电容 C 的第一极板 C1 与第一节点 N1 电连接, 电容 C 的第二极板 C2 与第一电源端 VDD 电连接。

在示例性实施方式中, 第一晶体管 T1 可以称为节点复位晶体管, 当复位信号端 Reset 的信号为有效电平信号时, 将第一初始信号端 Vinit1 的初始信号写入第一节点 N1。

在示例性实施方式中, 第二晶体管 T2 可以称为补偿晶体管, 当第二扫描信号端 Gate2 的信号为有效电平信号时, 将第三节点 N3 的信号写入第一节点 N1, 以对第一节点 N1 的信号进行补偿。

在示例性实施方式中, 第三晶体管 T3 可以称为驱动晶体管, 第三晶体管 T3 根据其栅电极与第一极之间的电位差来确定在第一电源端 VDD 与第二电源端 VSS 之间流经的驱动电流。

在示例性实施方式中, 第四晶体管 T4 可以称为写入晶体管, 当第一扫描信号端 Gate1 的信号为有效电平信号时, 将数据信号端 Data 的初始信号写入第二节点 N2。

在示例性实施方式中, 第五晶体管 T5 和第六晶体管 T6 可以称为发光晶体管。当发光信号端 EM 的信号为有效电平信号时, 第五晶体管 T5 和第六晶体管 T6 通过在第一电源端 VDD 与第二电源端 VSS 之间形成驱动电流路径而使发光器件发光。

在示例性实施方式中, 第七晶体管 T7 可以称为阳极复位晶体管, 当第一扫描信号端 Gate1 的信号为有效电平信号时, 将第二初始信号端 Vinit2 的初始信号写入发光器件 L 的第一电极。

按照晶体管的特性区分可以将晶体管分为 N 型晶体管和 P 型晶体管。当晶体管为 P 型晶体管时, 开启电压为低电平电压 (例如, 0V、-5V、-10V 或其它合适的电压), 关闭电压为高电平电压 (例如, 5V、10V 或其它合适的电压)。当晶体管为 N 型晶体管时, 开启电压为高电平电压 (例如, 5V、10V 或其它合适的电压), 关闭电压为低电平电压 (例如, 0V、-5V、-10V 或其它合适的电压)。

在示例性实施方式中, 第一晶体管 T1 到第七晶体管 T7 可以采用低温多晶硅薄膜晶体管, 或者可以采用氧化物薄膜晶体管, 或者可以采用低温多晶硅薄膜晶体管和氧化物薄膜晶体管。低温多晶硅薄膜晶体管的有源层采用低温多晶硅 (Low Temperature Poly-Silicon, 简称 LTPS), 氧化物薄膜晶体管的有源层采用氧化物半导体 (Oxide)。低温多晶硅薄膜晶体管具有迁移率高、充电快等优点, 氧化物薄膜晶体管具有漏电流低等优点, 将低温多晶硅薄膜晶体管和氧化物薄膜晶体管集成在一个显示基板上, 形成 LTPO 显示基板, 可以利用两者的优势, 可以实现低频驱动, 可以降低功耗, 可以提高显示品质。

在示例性实施方式中, 第一晶体管 T1 和第二晶体管 T2 与第三晶体管 T3 至第七晶体管 T7 的晶体管类型相反。示例性地, 第一晶体管 T1 和第二晶体管 T2 可以为 N 型晶体管, 第三晶体管 T3 至第七晶体管 T7 可以为 P 型晶体管。

在示例性实施方式中, 第一晶体管 T1 和第二晶体管 T2 可以为氧化物晶体管, 第三

晶体管 T3 至第七晶体管 T7 可以为低温多晶硅晶体管。

在示例性实施方式中，第一初始信号端 Vinit1 的信号电压值恒定，且为直流信号，第一初始信号端 Vinit1 的信号电压值可以为-3V。

在示例性实施方式中，第二初始信号端 Vinit2 的信号电压值恒定，且为直流信号，
5 第二初始信号端 Vinit2 的信号电压值可以为 0V。

在示例性实施方式中，发光器件 L，可以分别与第四节点 N4 和第二电源端 VSS 电连接。

在示例性实施方式中，第一电源端 VDD 持续提供高电平信号，第二电源端 VSS 持续提供低电平信号。

10 图 4B 为图 4A 提供的像素电路的工作时序图。下面通过图 4A 示例的像素电路在显示阶段的工作过程说明本公开示例性实施例。图 4B 是以第一晶体管 T1 和第二晶体管 T2 为 N 型晶体管，第三晶体管 T3 至第七晶体管 T7 为 P 型晶体管为例进行说明的，图 4B 中的像素电路包括第一晶体管 T1 到第七晶体管 T7、1 个电容 C 和 8 个信号端（数据信号端 Data、第一扫描信号端 Gate1、第二扫描信号端 Gate2、复位信号端 Reset、第一初始信号端 Vinit1、第二初始信号端 Vinit2、发光信号端 EM 和第一电源端 VDD）。

结合图 4A 和图 4B，像素电路的工作过程可以包括：

第一阶段 P1，称为初始化阶段，复位信号端 Reset 的信号为高电平信号，第一晶体管 T1 导通，第一初始信号端 Vinit1 的信号通过导通的第一晶体管 T1 写入第一节点 N1，对第一节点 N1 进行初始化（复位），清空其内部的预存电压，完成初始化。

20 第二阶段 P2，称为数据写入阶段或者阈值补偿阶段，第一扫描信号端 Gate1 为低电平信号，第二扫描信号端 Gate2 为低电平信号，数据信号端 Data 输出数据电压。此阶段由于第一节点 N1 为低电平信号，因此第三晶体管 T3 导通。第一扫描信号端 Gate1 的信号为低电平信号，第四晶体管 T4 导通和第七晶体管 T7 导通，第二扫描信号端 Gate2 的信号为高电平信号，第二晶体管 T2 导通，数据信号端 Data 输出的数据电压经过导通的第二晶体管 T2 提供至第一节点 N1，并将数据信号端 Data 输出的数据电压与第三晶体管 T3 的阈值电压之差充入电容 C，直至第一节点 N1 的电压为 $V_d - |V_{th}|$ ， V_d 为数据信号端 Data 输出的数据电压， V_{th} 为第三晶体管 T3 的阈值电压，第七晶体管 T7 导通，第二初始信号端 Vinit2 的信号通过导通的第七晶体管 T7 写入第四节点 N4，对发光器件 L 的第一电极进行初始化（复位），清空其内部的预存电压，完成初始化。

第三阶段 P3，称为发光阶段，发光信号端 EM 的信号为低电平信号，第五晶体管 T5 和第六晶体管 T6 导通，第一电源端 VDD 输出的电源电压通过导通的第五晶体管 T5、第三晶体管 T3 和第六晶体管 T6 向发光器件 L 的第一极提供驱动电压，驱动发光器件 L 发光。

35 在像素电路驱动过程中，流过第三晶体管 T3（驱动晶体管）的驱动电流由栅电极和第一极之间的电压差决定。由于第一节点 N1 的电压为 $V_d - |V_{th}|$ ，因而第三晶体管 T3 的驱动电流为：

$$I = K \cdot (V_{gs} - V_{th})^2 = K \cdot [(V_{dd} - V_d + |V_{th}|) - V_{th}]^2 = K \cdot (V_{dd} - V_d)^2$$

40 其中，I 为流过第三晶体管 T3 的驱动电流，也就是驱动 OLED 的驱动电流，K 为常数， V_{gs} 为第三晶体管 T3 的栅电极和第一极之间的电压差， V_{th} 为第三晶体管 T3 的阈值电压， V_d 为数据信号端 Data 输出的数据电压， V_{dd} 为第一电源端 VDD 输出的电源电压。

在一种 LTPO 显示基板中,在电路设计中向像素电路的第二初始信号端提供初始信号的信号线跨设在向像素电路的复位信号端提供控制信号的信号线上。向像素电路的复位信号端提供控制信号的信号线在制作过程中会产生颗粒等异物凸起。由于向像素电路的第二初始信号端提供初始信号的信号线与在向像素电路的复位信号端提供控制信号的信号线交叠区域较大,使得向像素电路的复位信号端提供控制信号的信号线产生的凸起可能会与向像素电路的第二初始信号线提供初始信号的信号线之间短接,从而引发显示不良。

图 5 为本公开实施例提供的显示结构的结构示意图一,图 6 为图 5 提供的显示基板中部分膜层的示意图,图 7 为图 5 提供的显示基板的截面图,图 8 为本公开实施例提供的显示结构的结构示意图二,图 9 为图 8 提供的显示基板部分膜层的示意图,图 10 为图 8 提供的显示基板的截面图,图 11 为本公开实施例提供的显示结构的结构示意图三,图 12 为图 11 提供的显示基板部分膜层的示意图,图 13 为图 11 提供的显示基板的截面图,图 14 为本公开实施例提供的显示结构的结构示意图四,图 15 为图 14 提供的显示基板部分膜层的示意图,图 16 为图 14 提供的显示基板的截面图,如图 5 至图 16 所示,本公开实施例提供的显示基板可以包括:基底 10、设置在基底 10 上的多个子像素、多条复位信号线 RL 和多条第二初始信号线 INITL2,子像素分别与复位信号线 RL 和第二初始信号线 INITL2 电连接,子像素包括:像素电路,像素电路包括:像素电路和发光器件,发光器件包括第一电极,像素电路包括:第一晶体管,复位信号线 RL 被配置为向第一晶体管的栅电极提供控制信号,第二初始信号线 INITL2 被配置为向发光器件的第一电极提供初始信号。

在示例性实施方式中,如图 5、图 8、图 11 和图 14 所示,复位信号线 RL 至少部分沿第一方向 D1 延伸,至少一条第二初始信号线 INITL2 包括:沿第一方向延伸的第一初始连接部 INITL2A 和沿第二方向 D2 延伸的第二初始连接部 INITL2B,第二方向 D2 与第一方向 D1 相交;第一初始连接部 INITL2A 在基底上的正投影与复位信号线 RL 在基底上的正投影不交叠,所述第二初始连接部 INITL2B 在基底上的正投影与复位信号线 RL 在基底上的正投影部分交叠。在示例性实施方式中,如图 5、图 8、图 11 和图 14 是以两行四列子像素为例进行说明的,两行分别是第 i 行和第 i+1 行,四列分别是第 j 列至第 j+3 列。

在示例性实施方式中,复位信号线 RL 可以为双层结构。

在示例性实施方式中,显示基板可以为 LTPO 显示基板。

在示例性实施方式中,基底可以为刚性基底或柔性基底,其中,刚性基底可以为但不限于玻璃、导电箔片中的一种或多种;柔性基底可以为但不限于聚对苯二甲酸乙二醇酯、对苯二甲酸乙二醇酯、聚醚醚酮、聚苯乙烯、聚碳酸酯、聚芳基酸酯、聚芳酯、聚酰亚胺、聚氯乙烯、聚乙烯、纺织纤维中的一种或多种。

本公开实施例提供的显示基板包括:基底、设置在基底上的多个子像素、多条复位信号线和多条第二初始信号线,子像素分别与复位信号线和第二初始信号线电连接,子像素包括:像素电路和发光器件,发光器件包括第一电极,像素电路包括:第一晶体管,复位信号线被配置为向第一晶体管的栅电极提供控制信号,第二初始信号线被配置为向发光器件的第一电极提供初始信号;复位信号线至少部分沿第一方向延伸,至少一条第二初始信号线包括:沿第一方向延伸的第一初始连接部和沿第二方向延伸的第二初始连接部,第二方向与第一方向相交;第一初始连接部在基底上的正投影与复位信号线在基底上的正投影不交叠,第二初始连接部在基底上的正投影与复位信号线在基底上的正投影部分交叠。。本公开通过第二初始信号线中的第一初始连接部在基底上的正投影与复位信号线在基底上的正投影不交叠,第二初始连接部在基底上的正投影与复位信号线在基底上的正投影部

分交叠可以减少第二初始信号线与复位信号线之间的交叠区域的面积,合理利用布线空间,有效防止工艺过程中的短路现象发生,提升显示基板的显示效果。

在示例性实施方式中,发光器件可以包括:第一发光器件、第二发光器件、第三发光器件和第四发光器件,第一发光器件发红光,第二发光器件发蓝光,第三发光器件和第四发光器件发绿光。

在示例性实施方式中,如图 5、图 8、图 11 和图 14 所示,第二发光器件的第一电极 AL2 的面积大于第一发光器件的第一电极 AL1 的面积,第三发光器件的第一电极 AL3 与第四发光器件的第一电极 AL4 的面积小于第一发光器件的第一电极 AL1 的面积。

在示例性实施方式中,如图 5 至图 16 所示,显示基板还可以包括:设置在基底上的多条第一初始信号线 INITL1、多条第一扫描信号线 GL1、多条第二扫描信号线 GL2、多条发光信号线 EL、多条数据信号线 DL 和多条第一电源线 VDDL,子像素分别与第一初始信号线 INITL1、第一扫描信号线 GL1、第二扫描信号线 GL2、发光信号线 EL、数据信号线 DL 和第一电源线 VDDL 电连接。

在示例性实施方式中,像素电路可以包括:第二晶体管(也是补偿晶体管)、第四晶体管(也是写入晶体管)和第七晶体管(也是阳极复位晶体管),第二晶体管(也是补偿晶体管)和第四晶体管(也是写入晶体管)类型不同,第一晶体管(也是节点复位晶体管)和第二晶体管(也是补偿晶体管)的晶体管类型相同,第四晶体管(也是写入晶体管)和第七晶体管(也是阳极复位晶体管)的晶体管类型相同。

在示例性实施方式中,第一初始信号线 INITL1 被配置为向第一晶体管(也是节点复位晶体管)提供初始信号,第一扫描信号线 GL1 被配置为向第四晶体管(也是写入晶体管)和第七晶体管(也是阳极复位晶体管)提供控制信号,第二扫描信号线 GL2 被配置为向第二晶体管(也是补偿晶体管)提供控制信号。

在示例性实施方式中,如图 5 至图 16 所示,第一初始信号线 INITL1、第一扫描信号线 GL1、第二扫描信号线 GL2 和发光信号线 EL 中的任一条至少部分沿第一方向 D1 延伸;数据信号线 DL 和第一电源线 VDDL 可以沿第二方向 D2 延伸。

在示例性实施方式中,如图 5 至图 16 所示,子像素所连接的复位信号线 RL 在基底上的正投影位于子像素所连接的第一初始信号线 INITL1 在基底上的正投影和子像素所连接的第一扫描信号线 GL1 在基底上的正投影之间,子像素所连接的第二扫描信号线 GL2 位于子像素所连接的第一扫描信号线 GL1 在基底上的正投影远离子像素所连接的复位信号线 RL 的一侧,子像素所连接的发光信号线 EL 位于子像素所连接的第二扫描信号线 GL2 和子像素所连接的第一初始信号线 INITL1 在基底上的正投影之间。

在示例性实施方式中,复位信号线 RL 可以包括:异层设置,且相互连接的第一子复位信号线和第二子复位信号线,第一子复位信号线在基底上的正投影与第二子复位信号线在基底上的正投影至少部分交叠。

在示例性实施方式中,第二扫描信号线 GL2 可以包括:异层设置,且相互连接的第一子扫描信号线和第二子扫描信号线,第一子扫描信号线在基底上的正投影与第二子扫描信号线在基底上的正投影至少部分交叠。

在示例性实施方式中,复位信号线 RL 和第二扫描信号线 GL2 同层设置,第一子复位信号线与第一子扫描信号线同层设置,第二子复位信号线与第二子扫描信号线同层设置。

在示例性实施方式中,第一扫描信号线 GL1 和发光信号线 EL 同层设置,第一初始信号线 INITL1、复位信号线 RL 和第二扫描信号线 GL2 同层设置,且位于第一扫描信号

线GL1远离基底的一侧,第一电源线VDDL和数据信号线DL位于第一初始信号线INITL1远离基底的一侧。

在示例性实施方式中,如图5、图8、图11和图14所示,相邻数据信号线DL相对于沿第二方向D2延伸的虚拟直线对称。

5 在示例性实施方式中,如图5、图8、图11和图14所示,相邻第一电源线VDDL相对于沿第二方向D2延伸的虚拟直线对称。

在示例性实施方式中,如图5、图8、图11和图14所示,第一电源线VDDL与其中一条相邻电源线连接,且与另一条相邻电源线间隔设置,间隔设置的两条第一电源线VDDL之间设置有两条数据信号线DL。

10 在示例性实施方式中,如图5、图8、图11和图14所示,子像素所连接的第二初始信号线中的第一初始连接部INITL2A在基底上的正投影位于子像素所连接的复位信号线RL在基底上的正投影与子像素所连接的发光信号线EL在基底上的正投影之间。

在示例性实施方式中,如图11所示,第一初始连接部INITL2A与第二初始连接部INITL2B同层设置,且与第二初始连接部INITL2B为一体结构。

15 在示例性实施方式中,如图5、图8或者图14所示,第一初始连接部INITL2A与第二初始连接部INITL2B异层设置,第二初始连接部INITL2B通过过孔与第一初始连接部INITL2A连接。

20 在示例性实施方式中,第一初始连接部INITL2A位于第二初始连接部INITL2B靠近基底的一侧,且与第一子复位信号线或者第二子复位信号线同层设置。图5和图14是以第一初始连接部INITL2A与第二子复位信号线同层设置为例进行说明的。

在示例性实施方式中,如图8所示,第一初始连接部INITL2A位于第二初始连接部INITL2B远离基底10的一侧,且与第一电极同层设置。

25 在示例性实施方式中,如图8所示,第一初始连接部INITL2A与相邻的发光器件的第一电极之间的最小距离约为1微米至3微米。示例性地,第一初始连接部INITL2A与相邻的发光器件的第一电极之间的最小距离可以约为2微米。

在示例性实施方式中,如图5、图8、图11和图14所示,至少一条第二初始连接部INITL2B包括:多个第二初始连接部INITL2B,且多个第二初始连接部INITL2B沿第一方向D1排布;第二初始连接部INITL2B在基底上的正投影还与第一扫描信号线GL1和第一初始信号线INITL1在基底上的正投影部分交叠。

30 在示例性实施方式中,如图5、图8和图11所示,至少一条第二初始信号线还包括:多个第一初始连接部INITL2A和多个沿第一方向D1延伸的第三初始连接部INITL2C;多个第一初始连接部INITL2A沿第一方向D1排布,多个第三初始连接部INITL2C沿第一方向D1排布。其中,相邻两个第二初始连接部INITL2B通过第一初始连接部INITL2A或者第三初始连接部INITL2C连接,第二初始连接部INITL2B与其中一个相邻的第二初始连接部INITL2B通过第一初始连接部INITL2A连接,第二初始连接部INITL2B与另一个相邻的第二初始连接部INITL2B通过第三初始连接部INITL2C连接。

35 在示例性实施方式中,如图5、图8和图11所示,子像素所连接的第二初始信号线的第三初始连接部INITL2C在基底上的正投影位于子像素所连接的第一扫描信号线GL1在基底上的正投影远离子像素所连接的复位信号线RL在基底上的正投影的一侧。

40 在示例性实施方式中,如图5、图8和图11所示,第二初始连接部INITL2B和第三初始连接部INITL2C同层设置,且为一体结构;第二初始连接部INITL2B位于复位信号

线 EL 所在的膜层和第一电源线 VDDL 所在的膜层之间。

在示例性实施方式中，如图 5、图 8 和图 11 所示，第二初始连接部 INITL2B 和第三初始连接部 INITL2C 的一体结构的形状可以为“7”字形

5 在示例性实施方式中，如图 5、图 6、图 8、图 9、图 11 和图 12 中的第二初始信号线 INITL2 整体走线呈现沿第二方向排布的多个“几”字型。

在示例性实施方式中，位于同一列的相邻第二初始信号线的第二初始连接部可以相互连接且呈一体结构。位于同一列的相邻第二初始信号线的第二初始连接部可以相互连接可以使得多条第二初始信号线呈网状结构，降低了信号线的负载，可以提升显示基板的显示均一性。

10 在示例性实施方式中，位于相邻行的第二初始连接部，其第二初始连接部可以在不同列连通，且第一初始连接部与复位信号线不交叠。

在示例性实施方式中，如图 14 所示，至少一条第二初始信号线包括：一个第一初始连接部 INITL2A 和多个第二初始连接部 INITL2B，多个第二初始连接部 INITL2B 与第一初始连接部 INITL2A 连接。

15 在示例性实施方式中，如图 14 和图 15 所示，第二初始信号线 INITL2 整体走线呈现沿第二方向排布的多个倒立的“T”字型。

20 在示例性实施方式中，如图 14 所示，显示基板还包括：至少部分沿第二方向延伸的多条第一连接线 L1；第一连接线 L1 与第二初始连接部 INITL2B 同层设置；至少一条第一连接线 L1 与多条第一初始信号线 INITL1 连接。本公开通过设置第一连接线，可以使第一连接线和第一初始信号线形成网状结构，降低了信号线的负载，可以提升显示基板的显示均一性。

25 在示例性实施方式中，如图 14 所示，显示基板还包括：至少部分沿第二方向延伸的第二连接线 L2；第二连接线 L2 与第二初始连接部 INITL2B 同层设置；至少一条第二连接线 L2 与多条第二初始信号线的第一初始连接部 INITL2A 连接。本公开通过设置第二连接线，可以使第二连接线和第二初始信号线形成网状结构，降低了信号线的负载，可以提升显示基板的显示均一性。

30 在示例性实施方式中，如图 5、图 8、图 11 和图 14 所示，显示基板还包括：平坦部；平坦部与第一电源线 VDDL 同层设置，且相互连接；平坦部在基底上的正投影与第一晶体管的有源层、第二晶体管的有源层、第一扫描信号线 GL1、第二扫描信号线 GL2、第一初始信号线 INITL1 和至少一个发光器件的第一电极在基底上的正投影至少部分交叠。本公开通过设置平坦部可以提升发光器件的第一电极的平坦性，提升可显示基板的显示效果。

35 本公开提供的显示基板中第二初始信号线的设置还可以减少第二初始信号线与发光器件的第一电极之间的交叠面积，从而减少二者之间的寄生电容，提升显示基板的显示效果。

在示例性实施方式中，本公开的第二初始信号线的设置不仅可以用于包括两条初始信号线的显示基板中，还可以用于包括三条初始信号线的显示基板，其中，第三条初始信号线可以被配置为向驱动晶体管的第一极提供初始信号。图 5 至图 14 是以包括两条初始信号线的显示基板为例进行说明的。

40 在示例性实施方式中，如图 5 至图 14 所示，显示基板可以包括：依次叠设在基底上的驱动电路层和发光结构层；驱动电路层至少包括像素电路、第一初始信号线、第一扫描

信号线、第二扫描信号线、发光信号线、第二初始信号线、第一电源线、数据信号线和平坦部，发光结构层至少包括：发光器件；驱动电路层包括依次叠设的第一半导体层、第一导电层、第二导电层、第二半导体层、第三导电层、第四导电层和第五导电层；

第一导电层至少包括：第一扫描信号线 GL1 和发光信号线 EL；

5 第二导电层至少包括：第一初始信号线 INITL1、复位信号线 RL 的第一子复位信号线、第二扫描信号线 GL2 的第一子扫描信号线；

第三导电层至少包括：复位信号线 RL 的第二子复位信号线和第二扫描信号线 GL2 的第二子扫描信号线；

第四导电层至少包括：第二初始信号线 INITL2 的第二初始连接部 INITL2A。

10 第五导电层至少包括：数据信号线 DL、第一电源线 VDDL 和平坦部。

在示例性实施方式中，发光结构层可以包括：第六导电层。

第六导电层至少包括：发光器件的第一电极。

15 在示例性实施方式中，如图 5、图 8 和图 11 所示，第三初始连接部 INITL2C 可以位于第四导电层。第一初始连接部 INITL2A 可以位于第三导电层、第四导电层或者第六导电层。

在示例性实施方式中，如图 14 所示，第一初始连接部 INITL2A 可以位于第三导电层。

20 在示例性实施方式中，如图 7、图 10、图 13 和图 16 所示，显示基板的驱动结构层还可以包括：第一绝缘层 21、第二绝缘层 22、第三绝缘层 23、第四绝缘层 24、第五绝缘层 25、第六绝缘层 26、第一平坦层 27 和第二平坦层 28。第一绝缘层 21 位于第一半导体层 31 和第一导电层 32 之间，第二绝缘层 22 位于第一导电层 32 和第二导电层 33 之间，第三绝缘层 23 位于第二导电层 33 和第二半导体层 34 之间，第四绝缘层 24 位于第二半导体层 34 和第三导电层 35 之间，第五绝缘层 25 位于第三导电层 35 和第四导电层 36 之间，第六绝缘层 26 和第一平坦层 27 位于第四导电层 36 和第五导电层 37 之间，第二平坦层 28 位于第五导电层 37 和第六导电层 41 之间。

25 本公开实施例还提供了一种显示基板，包括：基底和设置在基底上的多个子像素、多条复位信号线和多条第二初始信号线，子像素分别与复位信号线和第二初始信号线电连接，子像素包括：像素电路和发光器件，发光器件包括第一电极，像素电路包括：第一晶体管，复位信号线被配置为向第一晶体管的栅电极提供控制信号，第二初始信号线被配置为向发光器件的第一电极提供初始信号；

30 复位信号线至少部分沿第一方向延伸，至少一条第二初始信号线包括：沿第一方向延伸的第一初始连接部和第三初始连接部以及沿第二方向延伸的第二初始连接部，第二方向与第一方向相交；

第三初始连接部在基底上的正投影与复位信号线在基底上的正投影之间的距离小于第三初始连接部在基底上的正投影与第一初始连接部在基底上的正投影之间的距离。

35 在示例性实施方式中，如图 5、图 8、图 11 和图 14 所示，子像素的像素电路的位于第二半导体层的第一晶体管的有源层（也是第二晶体管的有源层）与位于第一导电层的第一扫描信号线 GL1 之间存在寄生电容，且称为子像素的寄生电容。

40 在示例性实施方式中，不同子像素的寄生电容不同。示例性地，红色子像素与绿色子像素的寄生电容可以相同，且可以与蓝色子像素的寄生电容不同。本公开可以通过将不同子像素的寄生电容差异化设计，可以平衡不同子像素之间的数据范围，调整黑态电压，进

而提升显示基板的显示效果。

在示例性实施方式中,不同子像素的寄生电容不同可以通过使得不同子像素的像素电路的位于第二半导体层的第一晶体管的有源层(也是第二晶体管的有源层)与位于第一导电层的第一扫描信号线之间的交叠面积不同实现。

- 5 下面通过显示基板的制备过程进行示例性说明。本公开所说的“图案化工艺”,对于金属材料、无机材料或透明导电材料,包括涂覆光刻胶、掩模曝光、显影、刻蚀、剥离光刻胶等处理,对于有机材料,包括涂覆有机材料、掩模曝光和显影等处理。沉积可以采用溅射、蒸镀、化学气相沉积中的任意一种或多种,涂覆可以采用喷涂、旋涂和喷墨打印中的任意一种或多种,刻蚀可以采用干刻和湿刻中的任意一种或多种,本公开在此不做限定。
- 10 “薄膜”是指将某一种材料在基底上利用沉积、涂覆或其它工艺制作出的一层薄膜。若在整个制作过程当中该“薄膜”无需图案化工艺,则该“薄膜”还可以称为“层”。若在整个制作过程当中该“薄膜”需图案化工艺,则在图案化工艺前称为“薄膜”,图案化工艺后称为“层”。经过图案化工艺后的“层”中包含至少一个“图案”。本公开所说的“A和B同层设置”是指,A和B通过同一次图案化工艺同时形成,膜层的“厚度”为膜层在垂直于显示基板方向上的尺寸。本公开示例性实施方式中,“B的正投影位于A的正投影的范围之内”或者“A的正投影包含B的正投影”是指,B的正投影的边界落入A的正投影的边界范围内,或者A的正投影的边界与B的正投影的边界重叠。
- 15

- 20 图17至图59为一个示例性实施例提供的显示基板的制备过程示意图。图17至图59是以两行四列子像素为例进行说明的。如图17至图59所示,一种示例性实施例提供的图5、图8、图11和图14的显示基板的制备过程可以包括:

(1)形成第一半导体层图案。在示例性实施方式中,形成第一半导体层图案可以包括:在基底上依次沉积第一半导体薄膜,通过图案化工艺对第一半导体薄膜进行图案化,形成覆盖基底的第一半导体层图案,如图17所示,图17为图5、图8、图11和图14中第一半导体层的平面示意图。

- 25 在示例性实施方式中,如图17所示,第一半导体层至少可以包括:位于至少一个子像素的第三晶体管的有源层T31、第四晶体管的有源层T41、第五晶体管的有源层T51、第六晶体管的有源层T61和第七晶体管的有源层T71。

在示例性实施方式中,第三晶体管的有源层T31至第七晶体管的有源层T71为相互连接的一体结构。

- 30 在示例性实施方式中,相邻子像素的第三晶体管的有源层T31至第七晶体管的有源层T71相对于沿第二方向D2延伸的虚拟直线对称设置。

- 35 在示例性实施方式中,在第一方向D1上,第四晶体管的有源层T41和第五晶体管的有源层T51可以位于本子像素中第三晶体管的有源层T31的同一侧,第六晶体管的有源层T61可以位于本子像素中第三晶体管的有源层T31的同一侧,第六晶体管的有源层T61和第四晶体管的有源层T41可以位于本子像素的第三晶体管的有源层T31的不同侧。在第二方向D2上,第i行子像素中第五晶体管的有源层T51、第六晶体管的有源层T61和第七晶体管的有源层T71可以位于本子像素中第三晶体管的有源层T31远离第i+1行子像素的一侧,第i行子像素中的第四晶体管的有源层T41可以位于本子像素中第三晶体管的有源层T31靠近第i+1行子像素的一侧。

- 40 在示例性实施方式中,第三晶体管的有源层T31的形状可以呈倒立的“Ω”字形。第四晶体管的有源层T41、第五晶体管的有源层T51和第六晶体管的有源层T61的形状可以呈“P”字形。第七晶体管的有源层T71的形状可以呈“L”字形,

在示例性实施方式中，每个晶体管的有源层可以包括第一区、第二区以及位于第一区和第二区之间的沟道区。在示例性实施方式中，第三晶体管的有源层 13 的第一区 T31_1 可以同时作为第四晶体管的有源层 T41 的第二区 T41_2 和第五晶体管的有源层 T51 的第二区 T51_2，第三晶体管的有源层 T31 的第二区 T31_2 可以同时作为第六晶体管的有源层 T61 的第一区 T61_1，第六晶体管的有源层 T61 的第二区 T61_2 可以作为第七晶体管的有源层 T71 的第二区 T71_2，第四晶体管的有源层 T41 的第一区 T41_1、第五晶体管的有源层 T51 的第一区 T51_1 和第七晶体管的有源层 T71 的第一区 T71_1 可以单独设置。

(2) 形成第一导电层图案。在示例性实施方式中，形成第一导电层图案可以包括：在形成前述图案的基底上，依次沉积第一绝缘薄膜和第一导电薄膜，通过图案化工艺对第一导电薄膜进行图案化，形成覆盖第一半导体层图案的第一绝缘层，以及设置在第一绝缘层上的第一导电层图案，如图 18 和图 19 所示，图 18 为图 5、图 8、图 11 和图 14 中第一导电层的平面示意图，图 19 为图 5、图 8、图 11 和图 14 形成第一导电层后的平面示意图。在示例性实施方式中，第一导电层可以称为第一栅金属 (GATE1) 层。

在示例性实施方式中，如图 18 和图 19 所示，第一导电层至少可以包括：第一扫描信号线 GL1、发光信号线 EL 以及位于至少一个子像素的电容的第一极板 C1。

在示例性实施方式中，相邻子像素的像素电路的第一极板 C1 相对于沿第二方向 D2 延伸的虚拟直线对称设置。

在示例性实施方式中，第一极板 C1 的形状可以为矩形状，矩形状的角部可以设置倒角，第一极板 C1 在基底上的正投影与第三晶体管的有源层在基底上的正投影至少部分交叠。在示例性实施方式中，第一极板 C1 可以同时作为电容的一个极板和第三晶体管 T3 的栅电极 T32。

在示例性实施方式中，第一扫描信号线 GL1 的形状可以为主体部分沿着第一方向 D1 延伸的线形状，第 i 行子像素所连接的第一扫描信号线 GL1 可以位于本子像素的电容的第一极板 C1 靠近第 i+1 行子像素的一侧。第一扫描信号线 GL1 与本子像素的第四晶体管的有源层相重叠的区域可以作为第四晶体管的栅电极 T42，第一扫描信号线 GL1 与本子像素的第七晶体管的有源层相重叠的区域可以作为第七晶体管的栅电极 T72。

在示例性实施方式中，发光信号线 EL 的形状可以为主体部分沿着第一方向 D1 延伸的线形状，发光信号线 EL 可以位于本子像素的第一极板 C1 远离第 i+1 行子像素的一侧，发光信号线 EL 与本子像素的第五晶体管的有源层相重叠的区域作为第五晶体管的栅电极 T52，发光信号线 EL 与本子像素的第六晶体管的有源层相重叠的区域作为第六晶体管的栅电极 T62。

在示例性实施方式中，第一扫描信号线 GL1 和发光信号线 EL 可以为等宽度设计，或者可以为非等宽度设计，可以为直线，或者可以为折线，不仅可以便于像素结构的布局，而且可以降低信号线之间的寄生电容，本公开在此不做限定。

在示例性实施方式中，形成第一导电层图案后，可以利用第一导电层作为遮挡，对第一半导体层进行导体化处理，被第一导电层遮挡区域的第一半导体层形成第三晶体管 T3 至第七晶体管 T7 的沟道区域，未被第一导电层遮挡区域的第一半导体层被导体化，即第三晶体管至第七有源层的第一区和第二区均被导体化。导体化后的第三晶体管的有源层 13 的第一区 T31_1 (也是第四晶体管的有源层 T41 的第二区 T41_2 和第五晶体管的有源层 T51 的第二区 T51_2) 可以复用为第三晶体管的第一极 T33 (也是第四晶体管的第二极 T44 和第五晶体管的第二极 T54)。

在示例性实施方式中，第三晶体管的栅电极 T32 跨设在第三晶体管的有源层上，第

四晶体管的栅电极 T42 跨设在第四晶体管的有源层上, 第五晶体管的栅电极 T52 跨设在第五晶体管的有源层上, 第六晶体管的栅电极 T62 跨设在第六晶体管的有源层上, 第七晶体管的栅电极 T72 跨设在第七晶体管的有源层上, 也就是说, 至少一个晶体管的栅电极的延伸方向与有源层的延伸方向相互垂直。

5 (3) 形成第二导电层图案, 包括: 在形成前述图案的基底上, 依次沉积第二绝缘薄膜和第二导电薄膜, 通过图案化工艺对第二绝缘薄膜和第二导电薄膜进行图案化, 形成第二绝缘层以及位于第二绝缘层上的第二导电层图案, 如图 20 和图 21 所示, 图 20 为图 5、图 8、图 11 和图 14 中第二导电层的平面示意图, 图 21 为图 5、图 8、图 11 和图 14 形成第二导电层后的平面示意图。在示例性实施方式中, 第二导电层可以称为第二栅金属 (GATE2) 层。

10 在示例性实施方式中, 如图 20 和图 21 所示, 第二导电层至少可以包括: 第一初始信号线 INITL1、复位信号线的第一子复位信号线 RLA、第二扫描信号线的第一子扫描信号线 GL2A 以及位于至少一个子像素的电容的第二极板 C2。

15 在示例性实施方式中, 相邻子像素的像素电路的第二极板 C2 相对于沿第二方向 D2 延伸的虚拟直线对称设置。

在示例性实施方式中, 如图 20 所示, 第二极板 C2 可以包括: 相互连接的主体部 C21 和连接部 C22, 本子像素的连接部 C22 位于本子像素的主体部 C22 靠近前一列或者后一列子像素的一侧。

20 在示例性实施方式中, 如图 20 所示, 主体部 C21 轮廓可以为矩形状, 矩形状的角部可以设置倒角, 主体部 C21 在基底上的正投影与第一极板在基底上的正投影至少部分交叠, 第二极板可以作为电容的另一个极板, 第一极板 C1 和第二极板 C2 构成像素电路的电容。主体部 C21 设置有开口, 开口的形状可以为矩形状, 可以位于如图 20 所示, 的中部, 使如图 20 所示, 形成环形结构。开口暴露出覆盖第一极板的第二绝缘层, 且第一极板在基底上的正投影包含开口在基底上的正投影。在示例性实施方式中, 开口暴露出第一极板, 使后续形成的第一晶体管的第二极 (也是第二晶体管的第二极) 与第一极板连接。

25 在示例性实施方式中, 如图 20 所示, 连接部 C22 轮廓可以为矩形状。

在示例性实施方式中, 位于同一行的相邻子像素中的第二极相对于沿第二方向 D2 的一条虚拟线对称设置。

30 在示例性实施方式中, 对于任一子像素, 第二极板 C2 与位于同一行的其中一个相邻子像素的第二极板 C2 间隔设置, 且与位于同一行的另一个相邻子像素的第二极板相互连接, 且为一体结构。示例性地, 第 i 行第 j 列子像素的第二极板与第 i 行第 j+1 列子像素的第二极板间隔设置, 第 i 行第 j+2 列子像素的第二极板与第 i 行第 j+3 列子像素的第二极板间隔设置, 第 i 行第 j+1 列子像素的第二极板的连接部与第 i 行第 j+2 列子像素的第二极板的连接部连接。本公开中, 位于同一行的部分相邻子像素的第二极板相互连接可以在一定程度上保证显示基板的显示均一性。

35 在示例性实施方式中, 第一初始信号线 INITL1 的形状可以为主体部分沿着第一方向 D1 延伸的线形状, 第 i 行子像素所连接的第一初始信号线 INITL1 可以位于本子像素的第二极板 C2 靠近第 i+1 行子像素的一侧。对于同一子像素, 子像素所连接的第一初始信号线 INITL1 在基底上的正投影位于子像素所连接的第一扫描信号线在基底上的正投影远离子像素的第一极板在基底上的正投影的一侧。

40 在示例性实施方式中, 复位信号线的第一子复位信号线 RLA 的形状可以为主体部分沿着第一方向 D1 延伸的线形状, 第一子复位信号线 RLA 可以位于所连接子像素的第二

极板 C2 和第一初始信号线 INITL1 之间, 且与后续形成的本子像素的第一晶体管的有源层相重叠的区域作为第一晶体管的第一栅电极 T12A, 对于同一子像素, 子像素所连接的第一子复位信号线 RLA 在基底上的正投影位于子像素所连接的第一扫描信号线在基底上的正投影和子像素所连接的第一初始信号线 INITL1 在基底上的正投影之间。

5 在示例性实施方式中, 第二扫描信号线的第一子扫描信号线 GL2A 的形状可以为主体部分沿着第一方向 D1 延伸的线形状, 第二扫描信号线的第一子扫描信号线 GL2A 可以位于所连接子像素的第二极板 C2 和复位信号线的第一子复位信号线 RLA 之间, 且与后续形成的本子像素的第二晶体管的有源层相重叠的区域作为第二晶体管的第一栅电极 T22A。对于同一子像素, 子像素所连接的第一子扫描信号线 GL2A 在基底上的正投影位于子像素的第一极板在基底上的正投影和子像素所连接的第一扫描信号线在基底上的正投影之间。

10 在示例性实施方式中, 第一初始信号线 INITL1、复位信号线的第一子复位信号线 RLA、第二扫描信号线的第一子扫描信号线 GL2A 可以为等宽度设计, 或者可以为非等宽度设计, 可以为直线, 或者可以为折线, 不仅可以便于像素结构的布局, 而且可以降低信号线之间的寄生电容, 本公开在此不做限定。

15 (4) 形成第二半导体层图案, 包括: 在形成前述图案的基底上, 包括: 在基底上依次沉积第三绝缘薄膜和第二半导体薄膜, 通过图案化工艺对第三绝缘薄膜和第二半导体薄膜进行图案化, 形成第三绝缘层以及位于第三绝缘层上的第二半导体层图案, 如图 22 和图 23 所示, 图 22 为图 5、图 8、图 11 和图 14 中第二半导体层的平面示意图, 图 23 为图 20 5、图 8、图 11 和图 14 形成第二半导体层后的平面示意图。

在示例性实施方式中, 如图 22 和图 23 所示, 第二半导体层至少可以包括: 位于至少一个子像素的第一晶体管的有源层 T11 和第二晶体管的有源层 T21。

在示例性实施方式中, 第一晶体管的有源层 T11 和第二晶体管的有源层 T21 为相互连接的一体结构。

25 在示例性实施方式中, 相邻子像素的第一晶体管的有源层 T11 和第二晶体管的有源层 T21 相对于沿第二方向 D2 延伸的虚拟直线对称设置。

在示例性实施方式中, 在第二方向 D2 上, 第 i 行子像素中第二晶体管的有源层 T21 可以位于本子像素中第一晶体管的有源层 T11 远离第 i+1 行子像素的一侧。

30 在示例性实施方式中, 第一晶体管的有源层 T11 和第二晶体管的有源层 T21 的形状可以呈“T”字形, 或者“L”字形。

在示例性实施方式中, 对于同一子像素, 子像素的第一晶体管的有源层 T11 在基底上的正投影与子像素所连接的复位信号线的第一子复位信号线和子像素所连接的第一初始信号线在基底上的正投影至少部分交叠。

35 在示例性实施方式中, 对于同一子像素, 子像素的第二晶体管的有源层 T21 在基底上的正投影与子像素所连接的第二扫描信号线的第一子扫描信号线 GL2A 在基底上的正投影交叠。

40 在示例性实施方式中, 每个晶体管的有源层可以包括第一区、第二区以及位于第一区和第二区之间的沟道区。在示例性实施方式中, 第一晶体管的有源层 T11 的第二区 T11_2 可以同时作为第二晶体管的有源层 T21 的第一区 T21_1, 第一晶体管的有源层 T11 的第一区 T11_1 和第二晶体管的有源层 T21 的第二区 T21_2 可以单独设置。

在示例性实施方式中, 对于同一子像素, 子像素的第一晶体管的有源层 T11 的第二

区 T11_2 (也是第二晶体管的有源层 T21 的第一区 T21_1) 在基底上的正投影与子像素所连接的第一扫描信号线在基底上的正投影至少部分交叠。

在示例性实施方式中,第一晶体管的有源层 T11 跨设在第一晶体管的第一栅电极上,第二晶体管的有源层 T21 跨设在第二晶体管的第一栅电极上。

5 (5) 形成第三导电层,包括:在形成前述图案的基底上,依次沉积第四绝缘薄膜和第三导电薄膜,通过图案化工艺对第四绝缘薄膜和第三导电薄膜进行图案化,形成第四绝缘层图案以及位于第四绝缘层上的第三导电层图案,如图 24 至图 29 所示,图 24 为图 5 中第三导电层的平面示意图,图 25 为图 5 形成第三导电层后的平面示意图,图 26 为图 8 和图 11 中第三导电层的平面示意图,图 27 为图 8 和图 11 形成第三导电层后的平面示意图,图 28 为图 14 中第三导电层的平面示意图,图 29 为图 14 形成第三导电层后的平面示意图。在示例性实施方式中,第三导电层可以称为第三栅金属 (GATE3) 层。

在示例性实施方式中,如图 24 至图 29 所示,第三导电层至少可以包括:复位信号线的第二子复位信号线 RLB 和第二扫描信号线的第二子扫描信号线 GL2B。

15 在示例性实施方式中,如图 24 至图 29 所示,复位信号线的第二子复位信号线 RLB 的形状可以为主体部分沿着第一方向 D1 延伸的线形状,复位信号线的第二子复位信号线 RLB 在基底上的正投影与复位信号线的第一子复位信号线在基底上的正投影至少部分交叠,且与复位信号线的第一子复位信号线电连接。

20 在示例性实施方式中,如图 24 至图 29 所示,对于同一子像素,子像素所连接的第二子复位信号线 RLB 在基底上的正投影位于子像素所连接的第一扫描信号线在基底上的正投影和子像素所连接的第一初始信号线 INITL1 在基底上的正投影之间。复位信号线的第二子复位信号线 RLB 与本子像素的第一晶体管的有源层相重叠的区域作为第一晶体管的第二栅电极 T12B。第一晶体管的第一栅电极和第二栅电极组成第一晶体管的栅电极。

25 在示例性实施方式中,如图 24 至图 29 所示,第二扫描信号线的第二子扫描信号线 GL2B 的形状可以为主体部分沿着第二方向 D1 延伸的线形状,第二扫描信号线的第二子扫描信号线 GL2B 在基底上的正投影与第二扫描信号线的第一子扫描信号线在基底上的正投影至少部分交叠,且与第二扫描信号线的第一子扫描信号线电连接。

30 在示例性实施方式中,如图 24 至图 29 所示,对于同一子像素,子像素所连接的第二子扫描信号线 GL2B 在基底上的正投影位于子像素的第一极板在基底上的正投影和子像素所连接的第一扫描信号线在基底上的正投影之间。第二扫描信号线的第二子扫描信号线 GL2B 与本子像素的第如图晶体管的有源层相重叠的区域作为第二晶体管的第二栅电极 T22B。第二晶体管的第一栅电极和第二栅电极组成第二晶体管的栅电极。

35 在示例性实施方式中,复位信号线的第二子复位信号线 RLB 和第二扫描信号线的第二子扫描信号线 GL2B 可以为等宽度设计,或者可以为非等宽度设计,可以为直线,或者可以为折线,不仅可以便于像素结构的布局,而且可以降低信号线之间的寄生电容,本公开在此不做限定。

在示例性实施方式中,如图 24 和图 25 所示,图 5 提供的显示基板中第三导电层还可以包括:第二初始信号线的多个第一初始连接部 INITL2A。其中,一条第二初始信号线可以包括多个间隔设置,且沿第一方向 D1 延伸的第一初始连接部 INITL2A。位于同一条第二初始信号线的多个第一初始连接部 INITL2A 沿第一方向 D1 排布

40 在示例性实施方式中,如图 28 和图 29 所示,图 14 提供的显示基板中第三导电层还可以包括:第二初始信号线的第一初始连接部 INITL2A。其中,一条第二初始信号线可以包括一个沿第二方向 D1 延伸的第一初始连接部 INITL2A。

在示例性实施方式中，如图 24、图 25、图 28 和图 29 所示，第一初始连接部 INITL2A 的形状可以为主体部分沿着第一方向 D1 延伸的线形状。对于同一子像素，子像素所连接的
5 第二初始信号线的第一初始连接部 INITL2A 位于子像素所连接的复位信号线的第二子复位信号线 RLB 远离第二扫描信号线的第二子扫描信号线 GL2B 的一侧，且子像素所连接的
第二初始信号线的第一初始连接部 INITL2A 在基底上的正投影位于子像素所连接的第一初始信号线在基底上的正投影远离子像素所连接的复位信号线的第二子复位信号线 RLB 的一侧。

在示例性实施方式中，如图 24、图 25、图 28 和图 29 所示，子像素所连接的第二初
10 始信号线的第一初始连接部 INITL2A 在基底上的正投影与子像素所连接的复位信号线的
第二子复位信号线 RLB 和子像素所连接的第一初始信号线在基底上的正投影不交叠。

在示例性实施方式中，形成第三导电层图案后，可以利用第三导电层作为遮挡，对第
二半导体层进行导体化处理，被第三导电层遮挡区域的第二半导体层形成第一晶体管至第
二晶体管的沟道区域，未被第三导电层遮挡区域的第二半导体层被导体化，即第一晶体管
至第二有源层的第一区和第二区均被导体化。

15 (6) 形成第五绝缘层图案，包括：在形成有前述图案的基底上，沉积第五绝缘薄膜，
通过图案化工艺对第五绝缘薄膜进行图案化，形成覆盖前述图案的第五绝缘层图案，第五
绝缘层开设有多个过孔图案，如图 30 至图 32 所示，图 30 为图 5 形成第五绝缘层后的平
面示意图，图 31 为图 8 和图 11 形成第五绝缘层后的平面示意图，图 32 为图 14 形成第五
绝缘层后的平面示意图。

20 在示例性实施方式中，如图 30 至图 32 所示，第五绝缘层的多个过孔至少包括：位于
至少一个子像素的第一过孔 V1、第二过孔 V2、第三过孔 V3、第四过孔 V4、第五过孔
V5、第六过孔 V6、第七过孔 V7、第八过孔 V8、第九过孔 V9 和第十过孔 V10。

在示例性实施方式中，第一过孔 V1 在基底上的正投影位于第四晶体管的有源层的第一
25 一区在基底上的正投影的范围之内，第一过孔 V1 内的第四绝缘层、第三绝缘层、第二绝
缘层和第一绝缘层被刻蚀掉，暴露出第四晶体管的有源层的第一区的表面，第一过孔 V1
被配置为使后续形成的第四晶体管的第一极通过该过孔与第四晶体管的有源层的第一区
连接。

在示例性实施方式中，第二过孔 V2 在基底上的正投影位于第五晶体管的有源层的第一
30 一区在基底上的正投影的范围之内，第二过孔 V2 内的第四绝缘层、第三绝缘层、第二绝
缘层和第一绝缘层被刻蚀掉，暴露出第五晶体管的有源层的第一区的表面，第二过孔 V2
被配置为使后续形成的第五晶体管的第一极通过该过孔与第五晶体管的有源层的第一区
连接。

在示例性实施方式中，第三过孔 V3 在基底上的正投影位于第三晶体管的有源层的第
35 二区（也是第六晶体管的有源层的第一区）在基底上的正投影的范围之内，第三过孔 V3
内的第四绝缘层、第三绝缘层、第二绝缘层和第一绝缘层被刻蚀掉，暴露出第三晶体管的
有源层的第二区（也是第六晶体管的有源层的第一区）的表面，第三过孔 V3 被配置为使
后续形成的第二晶体管的第二极（也是第三晶体管的第二极和第六晶体管的第一极）通过
该过孔与第三晶体管的有源层的第二区（也是第六晶体管的有源层的第一区）连接。

在示例性实施方式中，第四过孔 V4 在基底上的正投影位于第六晶体管的有源层的第
40 二区（也是第七晶体管的有源层的第二区）在基底上的正投影的范围之内，第四过孔 V4
内的第四绝缘层、第三绝缘层、第二绝缘层和第一绝缘层被刻蚀掉，暴露出第六晶体管的
有源层的第二区（也是第七晶体管的有源层的第二区）的表面，第四过孔 V4 被配置为使

后续形成的第六晶体管的第二极（也是第七晶体管的第二极）通过该过孔与第六晶体管的有源层的第二区（也是第七晶体管的有源层的第二区）连接。

5 在示例性实施方式中，第五过孔 V5 在基底上的正投影位于第七晶体管的有源层的第一区在基底上的正投影的范围之内，第五过孔 V5 内的第四绝缘层、第三绝缘层、第二绝缘层和第一绝缘层被刻蚀掉，暴露出第七晶体管的有源层的第一区的表面，第五过孔 V5 被配置为使后续形成的第一初始连接部（也是第七晶体管的第一极）通过该过孔与第七晶体管的有源层的第一区连接。

10 在示例性实施方式中，第六过孔 V6 在基底上的正投影位于电容的第一极板在基底上的正投影的范围之内，第六过孔 V6 内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉，暴露出电容的第一极板的表面，第六过孔 V6 被配置为使后续形成的第一晶体管的第二极（也是第二晶体管的第一极）通过该过孔与电容的第一极板连接。

15 在示例性实施方式中，第七过孔 V7 在基底上的正投影位于电容的第二极板在基底上的正投影的范围之内，第七过孔 V7 内的第四绝缘层和第三绝缘层被刻蚀掉，暴露出电容的第二极板的表面，第七过孔 V7 被配置为使后续形成的第五晶体管的第一极通过该过孔与电容的第二极板连接。

20 在示例性实施方式中，第八过孔 V8 在基底上的正投影位于第一初始信号线在基底上的正投影的范围之内，第八过孔 V8 内的第四绝缘层和第三绝缘层被刻蚀掉，暴露出第一初始信号线的表面，第八过孔 V8 被配置为使后续形成的第一晶体管的第一极通过该过孔与第一初始信号线连接。

25 在示例性实施方式中，第九过孔 V9 在基底上的正投影位于第一晶体管的有源层的第一区在基底上的正投影的范围之内，第九过孔 V9 内的第四绝缘层被刻蚀掉，暴露出第一晶体管的有源层的第一区的表面，第九过孔 V9 被配置为使后续形成的第一晶体管的第一极通过该过孔与第一晶体管的有源层的第一区连接。

30 在示例性实施方式中，第十过孔 V10 在基底上的正投影位于第一晶体管的有源层的第二区（也是第二晶体管的有源层的第一区）在基底上的正投影的范围之内，第十过孔 V10 内的第四绝缘层被刻蚀掉，暴露出第一晶体管的有源层的第二区（也是第二晶体管的有源层的第一区）的表面，第十过孔 V10 被配置为使后续形成的第一晶体管的第二极（也是第二晶体管的第一极）通过该过孔与第一晶体管的有源层的第二区（也是第二晶体管的有源层的第一区）连接。

35 在示例性实施方式中，第十一过孔 V11 在基底上的正投影位于第二晶体管的有源层的第二区在基底上的正投影的范围之内，第十一过孔 V11 内的第四绝缘层被刻蚀掉，暴露出第二晶体管的有源层的第二区的表面，第十一过孔 V11 被配置为使后续形成的第二晶体管的第二极（也是第六晶体管的第一极）通过该过孔与第二晶体管的有源层的第二区连接。

在示例性实施方式中，如图 30 和图 31 所示，图 5、图 8 和图 11 提供的显示基板中相邻两个子像素的第八过孔 V8 为同一过孔。相邻两个子像素的第八过孔 V8 为同一过孔。可以减少图 5、图 8 和图 11 提供的显示基板的过孔数量，可以简化显示基板的制作工艺。

40 在示例性实施方式中，如图 32 所示，图 14 提供的显示基板中的相邻两个子像素的第八过孔为不同过孔，且相对于相邻子像素的沿第二方向 D2 的对称轴对称设置。本公开中的相邻两个子像素的第八过孔为不同过孔有利于第一连接线的设置，可以实现第一连接线同时与第一晶体管的第一极和第一初始信号线的连接，可以提升显示基板的均一性。

在示例性实施方式中，如图 30 和图 32 所示，图 5 和图 14 提供的显示面板中第五绝

缘层的多个过孔图案还包括：第十二过孔 V12。

在示例性实施方式中，第十二过孔 V12 在基底上的正投影位于第二初始信号线的第一初始连接部在基底上的正投影的范围之内，第十二过孔 V12 被配置为使后续形成的第二初始信号线的第二初始连接部通过该过孔与第二初始信号线的第一初始连接部连接。

5 在示例性实施方式中，如图 30 和图 32 所示，图 5 提供的显示基板的穿过第十二过孔的沿第二方向 D2 延伸的虚拟直线与穿过第五过孔的沿第二方向 D2 延伸的虚拟直线之间的距离大于图 14 提供的显示基板的穿过第十二过孔的沿第二方向 D2 延伸的虚拟直线与穿过第五过孔 D2 的沿第二方向延伸的虚拟直线之间的距离。

10 在示例性实施方式中，如图 30 和图 32 所示，图 5 提供的显示基板的穿过第十二过孔的沿第一方向 D1 延伸的虚拟直线与穿过第五过孔的沿第一方向 D1 延伸的虚拟直线之间的距离小于图 14 提供的显示基板的穿过第十二过孔的沿第一方向 D1 延伸的虚拟直线与穿过第五过孔 D2 的沿第一方向 D1 延伸的虚拟直线之间的距离。

在示例性实施方式中，如图 30 所示，图 5 提供的显示基板的第十二过孔在基底上的正投影与第一半导体层图案在基底上的正投影不交叠。

15 在示例性实施方式中，如图 32 所示，图 14 提供的显示基板的第十二过孔在基底上的正投影与第一半导体层图案在基底上的正投影至少部分交叠。

在示例性实施方式中，如图 32 所示，图 14 提供的显示基板中沿第二方向延伸的虚拟直线经过第六过孔 V6 和第十二过孔 V12。

20 (7) 形成第四导电层图案，包括：在形成前述图案的基底上，沉积第四导电薄膜，通过图案化工艺对第四导电薄膜进行图案化，形成第四导电层图案，如图 33 至图 39 所示，图 33 为图 5 和图 8 中第四导电层的平面示意图，图 34 为图 5 形成第四导电层后的平面示意图，图 35 为图 8 形成第四导电层后的平面示意图，图 36 为图 11 中第四导电层的平面示意图，图 37 为图 11 形成第四导电层后的平面示意图，图 38 为图 14 中第四导电层的平面示意图，图 39 为图 14 形成第四导电层后的平面示意图。在示例性实施方式中，第四导电层可以称为第一源漏金属 (SD1) 层。

25 在示例性实施方式中，如图 33 至图 39 所示，第四导电层至少可以包括：第二初始信号线的第二初始连接部 INITL2B 以及位于至少一个子像素的第一晶体管的第一极 T13、第一晶体管的第二极 T14、第二晶体管的第一极 T23、第二晶体管的第二极 T24、第三晶体管的第一极 T34、第四晶体管的第一极 T43、第五晶体管的第一极 T53、第六晶体管的第一极 T63、第六晶体管的第二极 T64、第七晶体管的第一极 T73 和第七晶体管的第二极 T74。

在示例性实施方式中，相邻子像素的多个晶体管的第一极和第二极沿第二方向 D2 延伸的虚拟直线对称设置。

35 在示例性实施方式中，如图 33 至图 37 所示，图 5、图 8 和图 11 提供的显示基板中，与子像素位于同一行的相邻子像素包括：第一相邻子像素和第二相邻子像素，子像素与第一晶体管的第一极与第一相邻子像素的第一晶体管的第一极为一体结构，与第二相邻子像素的第一晶体管的第一极间隔设置。第一相邻子像素为与子像素前一系列的子像素，第二相邻子像素为子像素后一系列的子像素。示例性地，位于第 i 行第 j 列子像素的第一晶体管的第一极与位于第 i 行第 j+1 列子像素的第一晶体管的第一极为一体结构，位于第 i 行第 j+2 列子像素的第一晶体管的第一极与位于第 i 行第 j+3 列子像素的第一晶体管的第一极为一体结构，位于第 i 行第 j+1 列子像素的第一晶体管的第一极与位于第 i 行第 j+2 列子像素的第一晶体管的第一极间隔设置。

在示例性实施方式中，如图 33 至图 39 所示，图 5、图 8、图 11 和图 14 提供的显示基板中，子像素与第五晶体管的第一极与第一相邻子像素的第五晶体管的第一极间隔设置，与第二相邻子像素的第一晶体管的第一极为一体结构。示例性地，位于第 i 行第 j 列子像素的第五晶体管的第一极与位于第 i 行第 $j+1$ 列子像素的第五晶体管的第一极间隔设置，位于第 i 行第 $j+2$ 列子像素的第五晶体管的第一极与位于第 i 行第 $j+3$ 列子像素的第五晶体管的第一极为间隔设置，位于第 i 行第 $j+1$ 列子像素的第一晶体管的第一极与位于第 i 行第 $j+2$ 列子像素的第五晶体管的第一极为一体结构。

在示例性实施方式中，如图 33 至图 39 所示，第一晶体管的第一极 T13 至少部分沿第二方向 D1 延伸。第一晶体管的第一极 T13 通过第九过孔与第一晶体管的有源层的第一区连接，且通过第八过孔与第一初始信号线电连接。

在示例性实施方式中，如图 33 至图 39 所示，第一晶体管的第二极 T14 和第二晶体管的第一极 T23 为一体结构，且的形状为沿第一方向 D2 延伸的线形状。第一晶体管的第二极 T14（也是第二晶体管的第一极 T23）通过第六过孔与电容的第一极板连接，且通过第十过孔与第一晶体管的有源层的第二区（也是第二晶体管的有源层的第一区）连接。

在示例性实施方式中，如图 33 至图 39 所示，第二晶体管的第二极 T24、第三晶体管的第二极 T34 和第六晶体管的第一极 T63 为一体结构，且形状为沿第一方向 D2 延伸的线形状。第二晶体管的第二极 T24（也是第三晶体管的第二极 T34 和第六晶体管的第一极 T63）通过第三过孔与第三晶体管的有源层的第二区（也是第六晶体管的有源层的第一区）连接，通过第十一过孔与第二晶体管的有源层的第二区连接。

在示例性实施方式中，如图 33 至图 39 所示，第四晶体管的第一极 T43 的形状为沿第一方向 D2 延伸的线形状。第四晶体管的第一极 T43 通过第一过孔与第四晶体管的有源层的第一区连接。

在示例性实施方式中，如图 33 至图 39 所示，第五晶体管的第一极 T53 的形状可以为倒立的“h”字形，第五晶体管的第一极 T53 通过第二过孔与第五晶体管的有源层的第一区连接，且通过第七过孔与电容的第二极板电连接。

在示例性实施方式中，如图 33 至图 39 所示，第六晶体管的第二极 T64（也是第七晶体管的第二极 T74）的形状为沿第二方向 D2 延伸的线形状，第六晶体管的第二极 T64（也是第七晶体管的第二极 T74）通过第四过孔与第六晶体管的有源层的第二区（也是第六晶体管的有源层的第二区）连接。

在示例性实施方式中，如图 33 至图 39 所示，图 5、图 8、图 11 和图 14 提供的显示面板中至少一条第二初始信号线包括多个第二初始连接部 INITL2B，其中，第二初始连接部 INITL2B 的至少部分沿第二方向 D2 延伸，且位于同一第二初始信号线的多个第二初始连接部 INITL2B 第一方向 D1 排布。

在示例性实施方式中，如图 33 至图 39 所示，图 5、图 8、图 11 和图 14 提供的显示面板中第二初始连接部 INITL2B 在基底上的正投影与第一扫描信号线、复位信号线和第一初始信号线在基底上的正投影部分交叠。

在示例性实施方式中，如图 33 至图 39 所示，第二初始信号线的第二初始连接部 INITL2B 与第七晶体管的第一极 T13 为一体结构。第二初始信号线的第二初始连接部 INITL2B（也是第七晶体管的第一极 T13）通过第五过孔与第七晶体管的有源层的第一区连接。

在示例性实施方式中，如图 33 至图 35 所示，图 5 和图 8 提供显示基板中第四导电层还可以包括：第二初始信号线的第三初始连接部 INITL2C。

在示例性实施方式中,如图 36 和图 37 所示,图 11 提供显示基板中第四导电层还可以包括:第二初始信号线的多个第一初始连接部 INITL2A 和多个第三初始连接部 INITL2C。

在示例性实施方式中,如图 33 至图 37 所示,对于图 5、图 8 和图 11 提供显示基板,至少一条第二初始信号线包括多个第三初始连接部 INITL2C,且多个第三初始连接部 INITL2C 间隔设置。第三初始连接部 INITL2C 且设置在部分相邻第二初始连接部 INITL2B 之间。第三初始连接部 INITL2C 的至少部分沿第一方向 D1 延伸,且位于同一第二初始信号线的多个第三初始连接部 INITL2C 沿第一方向 D1 排布。

在示例性实施方式中,如图 34、图 35 和图 36 所示,对于图 5、图 8 和图 11 提供显示基板,对于同一子像素,第二初始信号线中的第三初始连接部 INITL2C 在基底上的正投影位于子像素所连接的第二扫描信号线在基底上的正投影与子像素所连接的第一扫描信号线在基底上的正投影之间。

在示例性实施方式中,如图 33 至图 37 所示,如图 33 和图 36 所示,第三初始连接部 INITL2C 与第二初始连接部 INITL2B 相互连接,且为一体结构。

在示例性实施方式中,如图 34 所示,对于图 5 提供的显示基板,对于同一第二初始信号线,第二初始连接部 INITL2B (也是第七晶体管的第一极)通过第十二过孔与第二初始连接部连接。

在示例性实施方式中,如图 34 所示,对于图 5 提供的显示基板,第二初始连接部 INITL2B 与其中一个相邻第二初始连接部 INITL2B 通过位于第三导电层的第一初始连接部连接,且与另一个相邻第二初始连接部 INITL2B 通过第三初始连接部连接。

在示例性实施方式中,如图 36 和图 37 所示,图 11 提供的显示基板中第一初始连接部 INITL2A 的形状为至少部分沿第一方向 D1 延伸的线形状。多个第一初始连接部 INITL2A 沿第一方向 D1 排布。

在示例性实施方式中,如图 36 和图 37 所示,图 11 提供的显示基板中子像素所连接的第二初始信号线的第一初始连接部 INITL2A 在基底上的正投影位于子像素所连接的第一初始信号线在基底上的正投影远离子像素所连接的复位信号线在基底上的正投影的一侧。

在示例性实施方式中,如图 36 和图 37 所示,图 11 提供的显示基板中第二初始连接部 INITL2B 分别与第一初始连接部 INITL2A 和第三初始连接部 INITL2C 电连接,且为一体结构。第二初始连接部 INITL2B 与其中一个相邻第二初始连接部 INITL2B 通过位于第三导电层的第一初始连接部连接,且与另一个相邻第二初始连接部 INITL2B 通过第三初始连接部连接。

在示例性实施方式中,如图 38 和图 39 所示,图 14 提供的显示基板中第四导电层还可以包括:第一连接线 L1 和第二连接线 L2。

在示例性实施方式中,如图 38 和图 39 所示,第一连接线 L1 的形状为至少部分沿第一方向 D2 延伸的线形状,第一连接线 L1 分别与第五晶体管的第一极间隔设置的部分两个子像素的第一晶体管的第一极连接,且为一体结构。第一连接线 L1 设置在所连接的两个子像素的第一晶体管的第一极之间。

在示例性实施方式中,如图 38 和图 39 所示,第二连接线 L2 的形状为至少部分沿第一方向 D2 延伸的线形状,第一连接线 L1 设置在第五晶体管的第一极间隔设置的另一部分两个子像素的第一晶体管的第一极之间。第二连接线 L2 通过第十二过孔与第二初始信号线的第一初始连接部连接。

(8) 形成第一平坦层图案, 包括: 在形成有前述图案的基底上, 沉积第六绝缘薄膜, 通过图案化工艺对第六绝缘薄膜进行图案化, 形成第六绝缘层, 在第六绝缘层上涂覆第一平坦薄膜, 通过图案化工艺对第一平坦薄膜进行图案化, 形成覆盖前述图案的第一平坦层图案, 第一平坦层开设有多个过孔图案, 如图 40 至图 43 所示, 图 40 为图 5 提供的显示基板形成第一平坦层后的平面示意图, 图 41 为图 8 提供的显示基板形成第一平坦层后的平面示意图, 图 42 为图 11 提供的显示基板形成第一平坦层后的平面示意图, 图 43 为图 14 提供的显示基板形成第一平坦层后的平面示意图。

在示例性实施方式中, 如图 40 和图 43 所示, 图 5 和图 14 提供的显示基板中第一平坦层的多个过孔至少包括: 位于至少一个子像素的第十三过孔 V13 至第十五过孔 V15。

在示例性实施方式中, 如图 40 和图 43 所示, 第十三过孔 V13 在基底上的正投影位于第四晶体管的第一极在基底上的正投影的范围之内, 第十三过孔 V13 内的第六绝缘层被刻蚀掉, 暴露出第四晶体管的第一极的表面, 第十三过孔 V13 被配置为使后续形成的数据信号线通过该过孔与第四晶体管的第一极连接。

在示例性实施方式中, 如图 40 和图 43 所示, 第十四过孔 V14 在基底上的正投影位于第五晶体管的第一极在基底上的正投影的范围之内, 第十四过孔 V14 内的第六绝缘层被刻蚀掉, 暴露出第五晶体管的第一极的表面, 第十四过孔 V14 被配置为使后续形成的第一电源线通过该过孔与第五晶体管的第一极连接。

在示例性实施方式中, 如图 40 和图 43 所示, 第十五过孔 V15 在基底上的正投影位于第六晶体管的第二极 (也是第七晶体管的第二极) 在基底上的正投影的范围之内, 第十五过孔 V15 内的第六绝缘层被刻蚀掉, 暴露出第六晶体管的第二极 (也是第七晶体管的第二极) 的表面, 第十五过孔 V15 被配置为使后续形成的第一电源线通过该过孔与第六晶体管的第二极 (也是第七晶体管的第二极) 连接。

在示例性实施方式中, 如图 41 和图 42 所示, 图 8 和图 11 提供的显示基板中第一平坦层的多个过孔至少包括: 位于至少一个子像素的第十二过孔 V12 至第十四过孔 V14。

在示例性实施方式中, 如图 41 和图 42 所示, 第十二过孔 V12 在基底上的正投影位于第四晶体管的第一极在基底上的正投影的范围之内, 第十二过孔 V12 内的第六绝缘层被刻蚀掉, 暴露出第四晶体管的第一极的表面, 第十二过孔 V12 被配置为使后续形成的数据信号线通过该过孔与第四晶体管的第一极连接。

在示例性实施方式中, 如图 41 和图 42 所示, 第十三过孔 V13 在基底上的正投影位于第五晶体管的第一极在基底上的正投影的范围之内, 第十三过孔 V13 内的第六绝缘层被刻蚀掉, 暴露出第五晶体管的第一极的表面, 第十三过孔 V13 被配置为使后续形成的第一电源线通过该过孔与第五晶体管的第一极连接。

在示例性实施方式中, 如图 41 和图 42 所示, 第十四过孔 V14 在基底上的正投影位于第六晶体管的第二极 (也是第七晶体管的第二极) 在基底上的正投影的范围之内, 第十四过孔 V14 内的第六绝缘层被刻蚀掉, 暴露出第六晶体管的第二极 (也是第七晶体管的第二极) 的表面, 第十四过孔 V14 被配置为使后续形成的第一电源线通过该过孔与第六晶体管的第二极 (也是第七晶体管的第二极) 连接。

(9) 形成第五导电层图案, 包括: 在形成前述图案的基底上, 沉积第五导电薄膜, 通过图案化工艺对第五导电薄膜进行图案化, 形成第五导电层图案, 如图 44 至图 48 所示, 图 44 为图 5、图 8、图 11 和图 14 中第五导电层的平面示意图, 图 45 为图 5 形成第五导电层后的平面示意图, 图 46 为图 8 形成第五导电层后的平面示意图, 图 47 为图 11 形成第五导电层后的平面示意图, 图 48 为图 14 形成第五导电层后的平面示意图。在示例性实

施方式中，第五导电层可以称为第二源漏金属（SD2）层。

在示例性实施方式中，如图 44 至图 48 所示，第五导电层至少可以包括：数据信号线 DL、第一电源线 VDDL、平坦部 BL 以及位于至少一个子像素的连接电极 L。多条数据信号线 DL 沿第一方向 D1 排布，多条第一电源线 VDDL 沿第一方向 D1 排布。

- 5 在示例性实施方式中，如图 44 至图 48 所示，数据信号线 DL 的形状可以为至少部分沿第二方向 D2 延伸的线形状。第一电源线 VDDL 的形状可以为至少部分沿第二方向 D2 延伸的线形状。子像素所连接的第一电源线 VDDL 位于子像素所连接数据信号线 DL 靠近下一列子像素的一侧。

- 10 在示例性实施方式中，如图 44 至图 48 所示，相邻数据信号线 DL 相对于沿第二方向 D2 延伸的虚拟直线对称。相邻第一电源线 VDD 相对于沿第二方向 D2 延伸的虚拟直线对称。

在示例性实施方式中，子像素所连接的数据信号线 DL 和第一电源线 VDDL 位于子像素的连接电极的同一侧，且数据信号线 DL 位于第一电源线 VDDL 远离连接电极的一侧。

- 15 在示例性实施方式中，如图 44 至图 48 所示，第一电源线 VDDL 与其中一条相邻电源线连接，且与另一条相邻电源线之间间隔设置。间隔设置的两条第一电源线之间设置有两条数据信号线 DL。或者相邻子像素所连接的第一电源线可以间隔设置，间隔设置的第一电源线可以关于第一连接线 L1 或第二连接线 L2 镜像对称。

- 20 在示例性实施方式中，如图 44 至图 48 所示，平坦部 BL 设置在两个相邻的第一电源线 VDDL 之间，且与相邻的两个第一电源线 VDDL 连接。

在示例性实施方式中，如图 44 至图 48 所示，平坦部 BL 的形状可以为方形。

在示例性实施方式中，如图 44 至图 48 所示，平坦部 BL 在基底上的正投影可以与第一晶体管的有源层的沟道区和第二晶体管的有源层的沟道区在基底上的正投影至少部分交叠。

- 25 在示例性实施方式中，如图 44 至图 48 所示，平坦部 BL 在基底上的正投影与第二扫描信号线、第一扫描信号线和第一初始信号线在基底上的正投影至少部分交叠。

在示例性实施方式中，如图 44 至图 48 所示，相邻两列子像素连接的第一电源线以及相邻子像素行的两个平坦部所组成的结构中包括多个环形区域。

- 30 在示例性实施方式中，环形区域的结构可以为对称结构，或者可以为不对称结构，图 44 至图 48 是以环形区域的结构为对称结构为例进行说明的。

在示例性实施方式中，位于同一行的相邻平坦部可以对称设置，或者可以不对称设置，可以根据所连接的发光器件的第一电极的形状确定。图 44 至图 48 是以位于同一行的相邻平坦部可以对称设置为例进行说明的。

- 35 在示例性实施方式中，如图 44 和图 47 所示，图 5 和图 10 提供的显示基板中，第一初始连接部在基底上的正投影位于相邻两列子像素的第一电源线、以及相邻子像素行两个平坦部构成的环形区域内。

在示例性实施方式中，如图 44 至图 48 所示，连接电极 L 的形状可以为至少部分沿第二方向 D2 的线形状或者沿第一方向 D1 延伸的线形状。连接电极被配置为与后续形成的发光器件的第一电极连接。不同发光器件的第一电极连接的第一电极的形状可以不同。

- 40 在示例性实施方式中，如图 45 和图 48 所示，数据信号线 DL 通过第十三过孔与第四

晶体管的第一极电连接。第一电源线 VDDL 通过第十四过孔与第五晶体管的第一极连接，连接电极 L 通过第十五过孔与第六晶体管的第二极（也是第七晶体管的第二极）连接。

在示例性实施方式中，如图 46 和图 47 所示，数据信号线 DL 通过第十二过孔与第四晶体管的第一极电连接。第一电源线 VDDL 通过第十三过孔与第五晶体管的第一极连接，
5 连接电极 L 通过第十四过孔与第六晶体管的第二极（也是第七晶体管的第二极）连接。

（10）形成第二平坦层图案，包括：在形成有前述图案的基底上，涂覆第如图平坦薄膜，通过图案化工艺对第二平坦薄膜进行图案化，形成覆盖前述图案的第二平坦层图案，第二平坦层开设有多个过孔图案，如图 49 至图 52 所示，图 49 为图 5 提供的显示基板形成第二平坦层后的平面示意图，图 50 为图 8 提供的显示基板形成第二平坦层后的平面示意图，图 51 为图 11 提供的显示基板形成第二平坦层后的平面示意图，图 52 为图 14 提供的显示基板形成第二平坦层后的平面示意图。
10

在示例性实施方式中，如图 49 和图 52 所示，图 5 和图 14 提供的显示基板中第二平坦层的多个过孔至少包括：位于至少一个子像素的第十六过孔 V16。

在示例性实施方式中，如图 49 和图 52 所示，第十六过孔 V16 在基底上的正投影位于连接电极在基底上的正投影的范围之内，暴露出连接电极的表面，第十六过孔 V16 被配置为使后续形成的发光器件的第一电极通过该过孔与连接电极连接。
15

在示例性实施方式中，如图 50 所示，图 8 提供的显示基板中第二平坦层的多个过孔至少包括：位于至少一个子像素的第十五过孔 V15 和第十六过孔 V16。

在示例性实施方式中，如图 50 所示，第十五过孔 V15 在基底上的正投影位于连接电极在基底上的正投影的范围之内，暴露出连接电极的表面，第十五过孔 V15 被配置为使后续形成的发光器件的第一电极通过该过孔与连接电极连接。
20

在示例性实施方式中，如图 50 所示，第十六过孔 V16 在基底上的正投影位于第二初始信号线的第二初始连接部在基底上的正投影的范围之内，暴露出第二初始信号线的第二初始连接部的表面，第十六过孔 V16 内的第六绝缘层被刻蚀掉，第十六过孔 V16 被配置为使后续形成的第二初始信号线的第一初始连接部通过该过孔与第二初始信号线的第二初始连接部连接。
25

在示例性实施方式中，如图 51 所示，图 11 提供的显示基板中第二平坦层的多个过孔至少包括：位于至少一个子像素的第十五过孔 V15。

在示例性实施方式中，如图 51 所示，第十五过孔 V15 在基底上的正投影位于连接电极在基底上的正投影的范围之内，暴露出连接电极的表面，第十五过孔 V15 被配置为使后续形成的发光器件的第一电极通过该过孔与连接电极连接。
30

至此，在基底上制备完成驱动电路层。在平行于显示基板的平面内，驱动电路层可以包括多个像素电路，像素电路与第一扫描信号线、第二扫描信号线、发光信号线、第一初始信号线、第二初始信号线、复位信号线、数据信号线和第一电源线连接。驱动电路层可以设置在基底上。驱动电路层可以包括在基底上依次设置的第一半导体层、第一绝缘层、第一导电层、第二绝缘层、第二导电层、第三绝缘层、第二半导体层、第四绝缘层、第三导电层、第五绝缘层、第四导电层、第六绝缘层、第一平坦层、第五导电层和第二平坦层。
35

在示例性实施方式中，第一半导体层可以为非晶硅层或者多晶硅层。

在一种示例性实施方式中，第二半导体层可以为金属氧化物层。其中，金属氧化物层可以采用包含铟和锡的氧化物、包含钨和铟的氧化物、包含钨和铟和锌的氧化物、包含钛和铟的氧化物、包含钛和铟和锡的氧化物、包含铟和锌的氧化物、包含硅和铟和锡的氧
40

化物或者包含铟或镓和锌的氧化物。金属氧化物层可以单层，或者可以是双层，或者可以是多层。

在示例性实施方式中，第一导电层、第二导电层、第三导电层、第四导电层和第五导电层可以采用金属材料，如银（Ag）、铜（Cu）、铝（Al）和钼（Mo）中的任意一种或多种，或上述金属的合金材料，如铝钕合金（AlNd）或钼铌合金（MoNb），可以是单层结构，或者多层复合结构，如 Mo/Cu/Mo 等。

在示例性实施方式中，第一绝缘层、第二绝缘层、第三绝缘层、第四绝缘层、第五绝缘层和第六绝缘层可以采用硅氧化物（SiO_x）、硅氮化物（SiN_x）和氮氧化硅（SiON）中的任意一种或多种，可以是单层、多层或复合层。

在示例性实施方式中，第一平坦层和第二平坦层可以采用有机材料，如树脂等。

在示例性实施方式中，制备完成驱动电路层后，在驱动电路层上制备发光结构层，发光结构层的制备过程可以包括如下操作。

（10）形成第六导电层图案。在示例性实施方式中，形成第六导电层图案可以包括：在形成前述图案的基底上，沉积第六导电薄膜，采用图案化工艺对第六导电薄膜进行图案化，形成设置在第二平坦层上的第六导电层，第六导电层至少包括多个第一电极图案，如图 53 至图 59 所示，图 53 为图 5 和图 11 中第六导电层的平面示意图，图 54 为图 5 形成第六导电层后的平面示意图，图 55 为图 11 形成第六导电层后的平面示意图，图 56 为图 8 中第六导电层的平面示意图，图 57 为图 8 形成第六导电层后的平面示意图，图 58 为图 14 中第六导电层的平面示意图，图 59 为图 14 形成第六导电层后的平面示意图。

在示例性实施方式中，如图 53 至图 59 所示，图 5、图 8、图 11 和图 14 的显示面板中第六导电层可以包括：多个第一电极图案。多个第一电极图案可以包括第一发光器件的第一电极 AL1、第二发光器件的第一电极 AL2、第三发光器件的第一电极 AL3 和第四发光器件的第一电极 AL4，第一发光器件的第一电极 AL1 位于出射红色光线的红色子像素，第二发光器件的第一电极 AL2 可以位于出射蓝色光线的蓝色子像素，第三发光器件的第一电极 AL3 可以位于出射绿色光线的绿色子像素，第四发光器件的第一电极 AL4 可以位于出射绿色光线的第二绿色子像素。

在示例性实施方式中，第一发光器件的第一电极 AL1 和第二发光器件的第一电极 AL2 可以沿着第二方向 D1 交替设置，第三发光器件的第一电极 AL3 和第四发光器件的第一电极 AL4 可以沿着第二方向 D1 交替设置。或者，第一发光器件的第一电极 AL1 和第二发光器件的第一电极 AL2 可以沿着第一方向 D2 交替设置，第三发光器件的第一电极 AL3 和第四发光器件的第一电极 AL4 可以沿着第一方向 D2 交替设置。

在示例性实施方式中，第一发光器件的第一电极 AL1、第二发光器件的第一电极 AL2、第三发光器件的第一电极 AL3 和第四发光器件的第一电极 AL4 可以分别通过暴露出所在子像素的连接电极的过孔与所在子像素的连接电极。示例性地，如图 54 所示，图 5 提供的显示基板中发光器件的第一电极通过第十六过孔与连接电极电连接。如图 55 所示，图 11 提供的显示基板的发光器件的第一电极通过第十五过孔与连接电极连接。如图 57 所示，图 8 提供的显示基板的发光器件的第一电极通过十五过孔与连接电极连接。如图 59 所示，图 14 提供的显示基板的发光器件的第一电极通过第十六过孔与连接电极连接。

在示例性实施方式中，一个像素单元中四个子像素的第一电极形状和面积可以相同，或者可以不同。

在示例性实施方式中，第一发光器件的第一电极 AL1、第二发光器件的第一电极 AL2、第三发光器件的第一电极 AL3 和第四发光器件的第一电极 AL4 中的至少一个可以包括相

互连接的阳极主体部和阳极连接部，阳极连接部与连接电极连接。

在示例性实施方式中，第一发光器件的第一电极 AL1 可以包括相互连接的第一阳极主体部和第一阳极连接部，第一阳极主体部的形状可以为矩形状，矩形状的角部可以设置圆弧状的倒角，第一阳极连接部的形状可以为条形状。在示例性实施方式中，第二发光器件的第一电极 AL2 可以包括相互连接的第二阳极主体部和第二阳极连接部，第二阳极主体部的形状可以为矩形状，矩形状的角部可以设置圆弧状的倒角，第二阳极连接部的形状可以为条形状。在示例性实施方式中，第三发光器件的第一电极 AL3 可以包括相互连接的第三阳极主体部和第三阳极连接部，第三阳极主体部的形状可以为矩形状，矩形状的角部可以设置圆弧状的倒角，第三阳极连接部的形状可以为条形状。在示例性实施方式中，第四发光器件的第一电极 AL4 可以包括相互连接的第四阳极主体部和第四阳极连接部，第四阳极主体部的形状可以为矩形状，矩形状的角部可以设置圆弧状的倒角，第四阳极连接部的形状可以为条形状。

在示例性实施方式中，如图 56 和图 57 所示，图 8 提供的显示基板中第六导电层还可以包括：至少一条第二初始信号线的多个第一初始连接部 INITL2A。第二初始连接部 INITL2A 沿第一方向 D1 延伸，多个第一初始连接部 INITL2A 沿第一方向 D1 排布。

在示例性实施方式中，如图 57 所示，第二初始信号线的第一初始连接部 INITL2A 在基底上的正投影与第二初始连接部在基底上的正投影至少部分交叠。

在示例性实施方式中，如图 57 所示，对于同一子像素，子像素所连接的第二初始信号线的第一初始连接部 INITL2A 在基底上的正投影位于子像素所连接的第一初始信号线在基底上的正投影远离子像素所连接的复位信号线基底上的正投影的一侧。

在示例性实施方式中，第二初始连接部与相邻的发光器件的第一电极之间的最小距离可以约为 1 微米至 3 微米。示例性地，第二初始连接部与相邻的发光器件的第一电极之间的最小距离可以约为 2 微米。

在示例性实施方式中，第二初始信号线的第一初始连接部 INITL2A 通过第十六过孔与第二初始连接部连接。

在示例性实施方式中，第六导电层采用单层结构，如氧化铟锡 ITO 或氧化铟锌 IZO，或者可以采用多层复合结构，如 ITO/Ag/ITO 等。

(11) 形成阴极导电层图案。在示例性实施方式中，形成阴极导电层可以包括：在形成前述图案的基底上，涂覆像素定义薄膜，在形成前述图案的基底上，沉积像素定义薄膜，通过图案化工艺对像素定义薄膜进行图案化，形成暴露出第六导电层图案的像素定义层图案，在形成有像素定义层图案的基底上，涂覆有机发光材料，通过图案化工艺对有机发光材料进行图案化，形成有机结构层图案，在形成有机材料层图案的基底上，沉积阴极导电薄膜，通过图案化工艺对阴极导电薄膜进行图案化，形成阴极导电层。

在示例性实施方式中，后续制备流程可以包括：在阴极导电层上形成封装结构层，封装结构层可以包括叠设的第一封装层、第二封装层和第三封装层，第一封装层和第三封装层可以采用无机材料，第二封装层可以采用有机材料，第二封装层设置在第一封装层和第三封装层之间，可以保证外界水汽无法进入发光结构层。

在示例性实施方式中，有机结构层至少可以包括：发光器件的有机发光层。

在示例性实施方式中，阴极导电层至少可以包括：多个发光器件的阴极。

在示例性实施方式中，阴极层可以采用金属材料，如银 (Ag)、铜 (Cu)、铝 (Al) 和钼 (Mo) 中的任意一种或更多种，或上述导电的合金材料，如铝钨合金 (AlNd) 或钼

钼合金（MoNb），可以是单层结构，或者多层复合结构，如 Mo/Cu/Mo 等。示例性地，第四导电层可以为钛、铝和钛形成的三层堆叠结构。

本公开实施例通过的显示基板可以适用于任何分辨率的显示产品中。

本公开实施例还提供了一种显示装置，包括：显示基板。

5 显示基板为前述任一个实施例提供的显示基板，实现原理和实现效果类似，在此不再赘述。

10 在示例性实施方式中，显示装置可以为：液晶面板、电子纸、OLED 面板、有源矩阵有机发光二极管(active-matrix organic light emitting diode, 简称 AMOLED)面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

本公开中的附图只涉及本公开实施例涉及到的结构，其他结构可参考通常设计。

为了清晰起见，在用于描述本公开的实施例的附图中，层或微结构的厚度和尺寸被放大。可以理解，当诸如层、膜、区域或基板之类的元件被称作位于另一元件“上”或“下”时，该元件可以“直接”位于另一元件“上”或“下”，或者可以存在中间元件。

15 虽然本公开所揭露的实施方式如上，但所述的内容仅为便于理解本公开而采用的实施方式，并非用以限定本公开。任何本公开所属领域内的技术人员，在不脱离本公开所揭露的精神和范围的前提下，可以在实施的形式及细节上进行任何的修改与变化，但本公开的专利保护范围，仍须以所附的权利要求书所界定的范围为准。

权 利 要 求 书

1. 一种显示基板, 包括: 基底和设置在所述基底上的多个子像素、多条复位信号线和多条第二初始信号线, 所述子像素分别与复位信号线和第二初始信号线电连接, 所述子像素包括: 像素电路和发光器件, 所述发光器件包括第一电极, 所述像素电路包括: 第一晶体管, 所述复位信号线被配置为向第一晶体管的栅电极提供控制信号, 所述第二初始信号线被配置为向发光器件的第一电极提供初始信号;

所述复位信号线至少部分沿第一方向延伸, 至少一条所述第二初始信号线包括: 沿第一方向延伸的第一初始连接部和沿第二方向延伸的第二初始连接部, 所述第二方向与所述第一方向相交;

所述第一初始连接部在基底上的正投影与所述复位信号线在基底上的正投影不交叠, 所述第二初始连接部在基底上的正投影与所述复位信号线在基底上的正投影部分交叠。

2. 根据权利要求 1 所述的显示基板, 还包括: 设置在所述基底上的多条发光信号线, 所述发光信号线至少部分沿所述第一方向延伸;

子像素所连接的所述第二初始信号线中的第一初始连接部在基底上的正投影位于子像素所连接的所述复位信号线在基底上的正投影与子像素所连接的所述发光信号线在基底上的正投影之间。

3. 根据权利要求 2 所述的显示基板, 其中, 所述第一初始连接部与所述第二初始连接部同层设置, 且与所述第二初始连接部为一体结构。

4. 根据权利要求 2 所述的显示基板, 其中, 所述第一初始连接部与第二初始连接部异层设置, 所述第二初始连接部通过过孔与第一初始连接部连接。

5. 根据权利要求 4 所述的显示基板, 其中, 所述复位信号线包括: 异层设置, 且相互连接的第一子复位信号线和第二子复位信号线;

所述第一初始连接部位于所述第二初始连接部靠近所述基底的一侧, 且与所述第一子复位信号线或者所述第二子复位信号线同层设置。

6. 根据权利要求 4 所述的显示基板, 其中, 所述第一初始连接部位于所述第二初始连接部远离基底的一侧, 且与所述第一电极同层设置。

7. 根据权利要求 6 所述的显示基板, 其中, 所述第一初始连接部与相邻的发光器件的第一电极之间的最小距离约为 1 微米至 3 微米。

8. 根据权利要求 3 至 6 任一项所述的显示基板, 还包括: 设置在所述基底上的多条第一扫描信号线和多条第一初始信号线, 所述第一扫描信号线和所述第一初始信号线中的任一条至少部分沿所述第一方向延伸;

至少一条所述第二初始连接线包括: 多个第二初始连接部, 且多个所述第二初始连接部沿第一方向排布;

所述第二初始连接部在所述基底上的正投影还与所述第一扫描信号线和所述第一初始信号线在所述基底上的正投影部分交叠。

9. 根据权利要求 8 所述的显示基板, 其中, 至少一条所述第二初始信号线还包括: 多个第一初始连接部和多个沿所述第一方向延伸的第三初始连接部; 多个所述第一初始连接部沿所述第一方向排布, 多个所述第三初始连接部沿所述第一方向排布;

相邻两个第二初始连接部通过第一初始连接部或者第三初始连接部连接, 第二初始连

接部与其中一个相邻的第二初始连接部通过第一初始连接部连接,第二初始连接部与另一个相邻的第二初始连接部通过第三初始连接部连接。

- 5 10. 根据权利要求 9 所述的显示基板,其中,子像素所连接的所述第二初始信号线的所述第三初始连接部在基底上的正投影位于子像素所连接的所述第一扫描信号线在基底上的正投影远离子像素所连接的所述复位信号线在基底上的正投影的一侧。

11. 根据权利要求 9 或 10 所述的显示基板,其中,所述第二初始连接部和所述第三初始连接部同层设置,且为一体结构;

所述第二初始连接部位于所述复位信号线所在的膜层和所述第一电源线所在的膜层之间。

- 10 12. 根据权利要求 5 或 6 所述的显示基板,其中,至少一条所述第二初始信号线包括:一个第一初始连接部和多个第二初始连接部,多个所述第二初始连接部与所述第一初始连接部连接。

13. 根据权利要求 12 所述的显示基板,还包括:至少部分沿所述第二方向延伸的多条第一连接线;所述第一连接线与所述第二初始连接部同层设置;

- 15 至少一条所述第一连接线与多条所述第一初始信号线连接。

14. 根据权利要求 12 或 13 所述的显示基板,还包括:至少部分沿所述第二方向延伸的第二连接线;所述第二连接线与所述第二初始连接部同层设置;

至少一条所述第二连接线与多条所述第二初始信号线的所述第一初始连接部连接。

- 20 15. 根据权利要求 2 所述的显示基板,还包括:平坦部和多条第二扫描信号线;所述像素电路还包括:第二晶体管,所述第一晶体管和所述第二晶体管为氧化物晶体管,所述第二扫描信号线至少部分沿所述第一方向延伸,且被配置为向所述第二晶体管的栅电极提供控制信号;

25 所述平坦部与所述第一电源线同层设置,且相互连接;所述平坦部在基底上的正投影与第一晶体管的有源层、第二晶体管的有源层和至少一个发光器件的第一电极在基底上的正投影至少部分交叠。

- 30 16. 一种显示基板,包括:基底和设置在所述基底上的多个子像素、多条复位信号线和多条第二初始信号线,所述子像素分别与复位信号线和第二初始信号线电连接,所述子像素包括:像素电路和发光器件,所述发光器件包括第一电极,所述像素电路包括:第一晶体管,所述复位信号线被配置为向第一晶体管的栅电极提供控制信号,所述第二初始信号线被配置为向发光器件的第一电极提供初始信号;

所述复位信号线至少部分沿第一方向延伸,至少一条所述第二初始信号线包括:沿第一方向延伸的第一初始连接部和第三初始连接部以及沿第二方向延伸的第二初始连接部,所述第二方向与所述第一方向相交;

- 35 所述第三初始连接部在基底上的正投影与所述复位信号线在基底上的正投影之间的距离小于所述第三初始连接部在基底上的正投影与所述第一初始连接部在基底上的正投影之间的距离。

17. 一种显示装置,包括:如权利要求 1 至 15 任一项所述的显示基板或者如权利要求 16 所述的显示基板。

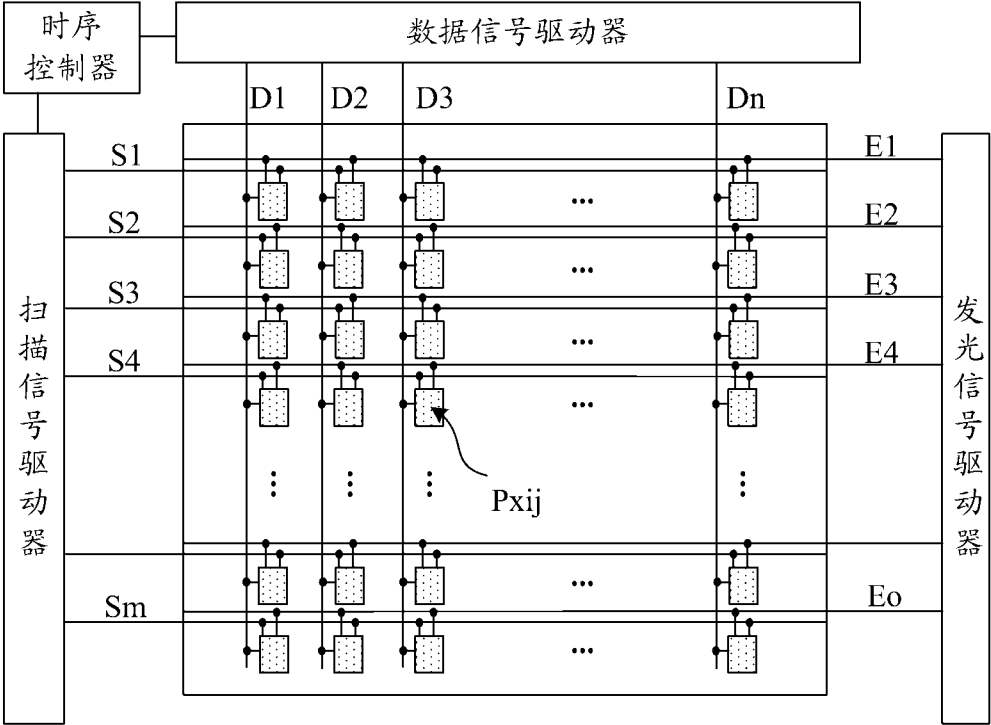


图 1

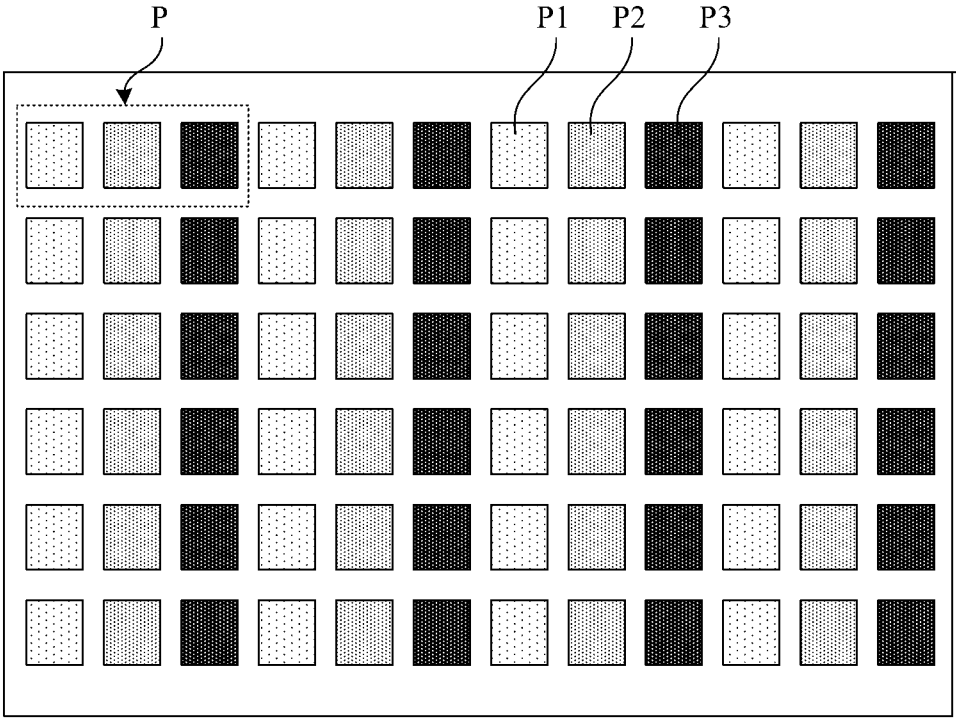


图 2

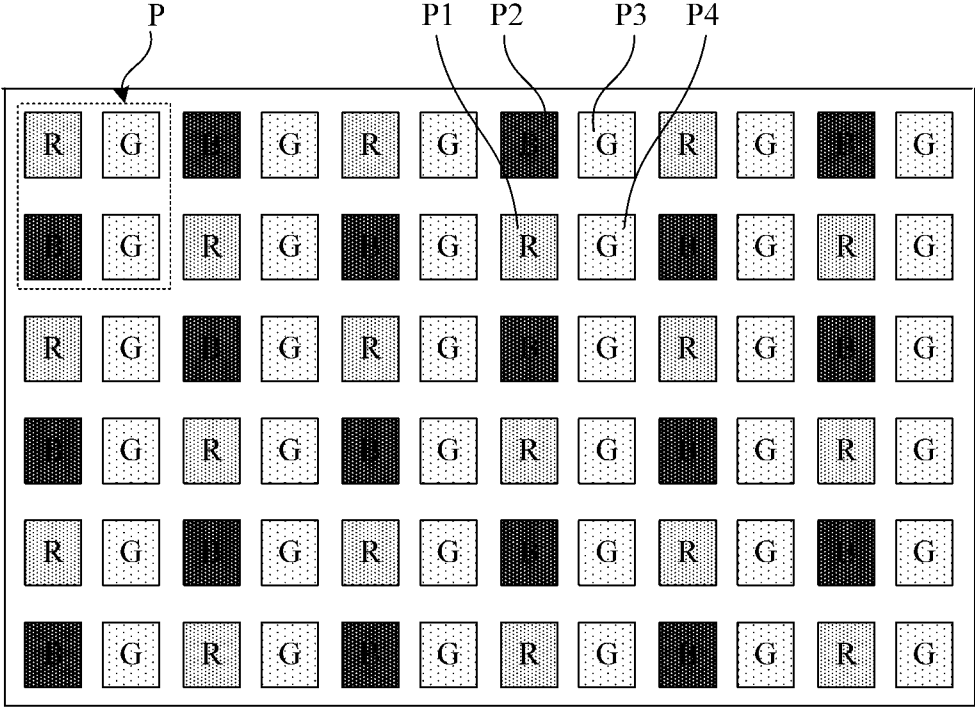


图3

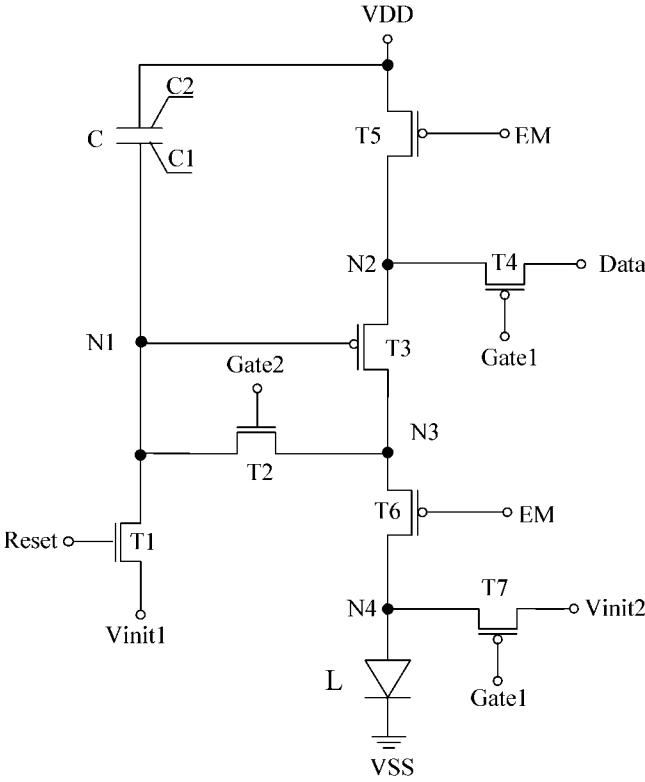


图4A

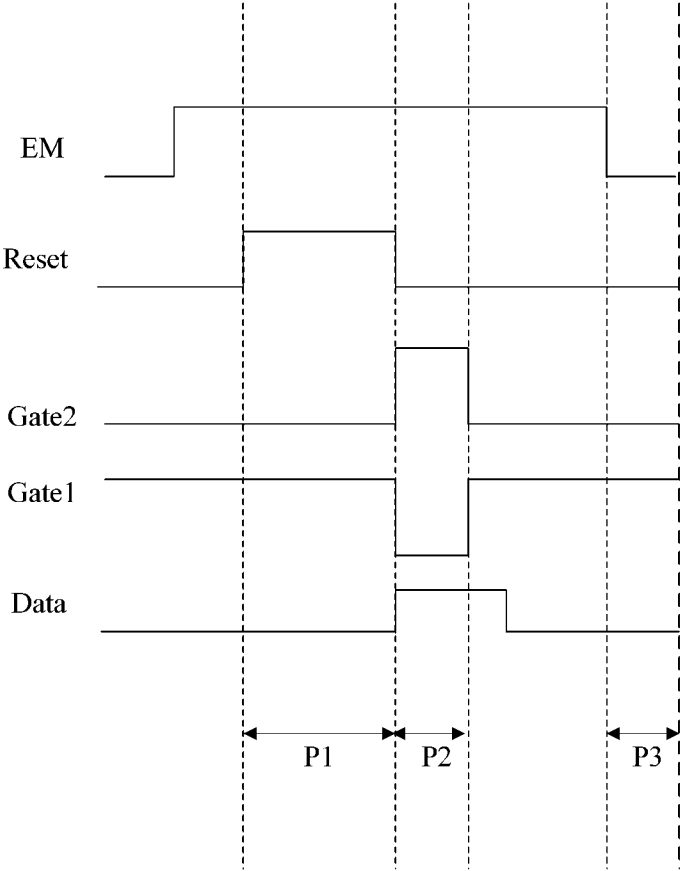


图4B

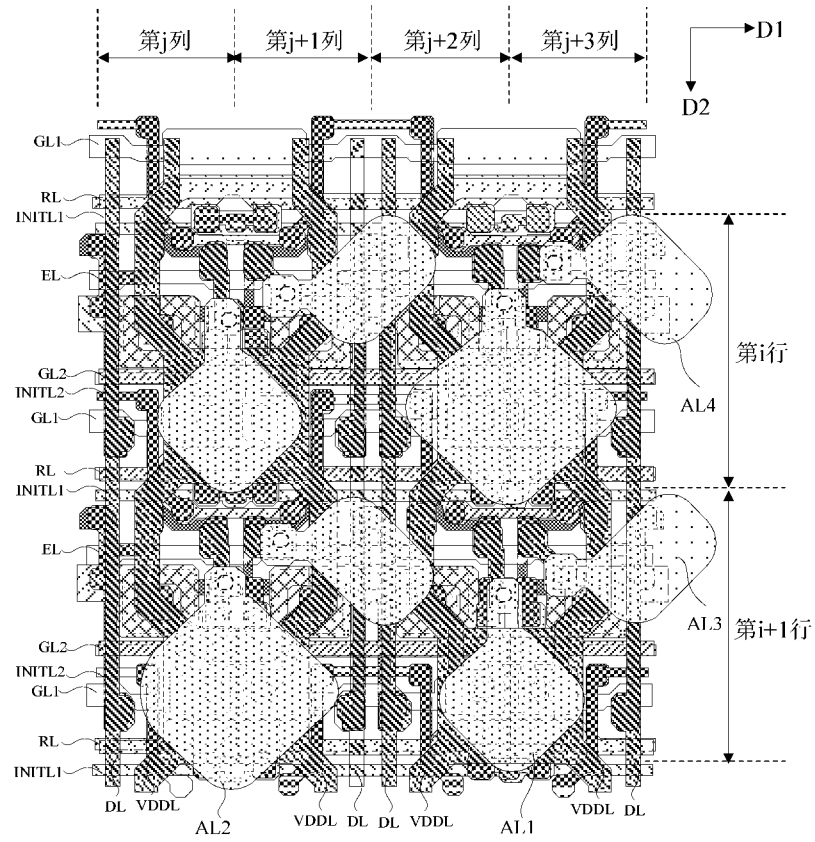


图5

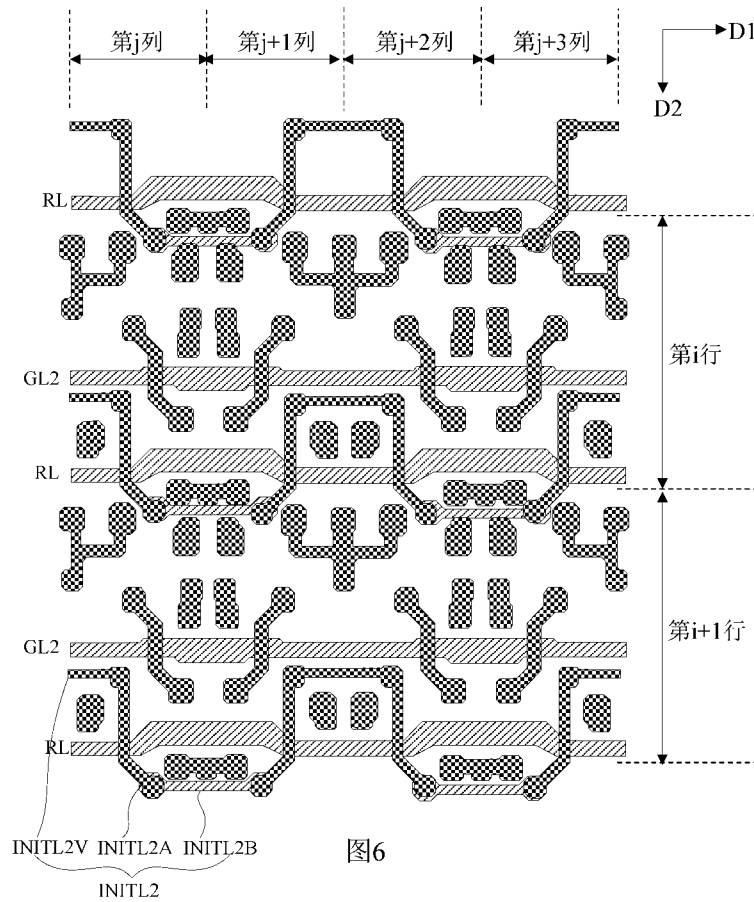


图6

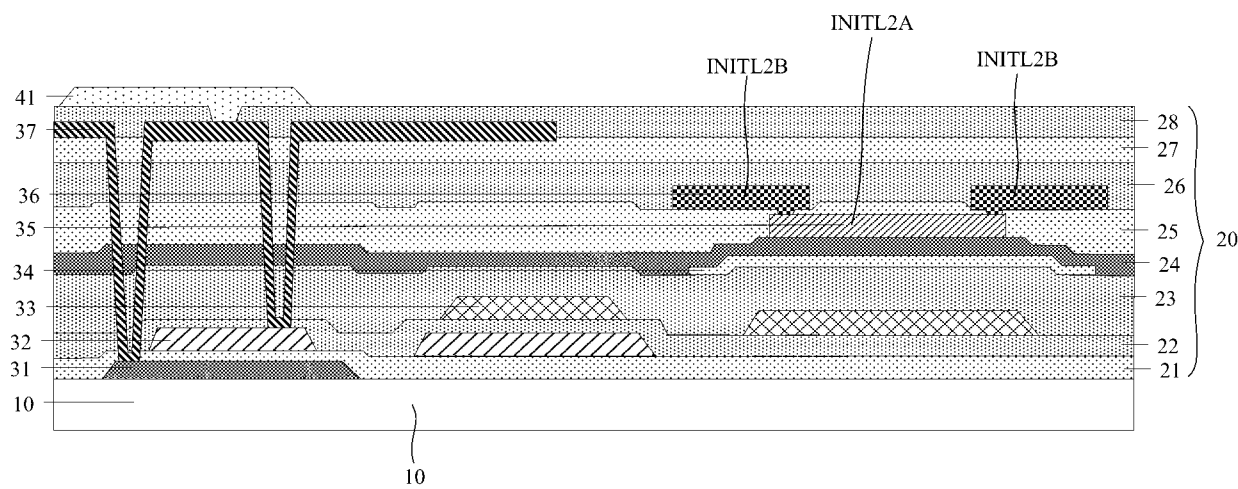


图7

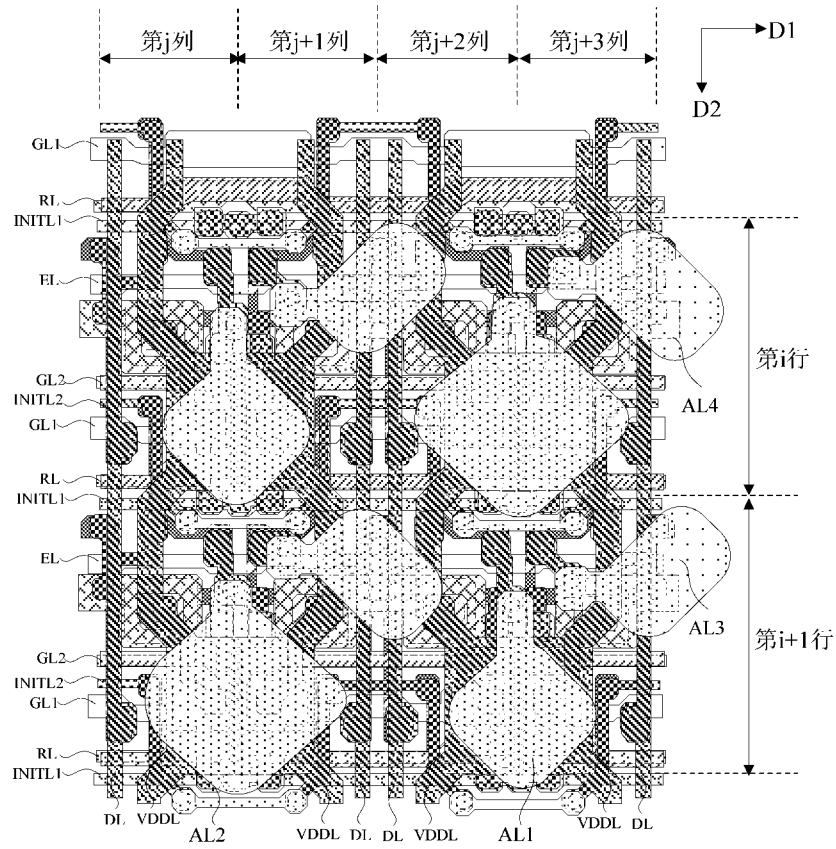


图8

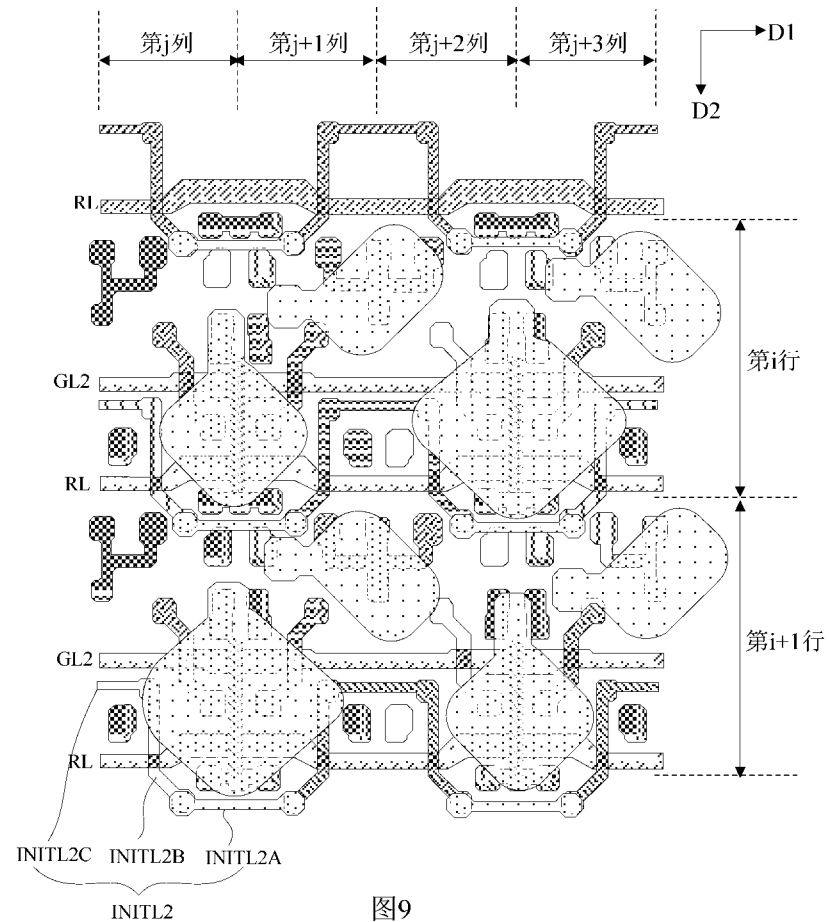


图9

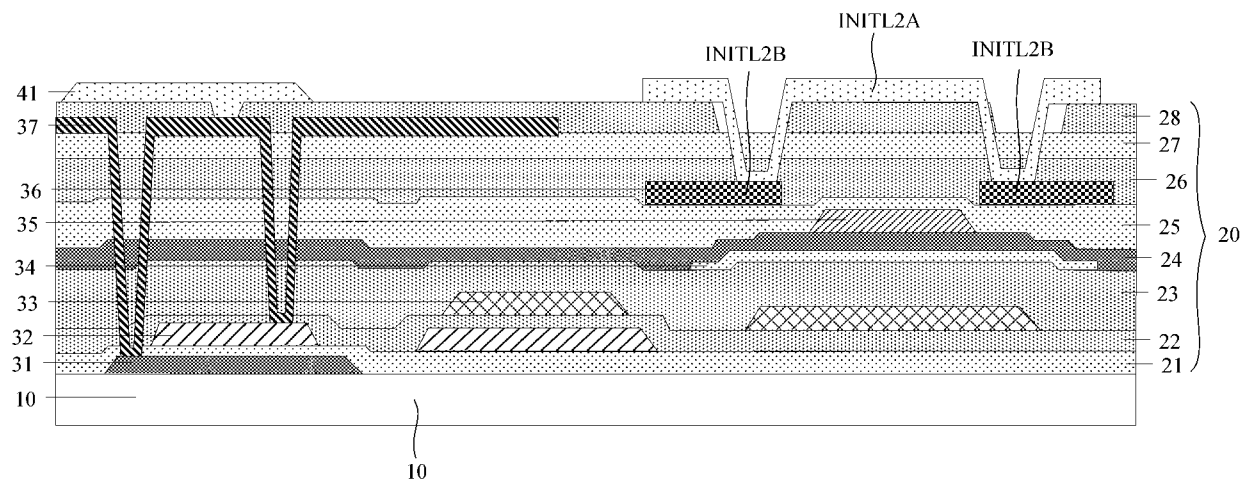


图10

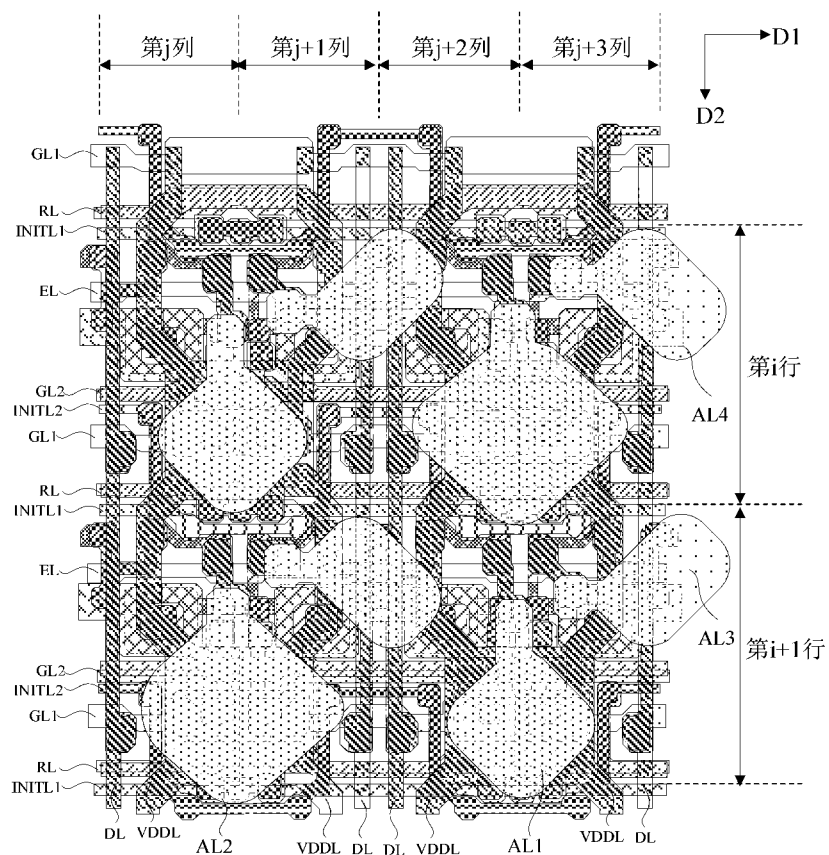


图11

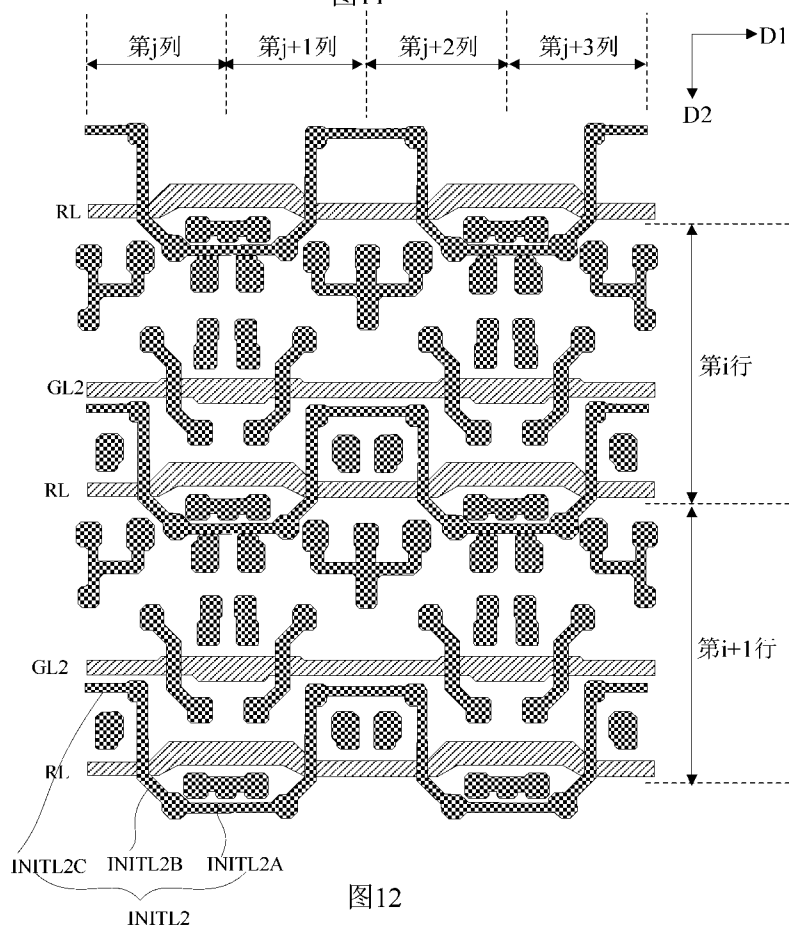


图12

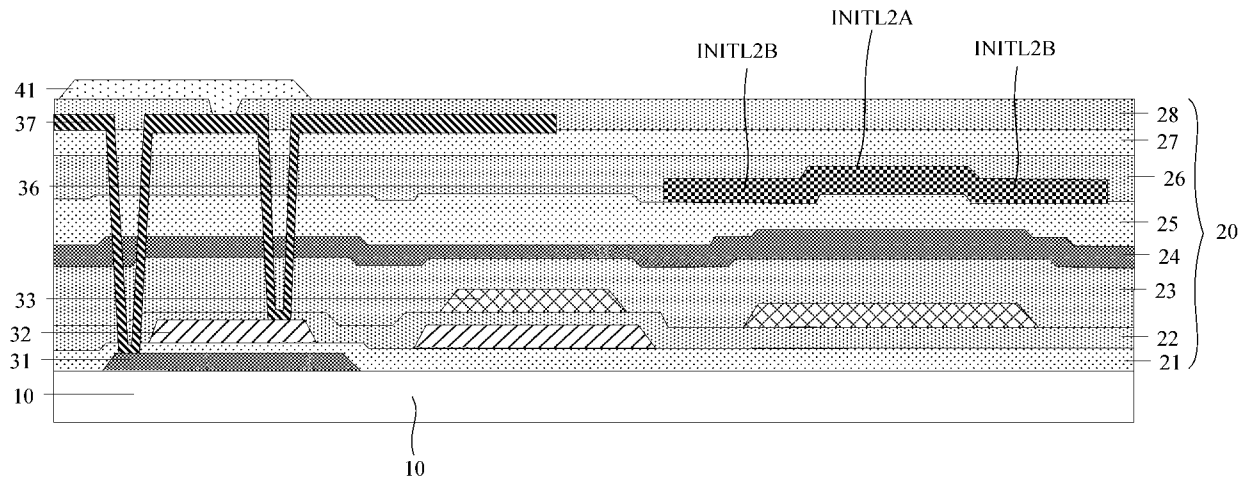


图13

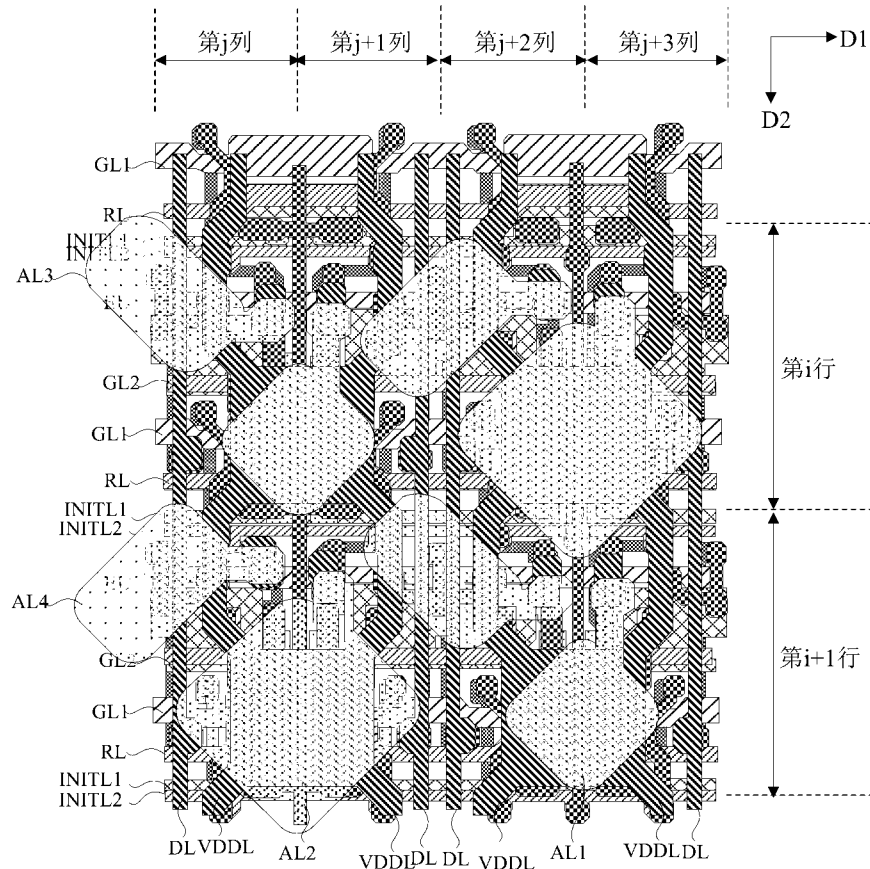


图14

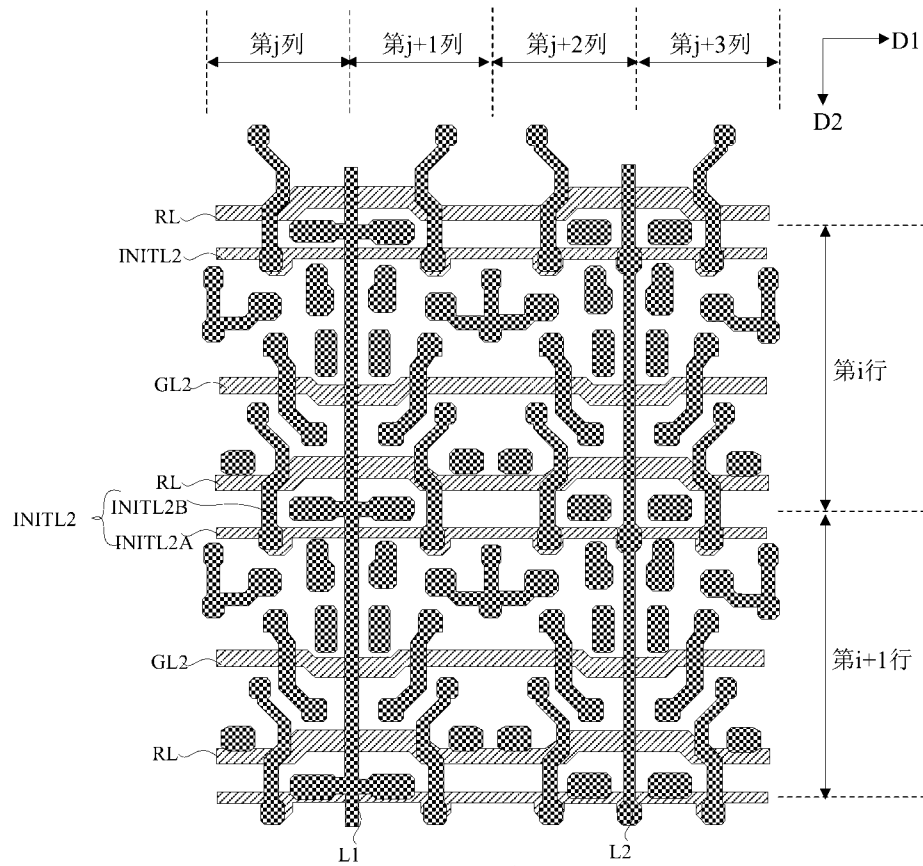


图15

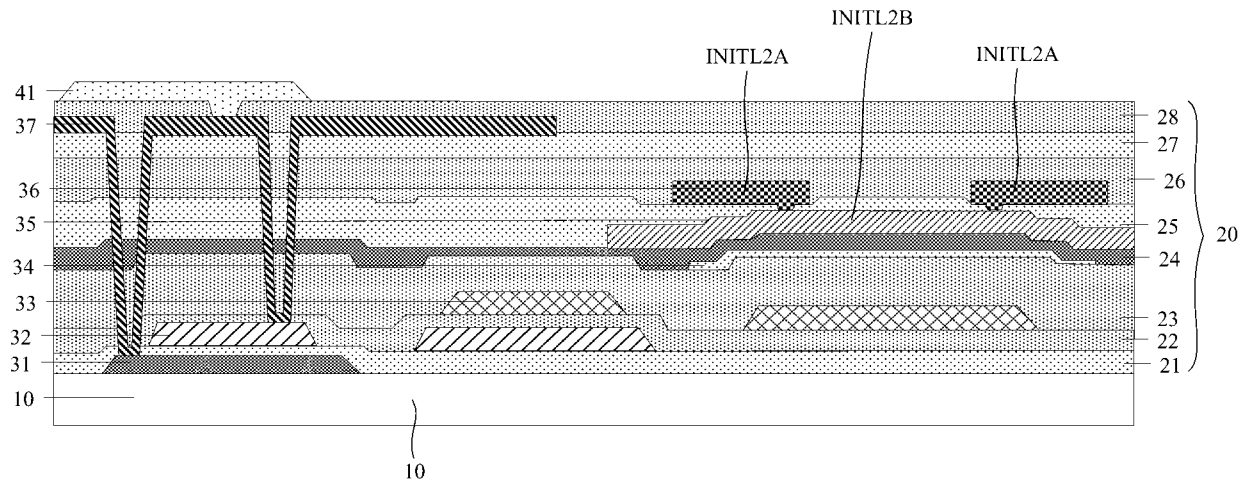


图16

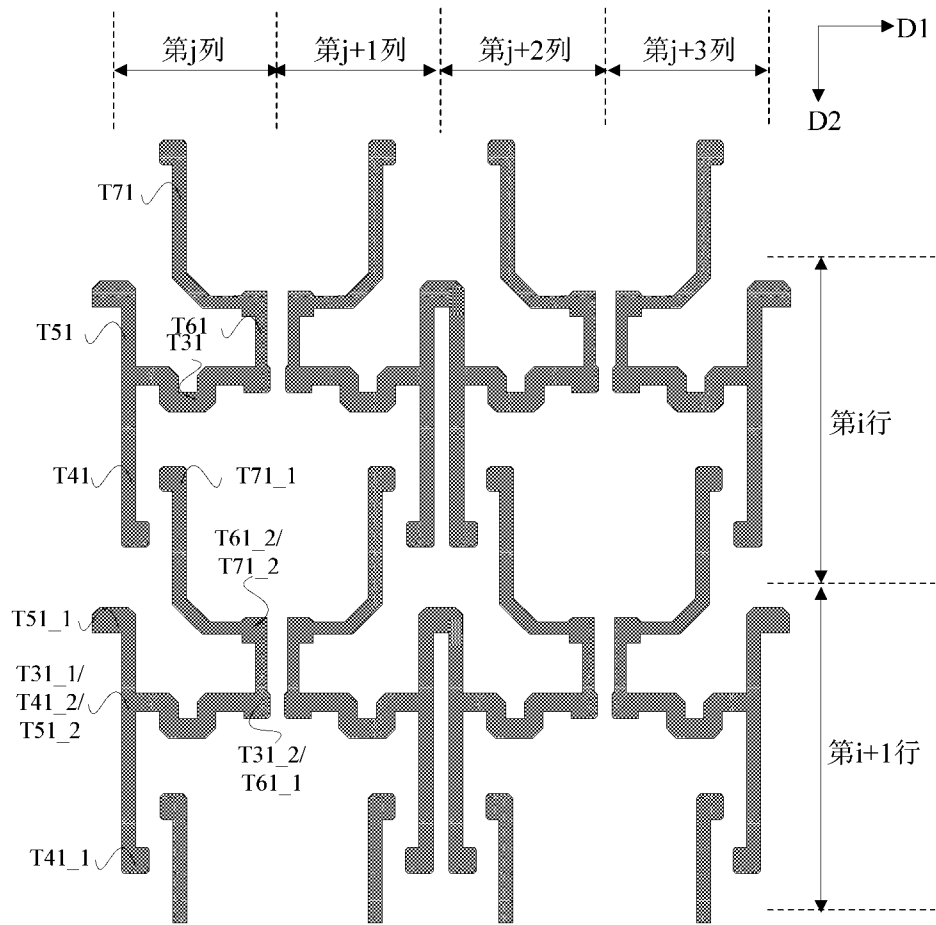


图17

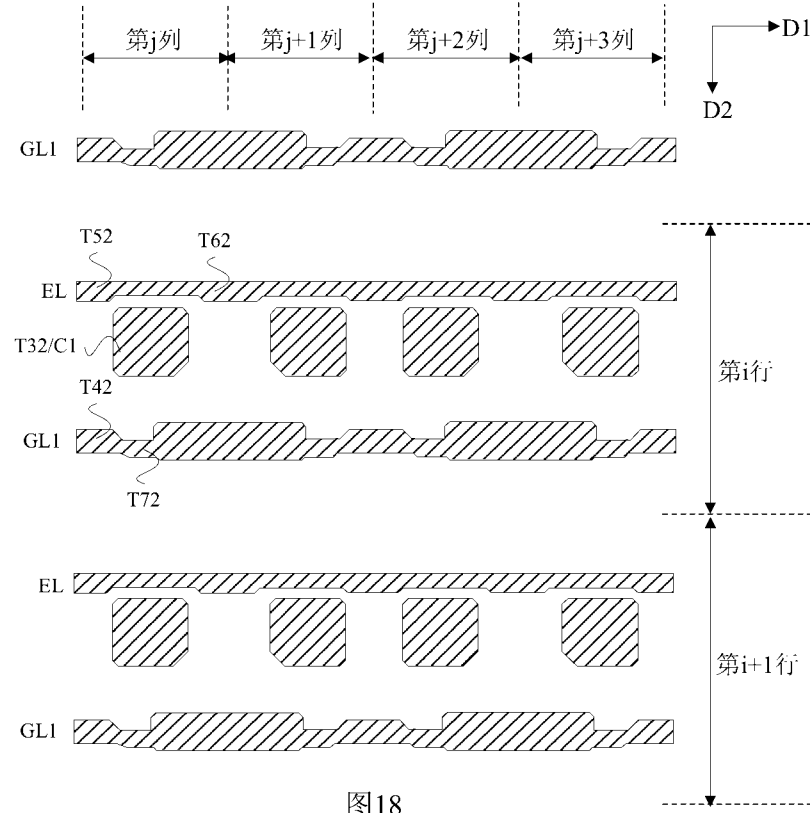


图18

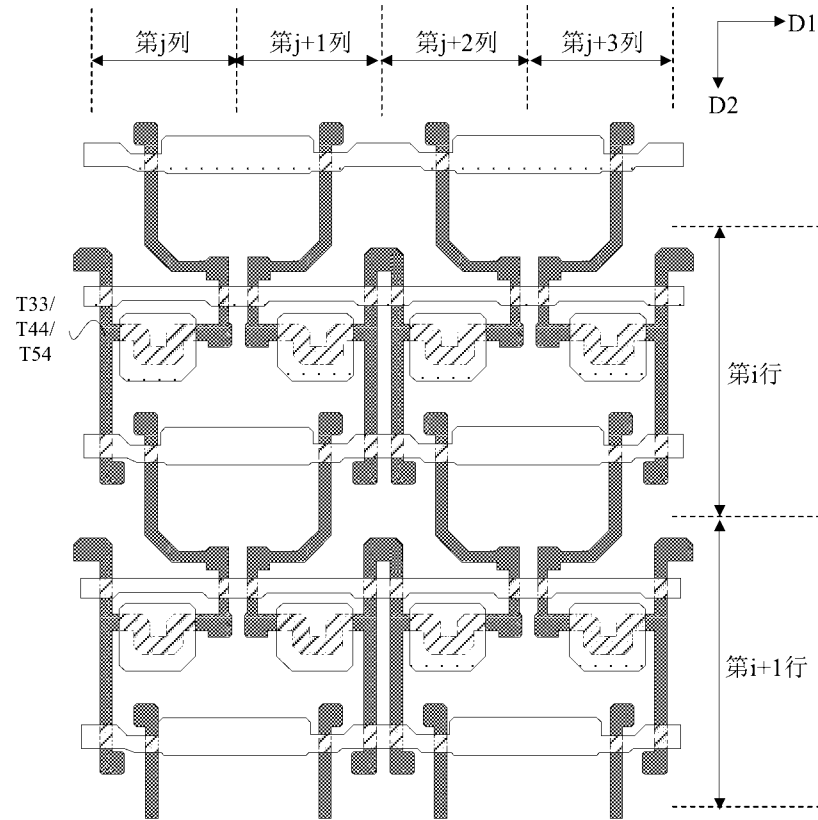


图19

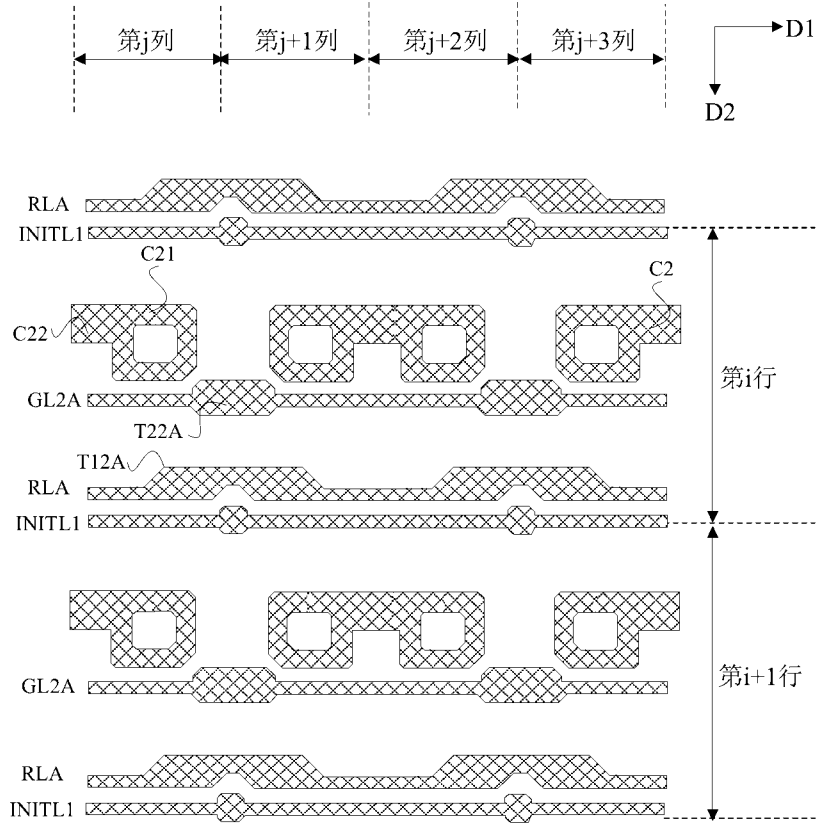


图20

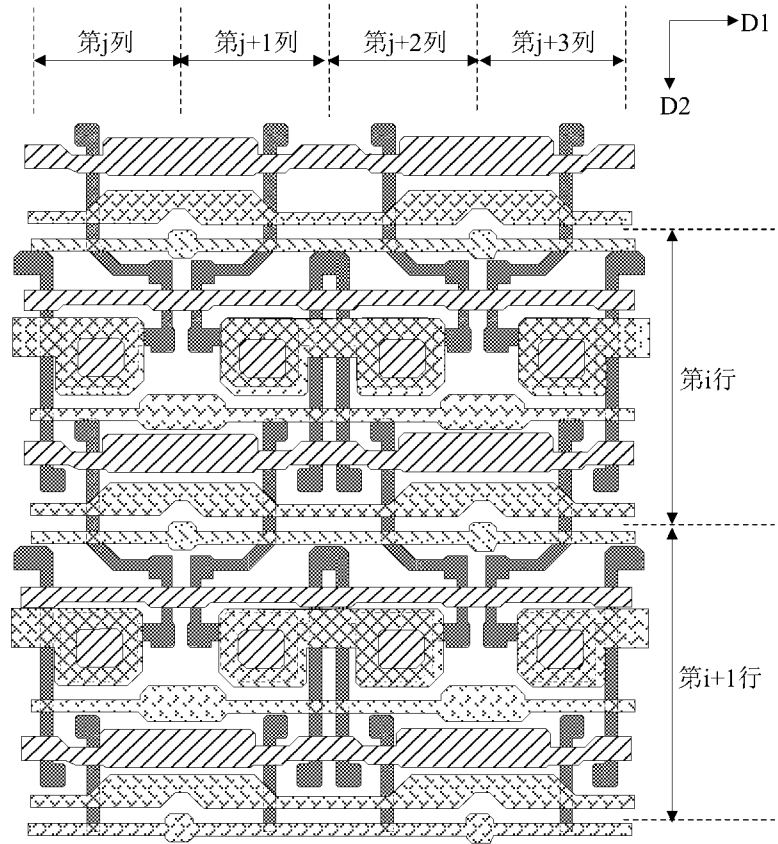


图21

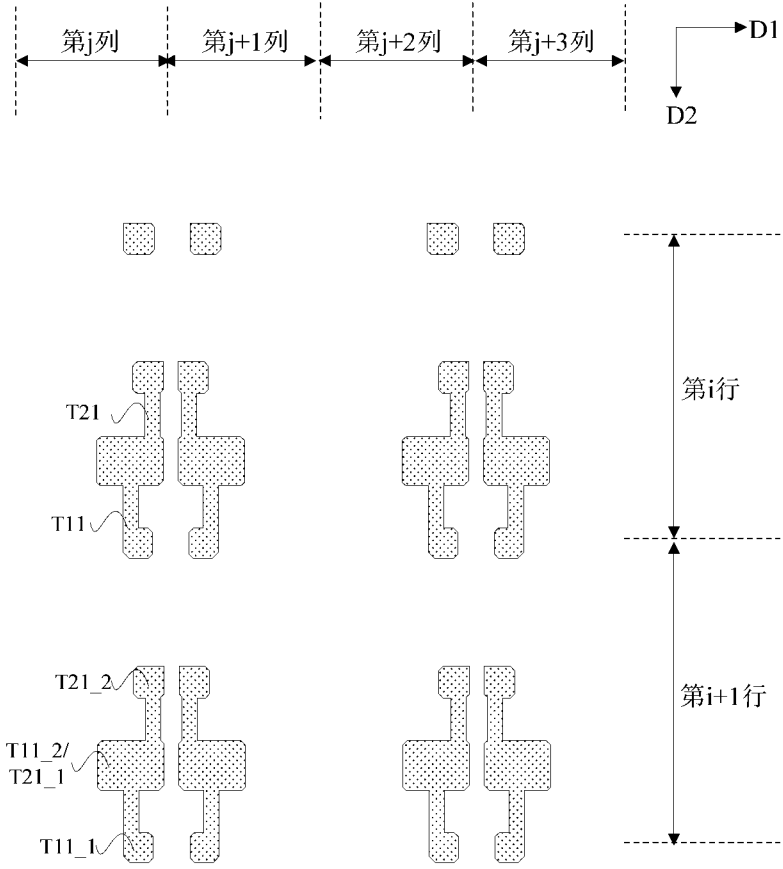


图22

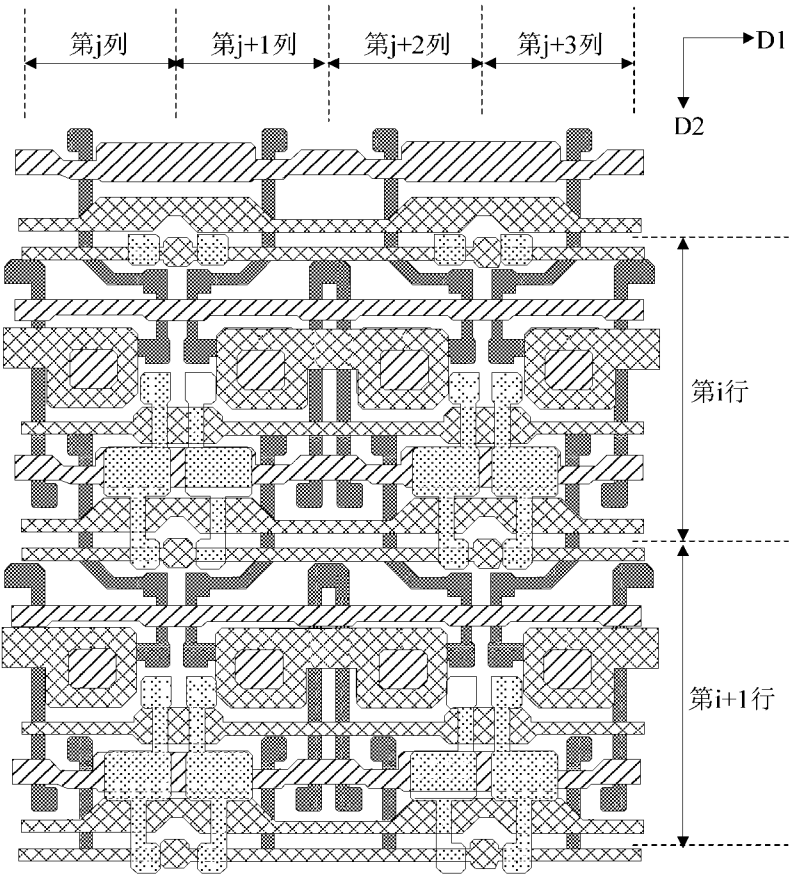


图23

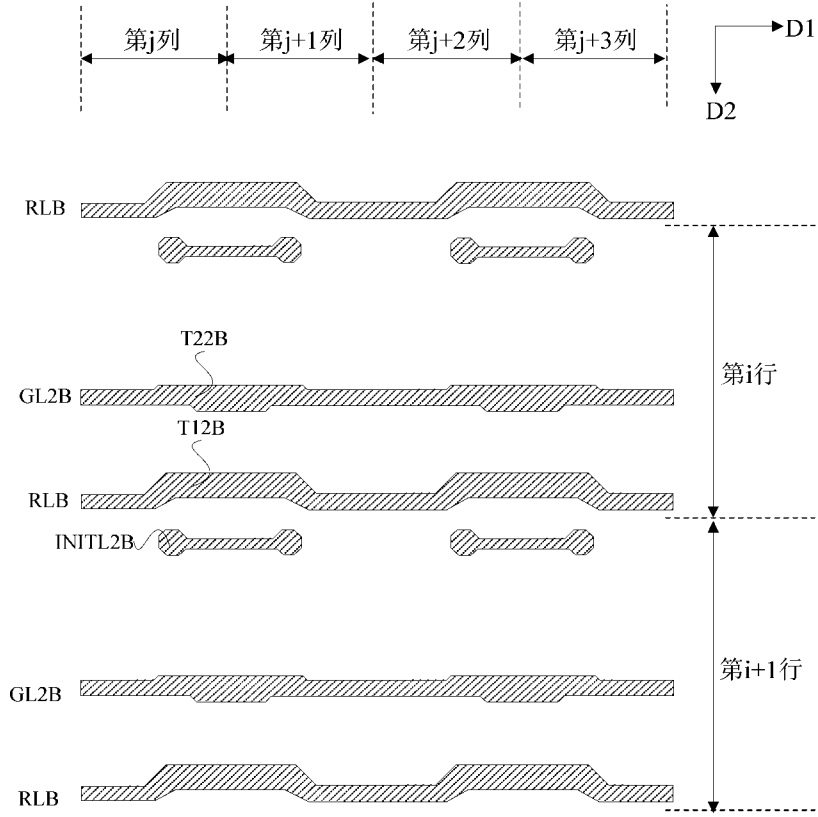


图24

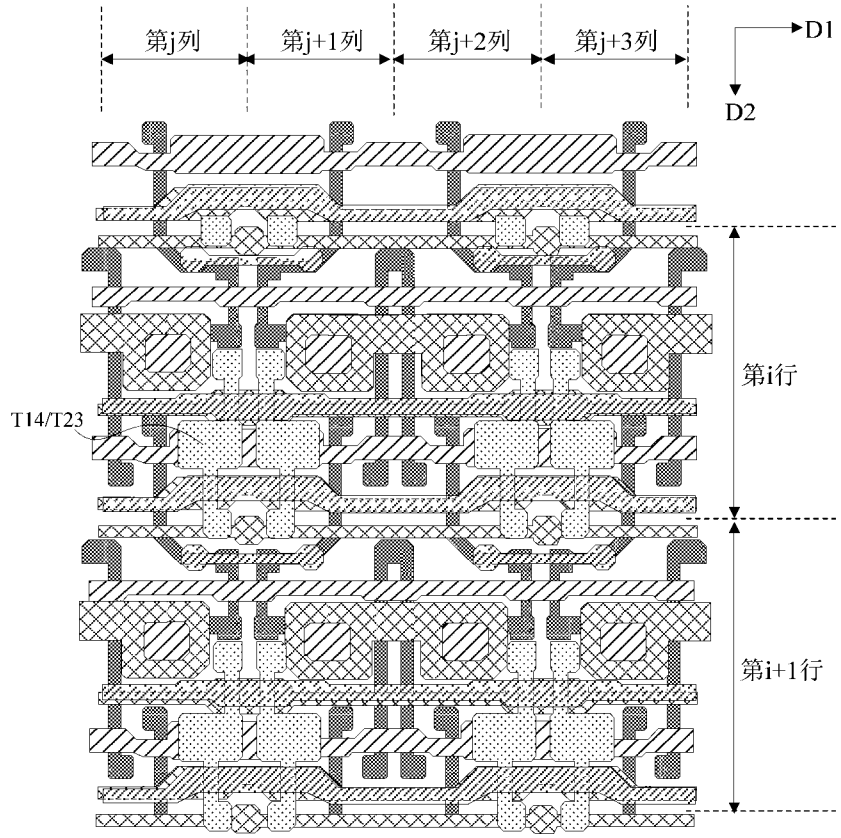


图25

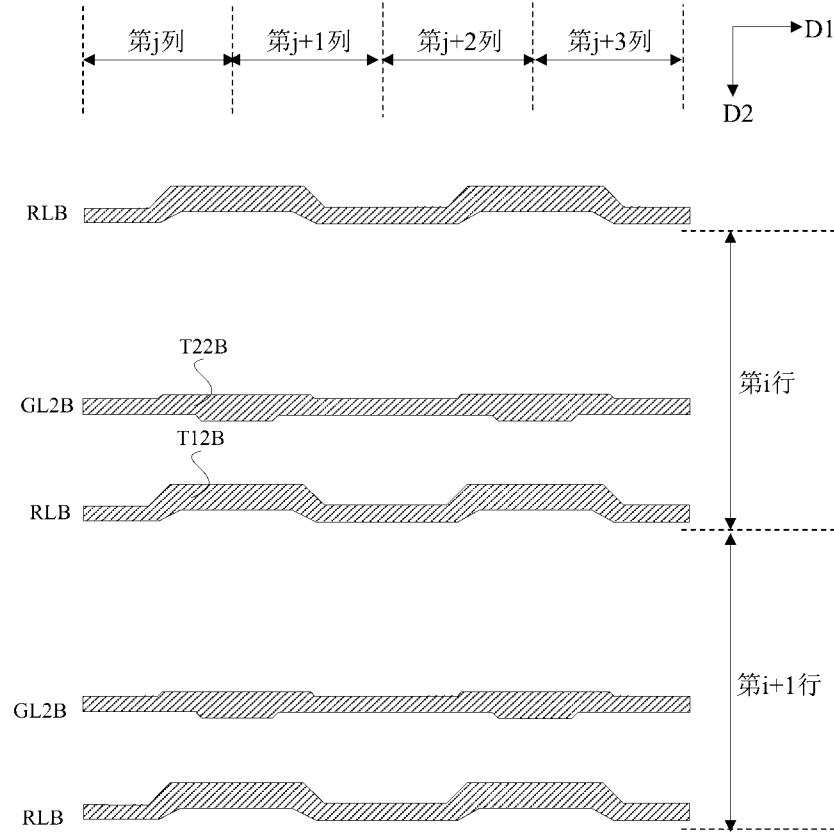


图26

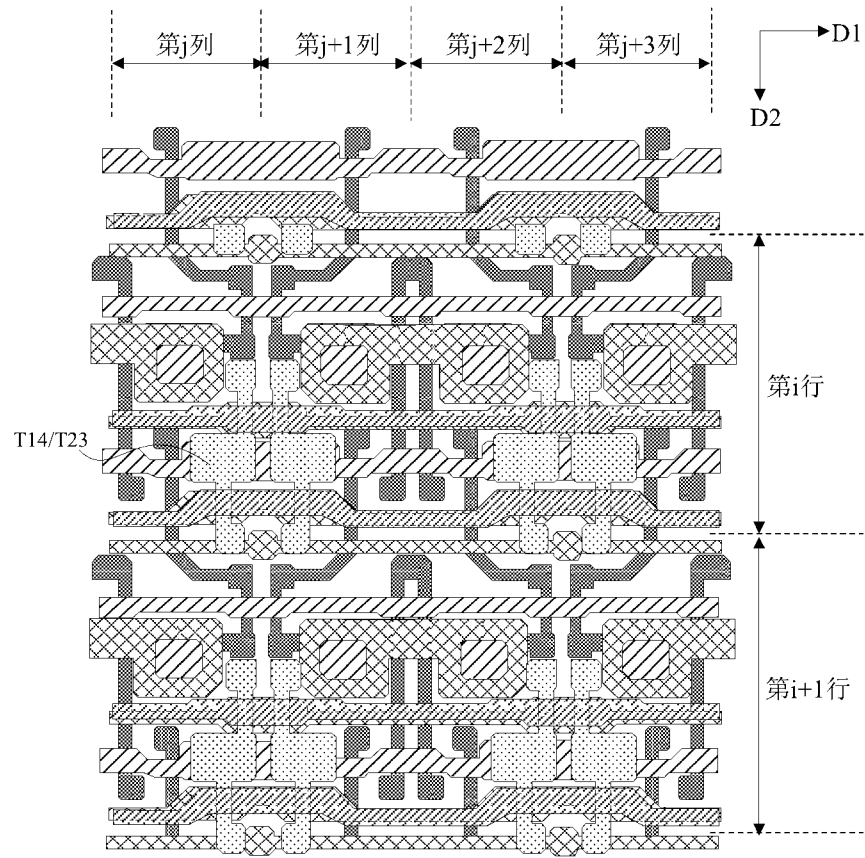


图27

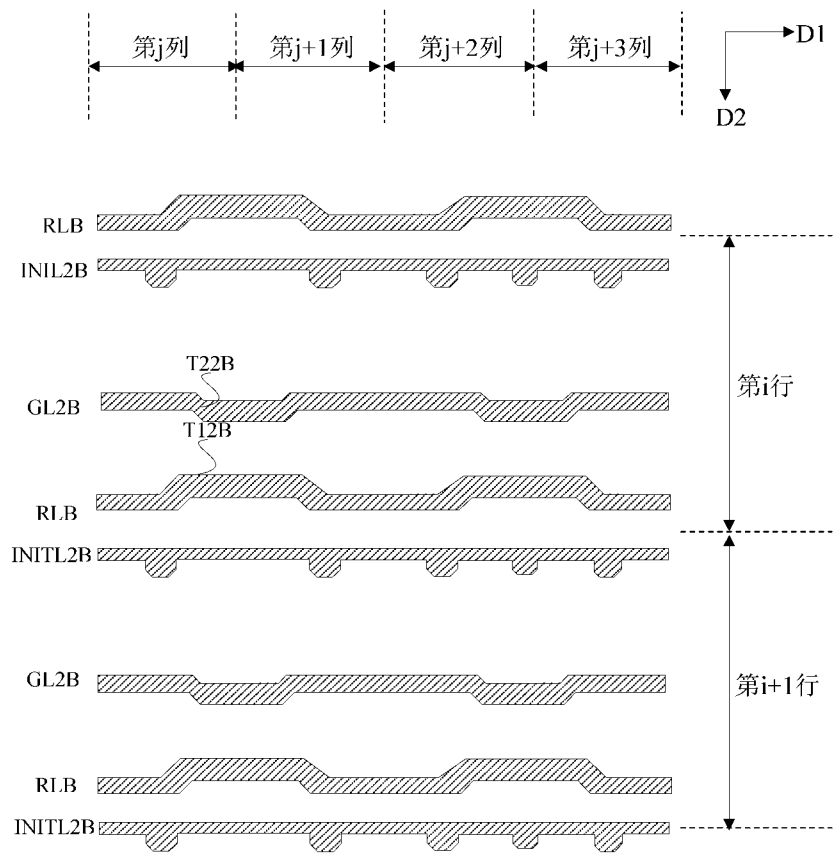


图28

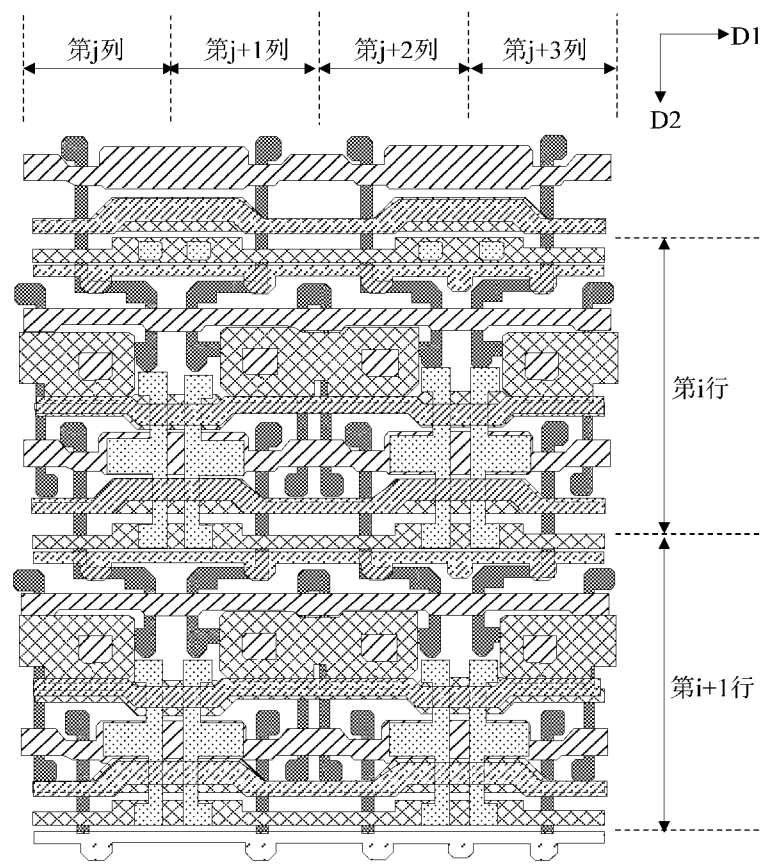


图29

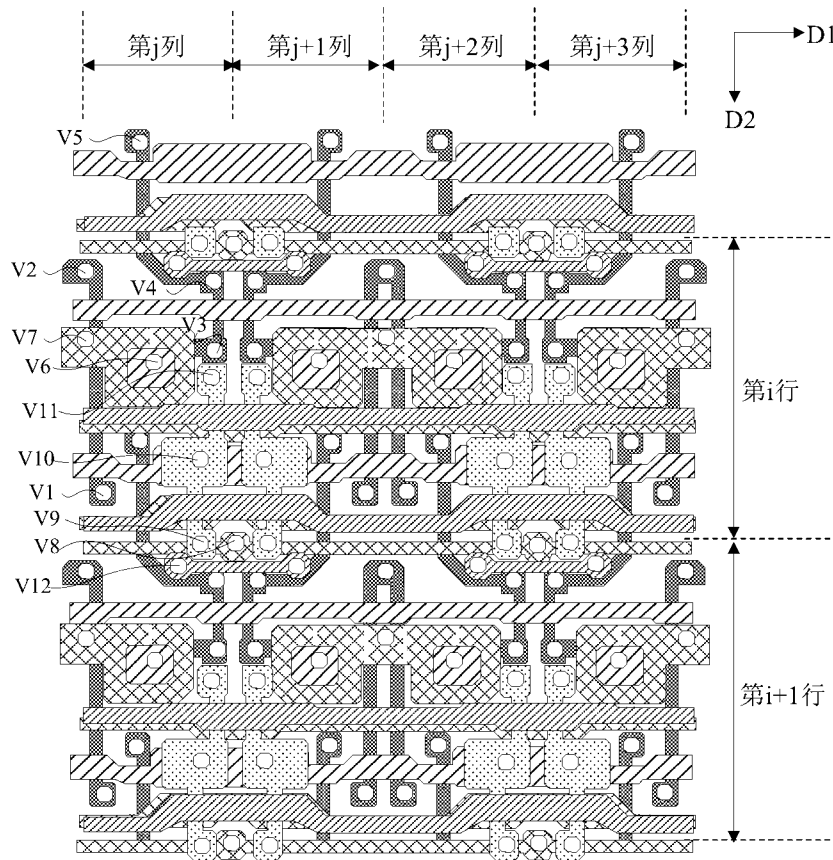


图30

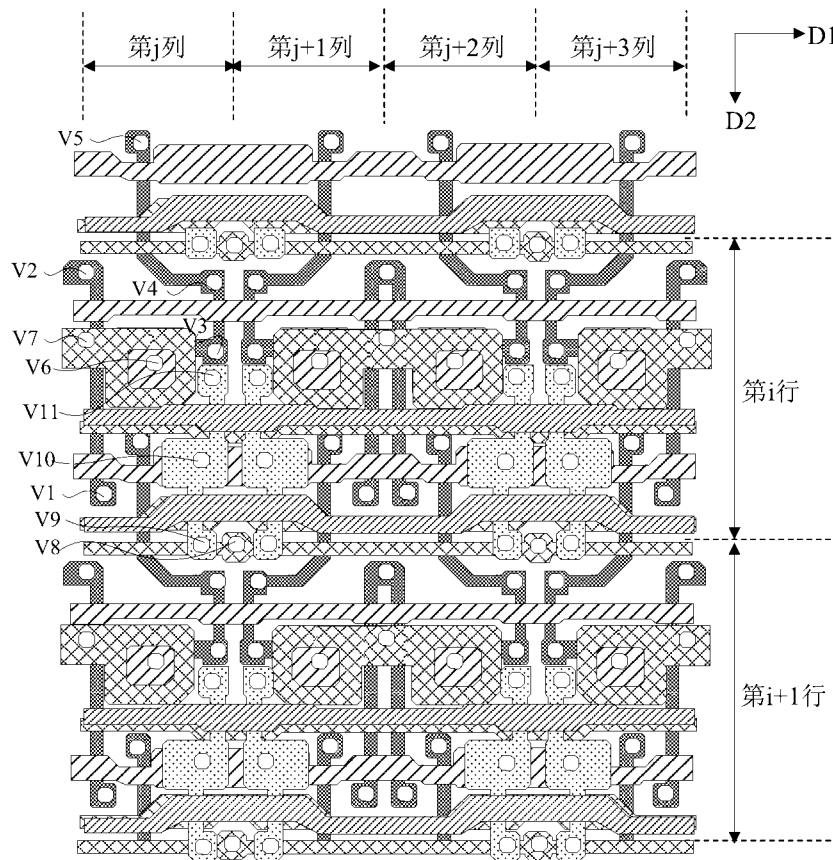


图31

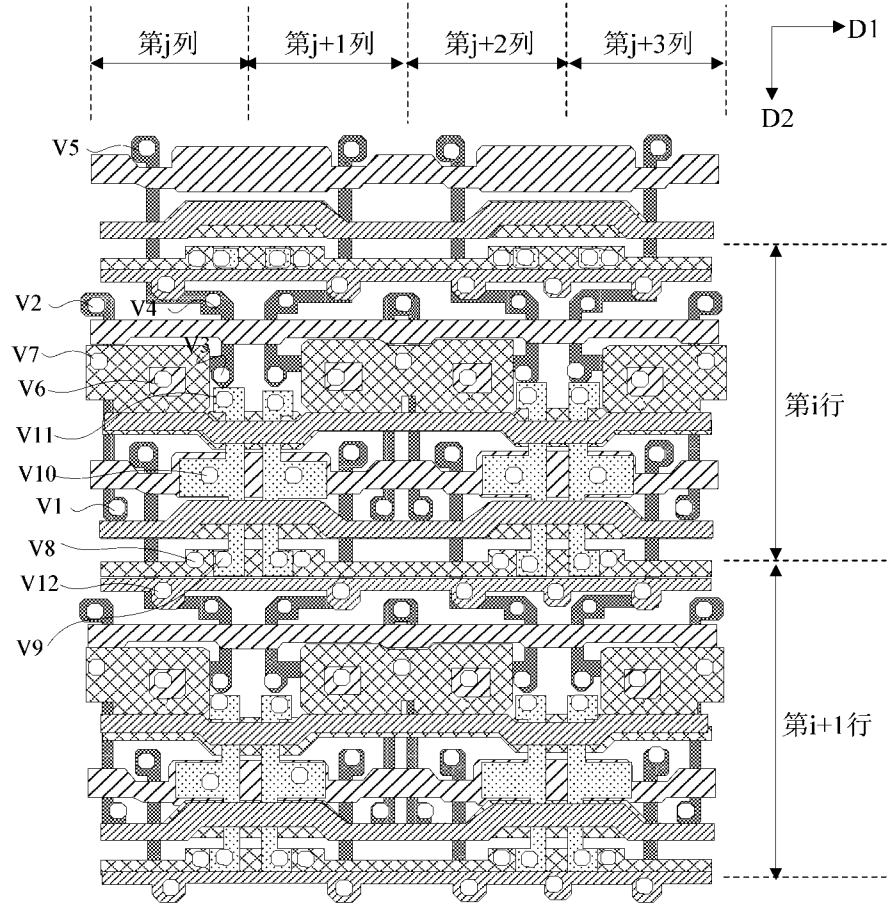


图32

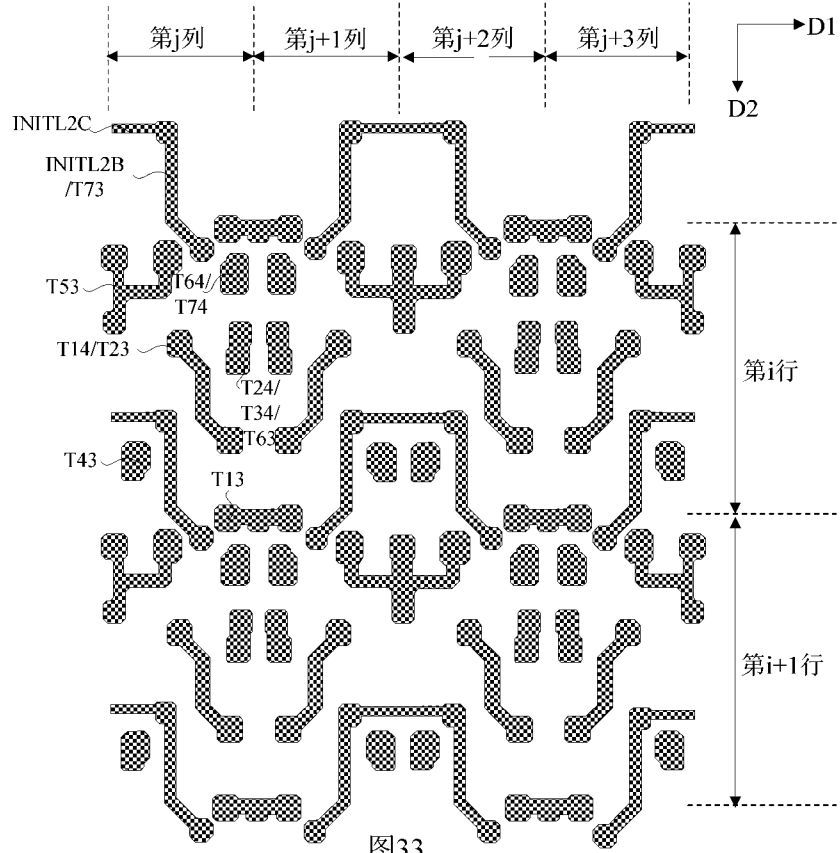


图33

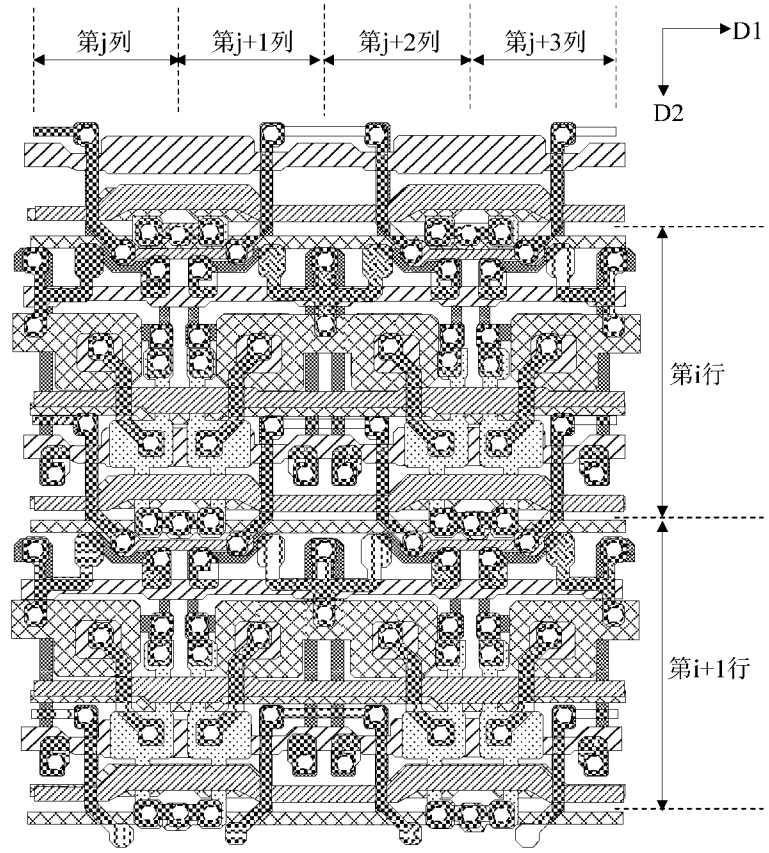


图34

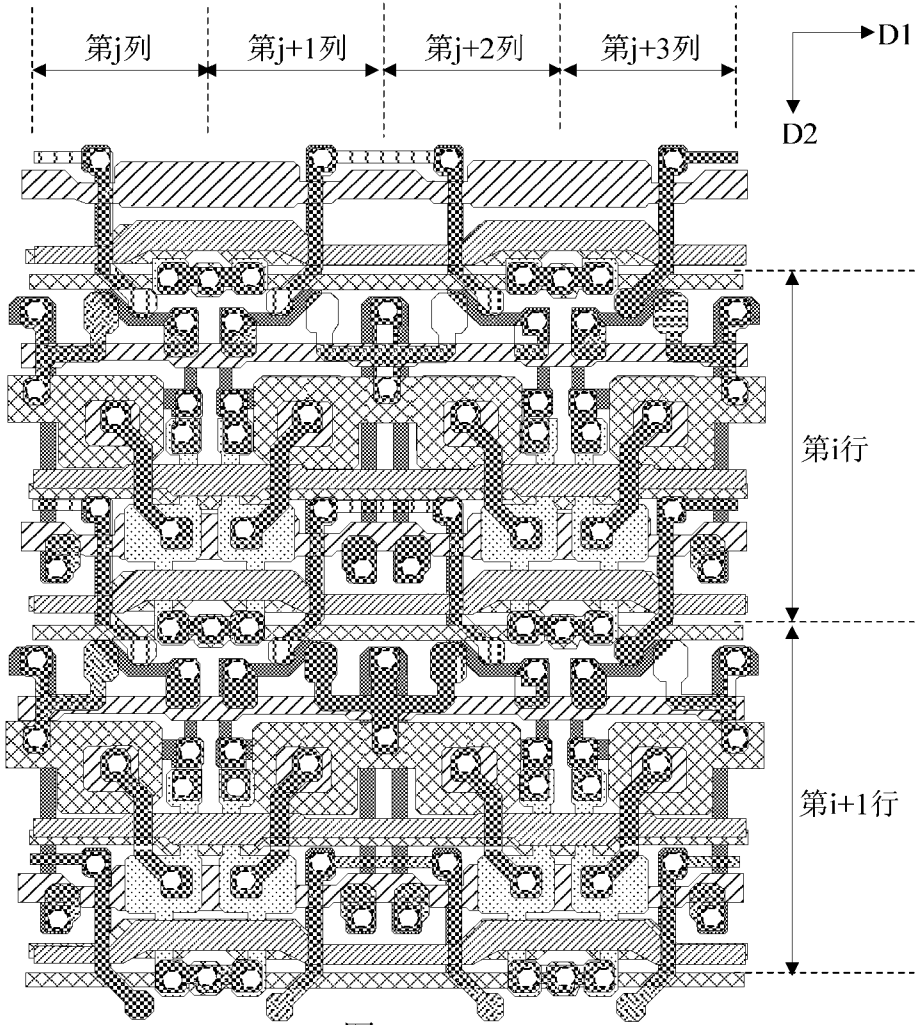


图35

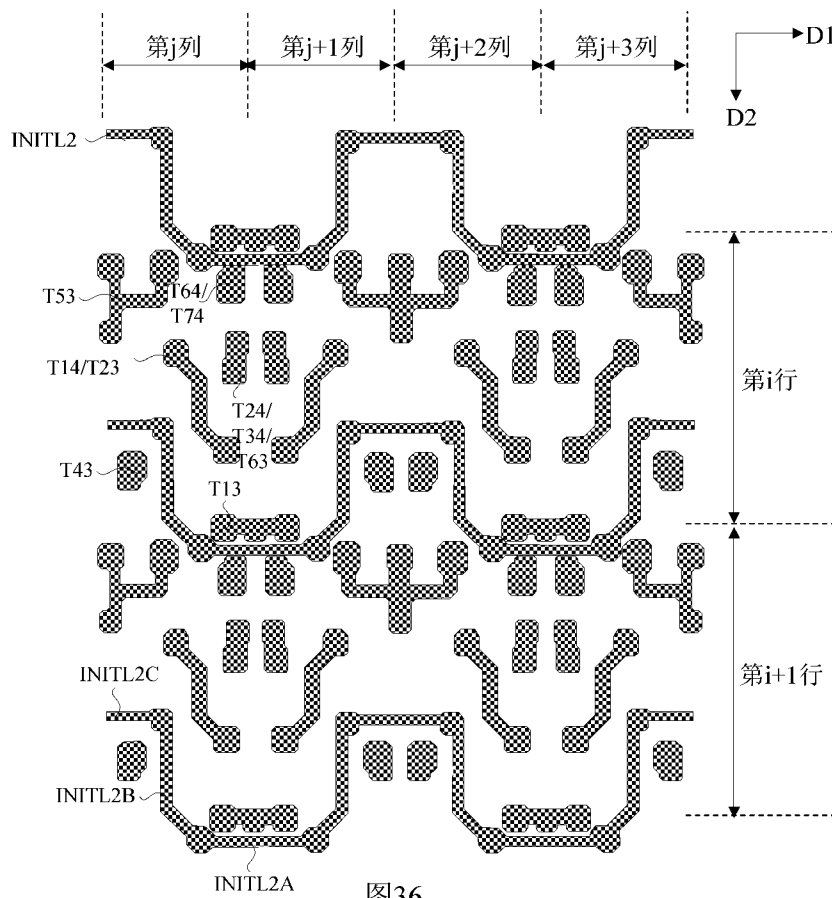


图36

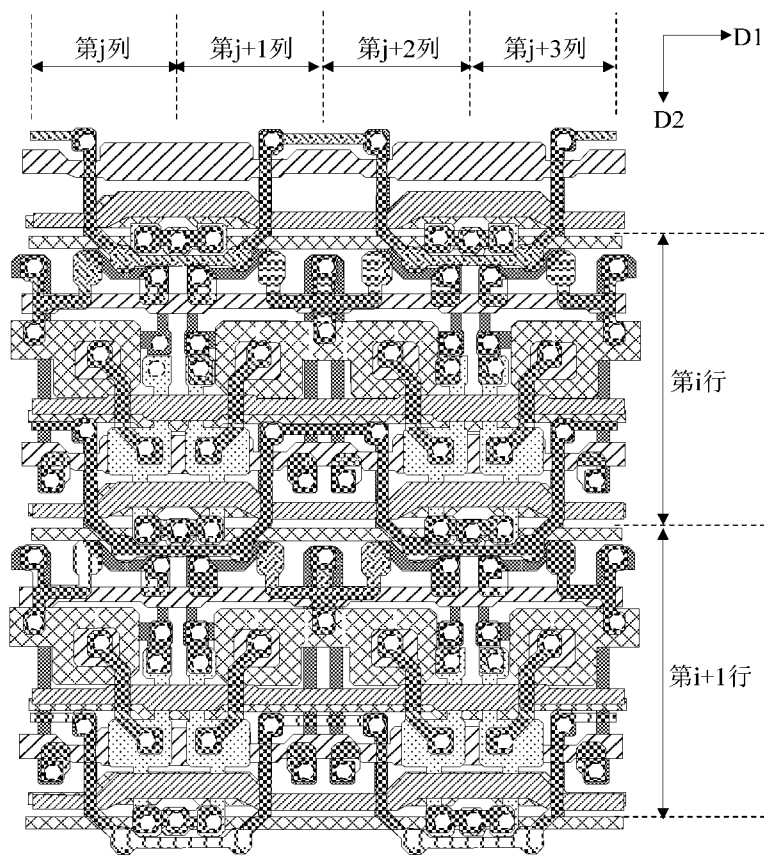


图37

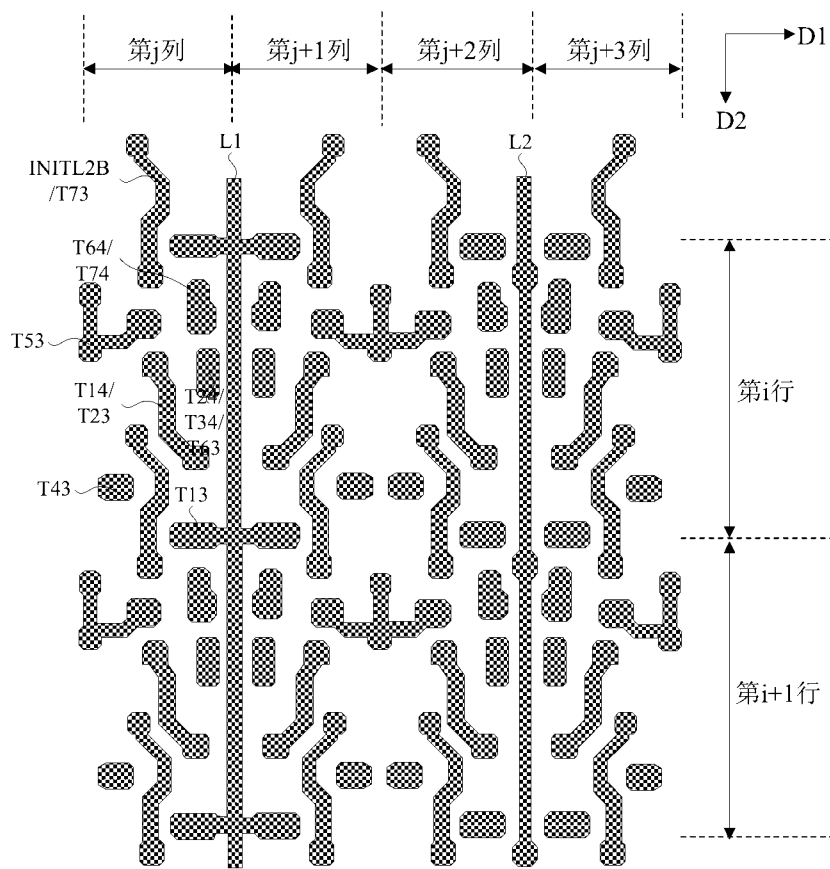


图38

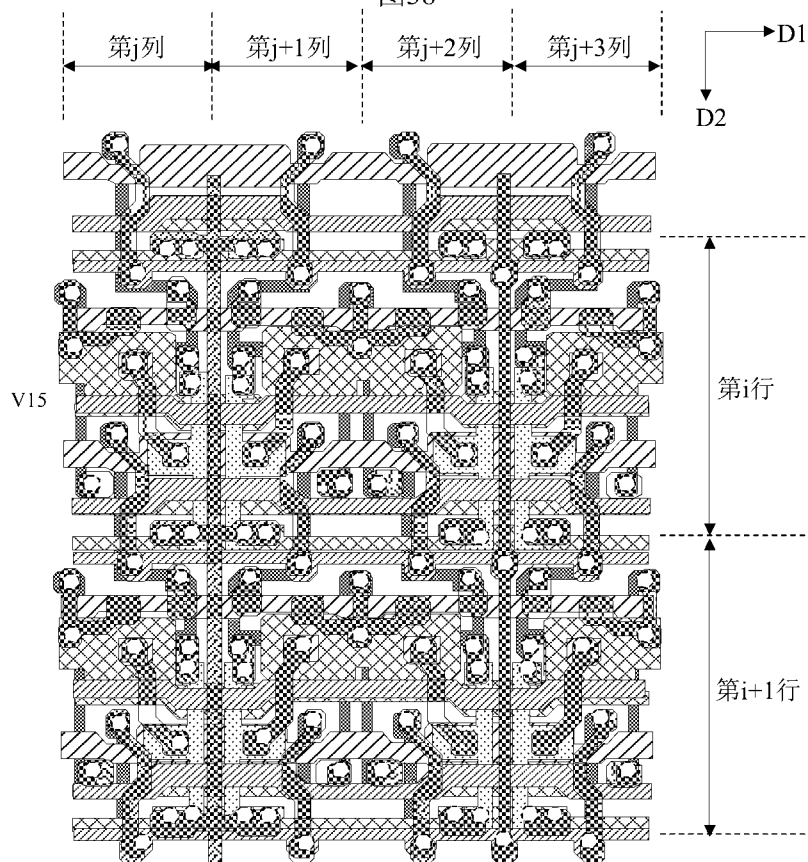


图39

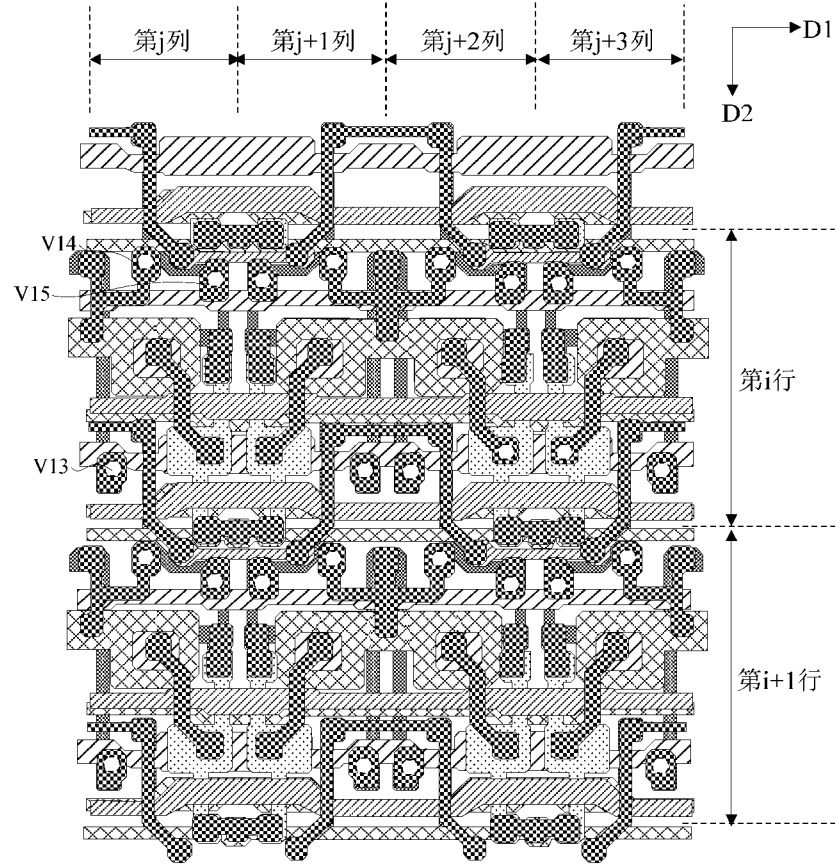


图40

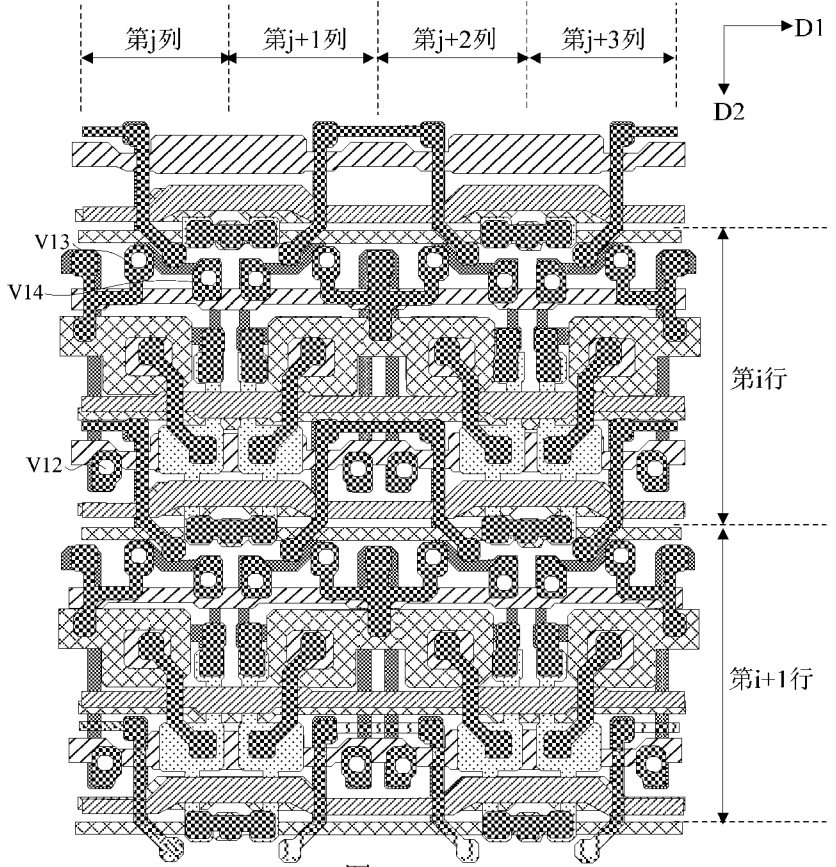


图41

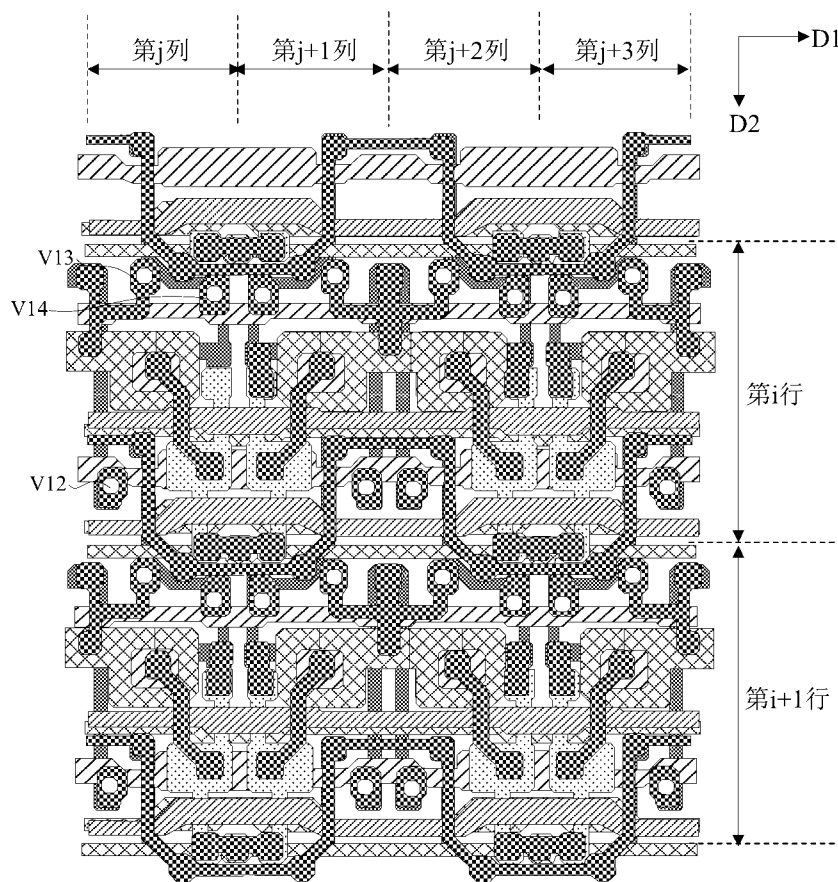


图42

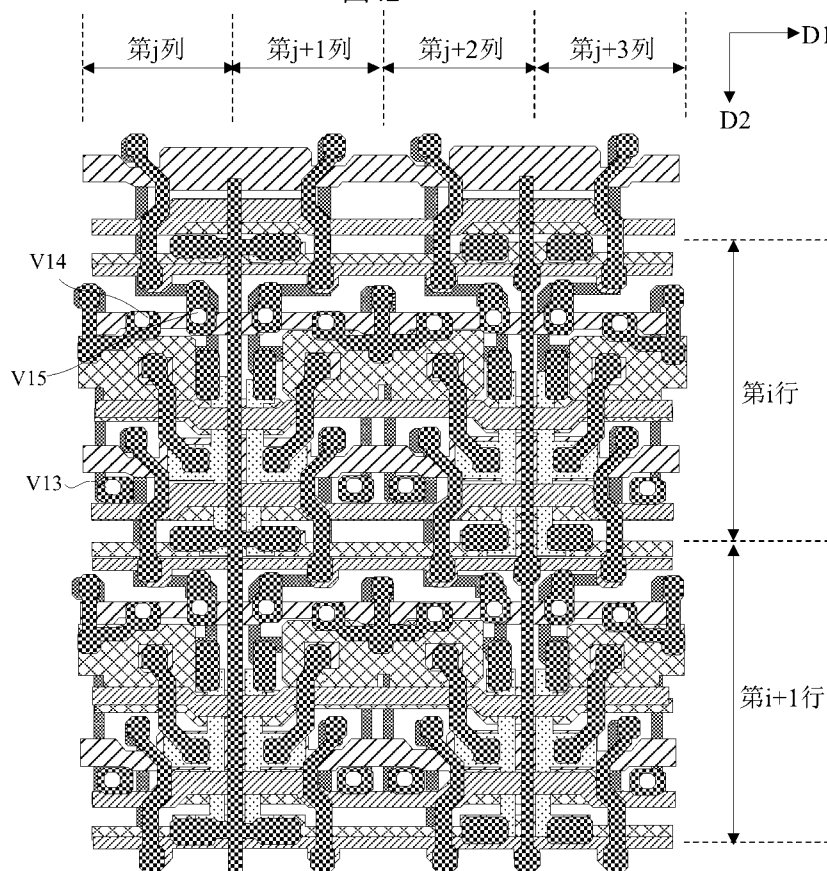


图43

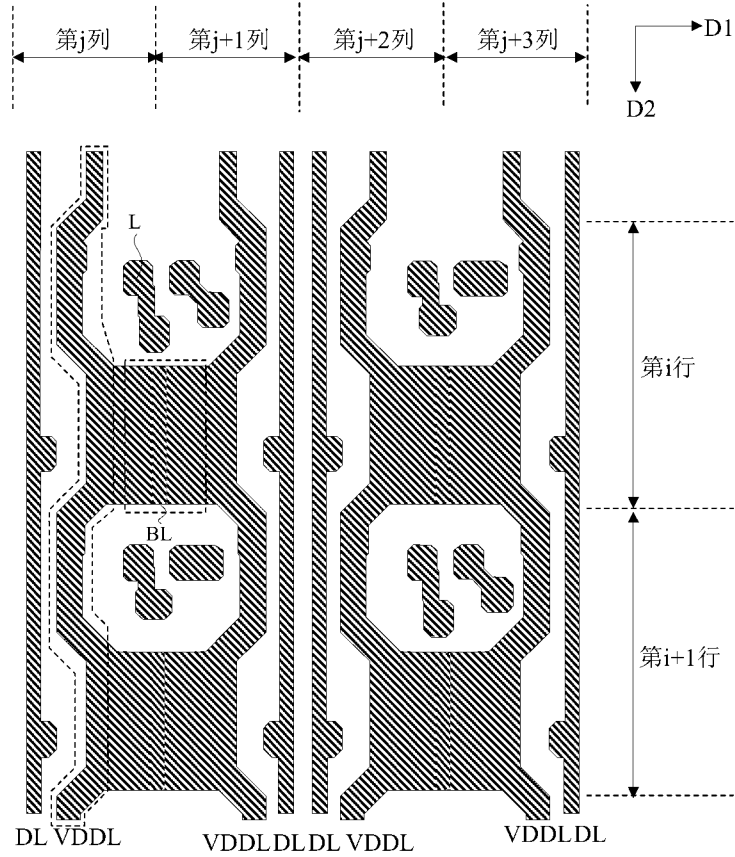


图44

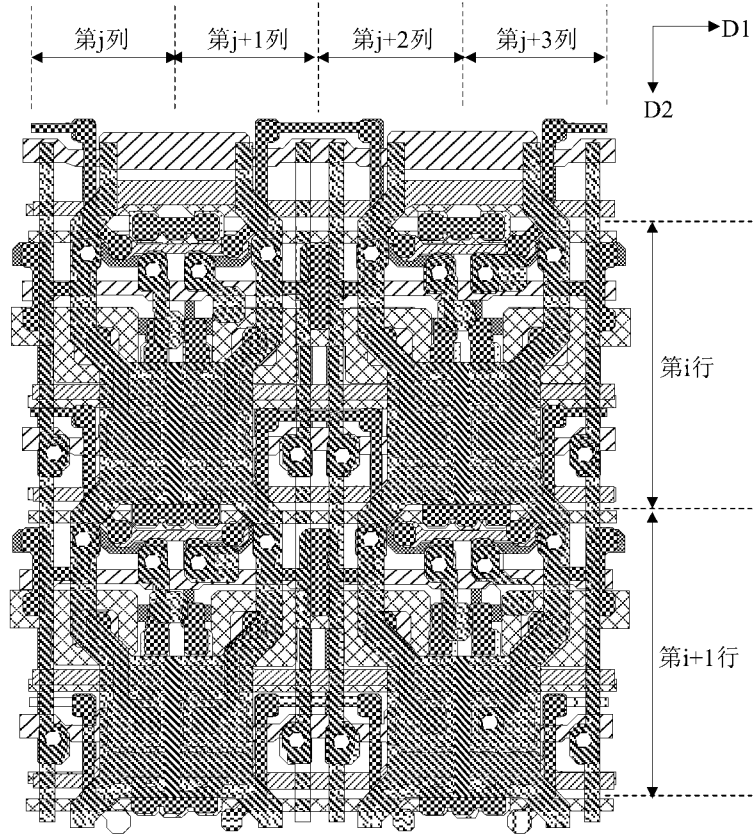


图45

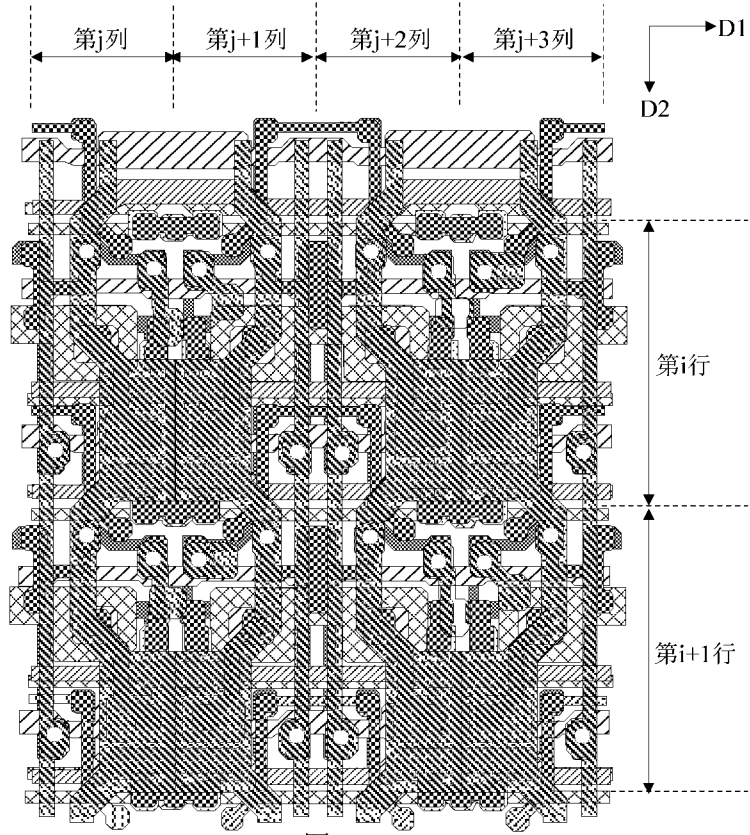


图46

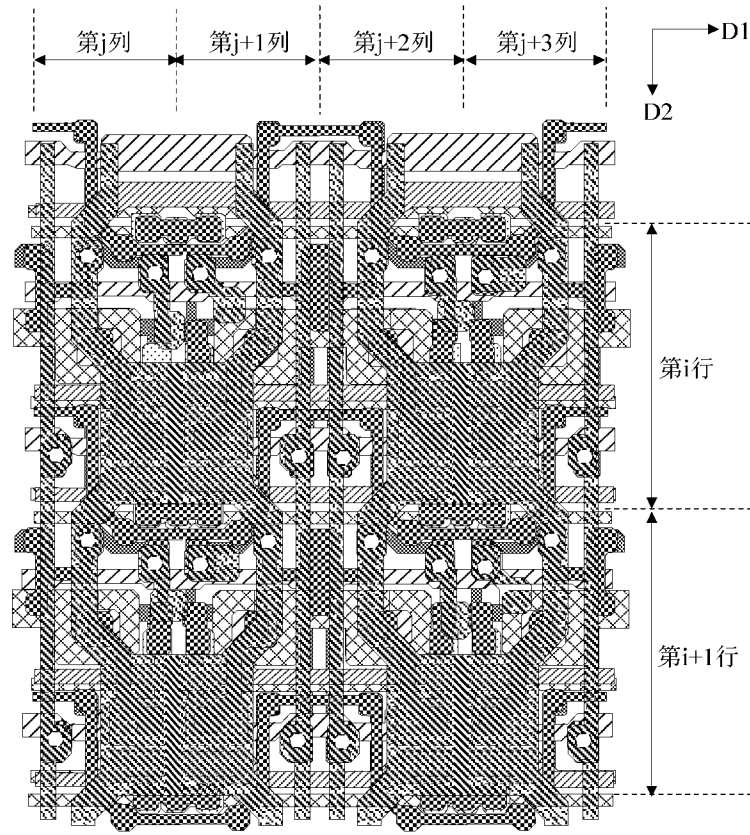


图47

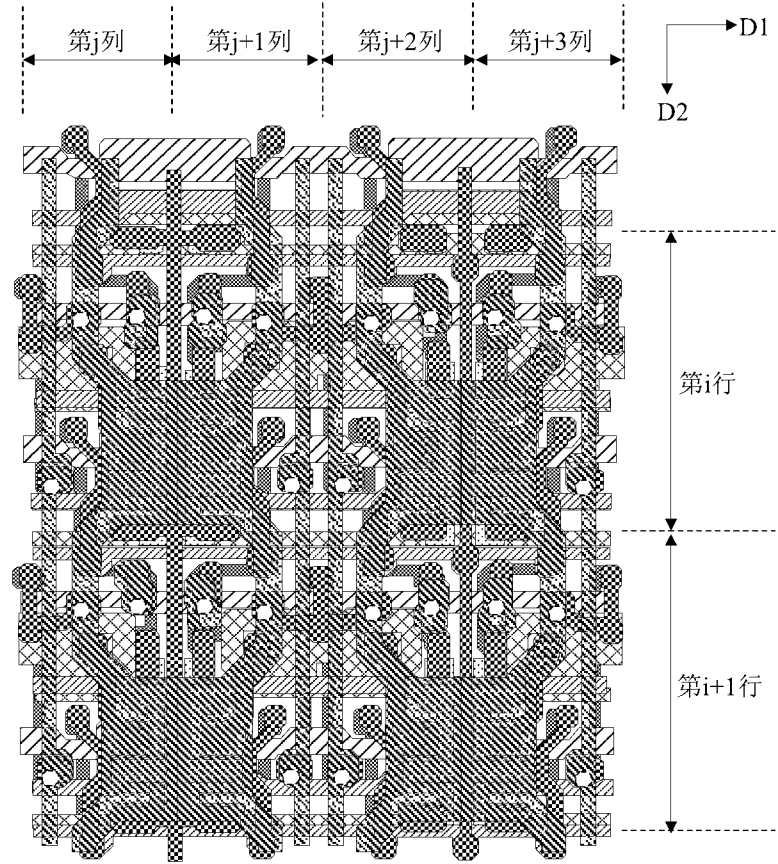


图48

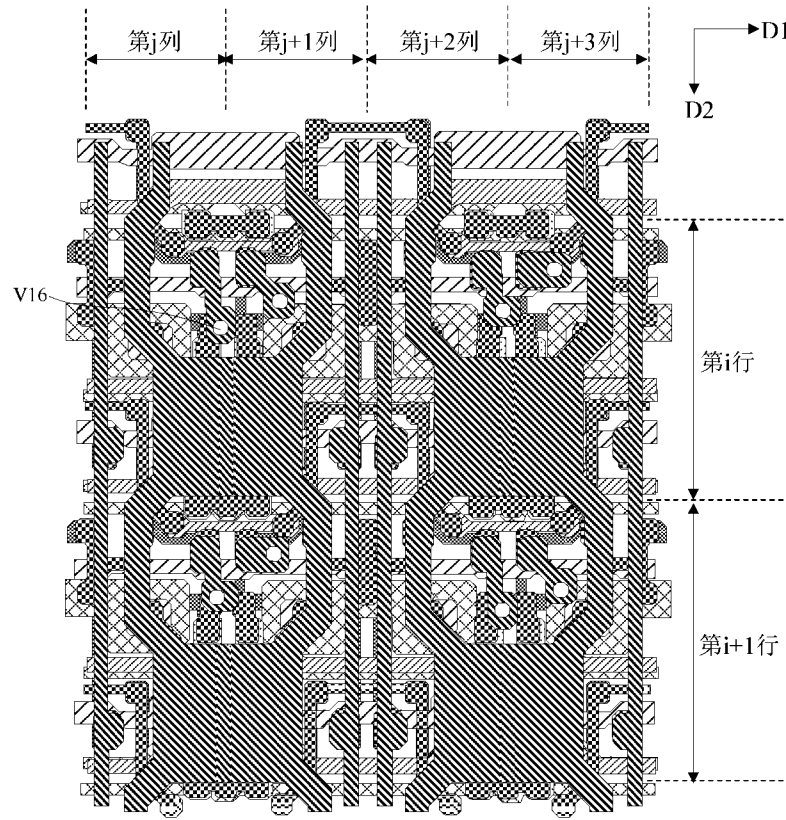


图49

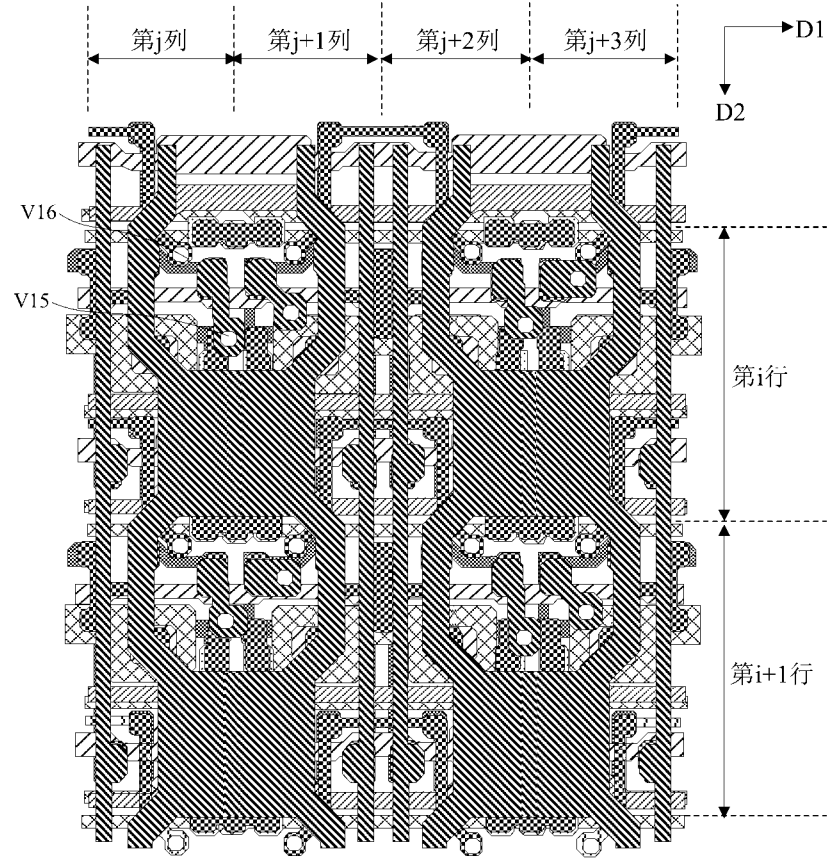


图50

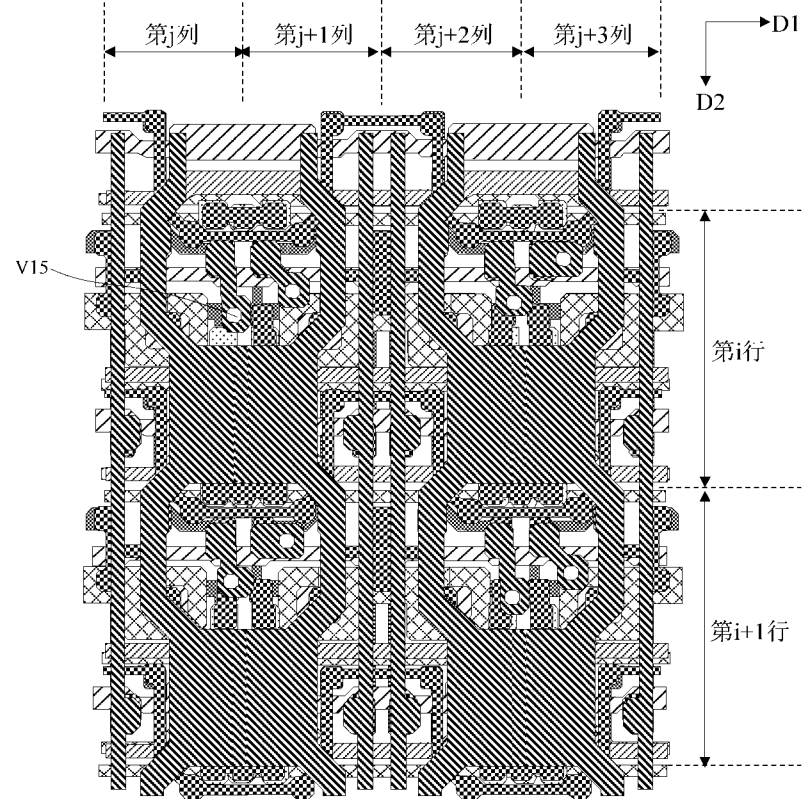


图51

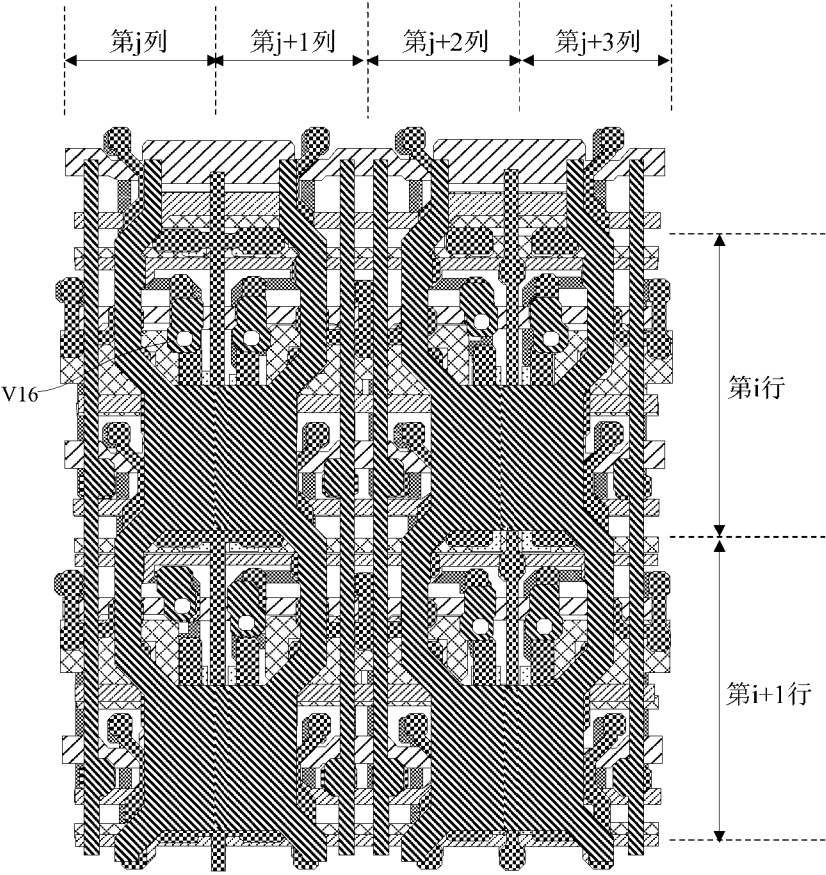


图52

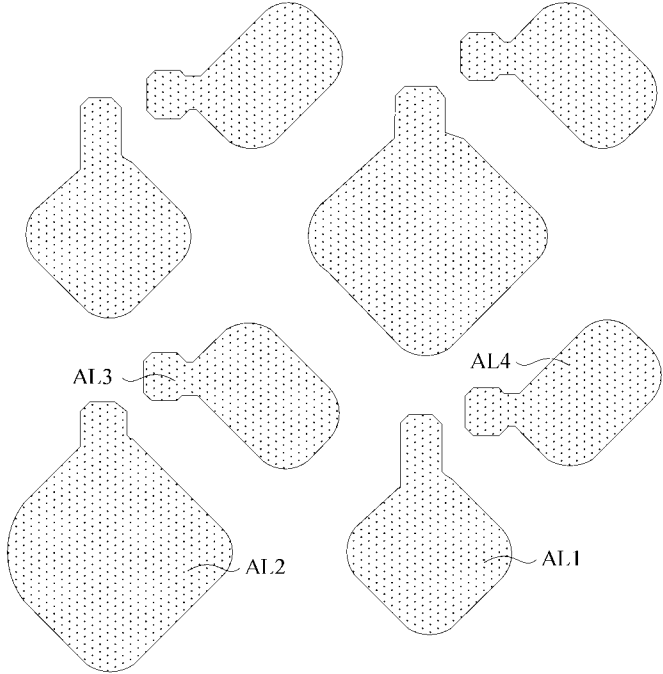


图53

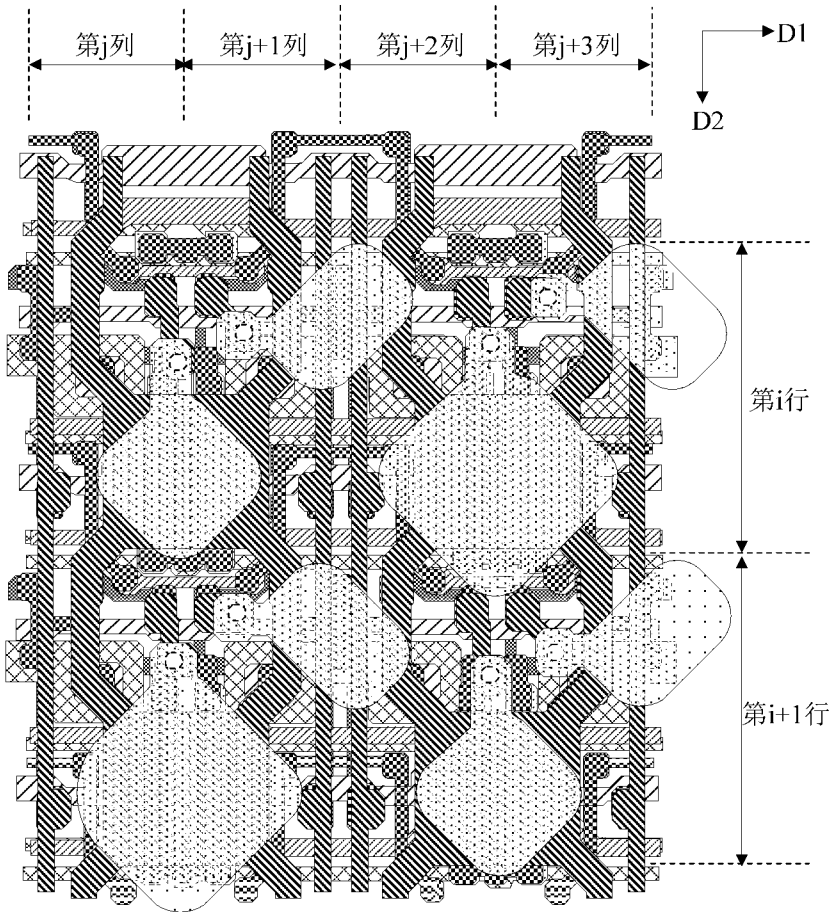


图54

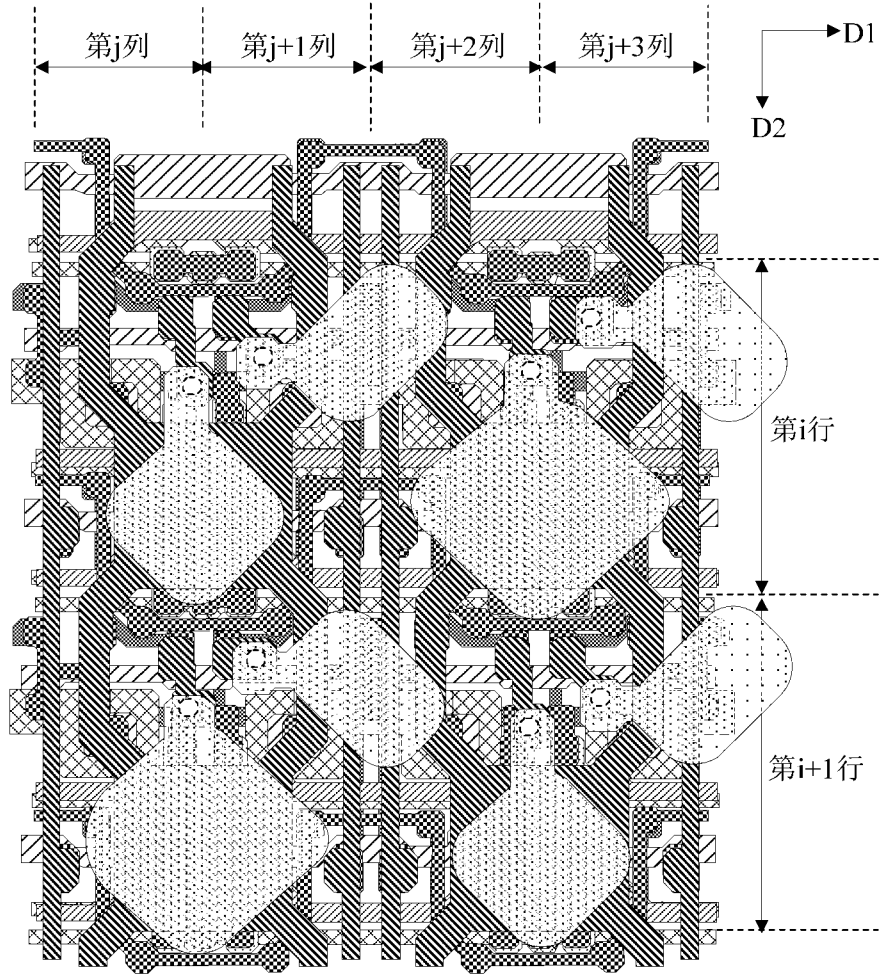


图55

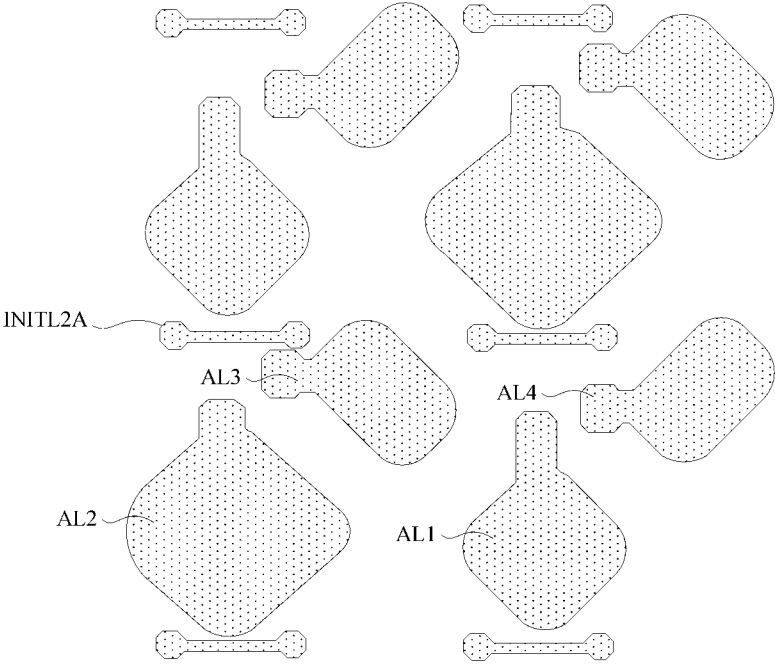


图56

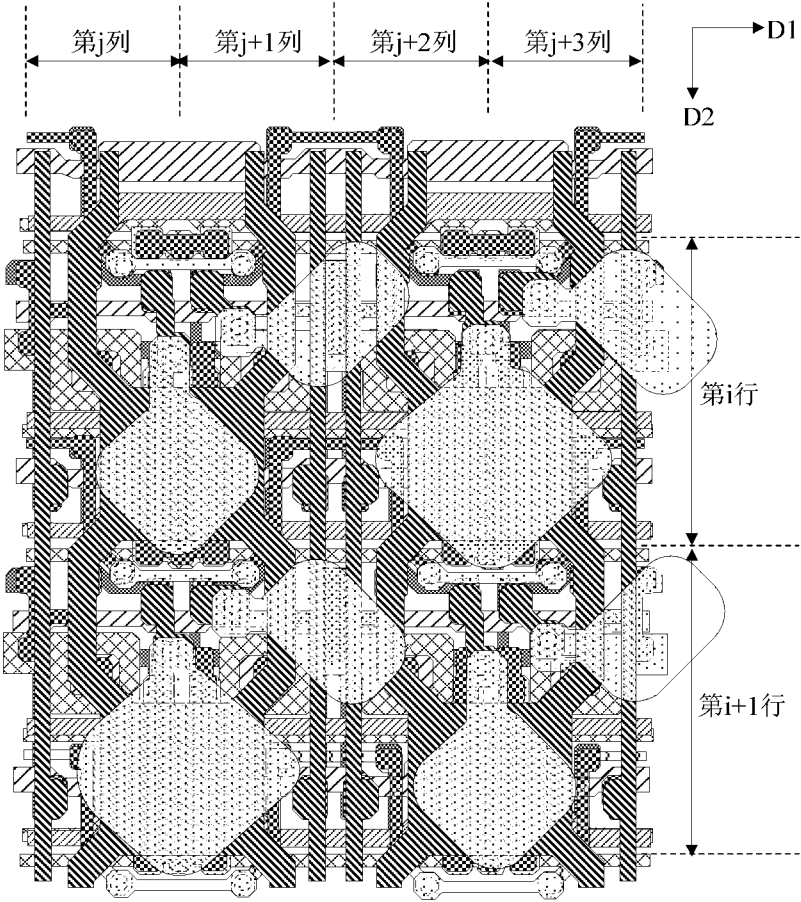


图57

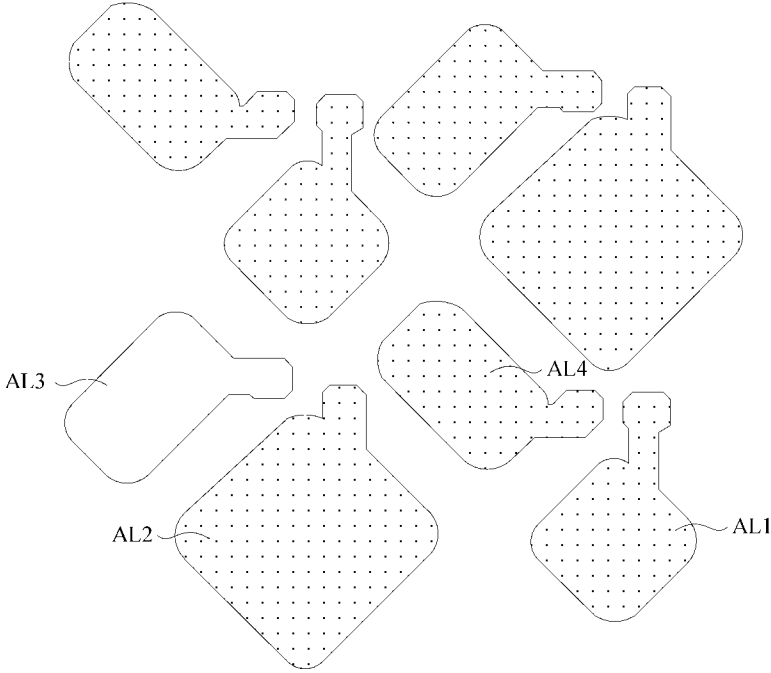


图58

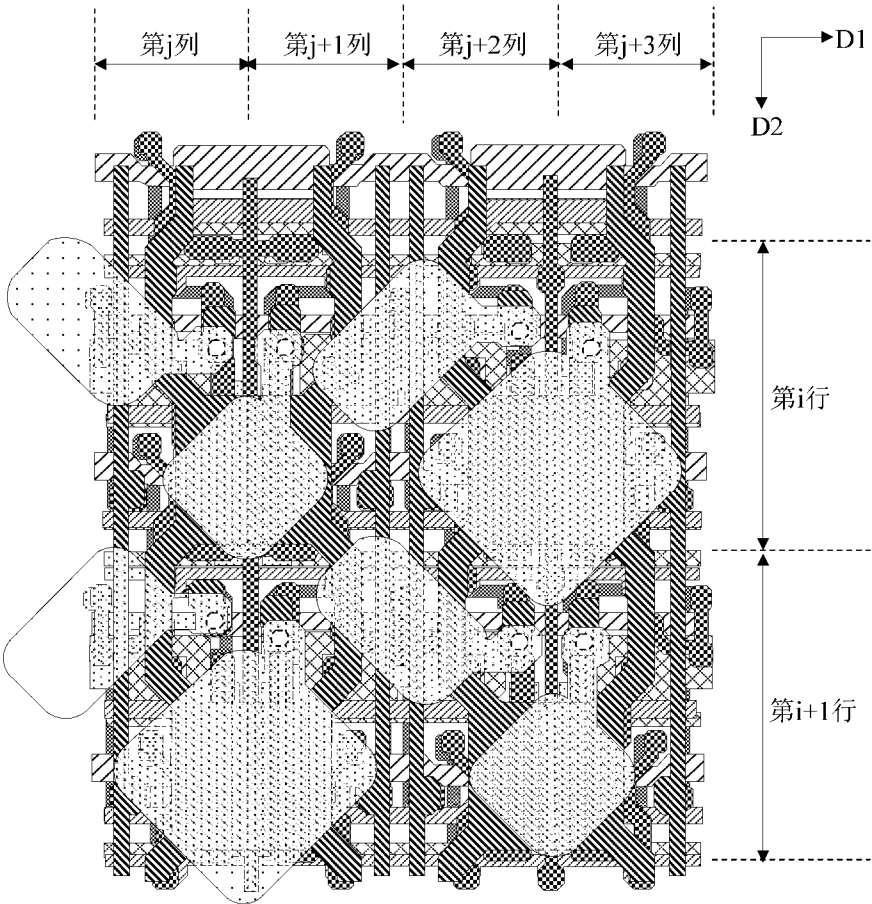


图59

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/078955

A. CLASSIFICATION OF SUBJECT MATTER		
H10K59/131(2023.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC:H10K; H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNABS; CNTXT; VEN; DWPI; WOTXT; EPTXT; USTXT; CNKI: 显示, 初始, 复位, 重置, 线, 信号线, 交叠, 连接, display, initial, reset, line, signal line, overlap, connect		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 113224123 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 06 August 2021 (2021-08-06) description, paragraphs 47-64, and figures 2-20	1-12, 15-17
Y	CN 113224123 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 06 August 2021 (2021-08-06) description, paragraphs 47-64, and figures 2-20	13-14
Y	WO 2022165717 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 11 August 2022 (2022-08-11) description, page 7, line 14-page 14, line 9, and figures 1-21	13-14
X	CN 114882841 A (BEIJING BOE TECHNOLOGY DEVELOPMENT CO., LTD. et al.) 09 August 2022 (2022-08-09) description, paragraphs 91-270, and figures 1-15	1-12, 15-17
Y	CN 114882841 A (BEIJING BOE TECHNOLOGY DEVELOPMENT CO., LTD. et al.) 09 August 2022 (2022-08-09) description, paragraphs 91-270, and figures 1-15	13-14
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
01 November 2023		03 November 2023
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		
		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/078955**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 113823671 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 21 December 2021 (2021-12-21) entire document	1-17
A	US 2022005405 A1 (JAPAN DISPLAY INC.) 06 January 2022 (2022-01-06) entire document	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/078955

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113224123	A	06 August 2021	CN	113224123	B	01 September 2023
				WO	2022233120	A1	10 November 2022
WO	2022165717	A1	11 August 2022	DE	112021002459	T5	23 February 2023
				US	2023180550	A1	08 June 2023
				CN	115398631	A	25 November 2022
CN	114882841	A	09 August 2022	CN	114882841	B	02 December 2022
CN	113823671	A	21 December 2021	None			
US	2022005405	A1	06 January 2022	US	11545076	B2	03 January 2023
				JP	2022014110	A	19 January 2022

A. 主题的分类 H10K59/131(2023.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) IPC:H10K; H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS; CNTXT; VEN; DWPI; WOTXT; EPTXT; USTXT; CNKI:显示, 初始, 复位, 重置, 线, 信号线, 交叠, 连接, display, initial, reset, line, signal line, overlap, connect		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 113224123 A (京东方科技集团股份有限公司 等) 2021年8月6日 (2021 - 08 - 06) 说明书第47-64段, 图2-20	1-12、15-17
Y	CN 113224123 A (京东方科技集团股份有限公司 等) 2021年8月6日 (2021 - 08 - 06) 说明书第47-64段, 图2-20	13-14
Y	WO 2022165717 A1 (京东方科技集团股份有限公司) 2022年8月11日 (2022 - 08 - 11) 说明书第7页第14行至第14页第9行, 图1-21	13-14
X	CN 114882841 A (北京京东方技术开发有限公司 等) 2022年8月9日 (2022 - 08 - 09) 说明书第91-270段, 图1-15	1-12、15-17
Y	CN 114882841 A (北京京东方技术开发有限公司 等) 2022年8月9日 (2022 - 08 - 09) 说明书第91-270段, 图1-15	13-14
A	CN 113823671 A (昆山国显光电有限公司) 2021年12月21日 (2021 - 12 - 21) 全文	1-17
A	US 2022005405 A1 (JAPAN DISPLAY INC) 2022年1月6日 (2022 - 01 - 06) 全文	1-17
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
★ 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “p” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2023年11月1日		国际检索报告邮寄日期 2023年11月3日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 沈冬云 电话号码 (+86) 020-28958914

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/078955

检索报告引用的专利文件				公布日 (年/月/日)		同族专利		公布日 (年/月/日)	
CN	113224123	A	2021年8月6日	CN	113224123	B	2023年9月1日		
				WO	2022233120	A1	2022年11月10日		
WO	2022165717	A1	2022年8月11日	DE	112021002459	T5	2023年2月23日		
				US	2023180550	A1	2023年6月8日		
				CN	115398631	A	2022年11月25日		
CN	114882841	A	2022年8月9日	CN	114882841	B	2022年12月2日		
CN	113823671	A	2021年12月21日		无				
US	2022005405	A1	2022年1月6日	US	11545076	B2	2023年1月3日		
				JP	2022014110	A	2022年1月19日		