(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年3月12日(12.03.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/049976 A1

(51) 国際特許分類:
H01L 25/07 (2006.01) *H02G 3/16* (2006.01)
H01L 23/14 (2006.01) *H05K 1/02* (2006.01)
H01L 25/18 (2006.01)

(21) 国際出願番号： PCT/JP2019/032097

(22) 国際出願日： 2019年8月16日(16.08.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2018-164663 2018年9月3日(03.09.2018) JP

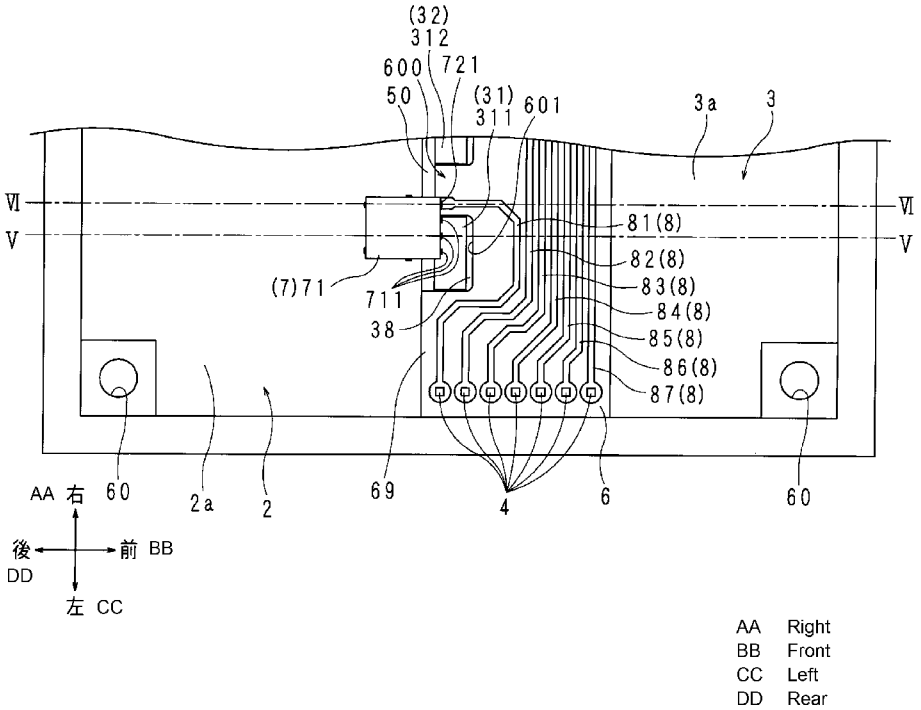
(71) 出願人: 株式会社オートネットワーク技術研究所 (**AUTONETWORKS TECHNOLOGIES, LTD.**) [JP/JP]; 〒5108503 三重県四日市市西末広町１番１４号 Mie (JP). 住友電装株式会社 (**SUMITOMO WIRING SYSTEMS, LTD.**) [JP/JP]; 〒5108503 三重県四日市市西末広町１番１４号 Mie (JP). 住友電気工業株式会社(**SUMITOMO ELECTRIC INDUSTRIES, LTD.**) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目５番３３号 Osaka (JP).

(72) 発明者: 原口 章 (**HARAGUCHI, Akira**); 〒5108503 三重県四日市市西末広町１番１４号 株式会社オートネットワーク技術研究所内 Mie (JP).

(74) 代理人: 河野 英仁，外 (**KOHNO, Hideto** et al.); 〒5400035 大阪府大阪市中央区釣鐘町二丁目４番３号 河野特許事務所 Osaka (JP).

(54) Title: CIRCUIT STRUCTURE AND ELECTRICAL CONNECTION BOX

(54) 発明の名称： 回路構造体及び電気接続箱



(57) Abstract: In this circuit structure, a plurality of semiconductor elements (71) provided with a plurality of source terminals (711) and at least one gate terminal (721) arranged in parallel with the source terminals (711) are arranged in parallel. The circuit structure is provided with: a first busbar (3a) connected with the source terminals (711) of each semiconductor element (71); a plurality of connection sections (31, 32) that are arranged in parallel in the direction of parallel arrangement of the semiconductor elements (71), that have one end connected to the source terminals (711) of each

WO 2020/049976 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

of the semiconductor elements (71), and that connect the source terminals (711) and the first busbar (3a); an insulating section (6) provided between the connection sections (31, 32); and a conductive section (8) that is provided to the insulating section (6) and connected with the gate terminal (721).

(57) 要約：複数のソース端子７（１１）と、ソース端子（７１１）と並設された少なくとも一つのゲート端子（７２１）とを備える半導体素子（７１）が複数並設された回路構造体において、各半導体素子（７１）のソース端子（７１１）と接続する第１バスバ（３ａ）と、半導体素子（７１）の並設方向に並設されており、各半導体素子（７１）のソース端子（７１１）に一端が接続され、ソース端子（７１１）と第１バスバ（３ａ）とを接続させる複数の接続部（３１，３２）と、接続部（３１，３２）同士の間に設けられた絶縁部（６）と、絶縁部（６）に設けられ、ゲート端子（７２１）と接続された導電部（８）とを備える。

明　細　書

発明の名称 ： 回路構造体及び電気接続箱

技術分野

[0001]　本発明は、半導体素子が実装された回路構造体及び該回路構造体を備える電気接続箱に関する。

本出願は、２０１８年９月３日出願の日本出願第２０１８－１６４６６３号に基づく優先権を主張し、前記日本出願に記載された全ての記載内容を援用するものである。

背景技術

[0002]　従来から、自動車には、電源からヘッドランプ、ワイパー等の負荷へ電力を分配する電気接続箱が搭載されている。電気接続箱は、電源に接続されて電力回路を構成するバスバと、前記電力回路を制御する制御回路を有する回路基板とを備える。電力回路には電力の供給・遮断を行うスイッチング素子等を備える。

[0003]　特許文献１には、屈曲した回路導体を射出樹脂にて覆って生成される射出成型基板であって、前記回路導体の一部分が射出樹脂から露出され、かつ露出された斯かる一部分が射出樹脂と面一をなすことによって、スクリーン印刷が可能な射出成型基板が提案されている。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１５－１３８８８１号公報

発明の概要

[0005]　本開示の一態様に係る回路構造体は、複数の第１端子と、前記第１端子と並設された少なくとも一つの第２端子とを備える半導体素子が複数並設された回路構造体において、各半導体素子の前記第１端子と接続する第１導電片と、前記半導体素子の並設方向に並設されており、各半導体素子の前記第１端子に一端が接続され、前記第１端子と前記第１導電片とを接続させる複数

の接続部と、前記接続部同士の間に設けられた絶縁部と、前記絶縁部に設けられ、前記第２端子と接続された導電部とを備える。

[0006] 本開示の一態様に係る電気接続箱は、上述した回路構造体と、前記回路構造体の前記半導体素子を制御する制御回路基板とを備える。

図面の簡単な説明

[0007] [図1]本実施形態に係る電気接続箱の外見を示す斜視図である。

[図2]本実施形態に係る電気接続箱の分解図である。

[図3]本実施形態に係る回路構造体の分解図である。

[図4]図３の四角の破線部を拡大した拡大図である。

[図5]図４におけるＶ－Ｖ線による縦断面図である。

[図6]図４におけるＶＩ－ＶＩ線による縦断面図である。

[図7]本実施形態に係る回路構造体の製造方法を説明する説明図である。

[図8]本実施形態に係る回路構造体の製造方法を説明する説明図である。

[図9]本実施形態に係る回路構造体の製造方法を説明する説明図である。

[図10]本実施形態に係る回路構造体の製造方法を説明する説明図である。

[図11]本実施形態に係る回路構造体の製造方法を説明する説明図である。

[図12]本実施形態に係る回路構造体の製造方法を説明する説明図である。

発明を実施するための形態

[0008] ［本開示が解決しようとする課題］

一方、ＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）等の半導体スイッチング素子を用いる場合、ドレイン端子・ソース端子・ゲート端子をそれぞれ別のバスバ上に接続する必要が生じる。

[0009] 一般にはスイッチング素子の端子配列は、ソース端子とゲート端子とが直線状に並設され、端子ピッチに合わせて所定間隙にてバスバが夫々配置される。またドレイン端子に係るバスバにおいても、ソース端子・ゲート端子に係るバスバと所定間隙を隔てて配置される。

[0010] ところが、近年、スイッチング素子の小型化に伴い、端子ピッチが狭小されつつあり、バスバ同士を隣り合わせる配置が物理的に難しくなっている。

また、複数のスイッチング素子を並設させるような場合は、バスバの配置が更に困難である。

[0011] しかしながら、特許文献１に係る電子部品搭載用基板においても、このような問題については考慮されておらず、解決することは出来ない。

[0012] そこで、狭小な端子ピッチを有する複数の半導体素子を並設する場合において、精度よい配線が可能な回路構造体及び電気接続箱を提供することを目的とする。

[0013] ［本開示の効果］

本開示の一態様によれば、狭小な端子ピッチを有する複数の半導体素子を並設する場合において、精度よい配線が可能な回路構造体及び電気接続箱を提供できる。

[0014] ［本発明の実施形態の説明］

最初に本開示の実施態様を列挙して説明する。また、以下に記載する実施形態の少なくとも一部を任意に組み合わせてもよい。

[0015] （１）本開示の一態様に係る回路構造体は、複数の第１端子と、前記第１端子と並設された少なくとも一つの第２端子とを備える半導体素子が複数並設された回路構造体において、各半導体素子の前記第１端子と接続する第１導電片と、前記半導体素子の並設方向に並設されており、各半導体素子の前記第１端子に一端が接続され、前記第１端子と前記第１導電片とを接続させる複数の接続部と、前記接続部同士の間に設けられた絶縁部と、前記絶縁部に設けられ、前記第２端子と接続された導電部とを備える。

[0016] 本態様にあっては、前記第１端子を前記接続部に接続させ、前記接続部同士の間に設けられた前記絶縁部内に設けられた前記導電部に前記第２端子を接続させる。従って、前記第１端子及び前記第２端子間のピッチが狭小な複数の半導体素子を並設する場合においても、精度よく配線ができ、前記第１端子の配線及び前記第２端子の配線間にショート等が発生することを防止できる。

[0017] （２）本開示の一態様に係る回路構造体は、各接続部は屈曲した矩形板状で

あり、前記絶縁部は、各接続部の前記一端と係合する櫛歯状部を有する。

[0018] 本態様にあっては、前記絶縁部の前記櫛歯状部が各接合部の前記一端と係合するので、前記接続部同士の間に前記絶縁部が存在するようになる。従って、前記第１端子及び前記第２端子間のピッチが狭小な複数の半導体素子を並設する場合においても、精度よく配線ができ、前記第１端子の配線及び前記第２端子の配線間にショート等が発生することを防止できる。

[0019] （３）本開示の一態様に係る回路構造体は、前記第１導電片及び前記複数の接続部が一体形成されている。

[0020] 本態様にあっては、前記第１導電片及び前記複数の接続部が一体形成されてある。従って、前記第１導電片及び前記複数の接続部の間における接続点がなくなり、これらの間の電気抵抗を減らすことができる。

[0021] （４）本開示の一態様に係る回路構造体は、各接続部は、前記第１端子と接続された前記一端側の端面が、前記絶縁部において前記導電部が形成された導電面と面一である。

[0022] 本態様にあっては、前記絶縁部において前記導電部が形成された前記導電面と、前記接続部において前記第１端子と接続された前記一端側の端面とは面一である。従って、一つの半導体素子において、並設された前記第１端子及び前記第２端子の配線が容易にできる。

[0023] （５）本開示の一態様に係る回路構造体は、前記絶縁部の前記導電面と面一に設けられ、前記接続部の並設方向と交差する方向に、前記接続部と第１間隔離れて配置された第２導電片を備え、各半導体素子の第３端子が前記第２導電片と接続している。

[0024] 本態様にあっては、前記第２導電片が前記接続部と第１間隔を離れて配置され、前記第３端子と、前記第１端子及び前記第２端子とが絶縁されている。また、前記第２導電片が前記絶縁部の前記導電面と面一であるので、一つの半導体素子が備える前記第１端子、前記第２端子及び前記第３端子を、同一面上に配線することができる。

[0025] （６）本開示の一態様に係る回路構造体は、前記絶縁部は、矩形であり、一

辺部の両端を除く部分に前記櫛歯状部が形成されており、前記一辺部の両端側に、前記第１導電片及び前記第２導電片の間の前記第１間隔を維持する間隔維持部が設けられている。

[0026] 本態様にあっては、前記第１導電片及び前記第２導電片の間の前記第１間隔を維持する前記間隔維持部が、前記絶縁部において前記櫛歯状部が形成されていない前記一辺部の両端側、即ち、前記一辺部において前記半導体素子が設けられていないところに設けられている。従って、半導体素子の発熱によって前記間隔維持部が膨張することに起因する問題を事前に防止することができる。

[0027] （７）本開示の一態様に係る回路構造体は、前記複数の接続部の並設方向と交差する方向において、前記接続部と前記絶縁部の前記櫛歯状部との間には第２間隔が形成されている。

[0028] 本態様にあっては、前記接続部と前記絶縁部の前記櫛歯状部との間において、前記複数の接続部の並設方向と交差する方向に、前記第２間隔が形成されている。従って、例えば、半導体素子が発熱した場合、前記複数の接続部の並設方向と交差する方向へ前記接続部が変形することが可能であり、応力を緩和できる。

[0029] （８）本開示の一態様に係る電気接続箱は、上述した何れか一つの回路構造体と、前記回路構造体の前記半導体素子を制御する制御回路基板とを備える。

[0030] 本態様にあっては、前記制御回路基板が前記回路構造体の前記半導体素子を制御し、前記回路構造体を適宜動作させる。

[0031] [本発明の実施形態の詳細]

本発明をその実施形態を示す図面に基づいて具体的に説明する。本開示の実施形態に係る回路構造体及び電気接続箱を、以下に図面を参照しつつ説明する。なお、本発明はこれらの例示に限定されるものではなく、請求の範囲によって示され、請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。

[0032] 以下においては、本実施形態に係る回路構造体及び電気接続箱を、電源からヘッドランプ、ワイパー等の負荷へ電力を分配する電気接続箱に適用した場合を例にあげて説明する。

[0033] 図１は、本実施形態に係る電気接続箱１００の外見を示す斜視図であり、図２は、本実施形態に係る電気接続箱１００の分解図である。

本実施形態に係る電気接続箱１００は略箱体の形状をなしており、制御回路基板９と、制御回路基板９を収容する回路構造体１０と、回路構造体１０を覆う蓋８０と、回路構造体１０を挟んで蓋８０と反対側に設けられ、回路構造体１０が発する熱を放熱するヒートシンク９０とを備える。ヒートシンク９０は、ネジ７０が回路構造体１０の四隅に形成された貫通孔６０に挿入されてヒートシンク９０の四隅に形成された螺子穴９１と螺合することによって回路構造体１０に取り付けられる。

[0034] 回路構造体１０には、複数の半導体素子７１～７７が並設されている（図３参照）。以下、説明の便宜上、半導体素子７１～７７を単に半導体素子７とも言う。また、半導体素子７１～７７は同じ構成を有するので、説明の便宜上、半導体素子７１の場合を例に挙げて説明し、半導体素子７２～７７についての説明を省略する。

[0035] 図３は、本実施形態に係る回路構造体１０の分解図であり、図４は、図３の四角の破線部を拡大した拡大図である。

[0036] 各半導体素子７は、例えばＦＥＴ（より具体的には面実装タイプのパワーＭＯＳＦＥＴ）であり、３つのソース端子７１１（第１端子）、ゲート端子７２１（第２端子）及びドレイン端子７３１（図５及び図６参照）を有している。３つのソース端子７１１とゲート端子７２１とは直線状に並設されており、ドレイン端子７３１（第３端子）は半導体素子７の下側に設けられている。

[0037] 半導体素子７１～７７は、第１バスバ３ａ（第１導電片）を備える第１通電体３（一体部材）と、第２バスバ２ａ（第２導電片）を備える第２通電体２とに跨るように実装されている。即ち、半導体素子７１～７７の並設方向

と交差する方向（前後方向）に、第１通電体３と第２通電体２とが所定の間隔５０（第１間隔）隔てて配置されており、各半導体素子７の一端が第１通電体３に接続され、前記一端と対向する他端が第２通電体２に接続されている。半導体素子７１～７７は第２通電体２に固定されている。

[0038] 第１通電体３及び第２通電体２は、例えば、略矩形である夫々の上面が面一になるように配置されている。このような状態にて、第１通電体３及び第２通電体２は枠体１１内に収容されている。第１通電体３の第１バスバ３ａ及び第２通電体２の第２バスバ２ａは夫々の長手方向が枠体１１の長手方向と一致するように配置されている。枠体１１は第１通電体３及び第２通電体２の側面を取り囲んで保持している。

[0039] 枠体１１は、中空矩形であり、上下方向に所定の厚みを有する。制御回路基板９と接続されるコネクタ端子５が、枠体１１の右側側壁を厚み方向に貫通して設けられ、一端が枠体１１の内側に突出され、他端が枠体１１の外側に突出されている。枠体１１の右側側壁の外側には、コネクタ端子５の他端を保護する円筒形のハウジング５１が取り付けられている。

[0040] 第１通電体３は、第１バスバ３ａ、絶縁部６及び接続部３１～３７（接続部）からなる。第１通電体３には、第１バスバ３ａの前側（長辺側）の側面から垂直に立ち上がる端子板３９が設けられている（図８参照）。端子板３９は、電源（バッテリー）又は負荷（ヘッドランプ、ワイパー等）に接続される。端子板３９は、枠体１１の前側の側壁を貫通し、枠体１１の外側に突出している。

[0041] 第２通電体２には、第２バスバ２ａの後側（長辺側）の側面から垂直に立ち上がる端子板２１が設けられている（図８参照）。端子板２１は、電源（バッテリー）又は負荷（ヘッドランプ、ワイパー等）に接続される。端子板２１は、枠体１１の後側の側壁を貫通し、枠体１１の外側に突出している。

[0042] 図５は、図４におけるＶ－Ｖ線による縦断面図であり、図６は、図４におけるＶＩ－ＶＩ線による縦断面図である。前後方向において、第１通電体３の後側の端部と第２通電体２の前側の端部とは、間隔５０を挟んで対向して

いる。これによって、第１通電体３及び第２通電体２は絶縁されている。

[0043] 第１通電体３は、上面において前後方向の後側半部に絶縁部６が設けられている。絶縁部６は、例えばＰＰＳ（ポリフェニレンサルファイド）のような耐熱性の高い熱可塑性樹脂からなる。また、第１通電体３は、前後方向の前側半部に第１バスバ３ａが設けられている。第１バスバ３ａは、例えば純銅又は銅合金からなり、上面にはニッケルメッキが施されている。

[0044] 絶縁部６は略矩形板状であり、例えば絶縁基板である。絶縁部６において後側の辺縁（一辺部）には、半導体素子７１～７７のソース端子と接続される接続部３１～３７が設けられている。接続部３１～３７は半導体素子７毎に３つのソース端子と夫々接続する。例えば、接続部３１は半導体素子７１の３つのソース端子７１１と接続されている（図４参照）。

[0045] より詳しくは、絶縁部６は後側の辺縁において、両端部を除く部分に櫛歯状部６００が形成されている（図９参照）。櫛歯状部６００では、絶縁部６の後側の辺縁における両端部を除く部分であって接続部３１～３７に対応する部分に、欠落部６０１～６０７が形成されている。欠落部６０１～６０７は接続部３１～３７の一端部に倣う矩形である。

[0046] 接続部３１～３７の前記一端部は櫛歯状部６００と係合する。即ち、接続部３１～３７の夫々の一端部は、欠落部６０１～６０７の内側に夫々位置する。これによって、接続部３１～３７同士の間には絶縁部６が存在し、接続部３１～３７同士間の絶縁が行われる。

[0047] 接続部３１～３７は、例えば、Ｃ字状に屈曲した矩形板状をなしており、内側には、空間６１が形成されている。接続部３１～３７は、半導体素子７１～７７の並設方向に沿って、即ち、左右方向に等間隔にて並設されている。接続部３１～３７は、一端が半導体素子７１～７７のソース端子と接続され、他端が第１バスバ３ａに接続されている。

[0048] 接続部３１～３７は一端側の端面３１１～３１７が矩形であり、端面３１１～３１７に半導体素子７１～７７のソース端子が接続される。例えば、接続部３１の端面３１１には半導体素子７１の３つのソース端子７１１が接続

されている。

[0049] また、上述したように、絶縁部６の櫛歯状部６００が接続部３１～３７の前記一端部と係合することによって、接続部３１～３７同士の間には絶縁部６が設けられている。即ち、接続部３１～３７の端面３１１～３１７同士の間と、接続部３１～３７の端面３１１～３１７及び第１バスバ３ａの間とには絶縁部６が設けられている。接続部３１～３７は、例えば純銅又は銅合金からなる。

[0050] 絶縁部６は、例えばダボ（図示せず）、又は枠体１１の内側面に設けた位置決め部（図示せず）を用いて、接続部３１～３７の内側に配置されている。後述する導電部８が設けられた絶縁部６の上面６８（導電面）と、接続部３１～３７の前記一端側の端面３１１～３１７は面一をなしている（図５参照）。

[0051] 接続部３１～３７と、絶縁部６の櫛歯状部６００との間には所定の間隔３８（第２間隔）が形成されている。詳しくは、各接続部３１～３７は、接続部３１～３７の並設方向と交差する方向、即ち前後方向において、櫛歯状部６００の欠落部６０１～６０７の縁から第２間隔３８だけ離れている。

[0052] なお、接続部３１～３７及び第１バスバ３ａは一体形成されている。例えば、純銅又は銅合金の板材にニッケルメッキ処理を施した後、切断、切削、プレス加工などにより一体形成される。これによって、本実施形態に係る回路構造体１０では、第１通電体３においていわゆる接続点がなくなり、電気抵抗を減らすことができる。

本実施形態に係る回路構造体１０はこれに限るものでなく、接続部３１～３７及び第１バスバ３ａを別々に設けて第１通電体３をなしても良い。

[0053] 絶縁部６の上面６８には、導電部８が線状に設けられている。導電部８は例えば銅箔である。絶縁部６の上面６８において左側の端部には制御回路基板９に接続するピン状の接続端子４が複数突設されている。導電部８は各半導体素子７のゲート端子を各接続端子４に夫々接続させる。

即ち、半導体素子７１～７７は夫々導電部８１～８７によって各接続端子

４に接続される。例えば、絶縁部６は絶縁基板であり、導電部８１～８７は絶縁部６の上面６８にプリントされたパターンであっても良い。

[0054] 本実施形態はこれに限るものでない。例えば、各導電部８１～８７は、互いに干渉しないように絶縁部６の上面６８に形成された溝部と、斯かる溝部の内側に設けられた導電材からなるようにしても良い。

詳しくは、各溝部が、第２通電体２に固定された各半導体素子７１～７７のゲート端子に整合する位置から夫々対応する接続端子４まで凹設され、各溝部内に導電材、例えば銅ナノ粒子インクを塗布しても良い。

[0055] このようにして、各接続端子４は導電部８１～８７を介して各半導体素子７１～７７のゲート端子と接続する。

接続端子４は制御回路基板９に接続されており、制御回路基板９が送信する、半導体素子７１～７７を制御する制御信号を、導電部８１～８７を介して各半導体素子７１～７７のゲート端子に送る。これによって、半導体素子７１～７７が制御され、第１通電体３から第２通電体２へ、又は第２通電体２から第１通電体３への通電が制御される。

[0056] 上述したように、接続部３１～３７（半導体素子７１～７７）は、絶縁部６において後側の辺縁部（櫛歯状部６００）に並設されており、前記辺縁部において左右方向の両端を除く部分に設けられている。

[0057] 一方、絶縁部６は、後側の辺縁部における左右方向の両端に、第１バスバ３ａ及び第２バスバ２ａの間の間隔５０を維持する間隔維持部６９を有している。間隔維持部６９は、絶縁部６の前記辺縁部における左右方向の両端部にて、第２バスバ２ａ側に、換言すれば第２通電体２及び第１通電体３の離隔方向に間隔５０だけ突設されている。また、これに限るものでなく、間隔維持部６９の一部が間隔５０に介在するように構成しても良い。

[0058] このように、本実施形態に係る回路構造体１０においては、半導体素子７１～７７の位置から離れて、絶縁部６の前記辺縁部における左右方向の両端部に間隔維持部６９を設けている。従って、半導体素子７１～７７が発熱する際に間隔維持部６９が熱膨張することによって生じる問題等を未然に防止

出来る。

[0059] 第２通電体２（第２バスバ２ａ）には半導体素子７１～７７が固定されている。第２バスバ２ａは矩形の板状であり、上面において、前側の辺縁部に半導体素子７１～７７が並設されている。半導体素子７１～７７は下方にドレイン端子を備えているので、ドレイン端子を第２バスバ２ａに例えばはんだ付けさせることにより、半導体素子７１～７７が第２バスバ２ａに固定される。

例えば、半導体素子７１においては、ドレイン端子７３１が第２バスバ２ａの前側の辺縁部にはんだ付けされている。これによって、半導体素子７１が第２バスバ２ａに接続されると共に、第２バスバ２ａに固定される。

[0060] 制御回路基板９には、回路パターンが形成されており、マイクロコンピュータ又は制御ＩＣ等の制御素子が実装されている。制御回路基板９は接続端子４及びコネクタ端子５に接続されている。制御回路基板９はコネクタ端子５を介して入力される指示信号に応じて、半導体素子７１～７７の開閉を制御する制御信号を、接続端子４及び導電部８１～８７を介して半導体素子７１～７７に送信する。

[0061] 以上のような構成を有することから、本実施形態に係る回路構造体１０は、複数の端子を有し、端子間のピッチが狭小な半導体素子７を複数並設する場合においても、半導体素子７の各端子に係る配線を精度よく行うことができる。

[0062] 具体的には、本実施形態に係る回路構造体１０においては、半導体素子７のソース端子に対しては接続部３１～３７による配線を行い、ゲート端子に対しては絶縁部６の導電部８１～８７による配線を行うことにより、配線を精度良く行うことができ、ソース端子の配線とゲート端子の配線間にショートが生じることを防ぐことができる。

更に、導電部８は絶縁部６に設けられており、導電部８をパターン化することによって、多数の配線を集約して設けることができる。

[0063] また、本実施形態に係る回路構造体１０と、上述したように、接続部３１

～３７はＣ字状に屈曲しており、内側には空間６１が形成されている。従って、接続部３１～３７の前記一端部が上下方向に変形することが可能である。

更に、各接続部３１～３７は、左右方向において、櫛歯状部６００の欠落部６０１～６０７の縁との間に第２間隔３８が形成されており、第２通電体２の第２バスバ２ａとの間に間隔５０が形成されている。従って、接続部３１～３７の前記一端部が前後方向に変形することが可能である。

[0064] 以上のことから、半導体素子７１～７７が発熱する際、斯かる発熱に応じて変形可能であり、応力を緩和できる。また、半導体素子７１～７７の発熱による第２バスバ２ａの膨張にも対応できる。

[0065] 以下、本実施形態に係る回路構造体１０の製造方法について説明する。図７～図１２は、本実施形態に係る回路構造体１０の製造方法を説明する説明図である。

[0066] 先ずは、純銅又は銅合金からなり、厚が２～３ｍｍである板材の表面にニッケルメッキ処理を施し、所定の形状に切断して、第１通電体３及び第２通電体２を成形する。特に、第１通電体３に対しては、櫛型に成形した後、接続部３１～３７になるべき部分に対して曲げ加工が施される。この際、接続部３１～３７の端面３１１～３１７が面一をなすように曲げ加工が行われる。

[0067] 第１通電体３、第２通電体２及びコネクタ端子５をインサート成型用金型内に配置して、射出成形機にて一体成型する。成形樹脂には、ＰＰＳ（ポリフェニレンサルファイド）のような耐熱性の高い熱可塑性樹脂を使用する。これによって、中空矩形の枠体１１が成形され、第２通電体２の上面と、接続部３１～３７の端面３１１～３１７が面一をなすよう配設される。

[0068] 導電部８（例えば、配線パターン）が印刷された絶縁部６を第１通電体３の上側であって、接続部３１～３７の内側に装着する。

第２通電体２の辺縁部にははんだ実装用パッドが備わり、接続部３１～３７の端面３１１～３１７の近傍に並列される。なお、絶縁部６には、あらか

じめ接続端子４をはんだ付けしておく。

[0069] 半導体素子７１～７７を実装する際、ドレイン端子をはんだ接続する第２通電体２、ソース端子をはんだ接続する接続部３１～３７の端面３１１～３１７、及び絶縁部６の実装用パッドにはんだペースト４０を塗布する。この後、半導体素子７１～７７を載置して、リフロー炉にてはんだ付けを行う。

これによって、半導体素子７１～７７のドレイン端子が第２通電体２と接合され、半導体素子７１～７７のソース端子が第１通電体３の接続部３１～３７の端面３１１～３１７に接合される。また、接続部３１～３７のゲート端子が絶縁部６の導電部８と接合される。

[0070] 次いで、制御回路基板９の所定位置に形成されたスルーホール部（図３参照）に、接続端子４及びコネクタ端子５をはんだ付けする。

[0071] 今回開示された実施形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は、上記した意味ではなく、請求の範囲によって示され、請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0072] ２　第２通電体

２ａ　第２バスバ

３　第１通電体

３ａ　第１バスバ

４　接続端子

５　コネクタ端子

６　絶縁部

７　半導体素子

８　導電部

９　制御回路基板

１０　回路構造体

１１　枠体

２１　端子板

３１～３７　接続部

３８　第２間隔

３９　端子板

５０　間隔

５１　ハウジング

６１　空間

６８　上面

６９　間隔維持部

７１～７７　半導体素子

８０　蓋

８１～８７　導電部

１００　電気接続箱

３１１～３１７　端面

６００　櫛歯状部

７１１　ソース端子

７２１　ゲート端子

７３１　ドレイン端子

請求の範囲

[請求項1] 複数の第１端子と、前記第１端子と並設された少なくとも一つの第２端子とを備える半導体素子が複数並設された回路構造体において、

各半導体素子の前記第１端子と接続する第１導電片と、

前記半導体素子の並設方向に並設されており、各半導体素子の前記第１端子に一端が接続され、前記第１端子と前記第１導電片とを接続させる複数の接続部と、

前記接続部同士の間に設けられた絶縁部と、

前記絶縁部に設けられ、前記第２端子と接続された導電部と

を備える回路構造体。

[請求項2] 各接続部は屈曲した矩形板状であり、

前記絶縁部は、各接続部の前記一端と係合する櫛歯状部を有する請求項１に記載の回路構造体。

[請求項3] 前記第１導電片及び前記複数の接続部が一体形成されている請求項２に記載の回路構造体。

[請求項4] 各接続部は、前記第１端子と接続された前記一端側の端面が、前記絶縁部において前記導電部が形成された導電面と面一である請求項２又は３に記載の回路構造体。

[請求項5] 前記絶縁部の前記導電面と面一に設けられ、前記接続部の並設方向と交差する方向に、前記接続部と第１間隔離れて配置された第２導電片を備え、

各半導体素子の第３端子が前記第２導電片と接続している請求項４に記載の回路構造体。

[請求項6] 前記絶縁部は、

矩形であり、

一辺部の両端を除く部分に前記櫛歯状部が形成されており、

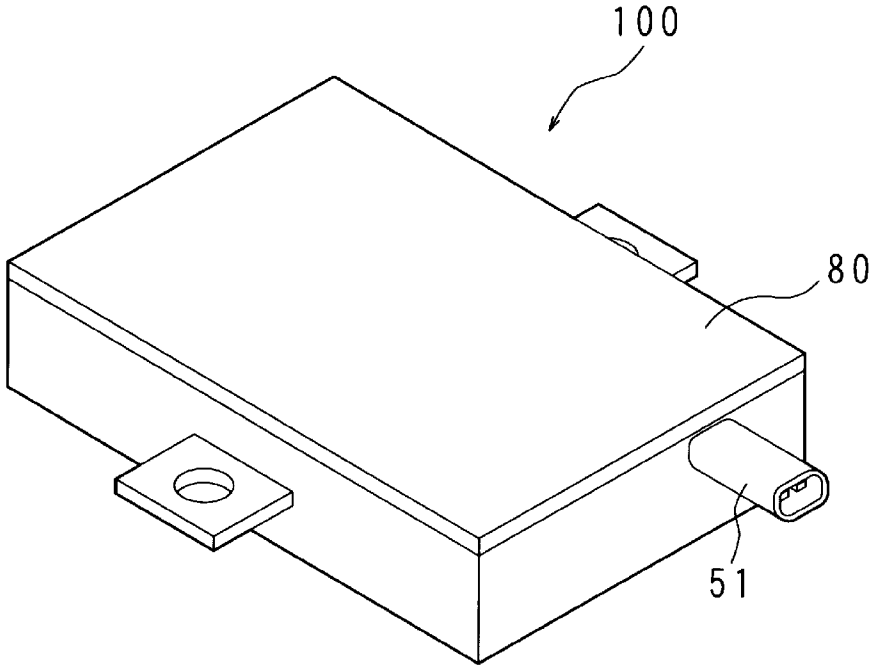
前記一辺部の両端側に、前記第１導電片及び前記第２導電片の間の前記第１間隔を維持する間隔維持部が設けられている請求項５に記載

の回路構造体。

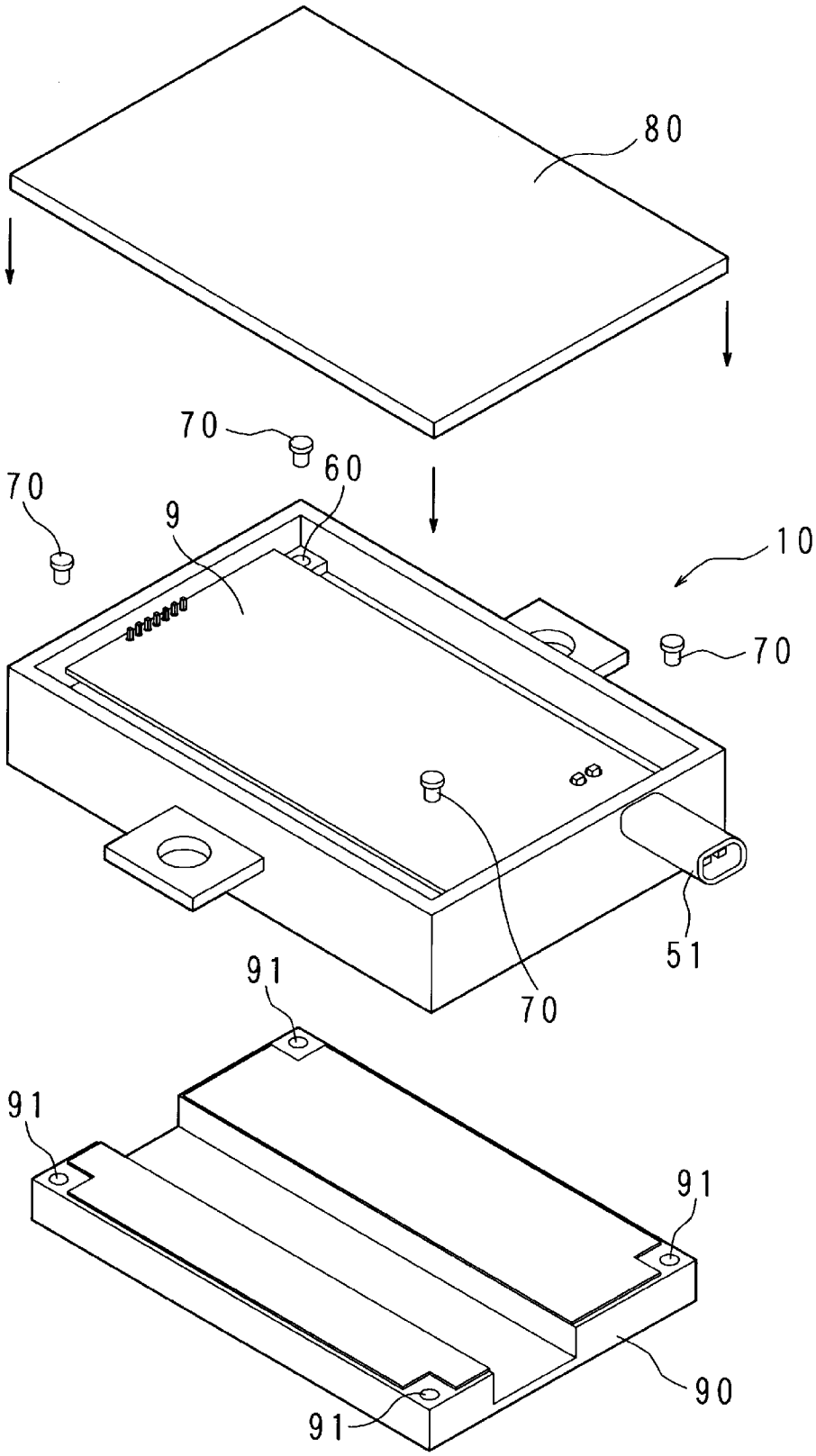
［請求項7］　前記複数の接続部の並設方向と交差する方向において、前記接続部と前記絶縁部の前記櫛歯状部との間には第２間隔が形成されている請求項２に記載の回路構造体。

［請求項8］　請求項１から７の何れか一つに記載の回路構造体と、
前記回路構造体の前記半導体素子を制御する制御回路基板と
を備える電気接続箱。

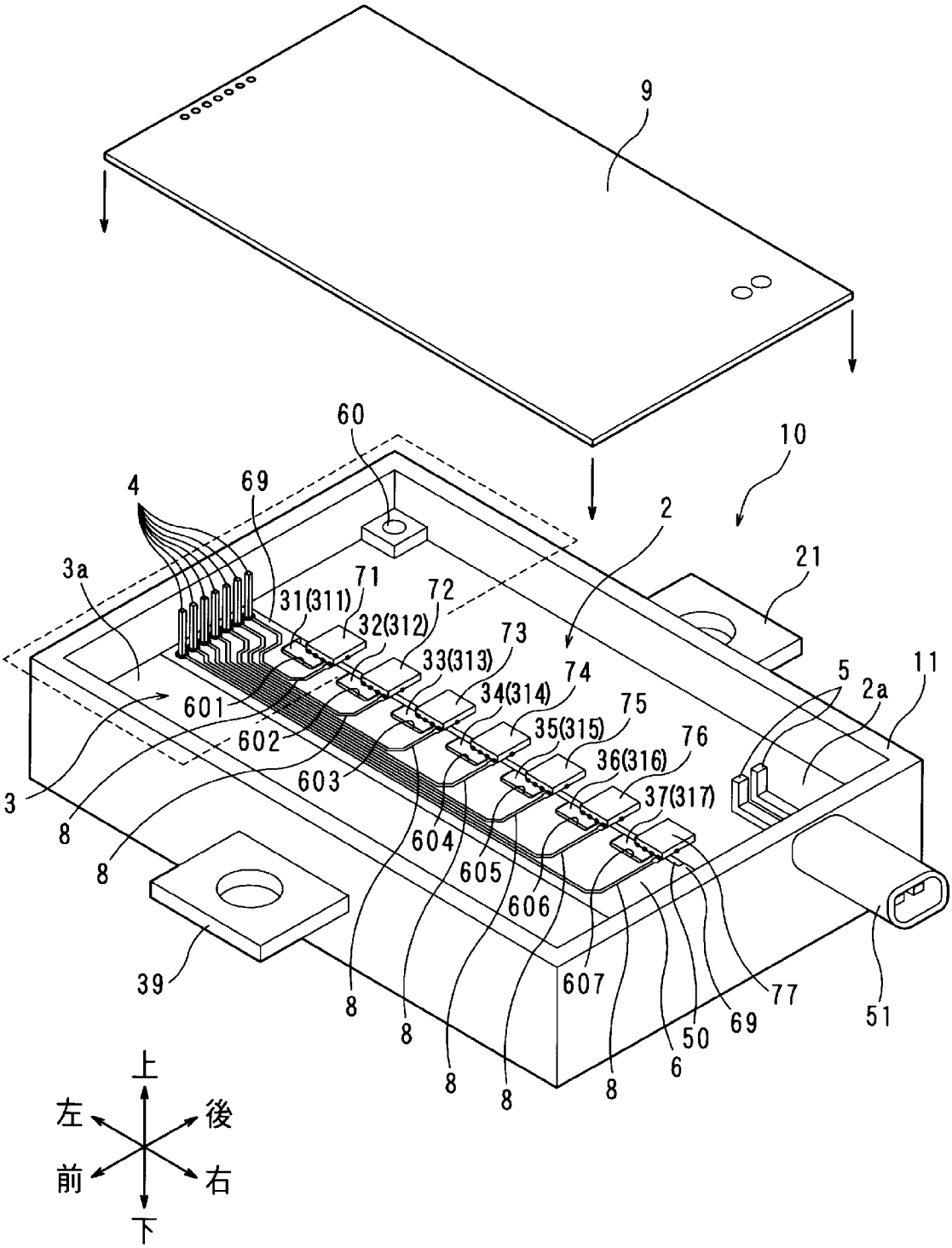
[図1]



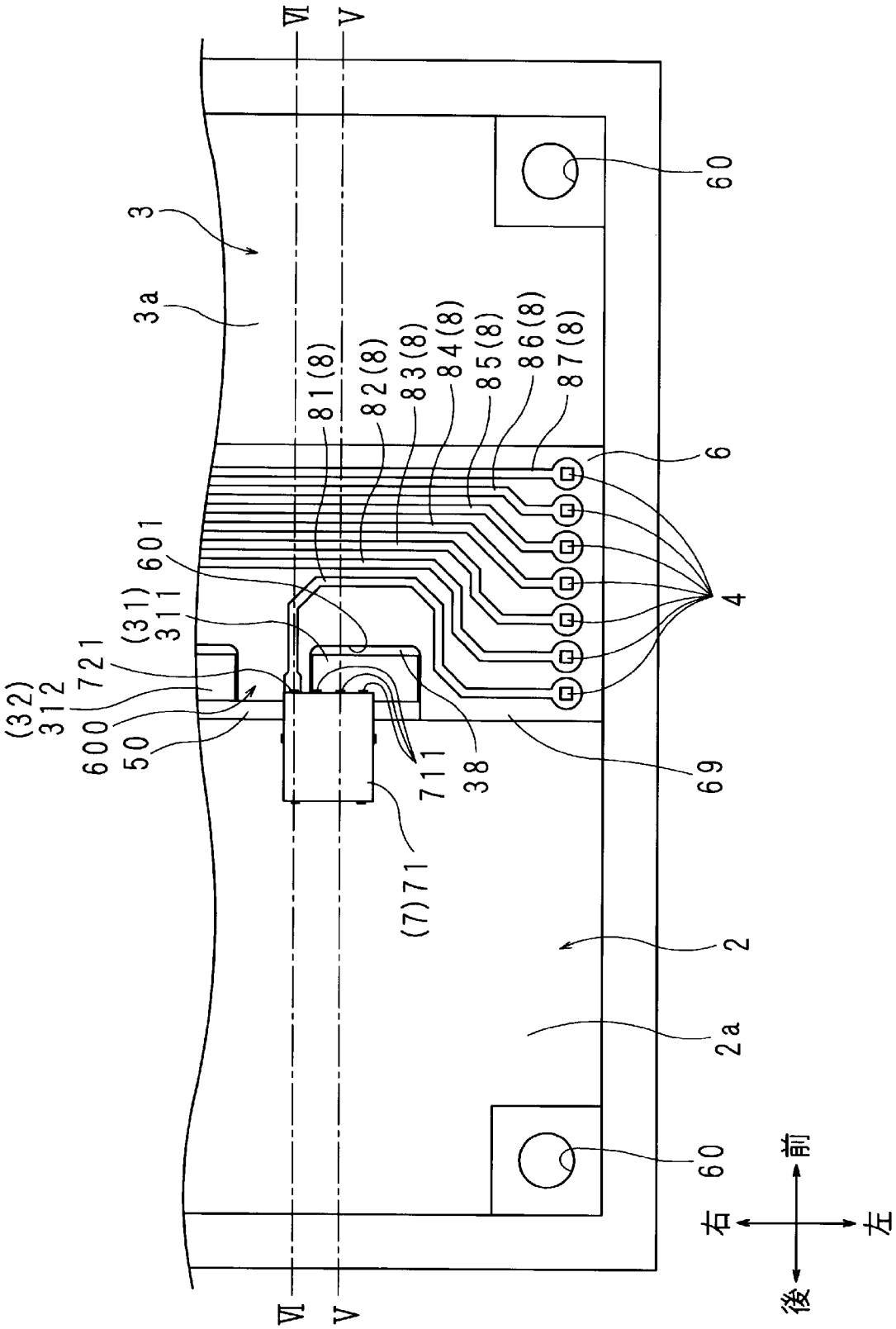
[図2]



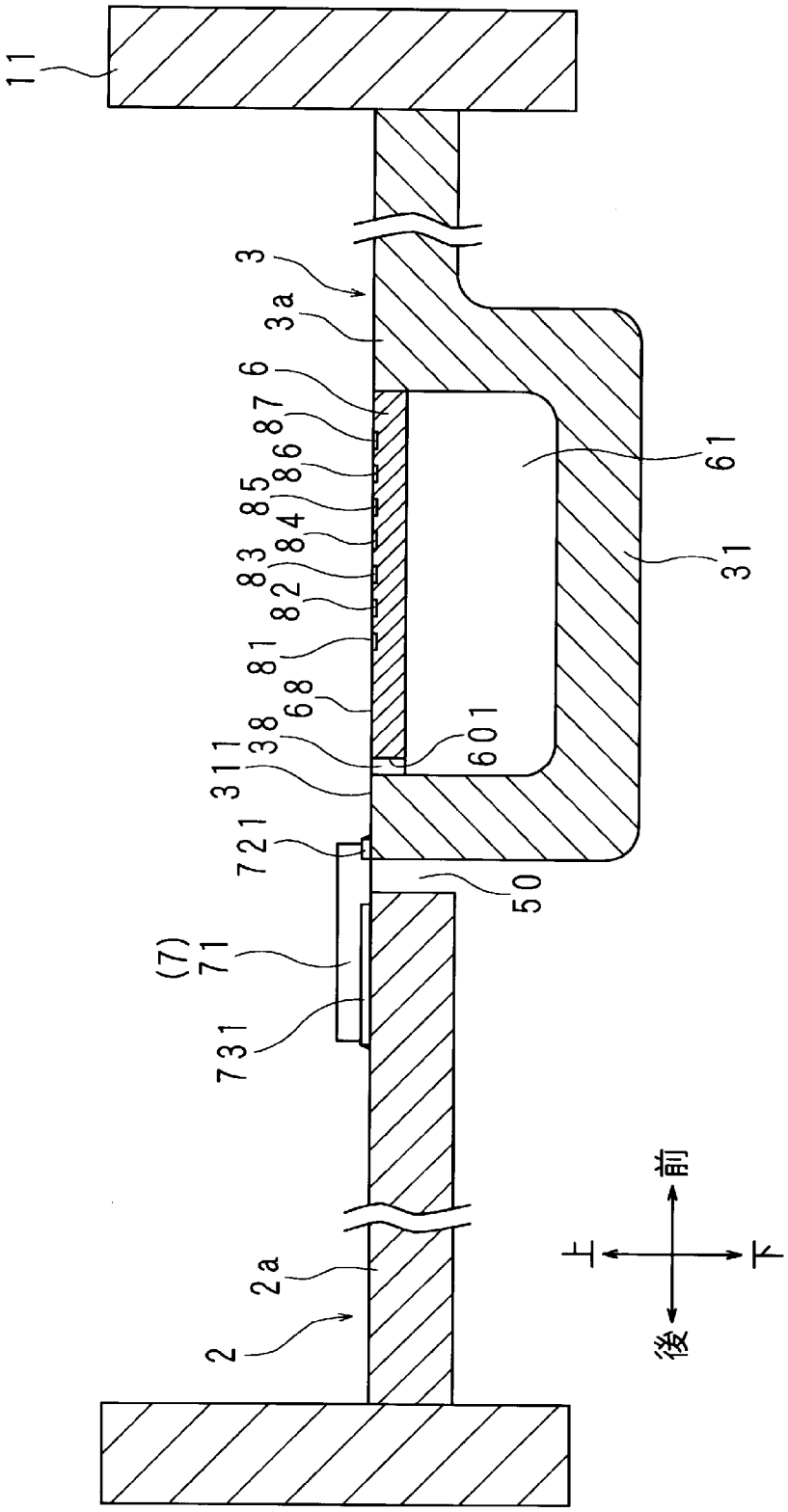
[図3]


9
60
10
4
69
2
21
3a
71
72
31(311)
32(312)
73
33(313)
74
34(314)
75
35(315)
76
36(316)
37(317)
5
2a
11
601
602
603
604
605
606
607
3
8
39
6
50
69
77
51
上
左
後
前
右
下

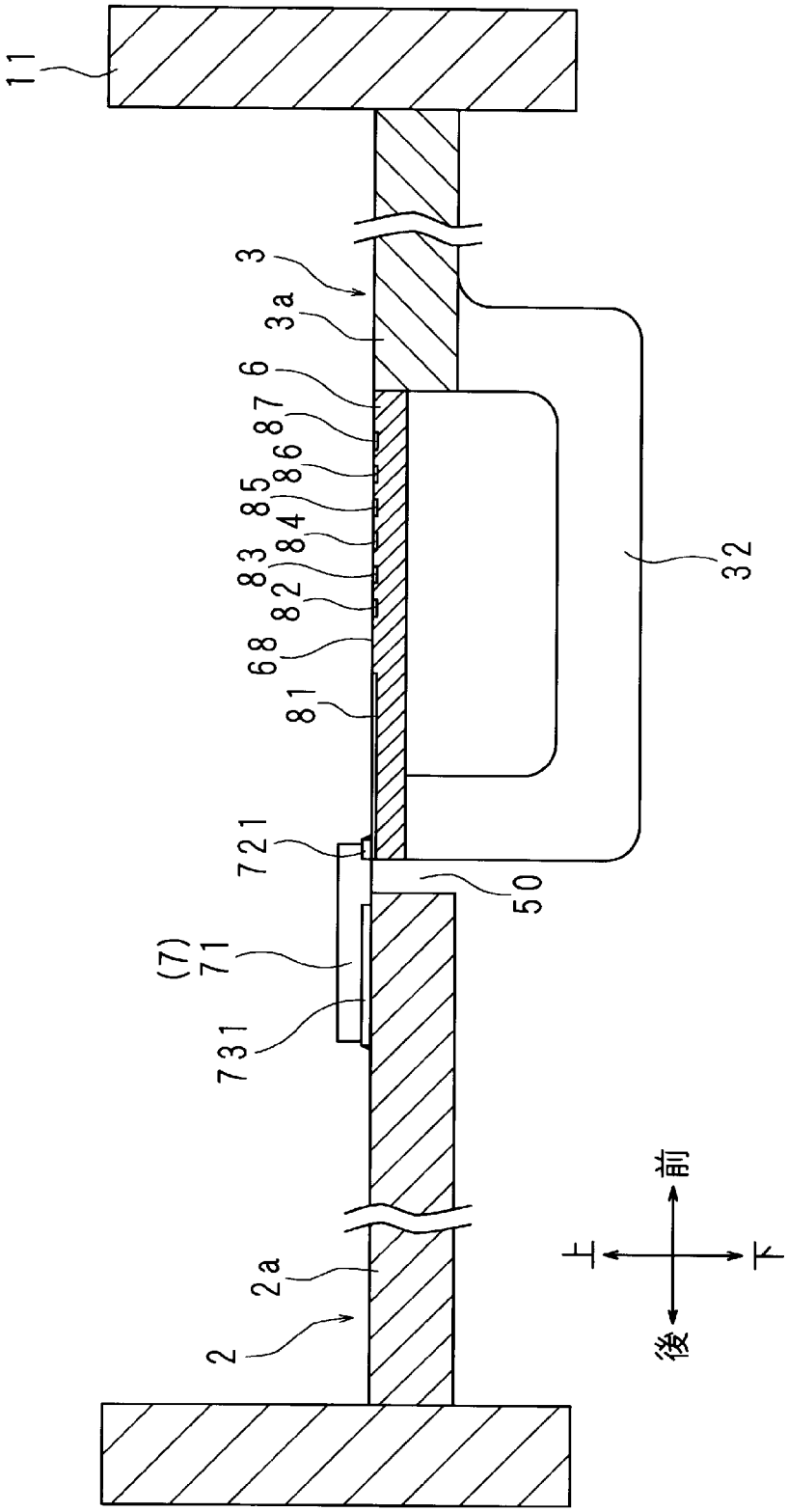
[図4]


VI
V
3
3a
81(8)
82(8)
83(8)
84(8)
85(8)
86(8)
87(8)
60
6
601
(31)
311
721
(32)
312
600
50
4
711
38
69
(7)71
2
2a
60
前
右
左
後
VI
V

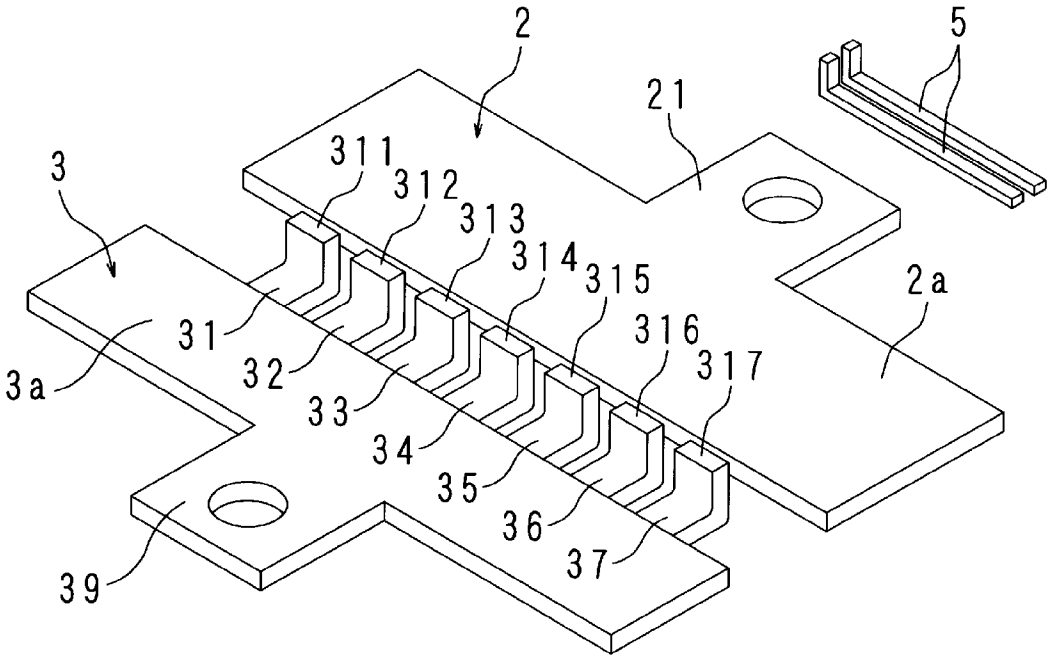
[図5]


11
3
3a
6
87
86
85
84
83
82
81
68
38
311
721
(7)
71
731
2a
2
61
31
601
50
前
上
下
後

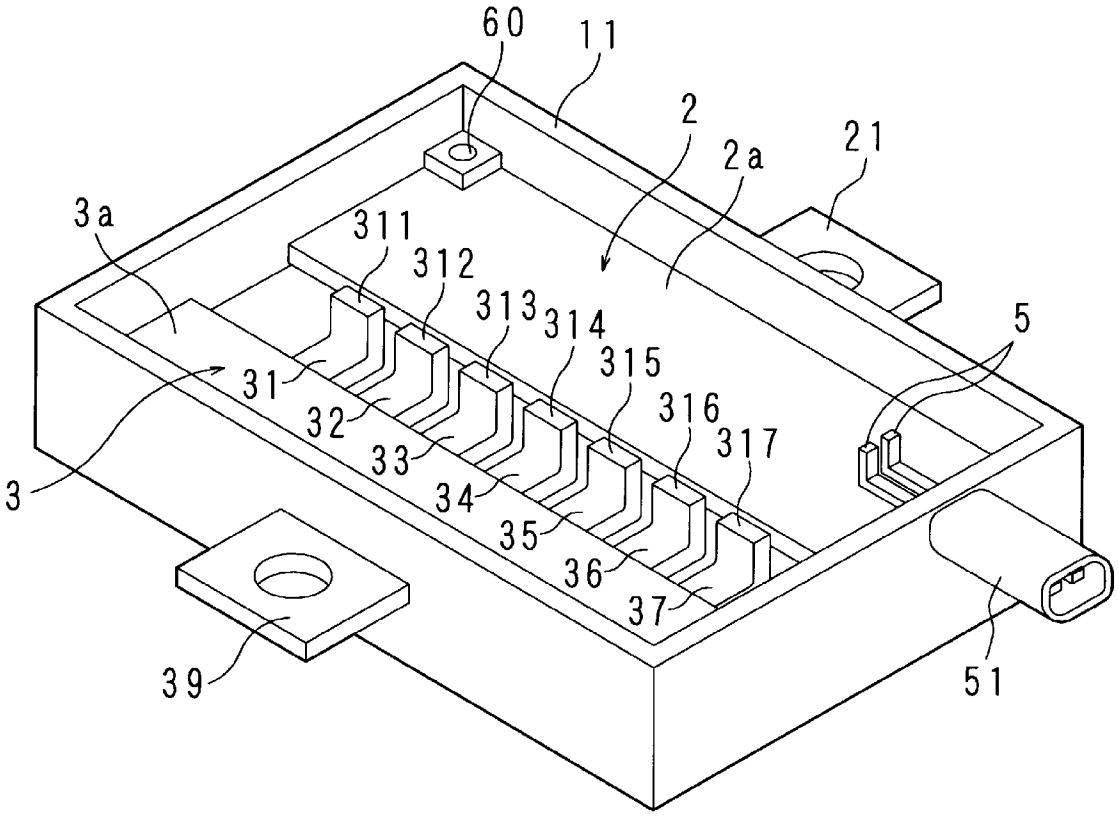
[図6]



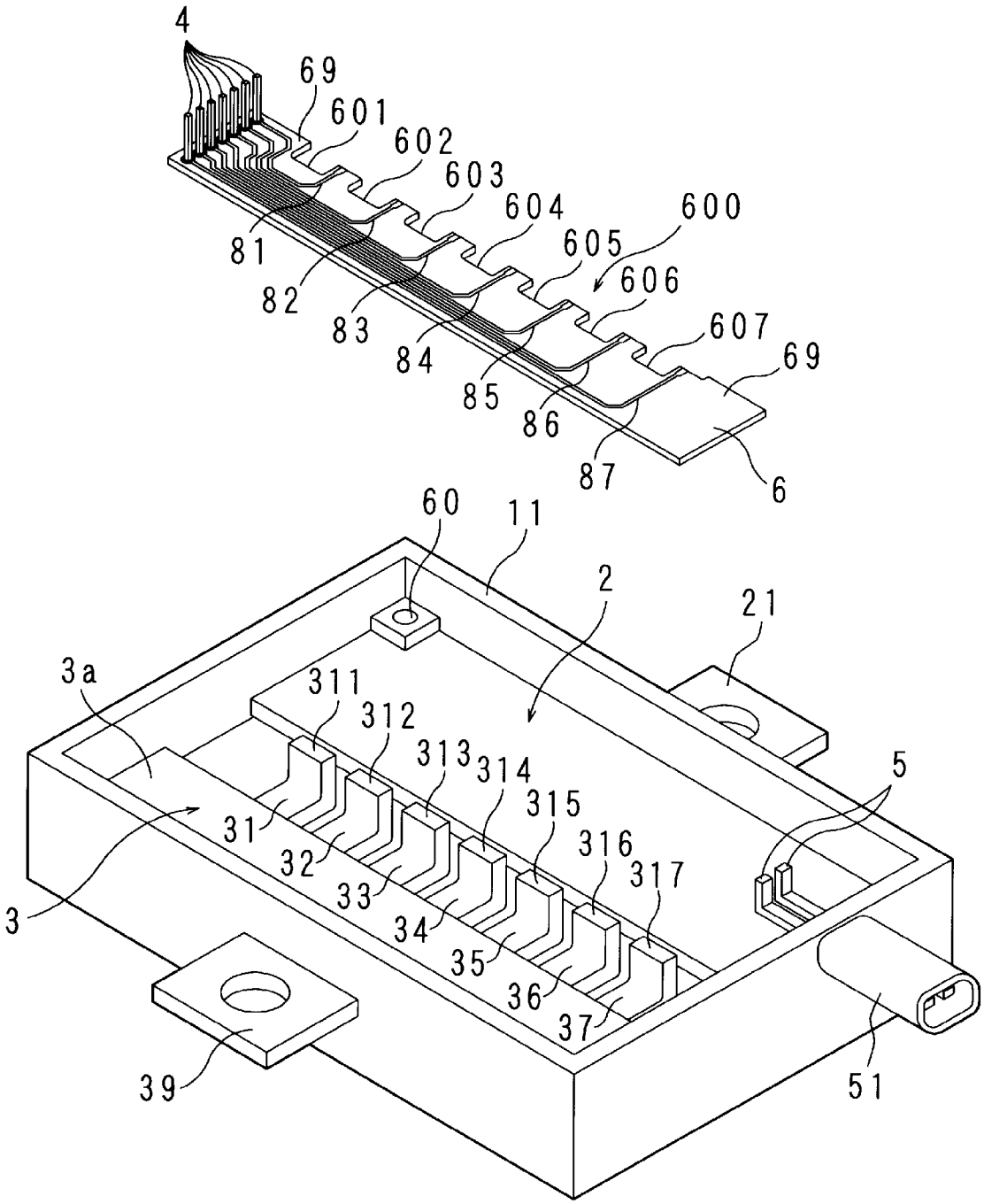
[図7]


2
5
21
3
311
312
313
314
315
316
317
2a
31
32
33
34
35
36
37
3a
39

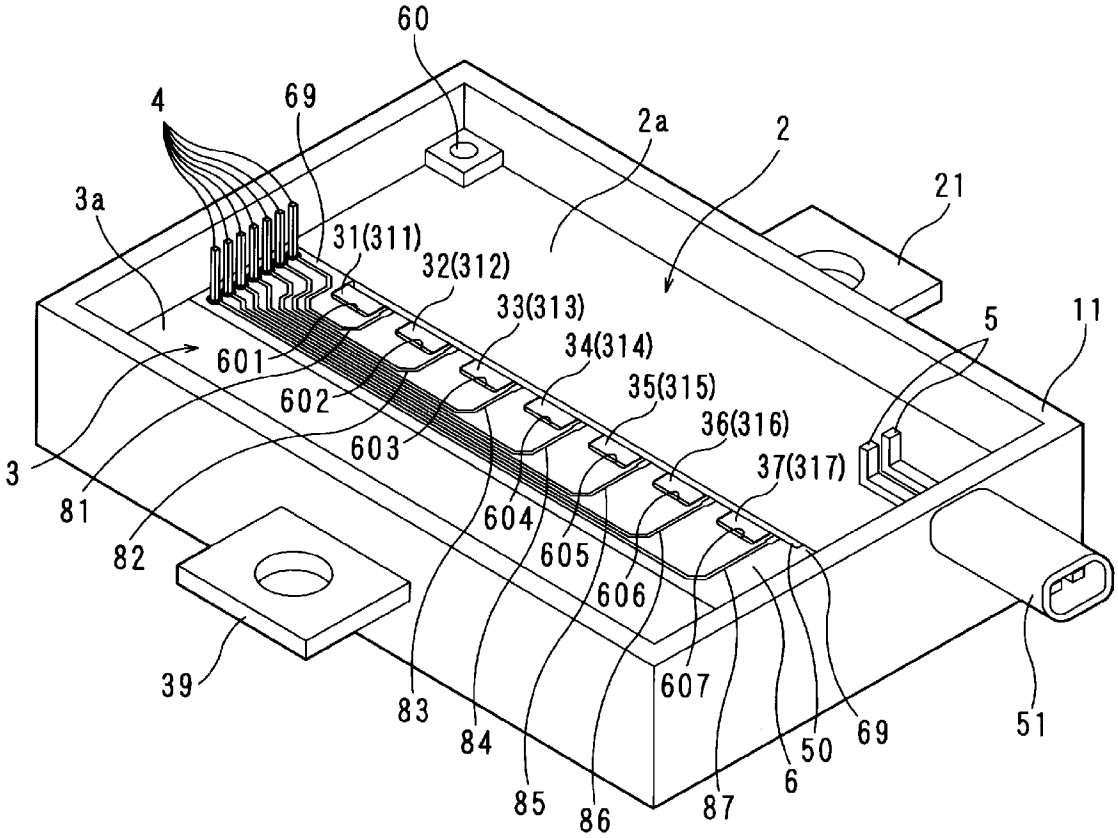
[図8]


60
11
2
2a
21
3a
311
312
313
314
315
316
317
5
31
32
33
34
35
36
37
3
39
51

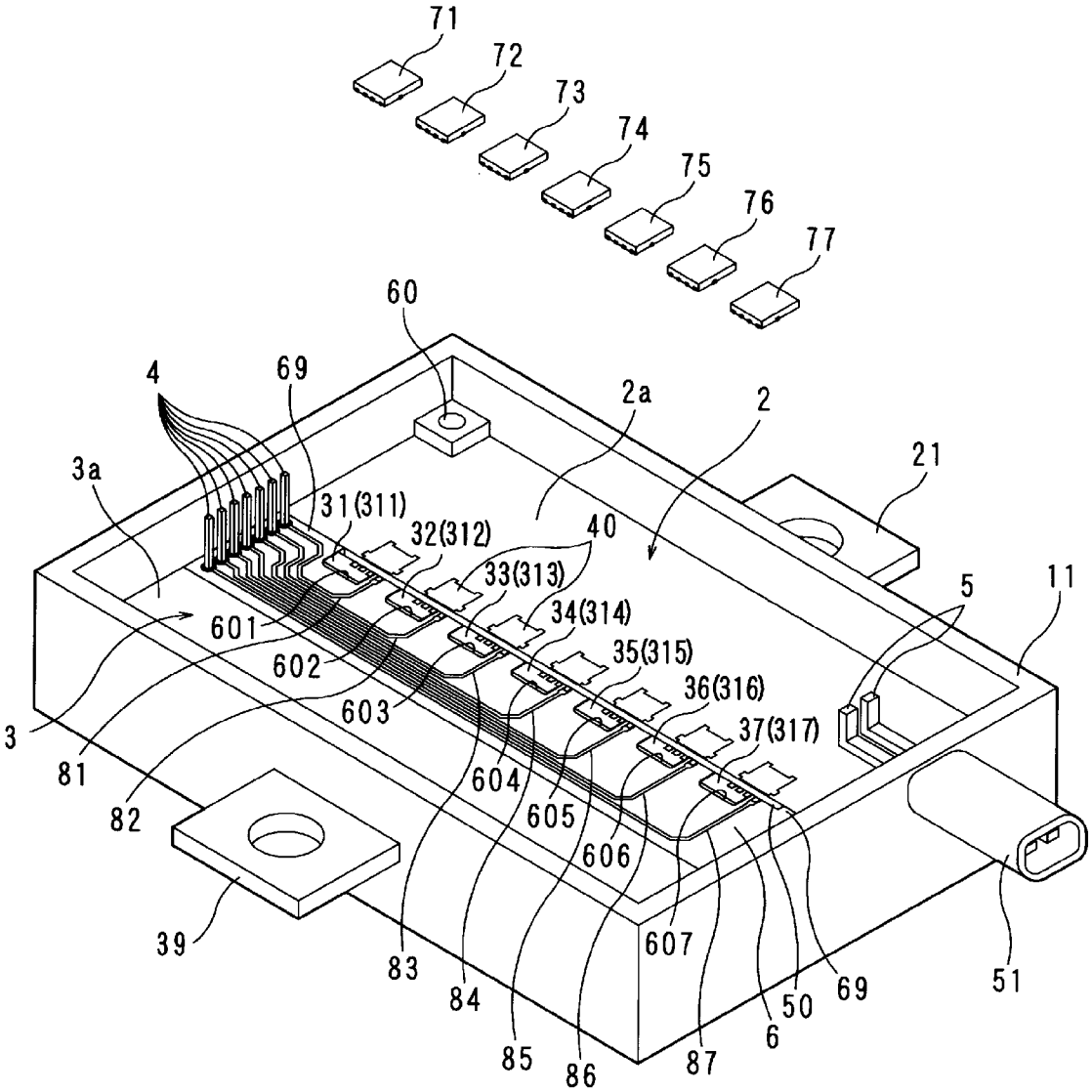
[図9]


4
69
601
602
603
604
600
605
606
607
69
81
82
83
84
85
86
87
6
60
11
2
21
3a
311
312
313
314
315
316
317
5
31
32
33
34
35
36
37
3
39
51

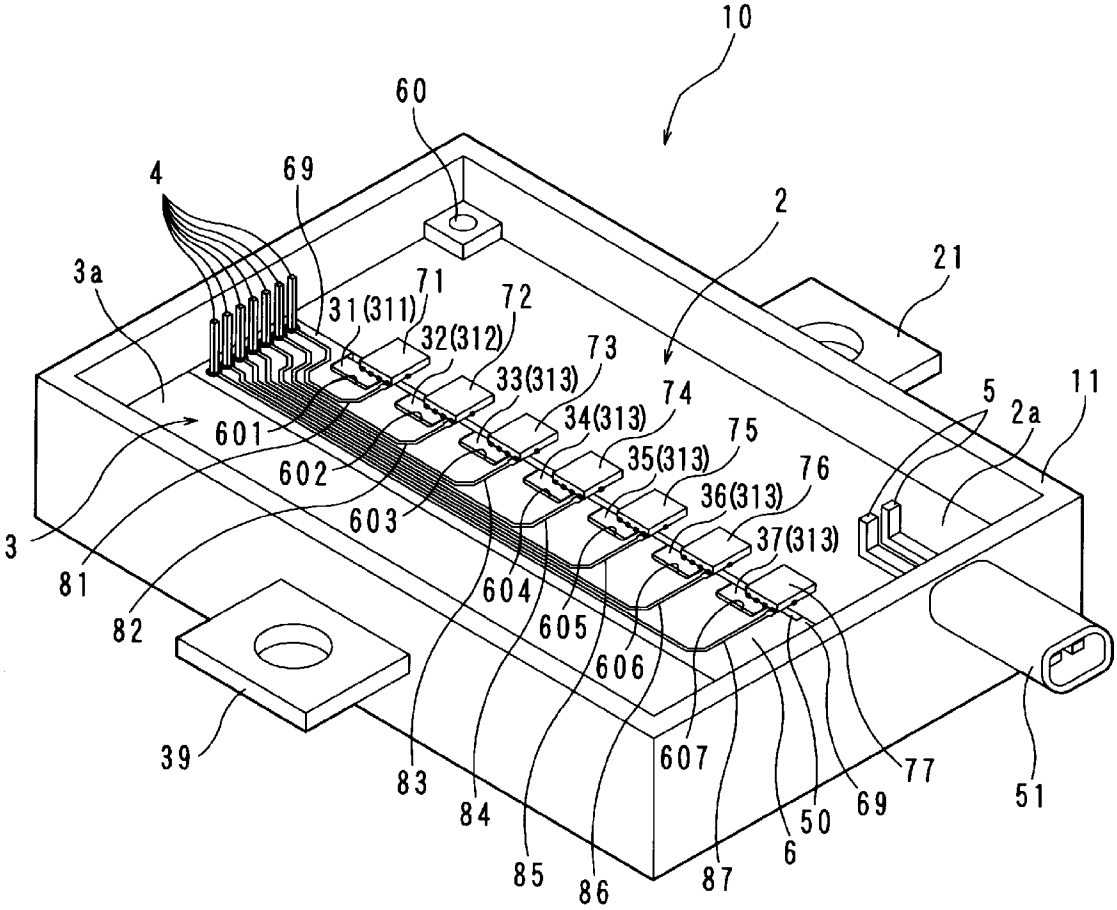
[図10]


60
4
69
2a
2
21
3a
31(311)
32(312)
33(313)
34(314)
35(315)
36(316)
37(317)
5
11
601
602
603
604
605
606
607
3
81
82
39
83
84
85
86
87
6
50
69
51

[図11]


71
72
73
74
75
76
77
60
4
69
2a
2
21
3a
31(311)
32(312)
40
33(313)
34(314)
5
11
601
602
35(315)
36(316)
603
37(317)
3
81
82
604
605
606
607
39
83
84
85
86
87
6
50
69
51

[図12]


10
60
4
69
2
21
3a
71
31(311)
72
32(312)
73
33(313)
74
34(313)
75
35(313)
76
36(313)
37(313)
5
2a
11
601
602
603
604
605
606
607
3
81
82
39
83
84
85
86
87
6
50
69
77
51

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/032097

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L25/07(2006.01)i, H01L23/14(2006.01)i, H01L25/18(2006.01)i, H02G3/16(2006.01)i, H05K1/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L25/07, H01L23/14, H01L25/18, H02G3/16, H05K1/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-60256 A (AUTONETWORKS TECHNOLOGIES, LTD.) 23 March 2017, entire text, all drawings & US 2019/0045635 A1, entire text, all drawings & WO 2017/047373 A1 & CN 108029216 A	1-8
A	JP 2015-138881 A (FURUKAWA ELECTRIC CO., LTD.) 30 July 2015, entire text, all drawings (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 29 October 2019 (29.10.2019)	Date of mailing of the international search report 12 November 2019 (12.11.2019)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/032097

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2017/104517 A1 (AUTONETWORKS TECHNOLOGIES, LTD.) 22 June 2017, entire text, all drawings & US 2018/0370463 A1, entire text, all drawings & CN 108432073 A	1-8

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１９／０３２０９７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L25/07(2006.01)i, H01L23/14(2006.01)i, H01L25/18(2006.01)i, H02G3/16(2006.01)i, H05K1/02(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L25/07, H01L23/14, H01L25/18, H02G3/16, H05K1/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2017-60256 A (株式会社オートネットワーク技術研究所) 2017.03.23, 全文,全図 & US 2019/0045635 A1,全文,全図 & WO 2017/047373 A1 & CN 108029216 A	1-8
A	JP 2015-138881 A (古河電気工業株式会社) 2015.07.30, 全文,全図 (ファミリーなし)	1-8

☑　Ｃ欄の続きにも文献が列挙されている。　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日 ２９．１０．２０１９	国際調査報告の発送日 １２．１１．２０１９
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｆ　１２１５ 庄司　一隆 電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2017/104517 A1 (株式会社オートネットワーク技術研究所) 2017.06.22, 全文,全図 & US 2018/0370463 A1,全文,全図 & CN 108432073 A	1-8