



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201916268 A

(43)公開日：中華民國 108 (2019) 年 04 月 16 日

(21)申請案號：106145487

(22)申請日：中華民國 106 (2017) 年 12 月 25 日

(51)Int. Cl. : H01L23/28 (2006.01)

H01L23/29 (2006.01)

H01L23/488 (2006.01)

H01L23/498 (2006.01)

(30)優先權：2017/09/30 美國

62/566,334

(71)申請人：財團法人工業技術研究院 (中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)

新竹縣竹東鎮中興路四段 195 號

創智智權管理顧問股份有限公司 (中華民國) INTELLECTUAL PROPERTY INNOVATION CORPORATION (TW)

新竹縣竹東鎮中興路四段 195 號 52 館 417 室

(72)發明人：游政煌 YU, CHENG-HUNG (TW)；王泰瑞 WANG, TAI-JUI (TW)；馮捷威 FENG, CHIEH-WEI (TW)；邱世冠 CHIU, SHIH-KUANG (TW)；楊明桓 YANG, MING-HUAN (TW)

(74)代理人：葉璟宗；卓俊傑

申請實體審查：有 申請專利範圍項數：25 項 圖式數：15 共 51 頁

(54)名稱

可撓性晶片封裝

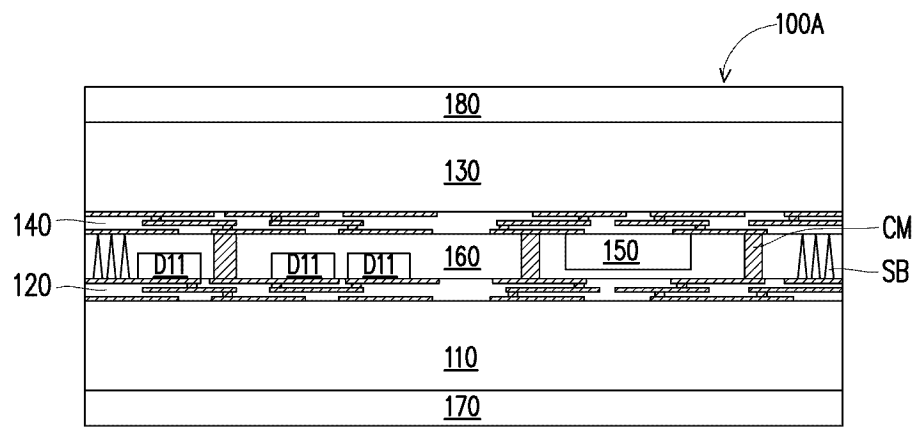
FLEXIBLE CHIP PACKAGE

(57)摘要

一種可撓性晶片封裝，其包括：第一可撓性基板；第一重佈線層，配置於所述第一可撓性基板上；第二可撓性基板；第二重佈線層，配置於所述第二可撓性基板上；半導體晶片，配置於所述第一重佈線層與所述第二重佈線層之間，其中所述半導體晶片電性連接至所述第一重佈線層及所述第二重佈線層至少其中一者；以及第一接合層，配置於所述第一重佈線層與所述第二重佈線層之間並且包覆所述半導體晶片，其中所述第一接合層、所述第一重佈線層及所述第二重佈線層位於所述第一可撓性基板與所述第二可撓性基板之間。

A flexible chip package, including: a first flexible substrate; a first redistribution layer disposed on the first flexible substrate; a second flexible substrate; a second redistribution layer disposed on the second flexible substrate; a semiconductor chip disposed between the first and second redistribution layers and electrically connected to at least one of the first and second redistribution layers; and a first bonding layer disposed between the first and second redistribution layers and encapsulating the semiconductor chip, wherein the first bonding layer, the first redistribution layer and the second redistribution layer are between the first flexible substrate and the second flexible substrate.

指定代表圖：



【圖1】

- 符號簡單說明：
- 100A . . . 可撓性晶片封裝
  - 110 . . . 第一可撓性基板
  - 120 . . . 第一重佈線層
  - 130 . . . 第二可撓性基板
  - 140 . . . 第二重佈線層
  - 150 . . . 半導體晶片
  - 160 . . . 第一接合層
  - 170 . . . 第一覆蓋層
  - 180 . . . 第二覆蓋層
  - CM . . . 導電材料
  - D11 . . . 第一元件
  - SB . . . 側向阻障元件

## 【發明說明書】

【中文發明名稱】可撓性晶片封裝

【英文發明名稱】FLEXIBLE CHIP PACKAGE

### 【技術領域】

【0001】 本發明是有關於一種晶片封裝，且特別是有關於一種可撓性晶片封裝。

### 【先前技術】

【0002】 隨著科技的進步，電子產品無不朝向輕量化與微型化的趨勢發展。以智慧型穿戴式電子裝置方面的應用為例，若所使用的多晶片封裝或系統級封裝具備可撓曲特性及/或耐衝擊特性將可確保封裝結構的可靠度，進而提升智慧型穿戴式電子裝置的使用壽命。據此，如何製造出可兼顧可靠度、可撓曲特性及耐衝擊特性的封裝結構，實為目前業界研發的重點。

### 【發明內容】

【0003】 本發明的實施例提供一種使用可撓性基板以對半導體晶片進行封裝的可撓性晶片封裝。

【0004】 依據本發明的一實施例，可撓性晶片封裝包括：第一可撓性基板；第一重佈線層，配置於所述第一可撓性基板上；第二可撓性基板；第二重佈線層，配置於所述第二可撓性基板上；半

導體晶片，配置於所述第一重佈線層與所述第二重佈線層之間，其中所述半導體晶片電性連接至所述第一重佈線層及所述第二重佈線層至少其中一者；以及第一接合層，配置於所述第一重佈線層與所述第二重佈線層之間並且包覆所述半導體晶片，其中所述第一接合層、所述第一重佈線層及所述第二重佈線層位於所述第一可撓性基板與所述第二可撓性基板之間。

【0005】 依據本發明的另一實施例，可撓性晶片封裝包括：第一可撓性基板；重佈線層，配置於所述第一可撓性基板上；第二可撓性基板；應力調整層，配置於所述第二可撓性基板上；半導體晶片，配置於所述重佈線層與所述應力調整層之間並且電性連接至所述重佈線層；以及接合層，配置於所述重佈線層與所述應力調整層之間並且包覆所述半導體晶片，其中所述接合層、所述重佈線層及所述應力調整層位於所述第一可撓性基板與所述第二可撓性基板之間。

【0006】 依據本發明的其他實施例，可撓性晶片封裝包括：第一可撓性基板；第一重佈線層，配置於所述第一可撓性基板上；第二可撓性基板；第二重佈線層，配置於所述第二可撓性基板上；半導體晶片，嵌於所述第一可撓性基板及所述第二可撓性基板至少其中一者內，其中所述半導體晶片電性連接至所述第一重佈線層及所述第二重佈線層至少其中一者；以及異方性接合層，配置於所述第一重佈線層與所述第二重佈線層之間，其中所述異方性接合層、所述第一重佈線層及所述第二重佈線層位於所述第一可

撓性基板與所述第二可撓性基板之間。

【0007】 依據本發明的其他實施例，可撓性晶片封裝包括：第一可撓性基板；第一重佈線層，配置於所述第一可撓性基板上；第二可撓性基板；第二重佈線層，配置於所述第二可撓性基板上；半導體晶片，配置於所述第一可撓性基板及所述第二可撓性基板至少其中一者上，其中所述半導體晶片透過貫穿所述第一可撓性基板及所述第二可撓性基板至少其中一者的導電材料而電性連接至所述第一重佈線層及所述第二重佈線層至少其中一者；以及異方性接合層，配置於所述第一重佈線層與所述第二重佈線層之間，其中所述異方性接合層、所述第一重佈線層及所述第二重佈線層位於所述第一可撓性基板與所述第二可撓性基板之間。

【0008】 為讓本發明能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### 【圖式簡單說明】

#### 【0009】

圖 1 是依照本發明之第一實施例的一種可撓性晶片封裝的示意圖。

圖 2 至圖 10 是依照本發明之第一實施例的其他型態的可撓性晶片封裝的示意圖。

圖 11 是依照本發明之第二實施例的一種可撓性晶片封裝的示意圖。

圖 12 是依照本發明之第三實施例的一種可撓性晶片封裝的示意圖。

圖 13 是依照本發明之第四實施例的一種可撓性晶片封裝的示意圖。

圖 14 是依照本發明之第五實施例的一種可撓性晶片封裝的示意圖。

圖 15 是依照本發明之第六實施例的一種可撓性晶片封裝的示意圖。

#### 【實施方式】

【0010】 本說明書以下的揭露內容提供不同的實施例或範例，以實施本發明各種不同實施例的不同特徵。而本說明書以下的揭露內容是敘述各個構件及其排列方式的特定範例，以求簡化說明。當然，這些特定的範例並非用以限定本發明。另外，本發明的說明中不同範例可能使用重複的參考符號及/或用字。這些重複符號或用字係為了簡化與清晰的目的，並非用以限定各個實施例及/或所述外觀結構的關係。再者，若是本說明書以下的揭露內容敘述了將第一特徵形成於第二特徵之上或上方，即表示其包含了所形成的上述第一特徵與上述第二特徵是直接接觸的實施例，亦包含了尚可將附加的特徵形成於上述第一特徵與上述第二特徵之間，而使上述第一特徵與上述第二特徵可能未直接接觸的實施例。所繪圖式中的元件尺寸係為說明方便而繪製，並非代表其實際之元

件尺寸比例。

【0011】 圖 1 是依照本發明之第一實施例的一種可撓性晶片封裝的示意圖。請參照圖 1，本實施例的可撓性晶片封裝 100A 包括第一可撓性基板 110、第一重佈線層 120、第二可撓性基板 130、第二重佈線層 140、半導體晶片 150 以及第一接合層 160。第一重佈線層 120 配置於第一可撓性基板 110 上，第二重佈線層 140 配置於第二可撓性基板 130 上，半導體晶片 150 配置於第一重佈線層 120 與第二重佈線層 140 之間，且半導體晶片 150 電性連接至第一重佈線層 120 及第二重佈線層 140 至少其中一者。第一接合層 160 配置於第一重佈線層 120 與第二重佈線層 140 之間並且包覆半導體晶片 150。第一接合層 160、第一重佈線層 120 及第二重佈線層 140 位於第一可撓性基板 110 與第二可撓性基板 130 之間。

【0012】 第一可撓性基板 110 可為高分子基板、薄玻璃基板、薄金屬基板等具有一定可撓曲特性的基板，其楊氏係數例如介於 0.001GPa 至 20GPa 之間。舉例而言，第一可撓性基板 110 之材質可包括聚醯亞胺 (polyimide, PI)、聚苯并噁唑纖維 (polybenzoxazole, PBO)、雙-苯環丁烷(bis-benzocyclobuten, BCB) 等。類似地，第二可撓性基板 130 可為高分子基板、薄玻璃基板、薄金屬基板等具有一定可撓曲特性的基板，其楊氏係數例如介於 0.001GPa 至 20GPa 之間。舉例而言，第二可撓性基板 130 之材質可包括聚醯亞胺 (polyimide, PI)、聚苯并噁唑纖維 (polybenzoxazole, PBO)、雙-苯環丁烷(bis-benzocyclobuten, BCB)

等。在一些實施例中，第一可撓性基板 110 及/或第二可撓性基板 130 可包括阻障層（未繪示）以阻擋水氣、氧氣等滲入封裝體中，亦或第一可撓性基板 110 及/或第二可撓性基板 130 本身即為具有阻水、氧功能的基板。

【0013】 如圖 1 所示，第一重佈線層 120 配置於第一可撓性基板 110 的內表面（即上表面）上，第二重佈線層 140 配置於第二可撓性基板 130 的內表面（即下表面）上，而第一可撓性基板 110 的內表面（即上表面）面對第二可撓性基板 130 的內表面（即下表面）。在一些實施例中，第一重佈線層 120 可藉由微影/蝕刻製程或其他適合的增層製程（**build-up process**）而製作於第一可撓性基板 110 的內表面上，同樣地，第二重佈線層 140 可藉由微影/蝕刻製程或其他適合的增層製程而製作於第二可撓性基板 130 的內表面上。此處，第一重佈線層 120 與第二重佈線層 140 中的線路層數可依據實際設計需求而適當地更動，本揭露不以圖式中所繪示者為限。

【0014】 在一些實施例中，配置於第一重佈線層 120 與第二重佈線層 140 之間的半導體晶片 150 可與第二重佈線層 140 接觸並且電性連接至第二重佈線層 140，且半導體晶片 150 與第一重佈線層 120 之間可藉由第一接合層 160 而彼此間隔。在此情況下，與半導體晶片 150 接觸的第二重佈線層 140 可具有排列間距較小的佈線以與半導體晶片 150 上的接墊相對應，而與半導體晶片 150 相間隔的第一重佈線層 120 可具有排列間距較大的佈線。在其他實施

例中，未繪示於圖中，配置於第一重佈線層 120 與第二重佈線層 140 之間的半導體晶片 150 可與第一重佈線層 120 接觸並且電性連接至第一重佈線層 120，且半導體晶片 150 與第二重佈線層 140 之間可藉由第一接合層 160 而彼此間隔。在此情況下，與半導體晶片 150 接觸的第一重佈線層 120 可具有排列間距較小的佈線以與半導體晶片 150 上的接墊相對應，而與半導體晶片 150 相間隔的第二重佈線層 140 則可具有排列間距較大的佈線。

【0015】如圖 1 所示，第一重佈線層 120 與第二重佈線層 140 藉由第一接合層 160 而彼此接合，且第一接合層 160 包覆住半導體晶片 150，以使半導體晶片 150 能夠被固定於第一重佈線層 120 與第二重佈線層 140 之間。舉例而言，半導體晶片 150 可為中央處理器晶片 (CPU chip)、射頻晶片 (RF chip)、系統級晶片 (System On Chip, SOC) 等。

【0016】在一些實施例中，第一接合層 160 的材質例如為壓克力樹脂、環氧樹脂或其他的可撓性接合材料，且第一接合層 160 的楊氏係數例如介於 0.001GPa 至 20GPa 之間。在其他實施例中，第一接合層 160 的材質例如為壓克力樹脂、環氧樹脂或其他的可撓性接合材料，且第一接合層 160 楊氏係數例如介於 0.01GPa 至 20GPa 之間。在另一實施例中，第一接合層 160 的材質例如為壓克力樹脂、環氧樹脂或其他的可撓性接合材料，且第一接合層 160 楊氏係數例如介於 0.1GPa 至 20GPa 之間。

【0017】在一些實施例中，除了半導體晶片 150 之外，第一接合

層 160 可進一步包覆配置於第一重佈線層 120 與第二重佈線層 140 之間的至少一個第一元件 D11（圖中繪示出 3 個）。如圖 1 所示，第一元件 D11 與第一重佈線層 120 接觸並且電性連接至第一重佈線層 120，且第一元件 D11 與第二重佈線層 140 之間可藉由第一接合層 160 而彼此間隔。在其他實施例中，未繪示於圖中，第一元件 D11 可與第二重佈線層 140 接觸並且電性連接至第二重佈線層 140，且第一元件 D11 與第一重佈線層 120 之間可藉由第一接合層 160 而彼此間隔。在一些實施例中，第一元件 D11 包括感測器、被動元件（例如，電阻器、電容器、電感器等）、靜電放電防護元件（例如，電晶體、二極體等）、電池、天線、連接器或前述元件之組合。舉例而言，第一元件 D11 可包括多個相同或不同型態的感測器、多個相同或不同型態的被動元件、感測器與被動元件之組合或其他組合。

【0018】如圖 1 所示，本實施例的可撓性晶片封裝 100A 可進一步包括被第一接合層 160 所包覆的多個導電材料 CM，其中導電材料 CM 分別貫穿第一接合層 160 以電性連接至第一重佈線層 120 與第二重佈線層 140。舉例而言，半導體晶片 150 可藉由第二重佈線層 140 以及導電材料 CM 而電性連接至第一重佈線層 120，而第一元件 D11 可藉由第一重佈線層 120 以及導電材料 CM 而電性連接至第二重佈線層 140。在一些實施例中，半導體晶片 150 與第一元件 D11 之間可藉由第二重佈線層 140、導電材料 CM 及第一重佈線層 120 而彼此電性連接。舉例而言，前述之導電材料 CM 可為錫球、

銅柱、異方性導電膠(Anisotropic Conductive Paste；ACP)或其他一種或多種導電材料之組合。

【0019】 如圖 1 所示，為了進一步增進可撓性晶片封裝 100A 之可靠度，本實施例的可撓性晶片封裝 100A 可進一步包括側向阻障元件 SB，其中側向阻障元件 SW 位於第一重佈線層 120 與第二重佈線層 140 之間，而側向阻障元件 SW 可嵌於第一接合層 160 中以環繞半導體晶片 150。舉例而言，側向阻障元件 SB 的數量可為一個或多個，而側向阻障元件 SB 可具有環繞半導體晶片 150 的連續圖案或具有環繞半導體晶片 150 的不連續圖案。然而，在其他實施例中，側向阻障元件 SB 垂直於第一可撓性基板 110 的截面例如是三角形、梯形、矩形、多邊形、圓形、橢圓形或為具有其他形狀之圖案，本揭露不限於此。

【0020】 如圖 1 所示，本實施例的可撓性晶片封裝 100A 可進一步包括第一覆蓋層 170 及/或第二覆蓋層 180，其中第一覆蓋層 170 配置於第一可撓性基板 110 上，第一覆蓋層 170 及第一重佈線層 120 分別位於第一可撓性基板 110 的兩對側，而第二覆蓋層 180 配置於第二可撓性基板 130 上，且第二覆蓋層 180 及第二重佈線層 140 分別位於第二可撓性基板 130 的兩對側。在本實施例中，第一覆蓋層 170 與第二覆蓋層 180 例如為具備可撓曲特性的耐衝擊及/或抗刮材料層，第一覆蓋層 170 覆蓋於第一可撓性基板 110 的外表面（即下表面）上，而第二覆蓋層 180 覆蓋於第二可撓性基板 130 的外表面（即上表面）上。第一覆蓋層 170 與第二覆蓋層 180

可為單層或多層複合結構，多層複合結構例如包括抗衝擊結構以及抗刮結構，第一覆蓋層 170 的抗衝擊結構可設置於第一可撓性基板 110 與抗刮結構之間，而第二覆蓋層 180 的抗衝擊結構可設置於第二可撓性基板 130 與抗刮結構之間。此外，第一覆蓋層 170 與第二覆蓋層 180 可為相同結構亦可為不同結構。

【0021】圖 2 至圖 10 是依照本發明之第一實施例的其他型態的可撓性晶片封裝的示意圖。請參照圖 2，可撓性晶片封裝 100B 與可撓性晶片封裝 100A 類似，故以下僅針對結構差異處進行詳細的描述。如圖 2 所示，可撓性晶片封裝 100B 可進一步包括至少一個第二元件 D2 以及第二接合層 190，其中第二元件 D2 配置於第二覆蓋層 180 與第二可撓性基板 130 之間，而第二接合層 190 配置於第二覆蓋層 180 與第二可撓性基板 130 之間以包覆第二元件 D2，且第二元件 D2 與第二覆蓋層 180 之間可藉由第二接合層 190 而彼此間隔。此外，第二元件 D2 與導電材料 132 以及第二可撓性基板 130 接觸，且第二元件 D2 可藉由貫穿第二可撓性基板 130 的導電材料 132 而電性連接至第二重佈線層 140。

【0022】第二元件 D2 包括感測器、被動元件（例如，電阻器、電容器、電感器等）、靜電放電防護元件（例如，電晶體、二極體等）、電池、天線、連接器或前述元件之組合。舉例而言，第二元件 D2 可包括多個相同或不同型態的感測器、多個相同或不同型態的被動元件、感測器與被動元件之組合或其他組合。

【0023】第二接合層 190 的材質例如為壓克力樹脂、環氧樹脂或

其他的可撓性接合材料，且第二接合層 190 的楊氏係數例如介於 0.001GPa 至 20GPa 之間。在其他實施例中，第二接合層 190 的材質例如為壓克力樹脂、環氧樹脂或其他的可撓性接合材料，且第二接合層 190 楊氏係數例如介於 0.01GPa 至 20GPa 之間。在另一實施例中，第二接合層 190 的材質例如為壓克力樹脂、環氧樹脂或其他的可撓性接合材料，且第二接合層 190 楊氏係數例如介於 0.1GPa 至 20GPa 之間。

【0024】如圖 2 所示，配置於第一重佈線層 120 與第二重佈線層 140 之間的半導體晶片 150 可與第一重佈線層 120 接觸並且電性連接至第一重佈線層 120，且半導體晶片 150 與第二重佈線層 140 之間可藉由第一接合層 160 而彼此間隔。在此情況下，與半導體晶片 150 接觸的第一重佈線層 120 可具有排列間距較小的佈線以與半導體晶片 150 上的接墊相對應，而與半導體晶片 150 相間隔的第二重佈線層 140 則可具有排列間距較大的佈線。此外，半導體晶片 150 與第二元件 D2 之間可藉由第一重佈線層 120、導電材料 CM、第二重佈線層 140 及導電材料 132 而彼此電性連接。類似地，半導體晶片 150 與第一元件 D11 之間可藉由第一重佈線層 120 而彼此電性連接。

【0025】請參照圖 3，可撓性晶片封裝 100C 與可撓性晶片封裝 100A 類似，故以下僅針對結構差異處進行詳細的描述。如圖 3 所示，可撓性晶片封裝 100C 可進一步包括多個支撐柱體 SP，其中支撐柱體 SP 貫穿第一接合層 160，且支撐柱體 SP 與第一重佈線

層 120 及第二重佈線層 140 接觸，以提供第一重佈線層 120 及第二重佈線層 140 之間的結構支撐。舉例而言，支撐柱體 SP 的材料包括介電材料或其他具有結構支撐能力的材料。在可撓性晶片封裝 100C 中，支撐柱體 SP 的分佈有助於維持第一接合層 160 的厚度。

【0026】請參照圖 4，可撓性晶片封裝 100D 與可撓性晶片封裝 100C 類似，故以下僅針對結構差異處進行詳細的描述。如圖 4 所示，可撓性晶片封裝 100D 可進一步包括配置於第一重佈線層 120 與第二重佈線層 140 之間的至少一個第一元件 D12(圖中繪示出 2 個)。第一元件 D12 與第二重佈線層 140 接觸並且電性連接至第二重佈線層 140，且第一元件 D12 與第一重佈線層 120 之間可藉由第一接合層 160 而彼此間隔。舉例而言，第一元件 D12 包括感測器、被動元件(例如，電阻器、電容器、電感器等)、靜電放電防護元件(例如，電晶體、二極體等)、電池、天線、連接器或前述元件之組合。舉例而言，第一元件 D12 可包括一個或多個感測器、一個或多個被動元件、一個或多個電池、被動元件與電池之組合或其他組合。

【0027】請參照圖 5，可撓性晶片封裝 100E 與可撓性晶片封裝 100D 類似，故以下僅針對結構差異處進行詳細的描述。如圖 4 與圖 5 所示，可撓性晶片封裝 100E 省略了可撓性晶片封裝 100D 中第一元件 D11 的設置。

【0028】請參照圖 6，可撓性晶片封裝 100F 與可撓性晶片封裝

100D 類似，故以下僅針對結構差異處進行詳細的描述。如圖 6 所示，可撓性晶片封裝 100F 可進一步包括至少一第三元件 D31（圖中繪示出 1 個），其中第三元件 D31 嵌於第一重佈線層 120 內，且第三元件 D31 與第一重佈線層 120 內的佈線電性連接。意即，第三元件 D31 被整合於第一重佈線層 120 的製作中。此外，半導體晶片 150 與第三元件 D31 之間可藉由第一重佈線層 120、導電材料 CM 及第二重佈線層 140 而彼此電性連接。在其他未繪示實施例中，亦可省略第一元件 D11 或第一元件 D12。

**【0029】** 請參照圖 7，可撓性晶片封裝 100G 與可撓性晶片封裝 100D 類似，故以下僅針對結構差異處進行詳細的描述。如圖 7 所示，可撓性晶片封裝 100G 可進一步包括至少一第三元件 D32（圖中繪示出 1 個），其中第三元件 D32 嵌於第二重佈線層 140 內，且第三元件 D32 與第二重佈線層 140 內的佈線電性連接。意即，第三元件 D32 被整合於第二重佈線層 140 的製作中。此外，半導體晶片 150 與第三元件 D32 之間可藉由第二重佈線層 140 而彼此電性連接。在其他未繪示實施例中，亦可省略第一元件 D11 或第一元件 D12。

**【0030】** 請參照圖 8，可撓性晶片封裝 100H 與可撓性晶片封裝 100D 類似，故以下僅針對結構差異處進行詳細的描述。如圖 8 所示，可撓性晶片封裝 100H 可進一步包括第三元件 D31（圖中繪示出 1 個）以及至少一第三元件 D32（圖中繪示出 1 個），其中第三元件 D31 嵌於第一重佈線層 120 內，且第三元件 D31 與第一重佈

線層 120 內的佈線電性連接，而第三元件 D32 嵌於第二重佈線層 140 內，且第三元件 D32 與第二重佈線層 140 內的佈線電性連接。意即，第三元件 D31 被整合於第一重佈線層 120 的製作中，而第三元件 D32 被整合於第二重佈線層 140 的製作中。此外，半導體晶片 150 與第三元件 D31 之間可藉由第一重佈線層 120、導電材料 CM 及第二重佈線層 140 而彼此電性連接，而半導體晶片 150 與第三元件 D32 之間可藉由第二重佈線層 140 而彼此電性連接。

【0031】請參照圖 9，可撓性晶片封裝 100I 與可撓性晶片封裝 100H 類似，故以下僅針對結構差異處進行詳細的描述。如圖 8 與圖 9 所示，可撓性晶片封裝 100I 省略了可撓性晶片封裝 100H 中第一元件 D12 的設置。

【0032】請參照圖 10，可撓性晶片封裝 100J 與可撓性晶片封裝 100H 類似，故以下僅針對結構差異處進行詳細的描述。如圖 8 與圖 10 所示，可撓性晶片封裝 100J 省略了可撓性晶片封裝 100H 中第一元件 D11 的設置。而在其他實施例中，圖 4 至圖 10 中所繪示的可撓性晶片封裝 100D 至 100J 可省略支撐柱體 SP 的設置。換言之，可撓性晶片封裝 100D 至 100J 中的導電材料 CM 除了具有電性連接的功能之外，也同時具有維持第一接合層 160 厚度的功能。

【0033】圖 11 是依照本發明之第二實施例的一種可撓性晶片封裝的示意圖。請參照圖 1 與圖 11，可撓性晶片封裝 100K 與可撓性晶片封裝 100A 類似，故以下僅針對結構差異處進行詳細的描述。如圖 1 與圖 11 所示，可撓性晶片封裝 100K 省略了可撓性晶片封

裝 100A 中第二重佈線層 140 以及導電材料 CM 的設置，並且在第二可撓性基板 130 與第一接合層 160 之間設置了應力調整層 140A，且可撓性晶片封裝 100K 進一步包括多個支撐柱體 SP，其中支撐柱體 SP 貫穿第一接合層 160，且支撐柱體 SP 與第一重佈線層 120 及應力調整層 140A 接觸，以提供第一重佈線層 120 及應力調整層 140A 之間的結構支撐。配置於第一重佈線層 120 與應力調整層 140A 之間的半導體晶片 150 可與第一重佈線層 120 接觸並且電性連接至第一重佈線層 120，且半導體晶片 150 與應力調整層 140A 之間可藉由第一接合層 160 而彼此間隔。在此情況下，與半導體晶片 150 接觸的部分第一重佈線層 120 可具有排列間距較小的佈線以與半導體晶片 150 上的接墊相對應，而與第一元件 D11 接觸的部分第一重佈線層 120 可具有排列間距較大的佈線。

【0034】 在一些實施例中，半導體晶片 150 與第一元件 D11 之間以及半導體晶片 150 與第三元件 D31 之間可藉由第一重佈線層 120 而彼此電性連接。此外，支撐柱體 SP 可與第一重佈線層 120 及應力調整層 140A 接觸，以提供第一重佈線層 120 及應力調整層 140A 之間的結構支撐。舉例而言，應力調整層 140A 的材料可包括金屬、聚醯亞胺 (PI)、樹脂材料；氧化矽 ( $\text{SiO}_x$ )、氮化矽 ( $\text{SiN}_x$ )、氮氧化矽 ( $\text{SiN}_x\text{O}_y$ ) 或前述材料之組合。在一些實施例中，前述的應力調整層 140A 可為單層結構或是多層結構，且透過應力調整層 140A 的材料選擇及厚度設計可讓應力調整層 140A 在可撓性晶片封裝 100K 中提供適當的抗衡應力，以有效降低可撓性晶片封裝

100K 中應力不平衡的現象，進而提升可撓性晶片封裝 100K 的耐撓曲能力。

【0035】 如圖 11 所示，本實施例的可撓性晶片封裝 100K 可進一步包括第一覆蓋層 170 及/或第二覆蓋層 180，其中第一覆蓋層 170 配置於第一可撓性基板 110 上，第一覆蓋層 170 及第一重佈線層 120 分別位於第一可撓性基板 110 的兩對側，而第二覆蓋層 180 配置於第二可撓性基板 130 上，且第二覆蓋層 180 及應力調整層 140A 分別位於第二可撓性基板 130 的兩對側。在本實施例中，第一覆蓋層 170 與第二覆蓋層 180 例如為具備可撓曲特性的耐衝擊材料層，第一覆蓋層 170 覆蓋於第一可撓性基板 110 的外表面（即下表面）上，而第二覆蓋層 180 覆蓋於第二可撓性基板 130 的外表面（即上表面）上。第一覆蓋層 170 與第二覆蓋層 180 可為單層或多層複合結構，多層複合結構例如包括抗衝擊結構以及抗刮結構，第一覆蓋層 170 的抗衝擊結構設置於第一可撓性基板 110 與抗刮結構之間，第二覆蓋層 180 的抗衝擊結構設置於第二可撓性基板 130 與抗刮結構之間。第一覆蓋層 170 與第二覆蓋層 180 可為相同結構亦可為不同結構。

【0036】 在圖 11 所示實施例中，第一覆蓋層 170 可進一步包括一阻障層(未繪示)，第二覆蓋層 180 可進一步包括一阻障層(未繪示)，以阻擋水氣、氧氣等滲入封裝體中。在第一可撓性基板 110 與第一覆蓋層 170 之間及/或第二可撓性基板 130 與第二覆蓋層 180 之間可選擇性的設置有接合層(未繪示)，使第一可撓性基板

110 與第一覆蓋層 170 彼此接合，及/或使第二可撓性基板 130 與第二覆蓋層 180 彼此接合。接合層的材質例如為壓克力樹脂、環氧樹脂或其他的可撓性接合材料。

【0037】圖 12 是依照本發明之第三實施例的一種可撓性晶片封裝的示意圖。請參照圖 12，本實施例的可撓性晶片封裝 100L 包括第一可撓性基板 110、第一重佈線層 120、第二可撓性基板 130、第二重佈線層 140、半導體晶片 150 以及異方性接合層 160A。第一重佈線層 120 配置於第一可撓性基板 110 的內表面（即上表面）上，而第二重佈線層 140 配置於第二可撓性基板 130 的內表面（即下表面）上。半導體晶片 150 嵌於第一可撓性基板 110 及第二可撓性基板 130 至少其中一者內，且半導體晶片 150 電性連接至第一重佈線層 120 及第二重佈線層 140 至少其中一者，異方性接合層 160A 配置於第一重佈線層 120 與第二重佈線層 140 之間，其中異方性接合層 160A、第一重佈線層 120 及第二重佈線層 140 位於第一可撓性基板 110 與第二可撓性基板 130 之間。

【0038】承上述，可撓性晶片封裝 100L 中的第一可撓性基板 110、第一重佈線層 120、第二可撓性基板 130、第二重佈線層 140、半導體晶片 150 與可撓性晶片封裝 100A（繪示於圖 1 中）中類似，故於此不再重述。以下將僅針對差異部分進行描述。

【0039】在可撓性晶片封裝 100L 中，半導體晶片 150 可嵌於第二可撓性基板 130 的凹槽之中，並且電性連接至位於第二可撓性基板 130 之下表面上的第二重佈線層 140。換言之，第二重佈線層

140 可覆蓋住第二可撓性基板 130 的下表面以及半導體晶片 150 的主動表面，並且與半導體晶片 150 電性連接。如圖 12 所示，半導體晶片 150 被第二可撓性基板 130 所覆蓋。在此情況下，與半導體晶片 150 接觸的第二重佈線層 140 可具有排列間距較小的佈線以與半導體晶片 150 上的接墊相對應，而與半導體晶片 150 相間隔的第一重佈線層 120 可具有排列間距較大的佈線。

【0040】 在其他實施例中，未繪示於圖式中，半導體晶片 150 亦可嵌於第一可撓性基板 110 的凹槽之中，並且電性連接至位於第一可撓性基板 110 之上表面上的第一重佈線層 120。換言之，第一重佈線層 120 可覆蓋住第一可撓性基板 110 的上表面以及半導體晶片 150 的主動表面，並且與半導體晶片 150 電性連接。意即，半導體晶片 150 被第一可撓性基板 110 所覆蓋。在此情況下，與半導體晶片 150 接觸的第一重佈線層 120 可具有排列間距較小的佈線以與半導體晶片 150 上的接墊相對應，而與半導體晶片 150 相間隔的第二重佈線層 140 則可具有排列間距較大的佈線。

【0041】 在一些實施例中，第一重佈線層 120 與第二重佈線層 140 分別具有相對應的突起部分 P，且第一重佈線層 120 與第二重佈線層 140 的突起部分 P 可藉由異方性接合層 160A 彼此對應接合，以使第一重佈線層 120 與第二重佈線層 140 在局部區域可藉由異方性接合層 160A 彼此電性連接。舉例而言，異方性接合層 160A 可為異方性導電層，諸如異方性導電膜（Anisotropic Conductive Film，ACF）或異方性導電膠（Anisotropic Conductive Paste，ACP）。

【0042】 在一些實施例中，可撓性晶片封裝 100L 可進一步包括至少一個元件 D（圖 12 中繪示出 5 個元件），而這些元件 D 可嵌於第一可撓性基板 110 以及第二可撓性基板 130 至少其中一者內。如圖 12 所示，元件 D 可嵌於第一可撓性基板 110 及第二可撓性基板 130 之中，且元件 D 包括感測器、被動元件（例如，電阻器、電容器、電感器等）、靜電放電防護元件（例如，電晶體、二極體等）、電池、天線、連接器或前述元件之組合。舉例而言，元件 D 可包括多個相同或不同型態的感測器、多個相同或不同型態的被動元件、感測器與被動元件之組合或其他組合。

【0043】 如圖 12 所示，本實施例的可撓性晶片封裝 100L 可進一步包括第一覆蓋層 170 及/或第二覆蓋層 180，其中第一覆蓋層 170 配置於第一可撓性基板 110 上，第一覆蓋層 170 及第一重佈線層 120 分別位於第一可撓性基板 110 的兩對側，而第二覆蓋層 180 配置於第二可撓性基板 130 上，且第二覆蓋層 180 及第二重佈線層 140 分別位於第二可撓性基板 130 的兩對側。在本實施例中，第一覆蓋層 170 與第二覆蓋層 180 例如為具備可撓曲特性的耐衝擊材料層，第一覆蓋層 170 覆蓋於第一可撓性基板 110 的外表面（即下表面）上，而第二覆蓋層 180 覆蓋於第二可撓性基板 130 的外表面（即上表面）上。第一覆蓋層 170 與第二覆蓋層 180 可為單層或多層複合結構，多層複合結構例如包括抗衝擊結構以及抗刮結構，第一覆蓋層 170 的抗衝擊結構可設置於第一可撓性基板 110 與抗刮結構之間，而第二覆蓋層 180 的抗衝擊結構可設置於第二

可撓性基板 130 與抗刮結構之間。此外，第一覆蓋層 170 與第二覆蓋層 180 可為相同結構亦可為不同結構。

【0044】 在圖 12 所示實施例中，第一覆蓋層 170 可進一步包括一阻障層(未繪示)，第二覆蓋層 180 可進一步包括一阻障層(未繪示)，以阻擋水氣、氧氣等滲入封裝體中。在第一可撓性基板 110 與第一覆蓋層 170 之間及/或第二可撓性基板 130 與第二覆蓋層 180 之間可選擇性的設置有接合層(未繪示)，使第一可撓性基板 110 與第一覆蓋層 170 彼此接合，及/或使第二可撓性基板 130 與第二覆蓋層 180 彼此接合。接合層的材質例如為壓克力樹脂、環氧樹脂或其他的可撓性接合材料。

【0045】 圖 13 是依照本發明之第四實施例的一種可撓性晶片封裝的示意圖。請參照圖 12 與圖 13，本實施例的可撓性晶片封裝 100M 與可撓性晶片封裝 100L 類似，故以下僅針對結構差異處進行詳細的描述。如圖 12 與圖 13 所示，可撓性晶片封裝 100M 省略了可撓性晶片封裝 100L 中第一覆蓋層 170 及第二覆蓋層 180 的設置。此外，在可撓性晶片封裝 100M 中，第一可撓性基板 110 具有貫孔 TH1，而第二可撓性基板 130 具有貫孔 TH2，半導體晶片 150 以及元件 D 可嵌於第一可撓性基板 110 及第二可撓性基板 130 之貫孔 TH1 及 TH2 內，且半導體晶片 150 藉由前述的貫孔 TH1 及 TH2 而被暴露。在其他實施例中，貫孔可以僅形成於第一可撓性基板 110 或第二可撓性基板 130 之中。

【0046】 圖 14 是依照本發明之第五實施例的一種可撓性晶片封裝

的示意圖。請參照圖 13 與圖 14，本實施例的可撓性晶片封裝 100N 與可撓性晶片封裝 100M 類似，故以下僅針對結構差異處進行詳細的描述。如圖 13 與圖 14 所示，在可撓性晶片封裝 100N 中，半導體晶片 150 配置於第一可撓性基板 110 及第二可撓性基板 130 至少其中一者上，其中部分配置在第一可撓性基板 110 上的元件 D 可透過貫穿第一可撓性基板 110 的導電材料 112 而電性連接至第一重佈線層 120，而半導體晶片 150 以及部分配置在第二可撓性基板 130 上的元件 D 可透過貫穿第二可撓性基板 130 的導電材料 132 而電性連接至第二重佈線層 140。

【0047】 如圖 14 所示，本實施例的可撓性晶片封裝 100N 可進一步包括第一覆蓋層 170 及/或第二覆蓋層 180，其中第一覆蓋層 170 配置於第一可撓性基板 110 的下表面上，以覆蓋住部分配置在第一可撓性基板 110 上的元件 D，第一覆蓋層 170 及第一重佈線層 120 分別位於第一可撓性基板 110 的兩對側，而第二覆蓋層 180 配置於第二可撓性基板 130 的上表面上，以覆蓋住半導體晶片 150 以及部分配置在第二可撓性基板 130 上的元件 D，且第二覆蓋層 180 及第二重佈線層 140 分別位於第二可撓性基板 130 的兩對側。在本實施例中，第一覆蓋層 170 與第二覆蓋層 180 例如為具備可撓曲特性的耐衝擊材料層，第一覆蓋層 170 覆蓋於第一可撓性基板 110 的外表面（即下表面）上，而第二覆蓋層 180 覆蓋於第二可撓性基板 130 的外表面（即上表面）上。

【0048】 圖 15 是依照本發明之第六實施例的一種可撓性晶片封裝

的示意圖。請參照圖 15，本實施例的可撓性晶片封裝 1000 包括第一可撓性基板 110、第一重佈線層 120、第二可撓性基板 130、第二重佈線層 140、半導體晶片 150、第一接合層 160 以及第三元件 D31。第一重佈線層 120 配置於第一可撓性基板 110 上，第二重佈線層 140 配置於第二可撓性基板 130 上，半導體晶片 150 配置於第一重佈線層 120 與第二重佈線層 140 之間，且半導體晶片 150 電性連接至第一重佈線層 120 及第二重佈線層 140 至少其中之一者。雖圖 15 中繪示的半導體晶片 150 是電性連接至第一重佈線層 120，然本實施例不以此為限。第一接合層 160 配置於第一重佈線層 120 與第二重佈線層 140 之間並且包覆半導體晶片 150。第一接合層 160、第一重佈線層 120 及第二重佈線層 140 位於第一可撓性基板 110 與第二可撓性基板 130 之間。在一些實施例中，第三元件 D31 嵌於第一重佈線層 120 內，且第三元件 D31 藉由第一重佈線層 120 內的佈線而與半導體晶片 150 電性連接。在其他實施例中，半導體晶片 150 可配置在第二重佈線層 140 上並且電性連接至第二重佈線層 140，此時，第三元件 D31 可嵌於第二重佈線層 140 內，且第三元件 D31 藉由第二重佈線層 140 內的佈線而與半導體晶片 150 電性連接。此外，第三元件 D31 例如為靜電放電防護元件(例如，電晶體、二極體等)，且第三元件 D31 例如是鄰近於半導體晶片 150 的接點而設置，可用以避免靜電放電現象對於半導體晶片 150 造成損害。

**【0049】** 在一些實施例中，第一可撓性基板 110 可為高分子基板、

薄玻璃基板、薄金屬基板等具有一定可撓曲特性的基板，其楊氏係數例如介於 0.001GPa 至 20GPa 之間。舉例而言，第一可撓性基板 110 之材質可包括聚醯亞胺(polyimide，PI)、聚苯并噁唑纖維(polybenzoxazole，PBO)、雙-苯環丁烷(bis-benzocyclobuten，BCB)等。類似地，第二可撓性基板 130 可為高分子基板、薄玻璃基板、薄金屬基板等具有一定可撓曲特性的基板，其楊氏係數例如介於 0.001GPa 至 20GPa 之間。舉例而言，第二可撓性基板 130 之材質可包括聚醯亞胺(polyimide，PI)、聚苯并噁唑纖維(polybenzoxazole，PBO)、雙-苯環丁烷(bis-benzocyclobuten，BCB)等。在一些實施例中，第一可撓性基板 110 及/或第二可撓性基板 130 可包括阻障層（未繪示）以阻擋水氣、氧氣等滲入封裝體中，亦或第一可撓性基板 110 及/或第二可撓性基板 130 本身即為具有阻水、氧功能的基板。

【0050】如圖 15 所示，第一重佈線層 120 配置於第一可撓性基板 110 的內表面（即上表面）上，第二重佈線層 140 配置於第二可撓性基板 130 的內表面（即下表面）上，而第一可撓性基板 110 的內表面（即上表面）面對第二可撓性基板 130 的內表面（即下表面）。在一些實施例中，第一重佈線層 120 可藉由微影/蝕刻製程或其他適合的增層製程（build-up process）而製作於第一可撓性基板 110 的內表面上，同樣地，第二重佈線層 140 可藉由微影/蝕刻製程或其他適合的增層製程而製作於第二可撓性基板 130 的內表面上。此處，第一重佈線層 120 與第二重佈線層 140 中的線路層數

可依據實際設計需求而適當地更動，本揭露不以圖式中所繪示者為限。

【0051】 在一些實施例中，配置於第一重佈線層 120 與第二重佈線層 140 之間的半導體晶片 150 可與第一重佈線層 120 接觸並且電性連接至第一重佈線層 120，且半導體晶片 150 與第二重佈線層 140 之間可藉由第一接合層 160 而彼此間隔。在此情況下，與半導體晶片 150 接觸的第一重佈線層 120 可具有排列間距較小的佈線以與半導體晶片 150 上的接墊相對應，而與半導體晶片 150 相間隔的第二重佈線層 140 可具有排列間距較大的佈線。

【0052】 如圖 15 所示，第一重佈線層 120 與第二重佈線層 140 藉由第一接合層 160 而彼此接合，且第一接合層 160 包覆住半導體晶片 150，以使半導體晶片 150 能夠被固定於第一重佈線層 120 與第二重佈線層 140 之間。舉例而言，半導體晶片 150 可為中央處理器晶片 (CPU chip)、射頻晶片 (RF chip)、系統級晶片 (System On Chip, SOC) 等。在一些實施例中，第一接合層 160 的材質例如為壓克力樹脂、環氧樹脂或其他的可撓性接合材料，且第一接合層 160 的楊氏係數例如介於 0.001GPa 至 20GPa 之間。在其他實施例中，第一接合層 160 的材質例如為壓克力樹脂、環氧樹脂或其他的可撓性接合材料，且第一接合層 160 楊氏係數例如介於 0.01GPa 至 20GPa 之間。在另一實施例中，第一接合層 160 的材質例如為壓克力樹脂、環氧樹脂或其他的可撓性接合材料，且第一接合層 160 楊氏係數例如介於 0.1GPa 至 20GPa 之間。

【0053】 如圖 15 所示，本實施例的可撓性晶片封裝 100O 可進一步包括被第一接合層 160 所包覆的多個導電材料 CM，其中導電材料 CM 分別貫穿第一接合層 160 以電性連接至第一重佈線層 120 與第二重佈線層 140。舉例而言，半導體晶片 150 可藉由第一重佈線層 120 以及導電材料 CM 而電性連接至第二重佈線層 140。舉例而言，前述之導電材料 CM 可為錫球、銅柱、異方性導電膠 (Anisotropic Conductive Paste；ACP) 或其他一種或多種導電材料之組合。

【0054】 如圖 15 所示，為了進一步增進可撓性晶片封裝 100O 之可靠度，本實施例的可撓性晶片封裝 100O 可進一步包括側向阻障元件 SB，其中側向阻障元件 SB 位於第一重佈線層 120 與第二重佈線層 140 之間，而側向阻障元件 SB 可嵌於第一接合層 160 中以環繞半導體晶片 150。舉例而言，側向阻障元件 SB 的數量可為一個或多個，而側向阻障元件 SB 可具有環繞半導體晶片 150 的連續圖案或具有環繞半導體晶片 150 的不連續圖案。然而，在其他實施例中，側向阻障元件 SB 垂直於第一可撓性基板 110 的截面例如是三角形、梯形、矩形、多邊形、圓形、橢圓形或為具有其他形狀之圖案，本揭露不限於此。

【0055】 如圖 15 所示，本實施例的可撓性晶片封裝 100O 可進一步包括第一覆蓋層 170 及/或第二覆蓋層 180，其中第一覆蓋層 170 配置於第一可撓性基板 110 上，第一覆蓋層 170 及第一重佈線層 120 分別位於第一可撓性基板 110 的兩對側，而第二覆蓋層 180 配

置於第二可撓性基板 130 上，且第二覆蓋層 180 及第二重佈線層 140 分別位於第二可撓性基板 130 的兩對側。在本實施例中，第一覆蓋層 170 與第二覆蓋層 180 例如為具備可撓曲特性的耐衝擊及/或抗刮材料層，第一覆蓋層 170 覆蓋於第一可撓性基板 110 的外表面（即下表面）上，而第二覆蓋層 180 覆蓋於第二可撓性基板 130 的外表面（即上表面）上。第一覆蓋層 170 與第二覆蓋層 180 可為單層或多層複合結構，多層複合結構例如包括抗衝擊結構以及抗刮結構，第一覆蓋層 170 的抗衝擊結構可設置於第一可撓性基板 110 與抗刮結構之間，而第二覆蓋層 180 的抗衝擊結構可設置於第二可撓性基板 130 與抗刮結構之間。此外，第一覆蓋層 170 與第二覆蓋層 180 可為相同結構亦可為不同結構。

【0056】 綜上所述，本發明上述實施例提供了多種可撓性晶片封裝，其可具有可撓曲特性及/或耐衝擊特性，有利於可靠度之提升。

【0057】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

## 【符號說明】

### 【0058】

100A~100O：可撓性晶片封裝

110：第一可撓性基板

112：導電材料

120：第一重佈線層

130：第二可撓性基板

132：導電材料

140：第二重佈線層

140A：應力調整層

150：半導體晶片

160：第一接合層

160A：異方性接合層

170：第一覆蓋層

180：第二覆蓋層

190：第二接合層

CM：導電材料

D：元件

D11、D12：第一元件

D2：第二元件

D31、D32：第三元件

P：突起部分

SB：側向阻障元件

SP：支撐柱體

TH1、TH2：貫孔



201916268

**【發明摘要】****【中文發明名稱】** 可撓性晶片封裝**【英文發明名稱】** FLEXIBLE CHIP PACKAGE

**【中文】** 一種可撓性晶片封裝，其包括：第一可撓性基板；第一重佈線層，配置於所述第一可撓性基板上；第二可撓性基板；第二重佈線層，配置於所述第二可撓性基板上；半導體晶片，配置於所述第一重佈線層與所述第二重佈線層之間，其中所述半導體晶片電性連接至所述第一重佈線層及所述第二重佈線層至少其中一者；以及第一接合層，配置於所述第一重佈線層與所述第二重佈線層之間並且包覆所述半導體晶片，其中所述第一接合層、所述第一重佈線層及所述第二重佈線層位於所述第一可撓性基板與所述第二可撓性基板之間。

**【英文】** A flexible chip package, including: a first flexible substrate; a first redistribution layer disposed on the first flexible substrate; a second flexible substrate; a second redistribution layer disposed on the second flexible substrate; a semiconductor chip disposed between the first and second redistribution layers and electrically connected to at least one of the first and second redistribution layers; and a first bonding layer disposed between the first and second redistribution layers and encapsulating the

semiconductor chip, wherein the first bonding layer, the first redistribution layer and the second redistribution layer are between the first flexible substrate and the second flexible substrate.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

100A：可撓性晶片封裝

110：第一可撓性基板

120：第一重佈線層

130：第二可撓性基板

140：第二重佈線層

150：半導體晶片

160：第一接合層

170：第一覆蓋層

180：第二覆蓋層

CM：導電材料

D11：第一元件

SB：側向阻障元件

【特徵化學式】

無

## 【發明申請專利範圍】

【第1項】 一種可撓性晶片封裝，包括：

第一可撓性基板；

第一重佈線層，配置於所述第一可撓性基板上；

第二可撓性基板；

第二重佈線層，配置於所述第二可撓性基板上；

半導體晶片，配置於所述第一重佈線層與所述第二重佈線層之間，其中所述半導體晶片電性連接至所述第一重佈線層及所述第二重佈線層至少其中一者；以及

第一接合層，配置於所述第一重佈線層與所述第二重佈線層之間並且包覆所述半導體晶片，其中所述第一接合層、所述第一重佈線層及所述第二重佈線層位於所述第一可撓性基板與所述第二可撓性基板之間。

【第2項】 如申請專利範圍第1項所述的可撓性晶片封裝，更包括多個導電材料，其中所述多個導電材料貫穿所述第一接合層以電性連接至所述第一重佈線層與所述第二重佈線層。

【第3項】 如申請專利範圍第1項所述的可撓性晶片封裝，更包括多個支撐柱體，其中所述多個支撐柱體貫穿所述第一接合層以與所述第一重佈線層及所述第二重佈線層接觸。

【第4項】 如申請專利範圍第1項所述的可撓性晶片封裝，更包括側向阻障元件，其中所述側向阻障元件嵌於所述第一接合層中以環繞所述半導體晶片。

【第5項】 如申請專利範圍第1項所述的可撓性晶片封裝，更包括至少一第一元件，配置於所述第一重佈線層與所述第二重佈線層之間，其中所述至少一第一元件電性連接至所述第一重佈線層及所述第二重佈線層至少其中一者。

【第6項】 如申請專利範圍第5項所述的可撓性晶片封裝，其中所述至少一第一元件包括感測器、被動元件、靜電放電防護元件、電池、天線、連接器或前述元件的組合。

【第7項】 如申請專利範圍第1項所述的可撓性晶片封裝，更包括：  
第一覆蓋層，配置於所述第一可撓性基板上，其中所述第一覆蓋層及所述第一重佈線層分別位於所述第一可撓性基板的兩對側；以及

第二覆蓋層，配置於所述第二可撓性基板上，其中所述第二覆蓋層及所述第二重佈線層分別位於所述第二可撓性基板的兩對側。

【第8項】 如申請專利範圍第7項所述的可撓性晶片封裝，更包括：  
至少一第二元件，配置於所述第二覆蓋層與所述第二可撓性基板之間，且所述至少一第二元件電性連接至所述第二重佈線層；以及

第二接合層，配置於所述第二覆蓋層與所述第二可撓性基板之間並且包覆所述至少一第二元件。

【第9項】 如申請專利範圍第8項所述的可撓性晶片封裝，其中所述至少一第二元件包括感測器、被動元件、靜電放電防護元件、電池、天線、連接器或前述元件的組合。

【第10項】 如申請專利範圍第1項所述的可撓性晶片封裝，更包括至少一第三元件，其中所述至少一第三元件嵌於所述第一重佈線層及所述第二重佈線層至少其中一者內，且所述至少一第三元件包括感測器、被動元件、靜電放電防護元件、電池、天線、連接器或前述元件的組合。

【第11項】 一種可撓性晶片封裝，包括：

第一可撓性基板；

重佈線層，配置於所述第一可撓性基板上；

第二可撓性基板；

應力調整層，配置於所述第二可撓性基板上；

半導體晶片，配置於所述重佈線層與所述應力調整層之間並且電性連接至所述重佈線層；以及

接合層，配置於所述重佈線層與所述應力調整層之間並且包覆所述半導體晶片，其中所述接合層、所述重佈線層及所述應力調整層位於所述第一可撓性基板與所述第二可撓性基板之間。

【第12項】 如申請專利範圍第11項所述的可撓性晶片封裝，更包括多個支撐柱體，其中所述多個支撐柱體貫穿所述接合層以與所述重佈線層及所述應力調整層接觸。

【第13項】 如申請專利範圍第11項所述的可撓性晶片封裝，更包括側向阻障元件，其中所述側向阻障元件嵌於所述接合層中以環繞所述半導體晶片。

【第14項】 如申請專利範圍第11項所述的可撓性晶片封裝，更包括至少一元件，配置於所述重佈線層與所述應力調整層之間，其中所述至少一元件電性連接至所述重佈線層，且所述至少一元件包括感測器、被動元件、靜電放電防護元件、電池、天線、連接器或前述元件的組合。

【第15項】 如申請專利範圍第11項所述的可撓性晶片封裝，更包括：

第一覆蓋層，配置於所述第一可撓性基板上，其中所述第一覆蓋層及所述重佈線層分別位於所述第一可撓性基板的兩對側；以及

第二覆蓋層，配置於所述第二可撓性基板上，其中所述第二覆蓋層及所述應力調整層分別位於所述第二可撓性基板的兩對側。

【第16項】 一種可撓性晶片封裝，包括：

第一可撓性基板；

第一重佈線層，配置於所述第一可撓性基板上；

第二可撓性基板；

第二重佈線層，配置於所述第二可撓性基板上；

半導體晶片，嵌於所述第一可撓性基板及所述第二可撓性基

板至少其中一者內，其中所述半導體晶片電性連接至所述第一重佈線層及所述第二重佈線層至少其中一者；以及

異方性接合層，配置於所述第一重佈線層與所述第二重佈線層之間，其中所述異方性接合層、所述第一重佈線層及所述第二重佈線層位於所述第一可撓性基板與所述第二可撓性基板之間。

【第17項】 如申請專利範圍第16項所述的可撓性晶片封裝，其中所述半導體晶片嵌於所述第一可撓性基板及所述第二可撓性基板至少其中一者之凹槽內，且所述半導體晶片被所述第一可撓性基板及所述第二可撓性基板至少其中一者所覆蓋。

【第18項】 如申請專利範圍第16項所述的可撓性晶片封裝，其中所述半導體晶片嵌於所述第一可撓性基板及所述第二可撓性基板至少其中一者之貫孔內，且所述半導體晶片藉由所述貫孔而被暴露。

【第19項】 如申請專利範圍第16項所述的可撓性晶片封裝，其中所述異方性接合層包括異方性導電層。

【第20項】 如申請專利範圍第16項所述的可撓性晶片封裝，更包括至少一元件，其中所述元件嵌於所述第一可撓性基板及所述第二可撓性基板至少其中一者內，且所述至少一元件包括感測器、被動元件、靜電放電防護元件、電池、天線、連接器或前述元件的組合。

【第21項】 如申請專利範圍第16項所述的可撓性晶片封裝，更包括：

第一覆蓋層，配置於所述第一可撓性基板上，其中所述第一覆蓋層及所述第一重佈線層分別位於所述第一可撓性基板的兩對側；以及

第二覆蓋層，配置於所述第二可撓性基板上，其中所述第二覆蓋層及所述第二重佈線層分別位於所述第二可撓性基板的兩對側。

【第22項】 一種可撓性晶片封裝，包括：

第一可撓性基板；

第一重佈線層，配置於所述第一可撓性基板上；

第二可撓性基板；

第二重佈線層，配置於所述第二可撓性基板上；

半導體晶片，配置於所述第一可撓性基板及所述第二可撓性基板至少其中一者上，其中所述半導體晶片透過貫穿所述第一可撓性基板及所述第二可撓性基板至少其中一者的導電材料而電性連接至所述第一重佈線層及所述第二重佈線層至少其中一者；以及

異方性接合層，配置於所述第一重佈線層與所述第二重佈線層之間，其中所述異方性接合層、所述第一重佈線層及所述第二重佈線層位於所述第一可撓性基板與所述第二可撓性基板之間。

【第23項】 如申請專利範圍第22項所述的可撓性晶片封裝，其中所述異方性接合層包括異方性導電層。

【第24項】 如申請專利範圍第22項所述的可撓性晶片封裝，更包括至少一元件，其中所述至少一元件配置於所述第一可撓性基板及所述第二可撓性基板至少其中一者上，並且透過貫穿所述第一可撓性基板及所述第二可撓性基板至少其中一者的導電材料而電性連接至所述第一重佈線層及所述第二重佈線層至少其中一者。

【第25項】 如申請專利範圍第24項所述的可撓性晶片封裝，其中所述至少一元件包括感測器、被動元件、靜電放電防護元件、電池、天線、連接器或前述元件的組合。





























