

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4272142号
(P4272142)

(45) 発行日 平成21年6月3日 (2009.6.3)

(24) 登録日 平成21年3月6日 (2009.3.6)

(51) Int.Cl.	F I	
H O 1 L 21/338 (2006.01)	H O 1 L 29/80	H
H O 1 L 29/778 (2006.01)	H O 1 L 29/80	E
H O 1 L 29/812 (2006.01)	H O 1 L 29/80	W
H O 1 L 27/095 (2006.01)	H O 1 L 27/04	A
H O 1 L 29/80 (2006.01)	H O 1 L 27/04	P
請求項の数 12 (全 21 頁) 最終頁に続く		

(21) 出願番号	特願2004-353715 (P2004-353715)	(73) 特許権者	503121103
(22) 出願日	平成16年12月7日 (2004.12.7)		株式会社ルネサステクノロジ
(65) 公開番号	特開2006-165224 (P2006-165224A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成18年6月22日 (2006.6.22)	(74) 代理人	110000350
審査請求日	平成19年12月6日 (2007.12.6)		ポレール特許業務法人
早期審査対象出願		(74) 代理人	100068504
			弁理士 小川 勝男
		(74) 代理人	100086656
			弁理士 田中 恭助
		(72) 発明者	小川 貴史
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内
		(72) 発明者	▲高▼谷 信一郎
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内
			最終頁に続く

(54) 【発明の名称】 スイッチング素子並びにそれを用いたアンテナスイッチ回路及び高周波モジュール

(57) 【特許請求の範囲】

【請求項 1】

半導体基板上に形成され、かつ、互い違いに配置されたソース電極およびドレイン電極となる2個のオーミック電極と、

上記2個のオーミック電極の間に配置され、かつ、上記2個のオーミック電極の間を這うように配置された少なくとも2個のゲート電極と、

上記少なくとも2個のゲート電極のうちの隣り合うゲート電極の間に挟まれ、かつ、上記隣り合うゲート電極に沿って配置された導電領域と
を具備して成る電界効果型トランジスタと、

上記導電領域の一端と上記2個のオーミック電極の各々とをそれぞれ直列に接続する抵抗と
を備え、

上記2個のオーミック電極の全体と、上記隣り合うゲート電極の上記2個のオーミック電極に挟まれた部分と、上記導電領域の全体とが、素子を他の領域から分離する共通の素子分離領域に形成されている

ことを特徴とするスイッチング素子。

【請求項 2】

請求項 1 において、

上記少なくとも2個のゲート電極のうちの上記2個のオーミック電極と隣り合うゲート電極の一端は、挟まれている上記導電領域から離れる方向に延在している

ことを特徴とするスイッチング素子。

【請求項 3】

請求項 1 において、

上記導電領域は、n 型の導電型を有する不純物イオンが導入されて成る n 型キャップ層を含んでいる

ことを特徴とするスイッチング素子。

【請求項 4】

請求項 1 において、

上記抵抗の個々の抵抗値が上記導電領域の実効的な抵抗値より小さい

ことを特徴とするスイッチング素子。

【請求項 5】

送信信号を入力するための第 1 の端子と、

アンテナに接続された第 2 の端子と、

上記アンテナで受信した受信信号を出力するための第 3 の端子と、

上記第 1 の端子と上記第 2 の端子との間に接続された第 1 のスイッチング素子と、

上記第 2 の端子と上記第 3 の端子との間に接続された第 2 のスイッチング素子と

を具備して成り、

送信時に上記第 1 のスイッチング素子が導通状態になりかつ上記第 2 のスイッチング素子が非導通状態になり、受信時に上記第 1 のスイッチング素子が非導通状態になりかつ上記第 2 のスイッチング素子が導通状態になり、

上記第 1 及び第 2 のスイッチング素子の各々は、

半導体基板上に形成され、かつ、互い違いに配置されたソース電極およびドレイン電極となる 2 個のオーミック電極と、

上記 2 個のオーミック電極の間に配置され、かつ、上記 2 個のオーミック電極の間を這うように配置された少なくとも 2 個のゲート電極と、

上記少なくとも 2 個のゲート電極のうちの隣り合うゲート電極の間に挟まれ、かつ、上記隣り合うゲート電極に沿って配置された導電領域と

を具備して成る電界効果型トランジスタと、

上記導電領域の一端と上記 2 個のオーミック電極の各々とをそれぞれ直列に接続する抵抗と

を備え、

上記 2 個のオーミック電極の全体と、上記隣り合うゲート電極の上記 2 個のオーミック電極に挟まれた部分と、上記導電領域の全体とが、素子を他の領域から分離する共通の素子分離領域に形成されている

ことを特徴とする アンテナスイッチ回路。

【請求項 6】

請求項 5 において、

上記少なくとも 2 個のゲート電極のうちの上記 2 個のオーミック電極と隣り合うゲート電極の一端は、挟まれている上記導電領域から離れる方向に延在している

ことを特徴とする アンテナスイッチ回路。

【請求項 7】

請求項 5 において、

上記導電領域は、n 型の導電型を有する不純物イオンが導入されて成る n 型キャップ層を含んでいる

ことを特徴とする アンテナスイッチ回路。

【請求項 8】

請求項 5 において、

上記抵抗の個々の抵抗値が上記導電領域の実効的な抵抗値より小さい

ことを特徴とする アンテナスイッチ回路。

【請求項 9】

送信信号を増幅する第 1 の増幅器と、
アンテナで受信した受信信号を増幅する第 2 の増幅器と、
送信時に上記第 1 の増幅器が出力する上記送信信号を上記アンテナに送り、受信時に上
記アンテナで受信した上記受信信号を上記第 2 の増幅器に送るアンテナスイッチ回路と
を具備して成り、

上記アンテナスイッチ回路は、
上記第 1 の増幅器が出力する上記送信信号を入力するための第 1 の端子と、
上記アンテナに接続された第 2 の端子と、
上記アンテナで受信した上記受信信号を出力するための第 3 の端子と、
上記第 1 の端子と上記第 2 の端子との間に接続された第 1 のスイッチング素子と、
上記第 2 の端子と上記第 3 の端子との間に接続された第 2 のスイッチング素子と
を具備して成り、

送信時に上記第 1 のスイッチング素子が導通状態になりかつ上記第 2 のスイッチング素
子が非導通状態になり、受信時に上記第 1 のスイッチング素子が非導通状態になりかつ上
記第 2 のスイッチング素子が導通状態になり、

上記第 1 及び第 2 のスイッチング素子の各々は、
半導体基板上に形成され、かつ、互い違いに配置されたソース電極およびドレイン電極
となる 2 個のオーミック電極と、

上記 2 個のオーミック電極の間に配置され、かつ、上記 2 個のオーミック電極の間を這
うように配置された少なくとも 2 個のゲート電極と、

上記少なくとも 2 個のゲート電極のうちの隣り合うゲート電極の間に挟まれ、かつ、上
記隣り合うゲート電極に沿って配置された導電領域と
を具備して成る電界効果型トランジスタと、

上記導電領域の一端と上記 2 個のオーミック電極の各々とをそれぞれ直列に接続する抵
抗と
を備え、

上記 2 個のオーミック電極の全体と、上記隣り合うゲート電極の上記 2 個のオーミック
電極に挟まれた部分と、上記導電領域の全体とが、素子を他の領域から分離する共通の素
子分離領域に形成されている

ことを特徴とする高周波モジュール。

【請求項 10】

請求項 9 において、

上記少なくとも 2 個のゲート電極のうちの上記 2 個のオーミック電極と隣り合うゲート
電極の一端は、挟まれている上記導電領域から離れる方向に延在している

ことを特徴とする高周波モジュール。

【請求項 11】

請求項 9 において、

上記導電領域は、n 型の導電型を有する不純物イオンが導入されて成る n 型キャップ層
を含んでいる

ことを特徴とする高周波モジュール。

【請求項 12】

請求項 9 において、

上記抵抗の個々の抵抗値が上記導電領域の実効的な抵抗値より小さい
ことを特徴とする高周波モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、導通及び非導通が制御される電界効果トランジスタによるスイッチング素子に係り、特に電力が大きい信号を断続するのに好適なスイッチング素子並びにそれを用いたアンテナスイッチ回路及び高周波モジュールに関する。

【背景技術】

【0002】

携帯端末等の無線通信機器において、送信と受信で1個のアンテナを共用し、アンテナスイッチによってアンテナへの接続を送受信で切り替えることが多く行なわれる。また、携帯端末等が複数の通信方式に対応する場合、アンテナスイッチは、複数の送信回路及び受信回路とアンテナとの接続を切り替えるように構成される。送信回路が出力する送信信号は、携帯電話では1Wを超える等、大電力となるのが普通であり、アンテナスイッチは、大電力の送信信号が高品質であり、かつ他の周波数帯の通信に悪影響を与える妨害波を含まないように性能が設定される。従って、アンテナスイッチとしてトランジスタによるスイッチ素子を用いる場合、スイッチ素子は、高耐圧であると共に、高調波歪みを低く抑えるように設計される。

10

【0003】

スイッチ素子に電界効果型トランジスタを用いる場合、2個のオーミック電極（ドレイン電極及びソース電極）の間に複数のゲートを配置したマルチゲートトランジスタを用いることによって耐電力性を向上させることや、或いはそれを多段接続することによって更に耐電力性を向上させることが一般的に行なわれる。マルチゲートトランジスタにおいて、ゲート電極間にゲート間領域として形成される n^+ 電極を抵抗値が n^+ 電極より高い抵抗を介してオーミック電極に接続する構造の例が特許文献1に開示されている。4個のゲート電極を持つ構造の例を図16に示す。オーミック電極16, 17の間に、ゲート電極18~20と n^+ 電極22~24が配置され、 n^+ 電極22~24が電位安定化用の抵抗25~28を介してオーミック電極16, 17に接続される。

20

【0004】

【特許文献1】特開2000-101032号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

図17に一般的な正電源駆動用SPDT（Single Pole Double Throw）スイッチ回路を示す。スイッチ回路は、1個の共通端子4と2個の入出力端子2, 3を持つ。これを送受信回路を切り替えるアンテナスイッチ回路として用いる場合には、端子2が送信端子、端子3が受信端子、端子4がアンテナ端子として用いられる。端子2と端子4の間及び端子3と端子4の間にそれぞれ電界効果型トランジスタからなるスイッチング素子5, 6が備えられる。端子14, 15はスイッチング素子5, 6の制御端子である。コンデンサ7, 8, 9は高周波結合用、抵抗10, 11は端子14, 15へ送受信信号が漏れないようにするためのアイソレーション抵抗である。抵抗12, 13は端子14, 15から入力された制御信号がスイッチに均等に掛かるようにするためのバイアス抵抗である。

30

【0006】

送信端子2には送信回路から最大で1Wを超えるような大電力が入力される。このため、スイッチング素子5, 6のそれぞれに2個のゲートを持つデュアルゲートトランジスタの2段を縦続接続した構造が採用される。

【0007】

40

送信時、端子15に0Vが、端子14に正の電圧が印加される。このとき、端子14と点aの間に順方向電圧が掛かるため、スイッチング素子5は導通状態となり、点aと端子15の間に逆方向電圧が掛かるため、スイッチング素子6は非導通状態となる。それにより、端子2に入力された送信信号は、スイッチング素子5を介してアンテナ端子4に出力される。スイッチング素子5では、バイアス抵抗12が接続されているオーミック電極とゲート電極との電位差は安定しているが、ゲート電極とゲート電極の間の電位は不安定である。この点の電位が不安定であると耐電力性が劣化し、高調波歪みが大きくなり易い。受信時は、端子14に0V、端子15に正の電圧が印加され、スイッチング素子5が非導通状態、スイッチング素子6が導通状態となる。それにより、アンテナ端子4から入力された受信信号は、スイッチング素子6を介して端子3に出力される。受信信号は微弱な信

50

号であるため、高調波歪みは問題にならない。

【0008】

先に述べたように、特許文献1に電位安定化用の抵抗25～28を介してゲート間領域であるn⁺電極22～24をオーミック電極16, 17に接続したスイッチ素子が開示されている。しかし、このスイッチング素子には以下の問題点がある。

【0009】

まず、図16から分かるように、抵抗25～28の幅に対してn⁺電極22～24の幅が広がっている。抵抗の幅は、標準の半導体プロセスでは幅3μm程度とするのが一般的であるから、n⁺電極22、23、24の幅は、3μm以上ということになる。このことは、ゲート間距離を小さくできないためオン抵抗が大きくなり、挿入損失が増大することを意味する。また、電位安定用の抵抗25～28がゲート電極とオーミック電極との間、或いはゲート電極間に形成されるため、ゲート電極間の距離は大きくならざるを得ない。このこともオン抵抗が大きくなり挿入損失が増大することに繋がる。なお、本明細書においては、慣例に従ってゲート電極の幅は、図面の縦の方向の長手方向の大きさ、ゲート電極の長さは、図面の横の方向の大きさを指すこととする。但し、オーミック電極及びn⁺電極については、幅は図面の横の方向の大きさ、長さは図面の縦の方向の長手方向の大きさを指す。

【0010】

次に、スイッチング素子の許容電力を大きくするためにゲート幅を大きくする方法として、特許文献1に図16のスイッチング素子を3個並列に接続した構造が開示されている。この場合、電位安定用の抵抗をスイッチング素子毎に設けることになるので、その数が増え、並列接続構造を小型化することができない。更に、図18に示すように、同じオーミック電極の電極16aと電極16b、及び電極17aと電極17bを相互に接続するためのそれぞれ配線201a, 201bを形成することになるが、配線201a, 201bは、ゲート電極の引き出し線200a～200d及び引き出し線200e～200hと交差せざるを得ない。これにより、電極間容量をもたらす交差部202a～202hが形成される。即ち、各ゲート電極と各オーミック電極間の容量が大きくなる。この容量は、スイッチング素子が非道通状態のときの挿入損失、アイソレーション劣化の原因となる。

【0011】

本発明の目的は、挿入損失を増大させることなくマルチゲートのゲート間の電位安定化が可能なスイッチング素子を提供すること、又はそれを用いたアンテナスイッチ回路を提供すること、或いはそれを用いた高周波モジュールを提供することにある。

【課題を解決するための手段】

【0012】

上記目的を達成するための本発明のスイッチング素子は、電界効果型トランジスタを成すように、半導体基板上に形成された2個のオーミック電極と、上記2個のオーミック電極の間に配置された少なくとも2個のゲート電極と、上記少なくとも2個のゲート電極のうちの隣り合うゲート電極の間に挟まれて配置された導電領域とを具備して成り、上記導電領域は、一端に、上記隣り合うゲート電極に挟まれている上記導電領域よりも幅が広い幅広部分を有し、上記隣り合うゲート電極の間の距離が上記幅広部分の幅よりも狭く、上記幅広部分を介して上記2個のオーミック電極の間に直列に抵抗が接続されている。抵抗を接続するための上記幅広部分即ち接続部の大きさに影響を受けることなくゲート電極間の距離を設定することが可能になる。従って、挿入損失を増大させないようにゲート電極間距離を小さくすることが可能になり、マルチゲートのゲート間の電位安定化が可能な低損失のスイッチング素子を提供することが期待される。

【0013】

上記目的を達成するための本発明のアンテナスイッチ回路は、送信信号を入力するための第1の端子と、アンテナに接続された第2の端子と、上記アンテナで受信した受信信号を出力するための第3の端子と、上記第1の端子と上記第2の端子との間に接続された第1の上記スイッチング素子と、上記第2の端子と上記第3の端子との間に接続された第2

10

20

30

40

50

の上記スイッチング素子とを具備して成り、送信時に上記第1のスイッチング素子が導通状態になりかつ上記第2のスイッチング素子が非導通状態になり、受信時に上記第1のスイッチング素子が非導通状態になりかつ上記第2のスイッチング素子が導通状態になることを特徴とする。マルチゲートのゲート間の電位安定化が可能な低損失のスイッチング素子が用いられるため、電力が大きい送信信号の断続が可能でかつ送受信間で高いアイソレーションが得られるアンテナスイッチ回路の実現が期待される。従って、複数の通信回路とそれらに共通なアンテナとの接続を切り替える場合に用いて好適なアンテナスイッチ回路の実現が期待される。

【0014】

上記目的を達成するための本発明の高周波モジュールは、送信信号を増幅する第1の増幅器と、アンテナで受信した受信信号を増幅する第2の増幅器と、送信時に上記第1の増幅器が出力する上記送信信号を上記アンテナに送り、受信時に上記アンテナで受信した上記受信信号を上記第2の増幅器に送る上記アンテナスイッチ回路とを具備している。電力が大きい送信信号の断続が可能でかつ送受信間で高いアイソレーションが得られると共に、複数の通信回路とそれらに共通なアンテナとの接続を切り替える場合に用いて好適なアンテナスイッチ回路が用いられるので、例えば複数の通信方式に対応可能な携帯電話等の無線通信機器に搭載するのに好適な高周波モジュールの実現が期待される。

【発明の効果】

【0015】

本発明によれば、挿入損失を増大させないようにゲート電極間距離を小さく設定することが可能になるので、挿入損失を増大させることなくマルチゲートのゲート間の電位安定化が可能なスイッチング素子の実現可能になる。

【発明を実施するための最良の形態】

【0016】

以下、本発明に係るスイッチング素子並びにそれを用いたアンテナスイッチ回路及び高周波モジュールを図面に示した幾つかの実施形態を参照して更に詳細に説明する。

【0017】

図1A及び図1Bに本発明の第1の実施形態を示す。本実施形態は、電界効果型トランジスタである高電子移動度トランジスタ（以下「HEMT: High Electron Mobility Transistor」という）によって形成されるデュアルゲート型のスイッチング素子である。本スイッチング素子は、例えば携帯電話等の移動体通信機器に搭載される高周波モジュールが備えるアンテナスイッチ回路において、主要素子として用いられる。

【0018】

図1Aに示すレイアウトにおいて、幅が $5\mu\text{m}$ の2個のオーミック電極39, 40の間に長さ $0.5\mu\text{m}$ 、ゲート電極間距離 $1.5\mu\text{m}$ のゲート電極41, 42が形成されている。オーミック電極39とゲート電極41、オーミック電極40とゲート電極42の距離はそれぞれ $1.0\mu\text{m}$ である。ゲート電極41, 42の1端は、配線やバイアス供給用抵抗を接続するために長さが $3\sim 5\mu\text{m}$ 程度と太くなっている。他端は、オーミック電極の外側で異なる方向に延在している。素子分離領域43は、この部分までを含むように形成されている。

【0019】

オーミック電極39, 40に挟まれている領域のゲート電極41, 42の間には幅 $0.5\mu\text{m}$ の n^+ 層による n^+ 電極45があり、オーミック電極39, 40の外側の素子分離領域43とゲート電極41, 42に囲まれた部分の n^+ 電極45は、幅広に形成されている。この幅広部分に電位安定用抵抗44, 46の一端が接続され、電位安定用抵抗44の他端がオーミック電極39に接続され、電位安定用抵抗46の他端がオーミック電極40に接続されている。なお、電位安定用抵抗44, 46が n^+ 電極45に接続されることによって n^+ 電極45への給電が行なわれ、 n^+ 電極45の幅広部分が給電点となる。

【0020】

このようなレイアウトとすることにより、電位安定用抵抗44, 46の配置に影響され

10

20

30

40

50

ずに、ゲート間距離を最小にしつつ n^+ 電極とオーミック電極とを抵抗接続することができる。

【0021】

電位安定用抵抗 44, 46 に薄膜抵抗層が用いられる。薄膜抵抗層は、図示されていないが別の配線層を使って n^+ 電極 45 の幅広部分に接続される。なお、電位安定用抵抗 44, 46 はそれに限らず、 n^+ 電極 45 と同じ半導体層、又はその一部の半導体層を用いることができる。その場合は、電位安定用抵抗 44, 46 となる半導体層は、 n^+ 電極 45 の幅広部分から連続して接続される。このように、 n^+ 電極 45 を電位安定用抵抗 44, 46 に接続した本実施形態のスイッチング素子の回路図を図 1B に示す。

【0022】

以下に本実施形態のスイッチング素子の製造工程を説明する。まず、図 2 に示すように、化合物半導体である GaAs からなる半導体基板（以下、単に「基板」という）29 上に例えば有機金属気相成長（MOCVD: Metal Organic Chemical Vapor Deposition）法により、バッファ層 30、電子供給層 31、チャネル層 32、電子供給層 33、ショットキー層（電子供給層）34、層間膜 35 及び n^+ 層（ n 型キャップ層）36 が順次エピタキシャル成長される。

【0023】

バッファ層 30 は、膜厚 1000 程度のノンドープの GaAs 層、膜厚 100 程度のノンドープの AlGaAs（アルミニウムガリウムヒ素）層、膜厚 500 程度のノンドープの GaAs 層及び膜厚 3000 程度のノンドープの AlGaAs 層を下層から順次積層することで形成されている。

【0024】

電子供給層 31 は、膜厚 100 程度の n^+ 型 AlGaAs 層から形成されており、 n 型の導電型（第 1 導電型）を有する不純物イオン（たとえばシリコンイオン）が $5 \times 10^{17} \text{ cm}^{-3}$ 程度の濃度で導入されている。

【0025】

チャネル層 32 は、膜厚 30 程度のノンドープの AlGaAs 層、膜厚 40 程度のノンドープの GaAs 層、膜厚 80 程度のノンドープの InGaAs 層、膜厚 40 程度のノンドープの GaAs 層及び膜厚 30 程度のノンドープの AlGaAs 層を下層から順次積層することで形成されている。

【0026】

電子供給層 33 は、膜厚 100 程度の n^+ 型 AlGaAs 層から形成されており、 n 型の導電型を有する不純物イオン（たとえばシリコンイオン）が $3 \times 10^{18} \text{ cm}^{-3}$ 程度の濃度で導入されている。

【0027】

ショットキー層 34 は、膜厚 590 程度の n^+ 型 AlGaAs 層から形成されており、 n 型の導電型を有する不純物イオン（たとえばシリコンイオン）が $2 \times 10^{16} \text{ cm}^{-3}$ 程度の濃度で導入されている。

【0028】

層間膜 35 は、膜厚 30 程度の n^+ 型 AlGaAs 層から形成されており、 n 型の導電型を有する不純物イオン（たとえばシリコンイオン）が $5 \times 10^{18} \text{ cm}^{-3}$ 程度の濃度で導入されている。

【0029】

n^+ 層 36 は、膜厚 1400 程度の n^+ 型 GaAs 層から形成されており、 n 型の導電型を有する不純物イオン（たとえばシリコンイオン）が $5 \times 10^{18} \text{ cm}^{-3}$ 程度の濃度で導入されている。

【0030】

以上のエピタキシャル結晶構造は、歪チャネル HEMT（以下「pHEMT: pseudomorphic HEMT」という）構造である。上記のエピタキシャル成長を行なった後、メサエッチング法によって素子分離が行なわれ、図 3 に示すように、所定の位置に n^+ 層 36 とオー

10

20

30

40

50

ミック接触するオーミック電極 37 が形成される。オーミック電極 37 は、電界効果トランジスタのソース電極及びドレイン電極である。

【0031】

次に、ゲート電極を形成する箇所の n^+ 層 36 及び層間膜 35 が除去される (図 4)。続いて、ゲート電極 38 が形成される (図 5)。ゲート電極 38 は、ゲート長を $1.0 \mu\text{m}$ 以下とし、好ましくは $0.5 \mu\text{m}$ 程度となる。また、ゲート電極 38 は、Pt (白金) を最下層とする金属層により形成され、例えば下層より Pt、Ti (チタン)、Pt、Au (金) を順次積層した金属層が用いられる。最下層の Pt の厚さは約 150 である。この Pt 層は、以降の熱工程においてショットキー層 34 と反応し、約 380 程度埋め込まれ、埋め込み型ゲートとなる。なお、埋め込みを行わないゲート電極を用いてもよく、その場合は下層より Ti、Pt、Au を順次積層した金属層が用いられる。また、この場合はショットキー層 34 の厚さが 200 程度に薄く形成される。

10

【0032】

図 5 において、オーミック電極 37 間に 2 本のゲート電極 38 を有するデュアルゲート型素子の断面構造が示される。2 本のゲート電極 38 の間には、 n^+ 電極となる n^+ 層 (n 型キャップ層) 36 が配置される。この n^+ 層 36 と隣接するゲート電極 38 との間隔は約 $0.5 \mu\text{m}$ 、 n^+ 層 36 の幅は約 $0.5 \mu\text{m}$ である。ゲート電極と n^+ 層との間隔、 n^+ 層の幅は任意に設計することが可能であるが、ゲート電極と n^+ 層との間隔は、耐圧が維持できる範囲で近づける方がスイッチ動作時の挿入損失の観点から有利であり、およそ $0.5 \mu\text{m}$ 程度が標準的な寸法である。また n^+ 層の幅も挿入損失低減の観点から細くする方が有利であり、加工精度の点から $0.5 \mu\text{m}$ 程度が標準的である。ゲート幅方向に伸びる n^+ 層に給電することが本発明の要点であるが、 n^+ 層には殆んど電流は流れないため、 n^+ 層の抵抗は左程低くする必要はない。従って、 50 / 程度のシート抵抗を有する通常の n^+ 層を用いる場合、幅は $0.5 \mu\text{m}$ 程度あれば十分である。このことは、オーミック電極間にゲート電極を 3 本以上有するマルチゲート型素子の場合も同様である。なお、ゲート電極間の層は、 n^+ 層に限定されず、広く導電領域とすることができる。導電領域の材料は、上記したように、導電領域に殆んど電流は流れないことを前提に設定される。

20

【0033】

以上により、電界効果型トランジスタの主要製造工程を説明した。この後、基板 29 上に抵抗素子や容量素子を集積化して形成し、必要な配線を施し最後にパッシベーション膜を形成することにより、チップの主面 (素子形成面) の工程が終了する。最後に、基板厚さを $100 \mu\text{m}$ 程度に適宜薄くし、基板より切り出すことにより、チップが完成する。

30

【0034】

上記の製造工程によって作製される電界効果型トランジスタは pHEMT であるが、本発明はこれに限定されず、例えば歪緩和 HEMT (以下「mHEMT: metamorphic HEMT」という) とすることができる。以下に電界効果型トランジスタを mHEMT とした場合のスイッチング素子の製造工程を説明する。

【0035】

図 2 において、バッファ層 30 として InAlAs 層の InAs 混晶比を 0 から所望の値まで連続的或いは段階的に増加させた層が挿入され、結晶の格子定数差により生じる転位がバッファ層 30 内に閉じ込められるようにする。InAs 混晶比をどこまで増大させるかは用いる InGaAs チャネルの組成によって決まり、ここでは InGaAs チャネルの InAs 混晶比は約 0.4 であり、バッファ層 30 の InAs 混晶比も約 0.4 まで増大される。電子供給層 31 は本製造工程では挿入されない。

40

【0036】

チャネル層 32 は、厚さ 200 のノンドープ InGaAs 層 (InAs 混晶比約 0.4) とスペーサ層として厚さ 20 のノンドープ InAlAs 層 (InAs 混晶比約 0.4) を順次積層することで形成されている。

【0037】

50

電子供給層 33 は、膜厚 100 程度の n^+ 型 InAlAs 層 (InAs 混晶比約 0.4) で形成されており、 n 型の導電性を有する不純物イオン (たとえばシリコンイオン) が $3 \times 10^{18} \text{ cm}^{-3}$ 程度の濃度で導入されている。

【0038】

ショットキー層 34 は、膜厚 330 程度の n^+ 型 InAlAs 層 (InAs 混晶比約 0.4) から形成されており、 n 型の導電性を有する不純物イオン (たとえばシリコンイオン) が $2 \times 10^{16} \text{ cm}^{-3}$ 程度の濃度で導入されている。

【0039】

層間膜 35 は、膜厚 50 程度の n^+ 型 InP 層から形成されており、 n 型の導電性を有する不純物イオン (たとえばシリコンイオン) が $5 \times 10^{18} \text{ cm}^{-3}$ 程度の濃度で導入されている。

【0040】

n^+ 層 (n 型キャップ層) 36 は、膜厚 1400 程度の n^+ 型 InGaAs 層 (InAs 混晶比約 0.4) から形成されており、 n 型の導電性を有する不純物イオン (たとえばシリコンイオン) が $5 \times 10^{18} \text{ cm}^{-3}$ 程度の濃度で導入されている。

【0041】

次に、pHEMT の場合と同様、オーミック電極 37 を形成後 (図 3)、ゲート電極を形成する箇所の n^+ 層 36 及び層間膜 35 が除去される (図 4)。続いて、ゲート電極 38 が形成される (図 5)。ゲート電極 38 には、Pt を最下層とする金属層 (Pt、Ti、Pt、Au を順次積層した金属層) が用いられる。最下層の Pt の厚さは約 50 である。この Pt 層は、以降の熱工程においてショットキー層 34 と反応し埋め込まれる。mHEMT では、InAlAs 上に形成されるゲート電極のショットキー障壁高さを十分高くすることにより、リーク電流が抑えられるため、仕事関数が大きく高いショットキー障壁が得られる Pt ゲートがよく用いられる。本製造工程でもこの Pt ゲートが用いられる。即ち、mHEMT を用いるスイッチ回路では、ゲート電極のリーク電流低減の観点から Pt ゲートが好適である。加えて、この仕事関数が大きく高いショットキー障壁が得られる Pt ゲートは、Pt を用いる埋め込みゲートで問題になりやすいオフ容量の電圧依存性の問題が回避されるので、本発明に有効である。

【0042】

ゲート電極 38 と n^+ 層 36 との間隔、 n^+ 層 36 の幅については、先の製造工程の場合と同様に、それぞれ 0.5 μm 程度に設定される。

【0043】

本製造工程によって形成される mHEMT は、pHEMT に比べ電子移動度が 20% 以上大きい。このためデバイスのオン抵抗 R_{on} が小さくなり、スイッチ回路における挿入損失の低減が図れる。Pt ゲートを用いることにより問題になりやすいオフ容量の電圧依存性の問題も回避することができ、高調波歪も低く抑えることができる。

【0044】

以上、本実施形態では GaAs を用いた pHEMT 及び mHEMT によるスイッチング素子の場合について説明したが、本発明はその他の電界効果型トランジスタスイッチング素子についても同様に適用することができる。例えば、本発明はチャネル層に GaN や InGaN 層を用いた電界効果型トランジスタスイッチング素子に適用可能である。

【0045】

図 6 に本発明の第 2 の実施形態を示す。本実施形態は、第 1 の実施形態に対してゲート幅を大きくしたスイッチング素子である。製造工程は、第 1 の実施形態の場合と同様である。

【0046】

図 6 において、幅 5 μm のオーミック電極 39, 40 が櫛歯状に噛み合うように配置され、その櫛歯の間を這うようにゲート長 0.5 μm のゲート電極 41, 42 がゲート間距離 1.5 μm を保ちつつ、かつ、 n^+ 電極となる n^+ 層 45 を挟んでメアング状に形成される。このとき、オーミック電極 39 とゲート電極 41 及オーミック電極 40 とゲート電

10

20

30

40

50

極 4 2 の距離は、それぞれ $1\ \mu\text{m}$ 、 n^+ 層 4 5 とゲート電極 4 1 と 4 2 との距離は、それぞれ $0.5\ \mu\text{m}$ である。

【0047】

ゲート電極 4 1 , 4 2 の一端は配線やバイアス供給用抵抗との接続のために、長さが $3\sim 5\ \mu\text{m}$ と太くなっている。他端はオーミック電極の外側まで延在しており、オーミック電極外側のゲート電極 4 1 , 4 2 は、オーミック電極内側のゲート電極 4 1 , 4 2 とは異なる方向に延在する。素子分離領域 4 3 はこの部分までを含むように形成される。

【0048】

これにより、オーミック電極外側では n^+ 電極 4 5 の幅を $0.5\ \mu\text{m}$ より太くすることができる。従って、異なる方向に延在したゲート電極 4 1、4 2 と素子分離領域 4 3 で囲まれた n^+ 層 4 5 の領域の広さは、抵抗を接続するのに十分な面積を確保することが可能な広さになる。この部分の n^+ 電極 4 5 の幅は、通常は $3\ \mu\text{m}$ 程度となる。電位安定用抵抗 4 4 でオーミック電極 3 9 と n^+ 層 4 5 とが接続され、電位安定用抵抗 4 6 でオーミック電極 4 0 と n^+ 層 4 5 が接続される。

【0049】

以上の構造において、ゲート電極 4 1 , 4 2 がオーミック電極 3 9 , 4 0 と 3 回に分けて挟まれ、それにより図 1 A に示したスイッチング素子の 3 個が直列に接続されたことになり、総ゲート幅が 3 倍に増える。なお、オーミック電極 3 9 , 4 0 の櫛歯の歯数を増やしてゲート幅を更に増やしても、 n^+ 電極 4 5 と電位安定用抵抗 4 4、4 6 との接続点は少なくとも 1 箇所あればよい。図 1 8 に示した従来例では、並列数に比例して電位安定用抵抗の数が増えたが、本実施形態では、そのような数の増加は無い。従って、以上の手法により、ゲート間距離を最小に抑えつつ、ゲート幅の増大に対して最小の面積増加に抑えることができる。

【0050】

更に、上記構造は、図 1 8 に示した従来の構造のようなゲート電極の引き出し線とオーミック電極の相互接続線とが交差する交差部を持たない。従って、ゲート電極とオーミック電極の間の容量増加はなく、容量増加による、スイッチング素子が非道通状態のときの挿入損失の増大及びアイソレーション劣化が回避される。

【0051】

ここで、図 7 に図 6 中の A - A 線による断面の鳥瞰図を示す。図中の番号は、図 6 と一致する。電位安定化抵抗素子 4 4、4 6 の図示は省略した。素子分離領域 4 3 の外側は半導体上面を削るため領域近辺は斜面が形成される。ゲート電極 4 1 , 4 2 はこの斜面を越えた所まで伸ばして形成することで、ゲート電極 - オーミック電極間の領域と、ゲート電極 - n^+ 電極間の領域とが分離される。

【0052】

図 8 A 及び図 8 B に本発明の第 3 の実施形態を示す。本実施形態は、ゲート電極を 3 個にしたトリプルゲート型素子である。製造工程は、形成するゲート電極及び n^+ 層が異なるが、第 1 の実施形態の場合と基本的には同様である。

【0053】

図 8 A に示すレイアウトの一例において、オーミック電極 3 9 , 4 0 の間にゲート電極 4 1 , 4 2 , 4 7 が配置され、各ゲート電極間には n^+ 層 4 5 , 4 8 が配置される。この例では図 6 の第 2 の実施形態の場合とは異なり、阻止分離領域 4 3 でオーミック電極全体が覆われる。これにより、メアング部分も電界効果トランジスタとして動作するため、同じ素子面積でオン抵抗を低減することができる。ゲート電極 4 1 , 4 2 はオーミック電極の外側で異なる方向に延在し、ゲート電極 4 7 はそのまま延在させることでゲート電極間が広がる。そのため、そのゲート電極 4 1 , 4 2 , 4 7 と素子分離領域 4 3 とで囲まれた領域には幅広な n^+ 層 4 5 , 4 8 が形成される。この幅広な n^+ 層 4 5 とオーミック電極 3 9、 n^+ 層 4 5 と n^+ 層 4 8、 n^+ 層 4 8 とオーミック電極 4 0 をそれぞれ電位安定用抵抗（図示されない）で接続することで、オーミック電極とゲート電極、ゲート電極と n^+ 層の電位は同じになり、ゲート電極の電位が安定する。図 8 B に本実施形態のスィ

10

20

30

40

50

チング素子の回路図を示す。

【0054】

ここで、図9に、本発明のスイッチング素子を導通状態にし、ゲート間距離を変えたときの挿入損失の変化を計算した結果を示す。計算に用いたスイッチ素子は、デュアルゲート2段である。ゲート幅は1mm、オーミック電極とゲート電極間の距離は1 μ m、ゲート電極とn⁺電極間の距離はそれぞれ0.5 μ mで固定される。n⁺電極幅を変えることでゲート電極間の距離のみが変化する。

【0055】

第1, 2, 3の実施形態では、ゲート間距離は1.5 μ mでn⁺電極幅は0.5 μ mである。これに相当する挿入損失は約0.28dBとなる。n⁺電極幅を3 μ mに増やすと損失は0.4dBに増え、更にn⁺電極幅を5 μ mにすると、損失は0.5dBに増大する。以上の結果、ゲート電極間を最小にすることでトランジスタのオン抵抗が最小になり、挿入損失が最小になることが実証された。

【0056】

このように、本発明では挿入損失や素子面積を増やすことなく耐電力性を向上させることができるが、もう一つの重要な効果である高調波歪みの低減について次に説明する。

【0057】

図10A~10Dに、図1Aに示した本発明のn⁺電極に給電するスイッチング素子と、図1Aに示したスイッチ回路においてn⁺電極に給電しない、従ってゲート間電位が安定していない一般的なスイッチング素子とについて、それぞれを伝送路に非道通状態で並列接続したときの2次高調波歪み(2HD)、3次高調波歪み(3HD)の入力電力(P_{in})依存性の実測結果を示す。周波数は1910MHzとした。図10A, 10Bが本発明のスイッチング素子のそれぞれ2次高調波歪み及び3次高調波歪みであり、図10C, 10Dが一般的なスイッチング素子のそれぞれ2次高調波歪み及び3次高調波歪みである

図11に本発明のスイッチング素子を使った高調波歪みの測定回路図を示す。スイッチング素子54は、n⁺電極に給電するデュアルゲート2段構成である。入力端子49と出力端子50の間の伝送路と接地の間に本発明のデュアルゲート2段構成のスイッチング素子54が接続される。端子51と端子56は、バイアス供給用の端子である。コンデンサ53は高周波結合用、抵抗52、57は高周波漏洩阻止と直流成分結合のために用いられる。オーミック電極間をゲート電極間のn⁺電極を経て接続される抵抗55は、各段に均等にバイアスがかかるようにするための抵抗である。

【0058】

図12に一般的なスイッチング素子を使った高調波歪みの測定回路図を示す。スイッチング素子54は、n⁺電極に給電しないデュアルゲート2段構成である。図11のスイッチング素子と異なり、抵抗55がn⁺電極を経ないでオーミック電極間に接続される。

【0059】

図10A~10Dに示されるように、入力電力が低い点から本発明のスイッチは高調波歪みが小さく、35dBm入力においても高調波歪が低い。本発明及び一般的なスイッチング素子はいずれもバイアスをV₁, V₂, V₃と深くするに従って高調波歪みが改善されるが、本発明のスイッチング素子ではバイアスに対する高調波歪みの変化が大きく、高調波歪みの改善の度合いが大きいことが確認される。このスイッチング素子における非同調状態の高調波歪みの改善について、図13及び図14を使って説明する。

【0060】

図13は、オーミック電極とゲート電極との間の容量のオーミック電極-ゲート電極間電圧依存性を示し、図14は、ゲート電極と同電極間に配置されるn⁺電極との間の容量のゲート電極-n⁺電極間電圧依存性を示す。どちらの図も、容量は、トランジスタがオフする電圧よりも低い電圧において、電圧を下げると共に小さく低下する。また、この容量の変化は、電圧がオフ電圧に近づくに従って大きくなる。このようなオフ時の容量が呈する電圧依存性がオフ状態のトランジスタから発生する高調波歪の原因となる。特に、第

1, 2, 3の実施形態の本実施形態で採用したP_t埋め込み型のゲート電極の場合、ゲート電極底面が完全にフラットにならないために、オフ容量の電圧依存性が大きくなる傾向にある。即ち、オフ状態のトランジスタの高調波歪が大きくなる傾向にある。但し、P_t埋め込み型ではゲート側方の寄生部分の抵抗が小さくなるためオン状態のトランジスタにおける挿入損失低減と高調波歪低減には有利である。

【0061】

図12の回路の場合、即ちn⁺電極に給電せずに電位が不安定な部分がある場合、端子51にV_cなるスイッチのオフ電圧を印加したとき、オーミック電極とゲート電極との間は図13の点bにバイアスされる。しかし、n⁺電極とゲートとの間は図14の点cにバイアスされ、チャネルがオフする電圧に近い電圧になる。そのため、オフ容量の電圧依存性が大きく、高周波電力が通過する際に大きい高調波歪が発生する。

10

【0062】

図11に示す本発明のスイッチング素子ではn⁺電極に給電しているため、オーミック電極とゲート電極との間は図13のb点にバイアスされ、ゲート電極とn⁺電極との間は図14の点dにバイアスされる。そのため、いずれもオフ容量の電圧依存性が小さい領域でバイアスされるため高調波歪の発生が抑えられる。即ち本実施形態のようにオフ容量の電圧依存性が大きいP_t埋め込み型ゲート電極を有する素子においても高調波の発生を抑えつつ、P_t埋め込みのメリットであるオン状態での低挿入損失と低歪を享受することができる。また、図13及び図14に示されるように、バイアスを深くしていくとオフ容量のバイアス依存性が小さくなり、オフ動作領域が広がるため高調波歪みが改善し耐電力性が向上する。

20

【0063】

本実施形態ではP_t埋め込み型ゲートを有するトランジスタの場合について説明したが、埋め込みを行わないゲートを用いる場合においても、n⁺電極に給電する本発明の適用により、挿入損失やチップ面積の増大を抑えつつ高調波歪を抑えられる点は同様である。また、高調波の抑制以外に、大電力入力時にオフ状態が崩れにくくなり、耐電力性が向上する効果もある。

【0064】

次に、n⁺電極の抵抗と同n⁺電極とオーミック電極を結ぶ電位安定用抵抗との大小関係について説明する。例えば総ゲート幅を2mmとする場合、n⁺電極であるn⁺層のシート抵抗を50 Ω / \square とすると、幅0.5 μ m、長さ2mmのn⁺層の抵抗は200K Ω となるが、給電点をn⁺層の一方の端に一点のみ形成する場合、電界効果型トランジスタに対する実効的な抵抗はその1/2と考えられ、100k Ω となる。

30

【0065】

ところで、特許文献1では、n⁺層とオーミック電極との間にn⁺層の抵抗値より大きな電位安定用抵抗を接続する方法が開示されているが、n⁺層が100k Ω となる場合、電位安定用抵抗はこの値を超えることになる。100k Ω を越える抵抗はパターン面積が大きくなり過ぎて素子の小型化が阻害される。一方、電位安定用抵抗の値は、スイッチング素子の高周波動作時に十分に高抵抗が確保できる程度でよく、通常は10k Ω 程度である。この場合は、n⁺層の実効的な抵抗を10k Ω より小さくすることになる。しかし、今度は、n⁺層の幅を5 μ m以上としなければならず、これではスイッチとしての挿入損失が大きくなってしまう。またトランジスタの占有面積増大の観点からも不利である。

40

【0066】

ここで、n⁺層の抵抗は、その上限をn⁺層に流れる電流による電圧降下が無視しうる値となる抵抗として決めてよい。オフ状態のトランジスタでn⁺層に流れる電流はゲートリーク電流である。通常、逆方向ゲートリーク電流は1 μ A/mm程度以下となるように半導体中のドーピング量等が設計されている。今、単位ゲート幅当たりのゲートリーク電流をI_g、ゲート幅をW_gとし、ゲート幅方向の単位長さあたりのn⁺層の抵抗をRとする。n⁺層の長さはゲート幅とほぼ等しいので、ここではゲート幅と等しいとする。n⁺層の一端に給電する場合、ゲート幅間のI_gによる電圧降下V_{drop}は以下の式で与え

50

られる。

【0067】

$$\begin{aligned} V_{drop} &= (1/2) \cdot R \cdot I_g \cdot W_g^2 \\ &= (R \cdot W_g / 2) \cdot (I_g \cdot W_g) \\ &= R_{eff} \cdot I_{gtotal} \end{aligned}$$

$R_{eff} = R \cdot W_g / 2$ が上でも述べた実効的な抵抗である。

【0068】

ここで、 n^+ 層のシート抵抗を $50 \text{ } \Omega / \square$ 、幅を $0.5 \text{ } \mu\text{m}$ に設定すると、ゲート幅方向の単位長さあたりの抵抗 R は $10 \text{ k} \Omega / \text{mm}$ となり、 $I_g = 1 \text{ } \mu\text{A} / \text{mm}$ とすると、ゲート幅 = 2 mm では V_{drop} は 0.2 V となる。 $W_g = 1 \text{ mm}$ ではこの $1/4$ で 0.05 V となる。電界効果トランジスタスイッチのオフ状態は、通常 V_{th} より 1 V から 2 V 近く深い電圧に設定されるので、 V_{drop} が 0.05 から 0.2 V 程度であれば、この V_{th} より 1 V から 2 V 近い深さの電圧に対して十分許容される。即ち、 n^+ 層の長さを $1 \sim 2 \text{ mm}$ としたときの抵抗 $10 \sim 20 \text{ k} \Omega$ は、電位安定用抵抗の通常の $10 \text{ k} \Omega$ 程度よりも大きくなって良いことが示され、 n^+ 層の抵抗が大きくても幅 $0.5 \text{ } \mu\text{m}$ 程度に抑える方が好ましいことが示される。ゲート幅が更に大きくなるなどして電圧降下 V_{drop} が無視できないような場合は本発明の n^+ 層とオーミック電極との電位安定用抵抗の接続を図6に示した第2の実施形態のようにゲート電極の一方だけに設けるのではなく、図19のようにゲート電極の両方に設けることによって V_{drop} を最小に抑えることができる。

【0069】

以上の実施形態では pHEMT トランジスタ又は mHEMT トランジスタを用い、ゲート電極の両側に n^+ 層（キャップ層）が配置される構造（リセスゲート構造）について説明した。しかし、本発明はキャップ層が配置される場合に限定されるものではない。キャップ層が配置されない場合は、ゲート電極間の給電は、ゲート電極間部分に設けられるチャンネル層に対して行なえば良い。ゲート間距離も n^+ 層のシート抵抗の代わりにこの部分のチャンネル層のシート抵抗を用いて上記の考え方に従って設計すればよい。

【0070】

図15に本発明の第4の実施形態を示す。本実施形態は、本発明のスイッチング素子を用いたアンテナスイッチ回路、及び同アンテナスイッチ回路を搭載した、クアドバンド対応の携帯電話に用いられる高周波モジュールである。図15において、76はアンテナスイッチ回路、58は高周波モジュールを示す。クアドバンドとは、欧州の GSM (Global System for Mobile communications)、米国の GSM、PCS (Personal Communication Services)、DCS (Digital Communication System) の4つの携帯電話規格（通信方式）によるバンドを指す。なお、便宜上、欧州の GSM を GSM1、米国の GSM を GSM2 とする。高周波モジュール58は、これに対応するため GSM の送信は共通で1系統（GSM1/2）、受信2系統（GSM1及びGSM2）、PCSとDCSの送信は共通で1系統、PCS受信1系統、DCS受信1系統の各端子を具備する。GSMは 900 MHz 帯、PCS及びDCSは 1800 MHz 帯である。

【0071】

アンテナスイッチ回路76は、この7系統と1個のアンテナ75を切り替える。図15に示すアンテナスイッチ回路76において、79～86はスイッチング素子、96～103は、スイッチング素子79～86の導通、非導通を制御するための制御信号が入力される制御端子、87は高周波結合用の容量である。更に、88はPCS/DCS送信端子（第1の端子）、89はGSM送信端子（第1の端子）、90はアンテナ端子（第2の端子）、91は接地端子、92はGSM1用受信端子（第3の端子）、93はGSM2受信端子（第3の端子）、94はPCS受信端子（第3の端子）、95はDCS受信端子（第3の端子）である。接地端子91はモジュール58の接地面と接続される。スイッチング素子79、80に第1又は第2の実施形態のスイッチング素子が用いられ、スイッチング素子81に第3の実施形態のスイッチング素子が用いられる。

【0072】

図15に示す高周波モジュール58において、104はGSM送信信号の入力端子、105はPCS/DCS送信信号の入力端子、106はアンテナ接続端子、107はGSM1受信信号の出力端子、108はGSM2受信信号の出力端子、109はPCS受信信号の出力端子、110はDCS受信信号の出力端子である。また、78は、制御端子96～103への制御信号を生成する制御回路である。更に、59, 61は電力増幅器(第1の増幅器)、60, 62はローパスフィルタ、77a～77fは高周波結合用の容量、65, 68, 71, 74は周波数変換器、64, 67, 70, 73は低雑音増幅器(第2の増幅器)、63, 66, 69, 72はSAW(Surface Acoustic Wave)フィルタである。送信側のフィルタ60, 62は、電力増幅器59, 60の整合回路の一部として電力増幅器59, 60の内部に設けられることもある。

10

【0073】

送信時、外部のGSM送信回路から出力されたGSM送信信号は、入力端子104に入力され、電力増幅器59で増幅され、ローパスフィルタ60で高調波成分を除去され、スイッチング素子76の送端子89に入力される。このとき、制御回路78により、制御端子97, 99に正電圧、制御端子96, 98, 100～103には0電圧が印加されることにより、スイッチング素子80, 82は導通状態、スイッチング素子79, 81, 83～86は非導通状態となる。これにより、増幅後のGSM送信信号は、スイッチング素子80及びアンテナ端子90を介して、アンテナ接続端子106に接続されたアンテナ75から送信される。

20

【0074】

このとき、スイッチング素子80, 82は、本発明の適用によって n^+ 層とオーミック電極が抵抗接続され、かつゲート電極間が狭く設定されているため、導通時の抵抗が抵抗化されている。従って、低い挿入損失が実現されている。スイッチング素子82の低挿入損失は、アンテナスイッチ回路76のアンテナ端子90と受信端子92～95間のアイソレーションを向上させる。

【0075】

次に、外部のPCS/DCS送信回路から出力された信号は、入力端子105に入力され、電力増幅器61で増幅され、ローパスフィルタ62で高調波成分が除去され、送信端子88に入力される。このとき、制御回路78により、スイッチング素子79, 82は導通状態、スイッチング素子80, 81, 83～86は非導通状態となり、スイッチング素子79及びアンテナ端子90を介してアンテナ端子106に接続されたアンテナ75から送信される。

30

【0076】

このとき、スイッチング素子79, 82は、本発明の適用によって n^+ 層とオーミック電極が抵抗接続され、かつゲート電極間が狭く設定されているため、導通時の抵抗が抵抗化されている。従って、低い挿入損失が実現されている。上述のように、スイッチング素子82の低挿入損失は、アンテナスイッチ回路76のアンテナ端子90と受信端子92～95間のアイソレーションを向上させる。

【0077】

特に、PCS送信周波数とDCS受信周波数のうち、1850MHzから1875MHzの周波数帯は動作周波数が重なっているために、高出力のPCS送信信号がDCS受信端子95にリークしたとき、送信側とのアイソレーションが十分に高くないとSAWフィルタ72が破壊されるおそれがある。しかし、本発明では高アイソレーションが実現されるので、SAWフィルタが破壊されるようなことはない。

40

【0078】

受信時の動作は、代表的にDCS受信について説明する。アンテナ75で受信されたDCS受信信号は、アンテナ端子106を経てアンテナ端子90へ入力される。このとき、制御回路78により、スイッチング素子79, 80, 82～85は非導通状態、スイッチ81, 86が導通状態となる。それにより、受信信号は、SAW72で帯域外のスプリア

50

スが除去されて雑音を低下されてから低雑音増幅回路 7 3 で信号増幅され、周波数変換器 7 4 で I F 信号または復調信号に変換され、出力端子 1 1 0 に出力される。

【 0 0 7 9 】

以上、本実施形態により、送受信の動作において挿入損失が低く、かつ送受信間で高いアイソレーションが得られるアンテナスイッチ回路及び高周波モジュールを実現することができる。

【 0 0 8 0 】

なお、本実施形態においては、送信時にスイッチング素子に印加する正電圧を大きくすることで非導通状態のスイッチング素子のバイアスが深くなるため耐電力性が向上する他、容量のバイアス依存性が小さい点にバイアスされるため高調波歪みも改善される。そのため、本発明は、W C D M A (Wideband Code Division Multiplex Access) や E D G E (Enhanced Data rates for GSM Evolution) 、無線 L A N (Local Area Network) などの高線形性が要求されるデジタル変調を採用した通信方式に対しても対応が可能である。

【 0 0 8 1 】

また、携帯電話がシングルバンド対応である場合は、アンテナスイッチ回路 7 6 において、スイッチング素子 8 2 ~ 8 6 は省略され、高周波モジュール 5 8 における送受信回路は云うまでもなく 1 系統になる。

【図面の簡単な説明】

【 0 0 8 2 】

【図 1 A】本発明に係るスイッチング素子による第 1 の実施形態を説明するための平面図。

【図 1 B】本発明のスイッチング素子による第 1 の実施形態を説明するための回路図。

【図 2】第 1 の実施形態のスイッチング素子の製造工程を説明するための第 1 の断面図。

【図 3】第 1 の実施形態のスイッチング素子の製造工程を説明するための第 2 の断面図。

【図 4】第 1 の実施形態のスイッチング素子の製造工程を説明するための第 3 の断面図。

【図 5】第 1 の実施形態のスイッチング素子の製造工程を説明するための第 4 の断面図。

【図 6】本発明のスイッチング素子による第 2 の実施形態を説明するための平面図。

【図 7】本発明のスイッチング素子による第 2 の実施形態を説明するための鳥瞰図。

【図 8 A】本発明のスイッチング素子による第 3 の実施形態を説明するための平面図。

【図 8 B】本発明のスイッチング素子による第 3 の実施形態を説明するための回路図。

【図 9】 n^+ 層の幅を変えてゲート間距離を変えたときの挿入損失の変化を説明するための曲線図。

【図 1 0 A】 n^+ 層に給電したときの 2 次高調波歪みの実測結果を示す曲線図。

【図 1 0 B】 n^+ 層に給電したときの 3 次高調波歪みの実測結果を示す曲線図。

【図 1 0 C】 n^+ 層に給電しないときの 2 次高調波歪みの実測結果を示す曲線図。

【図 1 0 D】 n^+ 層に給電しないときの 3 次高調波歪みの実測結果を示す曲線図。

【図 1 1】 n^+ 層に給電ありのスイッチング素子を用いた測定回路図。

【図 1 2】 n^+ 層に給電なしのスイッチング素子を用いた測定回路図。

【図 1 3】オーミック電極 - ゲート電極間容量の電圧依存性を説明するための曲線図。

【図 1 4】ゲート電極 - n^+ 層間容量の電圧依存性を説明するための曲線図。

【図 1 5】本発明のアンテナスイッチ回路及び高周波モジュールによる第 4 の実施形態を説明するための回路構成図。

【図 1 6】従来のスイッチング素子を説明するための平面図。

【図 1 7】一般的な S P D T スイッチを説明するための回路図。

【図 1 8】従来のスイッチング素子における容量増加の問題を説明するための平面図。

【図 1 9】本発明のスイッチング素子による第 2 の実施形態を説明するための別の平面図。

【符号の説明】

【 0 0 8 3 】

3 9 , 4 0 ... オーミック電極、 4 1 , 4 2 , 4 7 ... ゲート電極、 4 3 ... 素子分離領域、 4

10

20

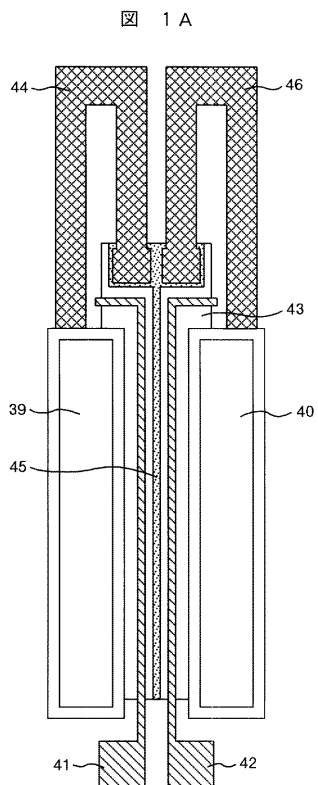
30

40

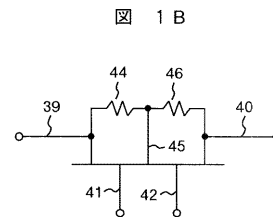
50

4, 46... 電位安定用抵抗、45, 48... n^+ 電極 (n^+ 層)、58... 高周波モジュール、59, 61... 電力増幅器、64, 67, 70, 73... 低雑音増幅器、60, 62... ロープスフィルタ、63, 66, 69, 72... SAWフィルタ、65, 68, 71, 74... 周波数変換器、76... アンテナスイッチ回路、78... 制御回路、79~86... スwitchング素子。

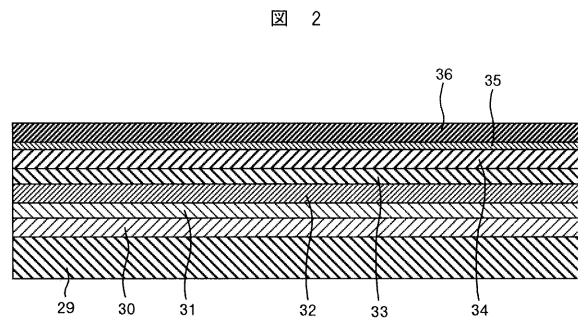
【図 1 A】



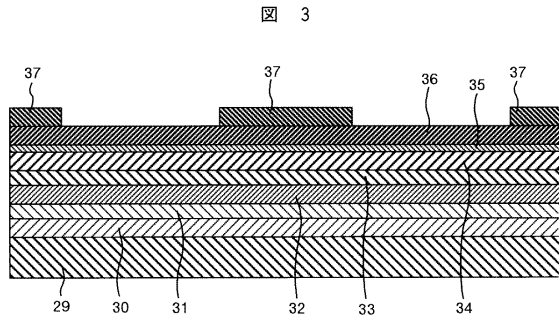
【図 1 B】



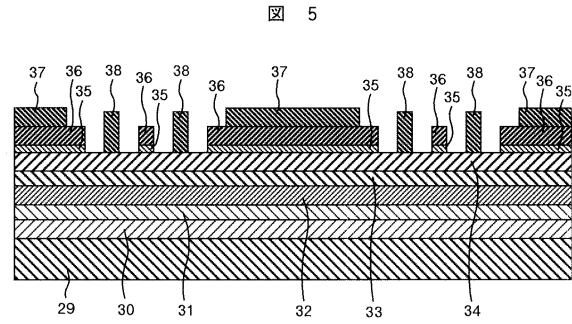
【図 2】



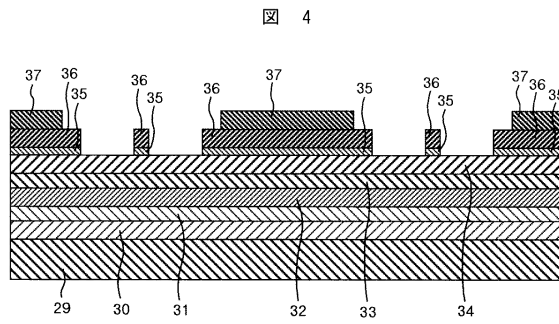
【図 3】



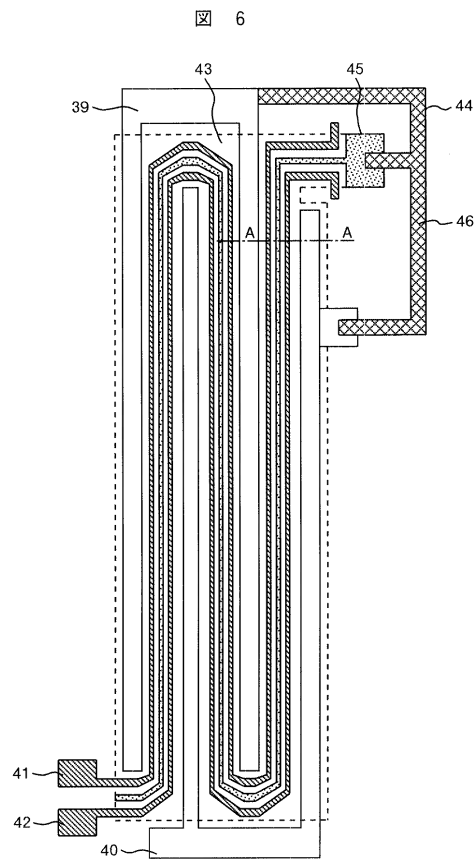
【図 5】



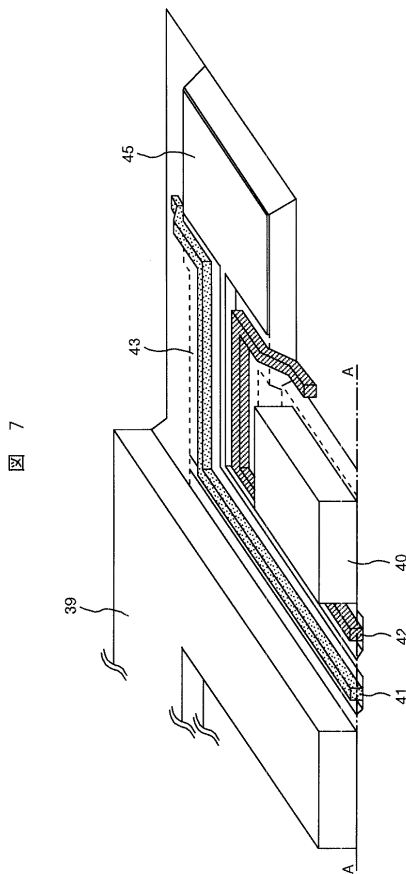
【図 4】



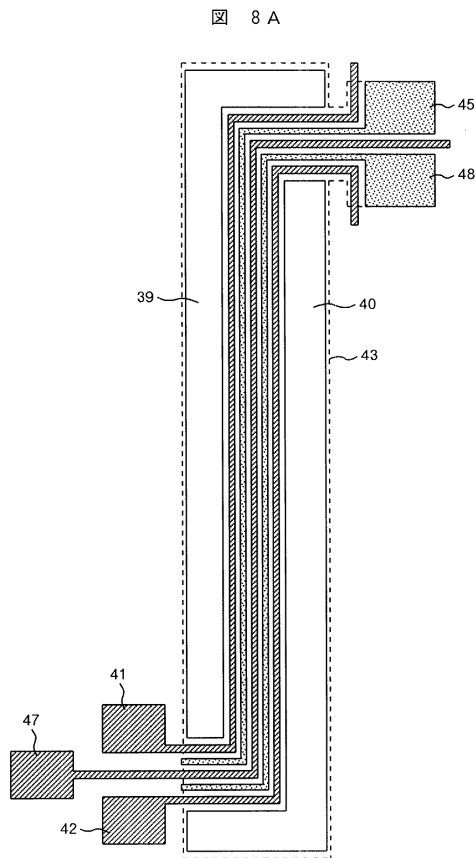
【図 6】



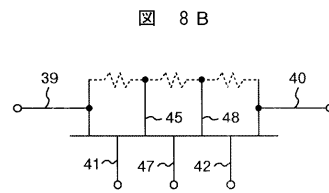
【図 7】



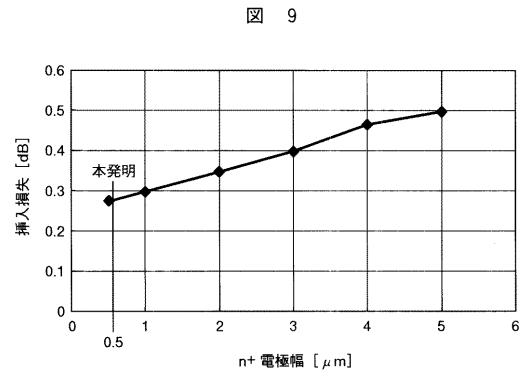
【図 8 A】



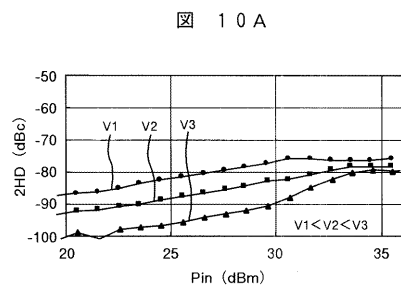
【図 8 B】



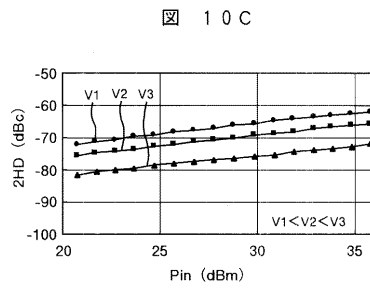
【図 9】



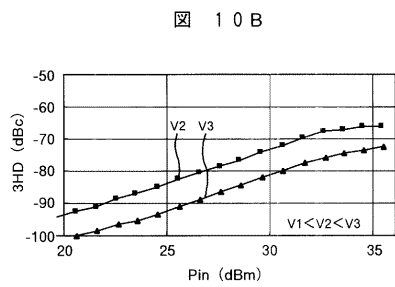
【図 10 A】



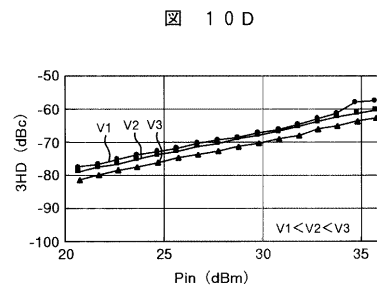
【図 10 C】



【図 10 B】

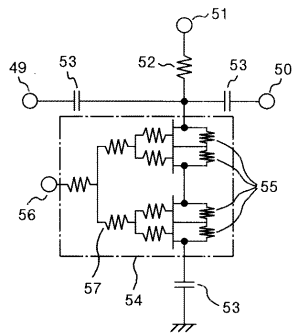


【図 10 D】



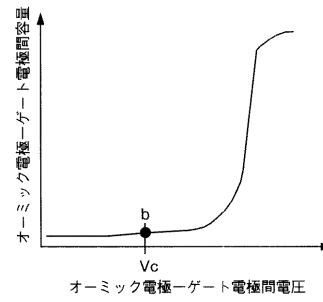
【図 1 1】

図 1 1



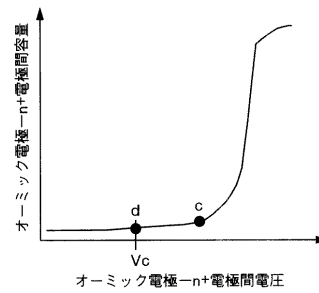
【図 1 3】

図 1 3



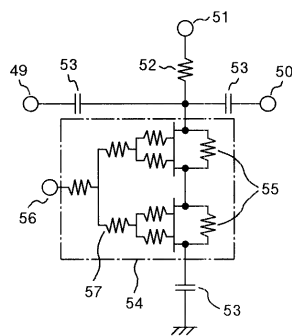
【図 1 4】

図 1 4



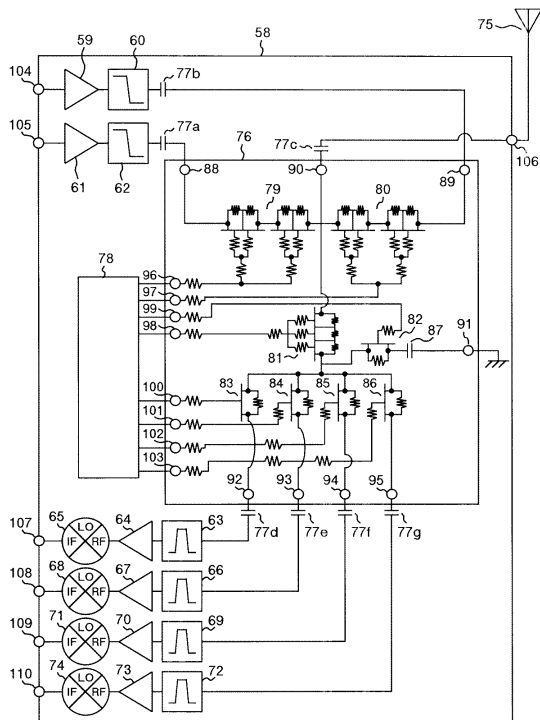
【図 1 2】

図 1 2



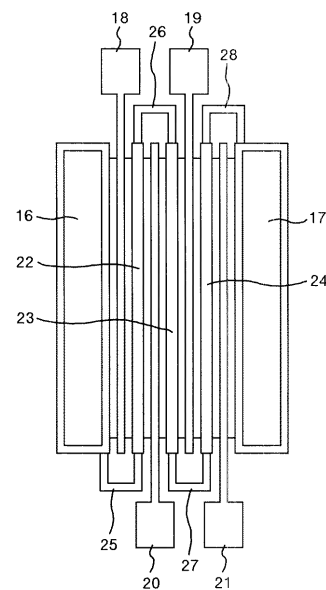
【図 1 5】

図 1 5

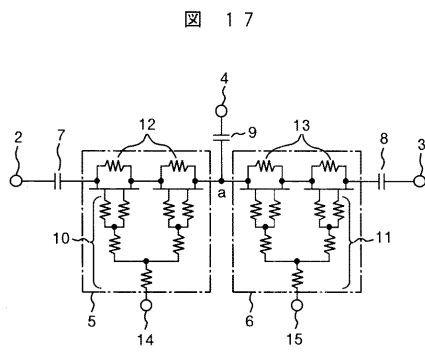


【図 1 6】

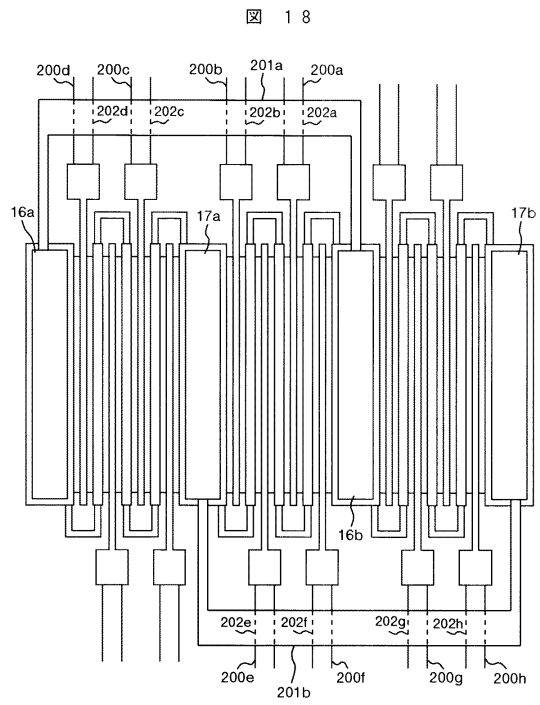
図 1 6



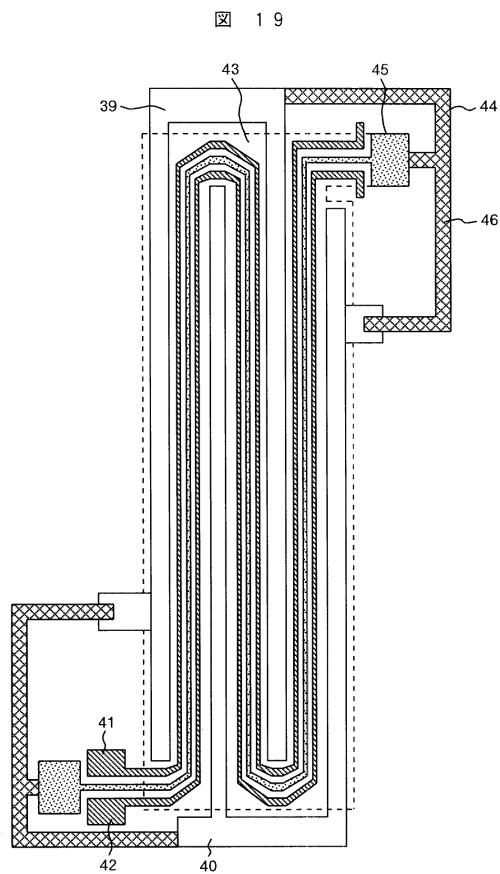
【図 17】



【図 18】



【図 19】



フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L 21/822 (2006.01)		H 0 3 K 17/687	G
H 0 1 L 27/04 (2006.01)		H 0 3 K 17/693	A
H 0 3 K 17/687 (2006.01)		H 0 4 B 1/44	
H 0 3 K 17/693 (2006.01)			
H 0 4 B 1/44 (2006.01)			

(72)発明者 小屋 茂樹
 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

(72)発明者 高 澤 浩幸
 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

(72)発明者 長壁 伸也
 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内

(72)発明者 中島 秋重
 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内

(72)発明者 重野 靖
 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内

審査官 村岡 一磨

(56)参考文献 特開 2 0 0 0 - 2 7 7 7 0 3 (J P , A)
 特開 2 0 0 3 - 0 8 6 7 6 7 (J P , A)
 特開 2 0 0 4 - 3 2 0 4 3 9 (J P , A)
 特開 2 0 0 0 - 1 8 3 3 6 2 (J P , A)
 特開平 0 9 - 2 3 8 0 5 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 1 / 3 3 8
H 0 1 L	2 1 / 8 2 2
H 0 1 L	2 7 / 0 4
H 0 1 L	2 7 / 0 9 5
H 0 1 L	2 9 / 7 7 8
H 0 1 L	2 9 / 8 1 2