

# PŘIHLÁŠKA VYNÁLEZU

zveřejněná podle § 35 odst. 1 zákona č. 84/1972 Sb.

(21) Číslo dokumentu:

**1981-5602**

(19) ČESKOSLOVENSKÁ  
SOCIALISTICKÁ  
REPUBLIKA

(22) Přihlášeno: **20.07.1981**

(32) Datum podání prioritní přihlášky: **22.07.1980**

(31) Číslo prioritní přihlášky: **1980/48568**

(33) Země priority: **BG**

(40) Datum zveřejnění přihlášky vynálezu: **19.11.1984**  
(Věstník č. 11/1984)

(51) Int. Cl.:

**G 06 F 7/38**

ÚŘAD PRO  
VYNÁLEZY  
A OBJEVY

(72) Původce:

Kassabov Nikola Kassabov ing., Sofia, BG

Dakovski Ljudmil Georgiev ing., Sofia, BG

(54) Název přihlášky vynálezu:

**Registrační operační jednotka**

CS 1981-5602

Originál dokumentu je v ruském jazyce.

PV 5602-87

№ 48 568

ÚŘAD PRO VYNÁLEZY A OBJEVY				DOŠLO 20. VII. 81	0 3 5 5 1 5	Čj.
PV.....		ČAS.	OSOBY/POŠTA			
PRÍL	UTVAŘ	REF	VYŘIZ			

/54/ РЕГИСТРОВОЕ АРИФМЕТИЧЕСКОЕ УСТРОЙСТВО

Изобретение касается регистрового арифметического устройства, имеющего возможность разрядной расширяемости, которое используется для обработки данных и их временного хранения, и может быть применено при сооружении процессоров для больших, мини-, и микро-ЭВМ, а также и самостоятельных цифровых устройств для вычислительной техники и автоматики.

Известен разрядно расширяемый микропроцессорный элемент /1/, который состоит из регистров, арифметическо-логического устройства, входных, выходных информационных и управляющих шин и шин для входного и выходного переноса, причем отдельные элементы микропроцессора соединены определенным способом один с другим.

Недостатком этого микропроцессорного элемента является выполнение в данный момент только одной операции. Кроме этого переброс информации между регистрами реализуется также последовательно, т.е. только один переброс в определенный момент. Возможности микропроцессоров для сооружения больших устройств посредством их

соединения в массивы и осуществление при этом одновременно обмена данными и выполнения операций в них очень ограничены.

Задачей изобретения является создание регистрового арифметического устройства, имеющего возможность разрядной расширяемости и параллельного выполнения нескольких однотипных операций с различными операндами; чтобы регистры в устройстве могли обменивать параллельно свою информацию о произвольно заданном параллельном обмене, а также, чтобы устройство имело лучшие возможности для сооружения больших цифровых устройств посредством соединения нескольких таких устройств.

Эта задача решена с помощью создания регистрового арифметического устройства, состоящего из регистров, операционной шины для задания кода операции устройству, две входно-выходные информационные шины, входные и выходные шины для расширения разрядности, согласно чему регистров  $N$  штук,  $n$ -разрядных однотипных арифметических регистров и два буферных регистра для ввода и вывода данных в устройстве и для связи с другими устройствами, причем первый буферный регистр <sup>соединен</sup> как с первой входно-выходной информационной шиной, так и с первым арифметическим регистром посредством управляющих шин для управления первым буферным регистром, а второй буферный регистр соединен как со второй входно-выходной информационной шиной, так и с последним арифметическим регистром посредством управляющих шин для управления вторым буферным регистром, а арифметические регистры соединены между собой посредством схемы управления межрегистровым обменом, к которой подключены управляющие входы устройства для управления обменом, причем операционные входные шины устройства соединены одновременно со всеми арифметическими регистрами, младшие и старшие триггеры которых соединены с соответствующей

входной и выходной шиной устройства для разрядной расширяемости из всех  $2N$  таких шин устройства. Информационный выход каждого арифметического регистра, от второго до последнего, соединен с информационным входом предыдущего регистра, к которому подсоединен и выход первого арифметического регистра посредством разрешающей комбинационной схемы с  $\lceil \log_2 (N+1) \rceil$  штуками входов, которые являются и управляющими входами устройства для управления обменом между регистрами. Арифметические регистры имеют и обратные связи по отношению передачи информации между регистрами, причем число управляющих обменом шин равно  $\lceil \log_2 (N+1) \rceil$ , а арифметический регистр состоит из  $n$ -разрядного триггерного блока, выходы триггеров которого представляют собой выходную информационную шину арифметического регистра и который соединен с комбинационной логической схемой с  $n$  - входными информационными шинами, которые являются входными информационными шинами арифметического регистра, и с тремя операционными шинами для задания кода операций.

Преимуществами устройства являются возможность одновременного выполнения  $N$  операций /одинаковых/ на  $N$  операндах, находящихся в арифметических регистрах, в том числе одноместных и двухместных операций. Посредством управления обменом между регистрами можно достичь произвольного параллельного обмена между ними, причем на каждый такт подачи управляющего обмена кода реализуется одновременная связь между всеми регистрами. Буферные регистры создают большие возможности для одновременного ввода, вывода данных в устройстве при различной организации: LIFO, FIFO и др. В устройстве также можно обрабатывать и конвейерные данные.

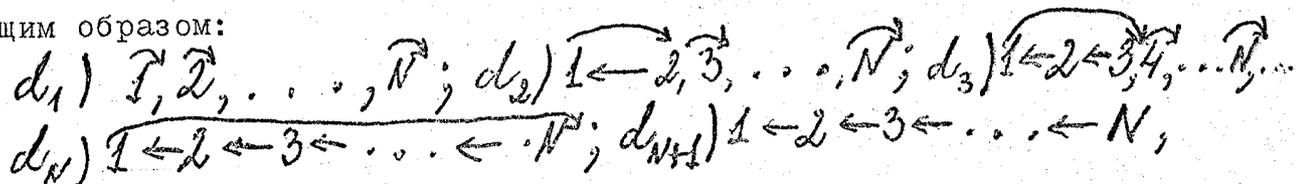
Изобретение пояснено примерным исполнением, показанным на рисунках, где:

- рисунок 1 представляет собой блок-схему устройства;
- рисунок 2 -- блок-схема блока управления межрегистровым обменом устройства;
- рисунок 3 -- второй вариант блока управления межрегистровым обменом;
- рисунок 4 -- блок-схема арифметического регистра устройства;
- рисунок 5 -- схема входно-выходных буферов устройства;
- рисунок 6 -- схема процессора, сооруженного из устройств, согласно изобретению.

Регистровое арифметическое устройство состоит из  $N$  штук  $N$  - разрядных арифметических регистров 1, которые могут выполнять определенное число арифметических и логических операций, из двух буферных регистров 2, причем первый из них соединен как с первой входно-выходной  $10$  - разрядной шиной 3, так и с первым арифметическим регистром 1 посредством информационной шины 4. Эти связи разрешены посредством их соединения с управляющими шинами А для управления первым входно-выходным буферным регистром, а второй буферный регистр 2 соединен как со второй входно-выходной шиной 5, так и с последним арифметическим регистром 1 с информационной шиной 6 посредством соединения с управляющими вторым буферным регистром шинами В. Входы и выходы для данных 7 всех арифметических регистров соединены между собой посредством блока управления межрегистровым обменом 8, к которому подсоединены управляющие входы Т устройства для управления обменом и, которые разрешают различные одновременные связи между всеми регистрами. Входы самых младших триггеров арифметических регистров соединены каждый с одной одноразрядной входной шиной устройства из шин  $CR_1, CR_2, \dots, CR_N$ , а выходы самых

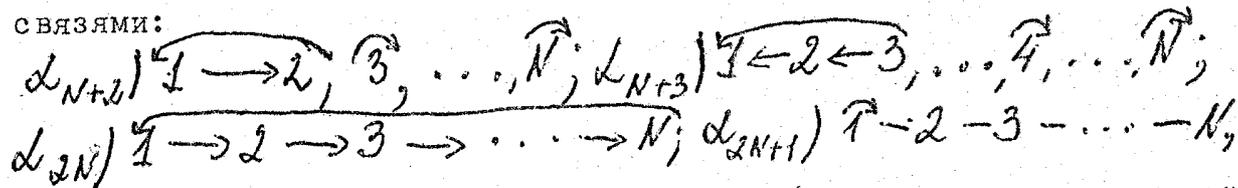
старших триггеров арифметических регистров соединены соответственно с одной из выходных шин устройства  $C/L_1, C/L_2, \dots, C/L_N$ . Операционные входные шины  $E$  для задания кода операции в устройстве соединены одновременно со всеми арифметическими регистрами 1.

Блок управления межрегистровым обменом 8 устройства показан на рисунках 2 и 3. Схема на рис. 2 содержит арифметические регистры 1 устройства, комбинационную схему 9 и входную  $\lceil \log_2(N+1) \rceil$  разрядную шину  $T$  для управления обменом, причем один управляющий код разрешает одновременное соединение всех регистров 1. Информационные входы и выходы регистров 1 соединены один с другим следующим образом:



причем  $1, 2, \dots, N$  являются номерами регистров 1, а стрелки обозначают соединение выхода первого регистра с входом того, чей номер указывается стрелкой. Выходы  $t_1$  до  $t_7$ , которые являются выходами логических элементов комбинационной схемы 9, реализующих логические функции:  $t_1 = d_2 \vee d_3 \vee d_{N+1}$ ;  $t_2 = d_2$ ;  $t_3 = d_3 \vee \dots \vee d_{N+1}$ ;  $t_4 = d_3$ ;  $t_5 = d_{N-1}$ ;  $t_6 = d_N \vee d_{N+1}$ ;  $t_7 = d_N$ .

и подсоединены к информационным шинам регистров для соединения каждого регистра, исключая первый, с соседним и с первым. В примерной реализации на рис. 3 арифметические регистры соединены кроме указанного на примерной реализации на рис. 2 способа, также и связями:



каждая из которых разрешается посредством подсоединения к одной выходной управляющей шине комбинационной схемы 9.

Арифметический регистр 1 устройства показан на рисунке 4 и состоит из блока  $R_6$  элементов памяти - триггеры  $R_1$  до  $R_n$ , логической дешифраторной схемы 10, которая соединена с тремя операционными входами  $R$  устройства и информационной входной  $n$ -разрядной шиной  $X$  регистра, а выходы этой схемы 10 от  $O_1$  до  $O_8$  являются управляющими входами триггерного блока  $R_6$  соответственно для реализации операций: запись/чтение; перемещение влево на один разряд; суммирование с 1; инвентирование; сумма по модулю два; дизъюнкция; конъюнкция; сумма. Выход первого триггера  $R_1$  и вход последнего триггера  $R_n$  соединены соответственно с выходом  $C/\bar{C}$  и входом  $СR$  устройства.

Входно-выходные буферы устройства показаны на рисунке 5. Первая входно-выходная шина 3 и шина 4, соединяющая первый буферный регистр 2 с первым арифметическим регистром 1, соединены каждая с тремя выходами дешифраторной схемы 11, к которой подсоединены входные управляющие первым буфером шины  $a_1, a_2, a_3$ . Второй буферный регистр 2 соединен аналогично со второй входно-выходной шиной 5 и последним арифметическим регистром 1 посредством соединения каждый с тремя выходами дешифраторной схемы 12, входы которой соединены с тремя управляющими вторым буфером шинами  $b_1, b_2, b_3$ . Входно-выходные операции только для первого буферного регистра описаны в таблице II.

Регистровое арифметическое устройство действует следующим образом:

При подаче одного кода операции операционным шинам  $R$  устройства все арифметические регистры выполняют эту операцию, причем первый операнд - это содержание регистра, а второй операнд - это содержание входной для него информационной шины. Для

реализации арифметического регистра, показанного на рисунке 4, во-сем операций даны в таблице I. Так например, если код операции 111, а код обмена, поданный управляющим обменом шинам Т, предназначен для реализации параллельной связи  $1 \leftarrow 2 \leftarrow 3 \leftarrow 4 \leftarrow 5 \leftarrow 6 \leftarrow 7 \leftarrow 8$ , когда

$N = 8$ , то в устройстве реализуются операции:

$$\langle i \rangle + \langle i + 1 \rangle + CR_i \rightarrow i \quad (3 \text{ а } i = 1, 2, \dots, 7) \quad \langle 1 \rangle + CR_8 \rightarrow 8$$

Код обмена указывает второй операнд каждого регистра. При подаче одного управляющего кода обмена управляющей шине Т реализуется одна из возможных одновременных связей /трансформаций/ между всеми арифметическими регистрами. Так например, при подаче одного разрядного кода управляющей шине Т из реализации на рисунке 2 осуществляется одна из всех  $N + 1$  трансформаций. Произвольный межрегистровый обмен может быть реализован в устройстве при подаче кода нулевой операции чтение/запись операционным шинам В и подаче определенной кодовой последовательности управляющим обменом шинам Т, разлагая предварительно желанную трансформацию на последовательность базовых трансформаций, реализованных при одном управляющем коде. Например, для реализации трансформации  $1 \leftarrow 4 \leftarrow 2 \leftarrow 5 \leftarrow 7 \leftarrow 3 \leftarrow 6 \leftarrow 8$  необходимо подать управляющую последовательность  $Y_9, Y_5, Y_7$ , причему управляющий код  $U_6$  реализует базовую трансформацию  $L_i$ . При подаче одного управляющего кода шинам управления буферных регистров 2 реализуется одна входно-выходная операция устройства, как это показано в таблице II, которая касается первого буфера. Таблица для второго буфера является аналогичной.

Устройство, согласно изобретению, позволяет сооруже-ние к.п.-разрядного устройства с теми же операциями посредством соединения к.п.-разрядных устройств посредством входов СВ и выходов С/устройства.

Процессор, сооруженный из устройств, согласно изобретению, образующих регистровый блок  $\mathbb{R}\mathbb{B}$ , и управляющего устройства  $\mathbb{U}$ , соединенного с регистровым блоком  $\mathbb{R}\mathbb{B}$ , показан на рисунке 6.

Преимущества регистрового арифметического устройства позволяют его использование для различных функций в одной цифровой системе, а точнее: в качестве сверхоперативного регистрового устройства для временного хранения данных и с возможностью их обработки при различной организации - **LIFO** /стэк/, **FIFO** и др.; АЛУ для параллельных операций /например одновременное умножение двух двойных чисел/, в котором операнды и промежуточные результаты не покидают его прежде завершения операции; устройства для конвейерной обработки данных и др.

ФОРМУЛА ИЗОБРЕТЕНИЯ

1. Регистровое арифметическое устройство, состоящее из регистров, операционной шины для задания кода операции устройству, двух входно-выходных информационных шин, входных и выходных шин для расширения разрядности, отличающееся тем, что регистров  $N$  штук,  $n$ -разрядных однотипных арифметических регистров (1) и два буферных регистра (2) для ввода и вывода данных в устройстве и для связи с другими устройствами, причем первый буферный регистр (2) соединен как с первой входно-выходной информационной шиной (3) так и с первым арифметическим регистром (1) посредством управляющих шин (А) для управления первым буферным регистром, а второй буферный регистр соединен как со второй входно-выходной информационной шиной (5), так и с последним арифметическим регистром (1) посредством управляющих шин (В) для управления вторым буферным регистром, а арифметические регистры (1) соединены между собой посредством схемы управления межрегистровым обменом (3), к которой подключены управляющие входы (Т) устройства для управления обменом, причем операционные входные шины (R) устройства соединены одновременно со всеми арифметическими регистрами (1), младшие и старшие триггеры которых соединены с соответствующей входной (СВ) и выходной (СЛ) шиной устройства для разрядной расширяемости из всех  $2N$  таких шин устройства.

2. Регистровое арифметическое устройство, согласно п.1, отличающееся тем, что информационный выход каждого арифметического регистра (1), от второго до последнего, соединен с информационным входом предыдущего регистра, к которому подсоединен и выход первого арифметического регистра посредством разрешающей комбинационной схемы (9) с  $\lceil \log_2 (N+1) \rceil$  штуками входов, которые являются и управляющими входами (Т) устройства для управления

обменом между регистрами.

3. Регистровое арифметическое устройство, согласно п.п. 1 и 2, отличающееся тем, что арифметические регистры (1) имеют и обратные связи по отношению передачи информации между регистрами, а число управляющих обменом шин (Т) равно  $\lceil \log_2 (2N+1) \rceil$ .

4. Регистровое арифметическое устройство, согласно п.п. 1, 2 и 3, отличающееся тем, что арифметический регистр состоит из  $n$ -разрядного триггерного блока, выходы триггеров которого представляют собой выходную информационную шину (13) арифметического регистра и который соединен с комбинационной логической схемой (10) с  $n$ -входными информационными шинами, которые являются входными информационными шинами (X) арифметического регистра (1), и с тремя операционными шинами (R) для задания кода операций.

Приложение: 6 рисунков

---

Литература:

I. N. Alexandridis, Bit-slice Microprocessor Architecture, "Computer", 1978, June, New York

№ 48 568

URAD PRO VYNÁLEZY A OBJEVY				035515	Čl.
PV.....		ČAS.			
PRIL A UTVAR		OSOB./POŠTA		DOŠLO	20 VII 81
CREE A VYRIZ					

изобретения "Регистровое арифметическое устройство"

Изобретение касается регистрового арифметического устройства, имеющего возможность разрядной расширяемости, которое используется для обработки данных и их временного хранения, и может быть применено при сооружении процессоров для больших, мини-, и микро-ЭВМ, а также и самостоятельных цифровых устройств для вычислительной техники и автоматики.

Задачей изобретения является создание регистрового арифметического устройства, имеющего возможность разрядной расширяемости и параллельного выполнения нескольких однотипных операций с различными операндами; чтобы регистры в устройстве могли обмениваться параллельно своей информацией с произвольно заданным параллельным обмене, а также, чтобы устройство имело лучшие возможности для сооружения больших цифровых устройств посредством соединения нескольких таких устройств.

Преимуществами устройства являются возможность одновременного выполнения  $N$  операций (одинаковых) с  $N$  операндами, находящихся в арифметических регистрах, в том числе одноместных и двухместных операций. Посредством управления обменом между регистрами можно достичь произвольного параллельного обмена между ними, причем на каждый такт подачи управляющего обмена кода реализуется одновременная связь между всеми регистрами. Буферные регистры создают большие возможности для одновременного ввода, вывода данных в устройстве при различной организации: *LIFO, FIFO* и др. В устройстве также можно обрабатывать и конвейерные данные.

## PŘEDMĚT VY N Á L E Z U

1. Registrační aritmetické zařízení, skládající se z registrů, operační svorky na stanovení kódu operace zařízení, ze dvou vstupních-výstupních informačních svorek, vstupních a výstupních svorek k rozšíření počtu řádů vyznačující se tím, že obsahuje N- registrů, z toho n- jednotypových aritmetických registrů (1) a dvou vyrovnávacích registrů (2) pro vstup a výstup údajů v zařízení a k propojení s dalšími zařízeními, přičemž první tlumicí registr (2) je spojen jak s první vstupní- výstupní informační sběrnici (3), tak i s prvním aritmetickým registrem (1) pomocí řídicí sběrnice (A) , k řízení prvního vyrovnávacího registru a druhého vyrovnávacího registru je spojen jak s druhou vstupní-výstupní informační sběrnici (5), tak i s posledním aritmetickým registrem (1) pomocí řídicí sběrnice (B) k řízení druhého vyrovnávacího registru, a aritmetické registry (1) jsou spojeny mezi sebou pomocí řídicího obvodu meziregistrové výměny (8), ke kterému jsou připojeny řídicí vstupy (T) zařízení pro řízení výměny, přičemž operační vstupní svorky (R) zařízení jsou současně spojeny se všemi aritmetickými registry (1) , mladší a starší klopné obvody, které jsou spojeny s odpovídající vstupní (CR) a výstupní (CL) svorkou zařízení k rozšiřitelnosti ze všech  $2N$  takových sběrnic zařízení.
2. Registrační aritmetické zařízení podle bodu 1, vyznačující se tím, že informační výstup každého aritmetického registru (1), od druhého do posledního, je spojen s informačním vstupem předcházejícího registru, ke kterému je připojen i výstup prvního aritmetického registru pomocí rozhodovacího kombinovaného obvodu (9) s  $\log_2 (N + 1)$  počty vstupů, které jsou i řídicími vstupy (T) zařízení k řízení výměny mezi registry.

3. Registrační aritmetické zařízení podle bodů 1 a 2 , vyznačující se tím, že aritmetické registry (1) mají i zpětné vazby k přenosu informace mezi registry a počet řídicích svorek (T) výměnou je  $\lceil \log_2 (2N + 1) \rceil$  .
4. Registrační aritmetické zařízení podle bodů 1, 2 a 3 , vyznačující se tím, že aritmetický registr (1) se skládá z n-vybíjecího klopného obvodu, výstupy klopných obvodů z něhož představují výstupní informační svorku (13) aritmetického registru (1), který je spojen s kombinačním logickým obvodem (10) s n-vstupními informačními svorkami , které jsou vstupními informačními svorkami (X) aritmetického registru (1) a s třemi operačními svorkami (R) ke stanovení kódu operace.

48568

ÚŘAD PRO VYNÁLEZY A OBJEVY				035515	Cl.
PV .....	ČAS	20 VII 81		DOŠLO	
	OSOBY/POŠTA				
PŘÍL	UTVAR	REF	VYŘIZ		

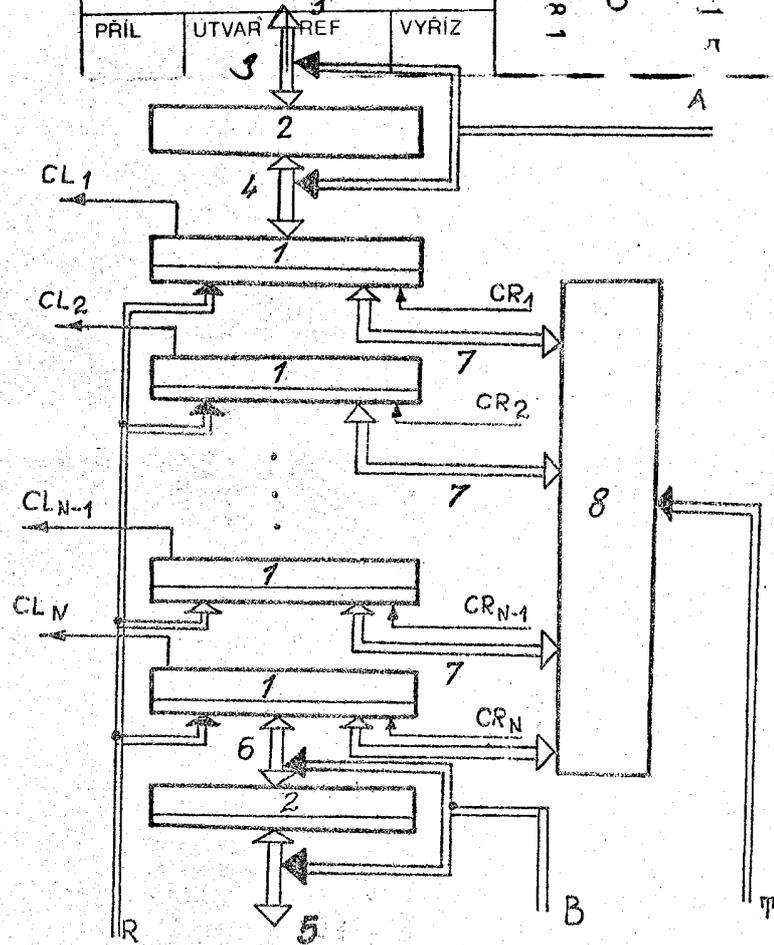


Fig. 1

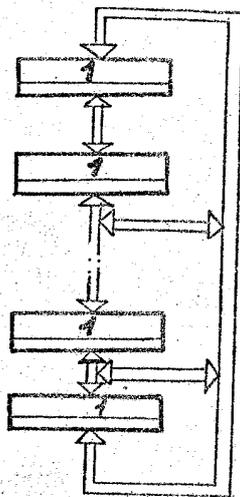


Fig. 3

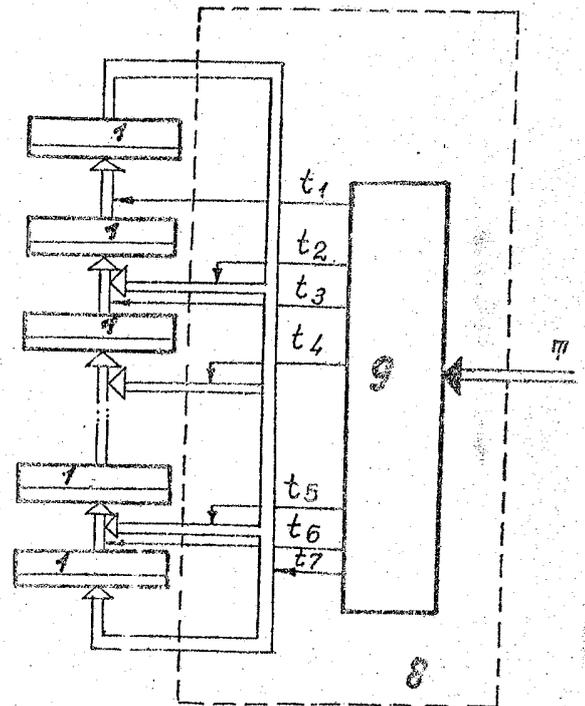
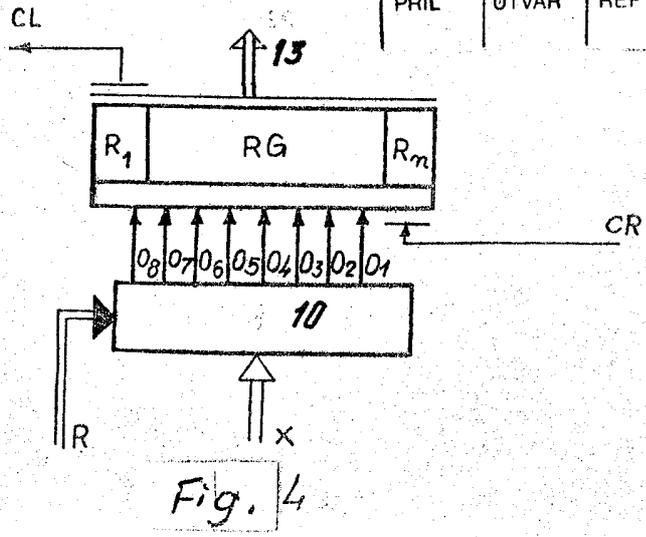


Fig. 2

PV..... CAS  
 OSOB./POSTA  
 PRIL UTVAR REF VYRIZ

148568  
 DOŠLO  
 035515  
 CI  
 20 VII 81

Tabella 1



r1	r2	r3	
0	0	0	$X \rightarrow RG \& \langle RG \rangle \rightarrow 13$
0	0	1	$\langle CR, R_m, \dots, R_1 \rangle \rightarrow R_m, \dots, R_1, CL$
0	1	0	$\langle RG \rangle + 1 \rightarrow RG$
0	1	1	$\langle RG \rangle \rightarrow RG$
1	0	0	$\langle RG \rangle \oplus X \rightarrow RG$
1	0	1	$\langle RG \rangle \vee X \rightarrow RG$
1	1	0	$\langle RG \rangle \wedge X \rightarrow RG$
1	1	1	$\langle RG \rangle + X \rightarrow CR \rightarrow RG$

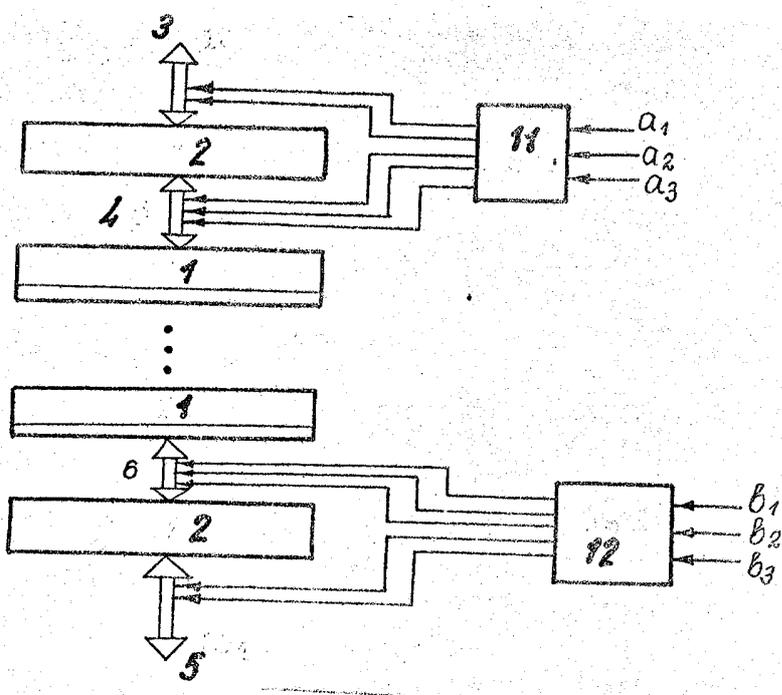


Fig. 5

Tabella 2

a1	a2	a3	
0	0	0	—, —
0	0	1	$I_0 \rightarrow 1, —$
0	1	0	$I_0 \rightarrow 1, 1 \rightarrow 2$
0	1	1	$1 \rightarrow I_0, —$
1	0	0	$1 \rightarrow I_0, 2 \rightarrow 1$
1	0	1	—, $1 \rightarrow 2$
1	1	0	—, $2 \rightarrow 1$
1	1	1	—, $\bar{1} \rightarrow 2$

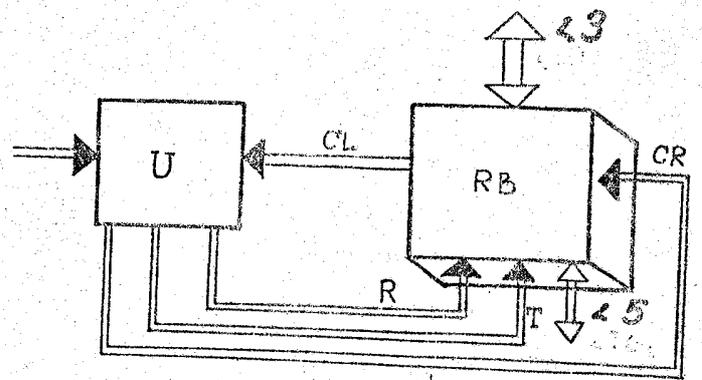


Fig. 6