

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年9月1日(01.09.2011)

PCT

(10) 国際公開番号
WO 2011/105066 A1

- (51) 国際特許分類:
H01L 21/20 (2006.01) *H01L 21/205* (2006.01)
- (21) 国際出願番号: PCT/JP2011/001014
- (22) 国際出願日: 2011年2月23日(23.02.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-043507 2010年2月26日(26.02.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 住友化学株式会社(SUMITOMO CHEMICAL COMPANY, LIMITED) [JP/JP]; 〒1048260 東京都中央区新川二丁目27番1号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 高田 朋幸 (TAKADA, Tomoyuki) [JP/JP]; 〒3050045 茨城県つくば市梅園2-13-1-4-102 Ibaraki (JP). 山中 貞則 (YAMANAKA, Sadanori) [JP/JP]; 〒3050005 茨城県つくば市天久保2-13-1-0-305 Ibaraki (JP).
- (74) 代理人: 龍華国際特許業務法人(RYUKA IP Law Firm); 〒1631522 東京都新宿区西新宿1-6-1 新宿エルタワー22階 Tokyo (JP).

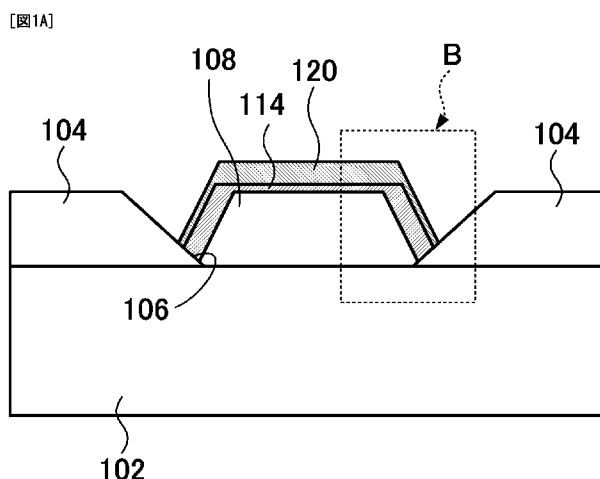
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR SUBSTRATE, SEMICONDUCTOR DEVICE, AND METHOD FOR MANUFACTURING SEMICONDUCTOR SUBSTRATE

(54) 発明の名称: 半導体基板、半導体デバイスおよび半導体基板の製造方法



(57) Abstract: Disclosed is a semiconductor substrate which is provided with a base substrate, a first crystal layer formed on the base substrate, a second crystal layer covering the first crystal layer, and a third crystal layer formed in contact with the second crystal layer. The first crystal layer has a first crystal plane, which has a plane orientation equal to that of a base substrate surface in contact with the first crystal layer, and a second crystal plane, which has a plane orientation different from that of the first crystal plane, the second crystal layer has a third crystal plane, which has a plane orientation equal to that of the first crystal plane, and a fourth crystal plane, which has a plane orientation equal to that of the second crystal plane, and the third crystal layer is in contact with at least respective parts of the third crystal plane and the fourth crystal plane. The ratio of the thickness of the second crystal layer in a region in contact with the second crystal plane to the thickness of the second crystal layer in a region in contact with the first crystal plane is larger than the ratio of the thickness of the third crystal layer in a region in contact with the fourth crystal plane to the thickness of the third crystal layer in a region in contact with the third crystal plane.

(57) 要約:

[続葉有]



ベース基板と、ベース基板上に形成された第1結晶層と、第1結晶層を被覆する第2結晶層と、第2結晶層に接して形成された第3結晶層とを備え、第1結晶層が、ベース基板における第1結晶層と接する面と面方位が等しい第1結晶面、及び、第1結晶面と異なる面方位を有する第2結晶面を有し、第2結晶層が、第1結晶面と面方位が等しい第3結晶面、及び、第2結晶面と面方位が等しい第4結晶面を有し、第3結晶層が、第3結晶面及び第4結晶面のそれぞれの少なくとも一部に接しており、第1結晶面に接する領域における第2結晶層の厚みに対する第2結晶面に接する領域における第2結晶層の厚みの比が、第3結晶面に接する領域における第3結晶層の厚みに対する第4結晶面に接する領域における第3結晶層の厚みの比よりも大きい半導体基板を提供する。

明 細 書

発明の名称：

半導体基板、半導体デバイスおよび半導体基板の製造方法

技術分野

[0001] 本発明は、半導体基板、半導体デバイスおよび半導体基板の製造方法に関する。

背景技術

[0002] 2－6族化合物半導体、3－5族化合物半導体および4－4族化合物半導体等の化合物半導体は、シリコンからなる単体半導体と比較して耐圧特性および高周波特性に優れるので、上記の化合物半導体を用いた各種の高機能電子デバイスが開発されている。上記の化合物半導体を結晶成長させる場合には、基板としてGaAsバルク基板が用いられている。しかし、GaAsバルク基板は価格が高く、放熱性が悪い。そこで、低価格で放熱特性に優れたSi基板を用いて電子デバイスを製造することが検討されている。

[0003] 特許文献1は、上記のような化合物半導体を用いた電子デバイスをSi基板上に製造する場合に、化合物半導体と格子整合できるGe層を中間層として設けることで良質な結晶薄膜が得られることを開示している。また、非特許文献1には、Si基板（ベース基板）にエピタキシャル成長させたGeの結晶薄膜をアニールすることで、中間層として用いるGeの結晶薄膜の結晶性を向上できることが開示されている。例えば、非特許文献1には、800～900℃の温度範囲で選択成長したGe結晶薄膜をアニールすることで、平均転位密度が $2.3 \times 10^6 \text{ cm}^{-2}$ のGe結晶薄膜が得られると記載されている。ここで、平均転位密度は格子欠陥密度の一例である。

特許文献1 特開昭61－094318号公報

非特許文献1 Hsin-Chiao Luan 他著、High-quality Ge epilayers on Si with low threading-dislocation densities、Appl. Phys. Lett. 75巻、2909頁、1999年

発明の概要

発明が解決しようとする課題

- [0004] しかし、Si 基板上に中間層としてGe 結晶を成長させ、そのGe 結晶上に化合物半導体を結晶成長させる場合、化合物半導体の結晶成長過程において、成長途中の化合物半導体にGe 原子が拡散する場合がある。また、化合物半導体の結晶成長前に実施される基板の熱処理工程において、Ge 結晶からのGe 原子の蒸発が起こり、化合物半導体の結晶成長過程において、蒸発したGe 原子が成長途中の化合物半導体の中に取り込まれる場合がある。化合物半導体の中のGe 原子はドナーとして作用し、化合物半導体の抵抗を下げるためがあるので、Ge 原子が化合物半導体に拡散すると、デバイス形成に必要な高抵抗半導体層を結晶成長させることが困難である。
- [0005] そこで、Ge 結晶と化合物半導体（例えばGaAs）との間にバッファ層を形成することにより、Ge 原子が化合物半導体に拡散することを防ぐ構成が考えられる。しかし、Ge 結晶を選択成長する場合には、Ge 結晶に斜めファセットが形成されるので、Ge 結晶の斜めファセット（Si 基板の面と平行でない面）におけるバッファ層の結晶成長速度が、Ge 結晶の水平ファセット（Si 基板の面と平行な面）における結晶成長速度よりも遅い場合には、斜めファセットにおけるバッファ層の厚みが水平ファセットにおけるバッファ層の厚みより小さくなる場合がある。
- [0006] 斜めファセットにおけるバッファ層を十分に厚くすることができないと、バッファ層は、斜めファセットにおけるGe 結晶から化合物半導体へのGe 原子の拡散を十分に抑制することができない。他方で、バッファ層の成長時間を長くすることにより斜めファセットにおけるバッファ層の厚みを十分に大きくすると、メサ形状のバッファ層の水平ファセットにおける面積が小さくなるので、化合物半導体を形成することができる領域が小さくなるという問題がある。

課題を解決するための手段

- [0007] 上記課題を解決するために、本発明の第1の態様においては、ベース基板

と、ベース基板上に形成された第1結晶層と、第1結晶層を被覆する第2結晶層と、第2結晶層に接して形成された第3結晶層とを備え、第1結晶層が、ベース基板における第1結晶層と接する面と面方位が等しい第1結晶面、及び、第1結晶面と異なる面方位を有する第2結晶面を有し、第2結晶層が、第1結晶面と面方位が等しい第3結晶面、及び、第2結晶面と面方位が等しい第4結晶面を有し、第3結晶層が、第3結晶面及び第4結晶面のそれぞれの少なくとも一部に接しており、第1結晶面に接する領域における第2結晶層の厚みに対する第2結晶面に接する領域における第2結晶層の厚みの比が、第3結晶面に接する領域における第3結晶層の厚みに対する第4結晶面に接する領域における第3結晶層の厚みの比よりも大きい半導体基板を提供する。

[0008] 当該半導体基板は、ベース基板上に形成され、かつ、ベース基板に達する開口を有し、第1結晶層の結晶成長を阻害する阻害体をさらに備え、第1結晶層が、開口の内部に形成されていてもよい。一例として、第1結晶層は、組成が $C_x S_i y G e_z S n_{1-x-y-z}$ ($0 \leq x < 1$ 、 $0 \leq y < 1$ 、 $0 < z \leq 1$ 、かつ、 $0 < x + y + z \leq 1$)である。一例として、第3結晶層は、As原子を含有する3-5族化合物半導体である。一例として、第2結晶層は、組成が $A l_a G a_b I n_c A s_d P_e$ ($0 \leq a < 1$ 、 $0 \leq b < 1$ 、 $0 < c \leq 1$ 、 $a + b + c = 1$ 、 $0 \leq d < 1$ 、 $0 < e \leq 1$ 、かつ $d + e = 1$)であり、第3結晶層は、組成が $A l_f G a_g I n_h A s_i P_j$ ($0 \leq f \leq 1$ 、 $0 \leq g \leq 1$ 、 $0 \leq h < 1$ 、 $f + g + h = 1$ 、 $0 < i \leq 1$ 、 $0 \leq j < 1$ 、かつ $i + j = 1$)である。

[0009] 当該半導体基板は、第3結晶層上に形成された第4結晶層をさらに有し、第4結晶層が、GaAs層、AlGaAs層、InGaAs層、InGaP層およびAlInGaP層からなる群から選ばれた少なくとも2つの層を含んでもよい。当該半導体基板は、第1結晶層上に、第2結晶層及び第3結晶層からなる積層体を、第2結晶層及び第3結晶層の積層方向に複数備えてもよい。

[0010] 本発明の第2の態様においては、上記の半導体基板を有し、第4結晶層に

半導体素子が形成されている半導体デバイスを提供する。

- [0011] 本発明の第3の態様においては、ベース基板上に第1結晶層を形成する段階と、第1結晶層を覆う第2結晶層をエピタキシャル成長させる段階と、第2結晶層に接する第3結晶層をエピタキシャル成長させる段階とを有し、第1結晶層が、ベース基板における第1結晶層と接する面と面方位が等しい第1結晶面、及び、第1結晶面と異なる面方位を有する第2結晶面を有し、第2結晶層が、第1結晶面と面方位が等しい第3結晶面、及び、第2結晶面と面方位が等しい第4結晶面を有し、第2結晶層をエピタキシャル成長させる段階および第3結晶層をエピタキシャル成長させる段階においては、第3結晶面及び第4結晶面のそれぞれの少なくとも一部に接する第3結晶層をエピタキシャル成長させ、第1結晶面における第2結晶層の成長速度に対する第2結晶面における第2結晶層の成長速度の比が、第3結晶面における第3結晶層の成長速度に対する第4結晶面における第3結晶層の成長速度の比より大きい半導体基板の製造方法を提供する。第1結晶層を形成する段階においては、第1結晶層を700℃以上950℃以下でアニールしてよい。

図面の簡単な説明

- [0012] [図1A]半導体基板100の一部の領域における断面を示す。
[図1B]図1AにおけるB部を拡大して示した断面図である。
[図2A]半導体基板100の製造過程における一部の領域における断面を示す。
[図2B]半導体基板100の製造過程における一部の領域における断面を示す。
[図3]半導体デバイス200の一部の領域における断面を示す。
[図4]半導体デバイス300の一部の領域における断面を示す。
[図5A]実施例1における半導体基板の不純物深さプロファイルを示すSIMSデータである。
[図5B]比較例1における半導体基板の不純物深さプロファイルを示すSIMSデータである。

[図6]実施例1における半導体基板の断面形状を示す。

[図7]実施例2における半導体基板の断面形状を示す。

発明を実施するための形態

- [0013] 以下、発明の実施の形態を通じて本発明を説明する。図1Aは、半導体基板100の一部断面の概要を示した断面図であり、図1Bは、図1AにおけるB部を拡大して示した断面図である。半導体基板100は、ベース基板102、障害体104、第1結晶層108、第2結晶層114および第3結晶層120を備える。ベース基板102は、表面にシリコンを有する。例えば、ベース基板102は、SiウェハまたはSOI基板である。ベース基板として、ベース基板の表面のシリコンの主面が(100)面である基板または成長面を(100)面からずらせたオフ基板を用いることができる。
- [0014] 障害体104は、第1結晶層108の結晶成長を障害する。障害体104は、例えば酸化シリコン、窒化シリコンまたは酸窒化シリコンである。障害体104はベース基板102上に形成されている。障害体104には、ベース基板102に達する開口106が形成されている。
- [0015] 第1結晶層108は、開口106の内部のベース基板102上に形成されている。第1結晶層108は、ベース基板102の表面のシリコンと格子整合または擬格子整合する。第2結晶層114は、第1結晶層108上に形成されており、第1結晶層108を被覆する。つまり、第2結晶層114は、第1結晶層108におけるベース基板102と接する面以外の全ての面に接する。第3結晶層120は、第2結晶層114に接して形成されている。
- [0016] 第1結晶層108は、第1結晶面110および第2結晶面112を有する。一例として、第1結晶面110の面方位は、ベース基板102の表面の面方位と等しい。第1結晶面110は、ベース基板102の表面と平行であってもよい。第2結晶面112は、第1結晶面110と異なる面方位を有する。第2結晶面112は、ベース基板102の表面と平行ではない。
- [0017] 第1結晶面110の面積は、第1結晶層108がベース基板102に接する領域の面積よりも小さい。第1結晶層108は、一例として、相互に面方

位が異なる複数の第2結晶面112を有する。第1結晶層108がベース基板102に接する領域が長方形の場合には、第1結晶層108は、第1結晶面110の4辺およびベース基板102に接する領域の4辺に接する4つの第2結晶面112を有する。

[0018] 第2結晶層114は、第3結晶面116および第4結晶面118を有する。第3結晶面116の面方位は、第4結晶面118の面方位と異なる。第3結晶面116の面方位は、第1結晶面110の面方位と等しい。第4結晶面118の面方位は、第2結晶面112の面方位と等しい。第3結晶層120は、第2結晶層114の第3結晶面116および第4結晶面118のそれぞれの少なくとも一部の領域と接する。

[0019] 第2結晶層114は第1結晶層108を覆う。第2結晶層114の表面には、第1結晶面110に対応する第3結晶面116と第2結晶面112に対応する第4結晶面118とが形成される。第2結晶層114は、複数の第2結晶面112のそれぞれに対応する第4結晶面118を有する。

[0020] 第1結晶面110に接する領域における第2結晶層114の厚みに対する第2結晶面112に接する領域における第2結晶層114の厚みの比は、第3結晶面116に接する領域における第3結晶層120の厚みに対する第4結晶面118に接する領域における第3結晶層120の厚みの比よりも大きい。ここで、結晶層の厚みとは、結晶層が有する第1の面と第1の面に対向する第2の面に垂直な方向における、第1の面と第2の面との間の距離である。なお、半導体基板100は、第3結晶層120と第4結晶面118との間に他の層を有してもよい。この場合において、第3結晶層120の厚みは、第3結晶層120が他の層に接する領域における厚みである。

[0021] 第2結晶層114を第1結晶層108上にエピタキシャル成長させた場合の、第1結晶面110における第2結晶層114の成長速度に対する第2結晶面112における第2結晶層114の成長速度の比は、第3結晶層120を第2結晶層114上にエピタキシャル成長させた場合の、第3結晶面116における第3結晶層120の成長速度に対する第4結晶面118における

第3結晶層120の成長速度の比より大きい。

- [0022] すなわち、エピタキシャル成長の成長時間が同じである場合、成長速度が異なると、エピタキシャル成長する層の厚さも異なる。第1結晶面110に接する領域における第2結晶層114の厚さを d_1 、第2結晶面112に接する領域における第2結晶層114の厚さを d_2 、第3結晶面116に接する領域における第3結晶層120の厚さを d_3 、第4結晶面118に接する領域における第3結晶層120の厚さを d_4 とすると、 $(d_2/d_1) > (d_4/d_3)$ の関係が満たされる。厚さ d_1 、 d_2 、 d_3 および d_4 が上記の関係を満たすことにより、第1結晶層108が含む原子が、第3結晶層120上に形成される化合物半導体層の内部に拡散することを防止できる。
- [0023] 第1結晶層108は、例えば $C_x Si_y Ge_z Sn_{1-x-y-z}$ ($0 \leq x < 1$ 、 $0 \leq y < 1$ 、 $0 < z \leq 1$ 、かつ、 $0 < x + y + z \leq 1$)である。第1結晶層108として、 $Si_y Ge_z$ ($0 \leq y < 1$ 、かつ $0 < z \leq 1$)が好ましく、Geがより好ましい。第1結晶層108は、例えば阻害体104をマスクとする選択エピタキシャル成長により形成することができる。エピタキシャル成長には、化学気相成長法（以下、CVD法と記することがある）、有機金属気相成長法（以下、MOCVD法と記することがある）または分子線エピタキシー法（以下、MBE法と記することがある）を用いることができる。第1結晶層108は、格子欠陥が例えば第2結晶面112にまで移動する温度および時間でアニールされることが好ましい。格子欠陥が第2結晶面112にまで移動することにより、第1結晶層108の結晶性が向上する。
- [0024] 第2結晶層114は、例えば $Al_a Ga_b In_c As_d P_e$ ($0 \leq a < 1$ 、 $0 \leq b < 1$ 、 $0 < c \leq 1$ 、 $a + b + c = 1$ 、 $0 \leq d < 1$ 、 $0 < e \leq 1$ 、かつ $d + e = 1$)である。第2結晶層114は、第1結晶層108と格子整合または擬格子整合することが好ましい。第2結晶層114が5族元素としてP原子を含む場合には、第2結晶層114は、第1結晶層108に形成された斜めファセット（第2結晶面112）上に成長しやすい。第2結晶層114が第2結晶面112上に成長しやすいので、第1結晶面110に接する領域にお

ける第2結晶層114の厚みを小さく保ちながら、第2結晶面112に接する領域における第2結晶層114の厚みを、第1結晶層108に含まれるGe原子が第2結晶面112を介して蒸発または拡散することを抑制する厚みにすることができる。

[0025] 第2結晶層114は、第1結晶層108に接して形成されてもよく、中間層を介して形成されてもよい。中間層は、例えば低温成長バッファ層である。低温成長バッファ層を中間層に用いることにより、第1結晶層108の分解、原料ガスとの反応を避けることができる。低温成長バッファ層の成長温度は、600℃以下が好ましい。

[0026] 第3結晶層120は、例えばAs原子を含有する3-5族化合物半導体である。第3結晶層120は、例えば $Al_fGa_gIn_hAs_iP_j$ ($0 \leq f \leq 1$ 、 $0 \leq g \leq 1$ 、 $0 \leq h < 1$ 、 $f + g + h = 1$ 、 $0 < i \leq 1$ 、 $0 \leq j < 1$ 、かつ $i + j = 1$) である。第3結晶層120は、第2結晶層114に比べてGaAsとの格子定数が近いことが好ましい。第3結晶層120は、GaAsに格子整合しやすいので、第3結晶層120上にGaAsを結晶成長させることに適している。ただし、As原子を含有する3-5族化合物半導体なので、斜めファセット（第4結晶面118）に形成されにくい。ところが、第4結晶面118と第1結晶面110との間に第2結晶層114が形成されているので、第1結晶層108に含まれるGe原子の蒸発または拡散が抑制される。

[0027] 第2結晶層114および第3結晶層120の組成におけるd、e、iおよびjの値は、 $d = 0$ 、 $e = 1$ 、 $i = 1$ 、 $j = 0$ が好ましい。つまり第2結晶層114として $Al_aGa_bIn_cP$ が好ましく、第3結晶層120として $Al_fGa_gIn_hAs$ が好ましい。

[0028] 第2結晶層114の厚さは、1nm以上500nm以下であることが好ましい。第3結晶層120の厚さは、1nm以上500nm以下であることが好ましい。第2結晶層114または第3結晶層120を1nm以上の膜厚にすることで、第1結晶層108の斜めファセット（第2結晶面112）が十

分な厚みの結晶層により被覆されるので、Ge原子の蒸発および拡散を抑制することができる。第2結晶層114または第3結晶層120の膜厚を500nm以下とすることで、第2結晶層114および第3結晶層120を含む積層膜全体の膜厚を制限できることができるので、原料コストを抑えることができる。また、デバイス加工プロセスのレジスト塗布工程または露光工程における、積層膜の膜厚が厚くなり過ぎることに起因して生じる不良を抑制することができる。

[0029] 第1結晶層108に形成される斜めファセット（第2結晶面112）によって、第1結晶層108の主面と平行な面の面積が、開口106の底面積に比べて小さくなる。したがって、第2結晶層114および第3結晶層120を含む積層膜の合計膜厚が厚くなると、主面と平行な面の面積がさらに小さくなり、デバイス作成に有効利用できる面積が小さくなる。第2結晶層114の膜厚および第3結晶層120の膜厚を各々500nm以下、好ましくは100nm以下とすることで、ベース基板102の主面に平行な面の面積の減少を抑えることができる。

[0030] 第2結晶層114は、第1結晶層108の斜めファセット（第2結晶面112）上に成長し易いので、膜厚が厚くなりすぎると斜めファセット部がベース基板102の主面と平行な面（第3結晶面116）より盛り上がり、第2結晶層114の形状が乱れることがある。第2結晶層114の膜厚を500nm以下、好ましくは100nm以下とすることで、第2結晶層114の形状の乱れを抑制することができる。

[0031] 第3結晶層120は、5族元素としてAsを含んでおり、ベース基板102の主面と平行な面（第3結晶面116）に成長し易い。したがって、デバイスの活性領域として機能する機能層の成長に必要な、ベース基板102の主面と平行な面を平坦に成長することができるので、第2結晶層114に生じていた厚みのばらつきを補償することができる。一例として、第3結晶層120の膜厚を1nm以上とすることで、第2結晶層114に生じていた厚みのばらつきを補償して、第3結晶層120の表面を平坦化することができる。

る。

- [0032] また、第3結晶層120の膜厚を500nm以下好ましくは100nm以下とすることで、第2結晶層114と第3結晶層120とを合わせた膜厚を抑制することができるので、機能層の成長に必要なベース基板102の主面と平行な面の面積減少を抑制することができる。なお、第2結晶層114の膜厚および第3結晶層120の膜厚は、開口106の大きさ及び作製するデバイスの大きさに応じて調節し、最適化することができる。
- [0033] 障害体104の開口106の内部に第1結晶層108としてGe層を形成する場合、Si結晶とGe結晶とでは、格子定数および熱膨張係数等の物性値が異なるので、Ge結晶中に転位等の結晶欠陥が発生しやすい。ここで、開口106を小さく形成し、内部に形成するGe層の平面積を小さくすると、格子定数差あるいは熱膨張係数差の影響が軽減されて転位が発生しにくくなる。Ge層の形成後にアニールをする場合においても、Ge層の平面積が小さいほど転位を低減しやすい。
- [0034] そこで、開口106の底面積は、好ましくは1mm²以下である。開口106の底面積は、さらに好ましくは25μm²以上2500μm²以下である。開口106の底面積が25μm²より小さいと、電子素子または光素子を作製することができる面積が少ないので好ましくない。第2結晶層114または第3結晶層120は、障害体104上に形成されてもよい。なお、半導体基板100は、障害体104および開口106を有しなくてもよい。
- [0035] なお、ベース基板102上に、第1結晶層108、第2結晶層114および第3結晶層120を順次CVD成長させる場合、ベース基板102としてSi基板を用いるときは、成長面をSi(100)面から少しずらしたオフ基板を用いることができる。オフ基板を用いることは、アンチフェイスドメインの発生を抑制することができるという点で好ましい。
- [0036] ただし、ベース基板102にオフ基板を用いる場合、第2結晶層114と第3結晶層120とを1層ずつ積層すると、第2結晶層114を厚く積層した場合のエッジの盛り上がり量が方向により異なり、デバイス構造を積層し

た後のデバイスプロセスに悪影響を及ぼす場合がある。第2結晶層114と第3結晶層120とを繰り返し積層する多層構造とすることで、エッジ部の盛り上がりを抑えることができる。

[0037] 次に、半導体基板100の製造方法を説明する。図2Aおよび図2Bは、半導体基板100の製造過程における半導体基板100の一部の領域における断面を示す。

[0038] 図2Aに示すように、ベース基板102上に阻害体104を形成し、阻害体104にベース基板102に達する開口106を形成する。そして開口106の内部のベース基板102上に第1結晶層108を形成する。次に、図2Bに示すように、第1結晶層108を覆う第2結晶層114をエピタキシャル成長させる。その後、第2結晶層114に接して第3結晶層120をエピタキシャル成長させることで、図1Aに示す半導体基板100を製造できる。

[0039] ここで、第2結晶層114および第3結晶層120を成長する段階においては、第1結晶面110における第2結晶層114の成長速度に対する第2結晶面112における第2結晶層114の成長速度の比が、第3結晶面116における第3結晶層120の成長速度に対する第4結晶面118における第3結晶層120の成長速度の比より大きくなる成長条件でエピタキシャル成長させる。

[0040] 第1結晶層108としてGe層を形成する段階においては、GeH₄を原料ガスとして用いる化学気相成長法を用いることができる。続いて、第1結晶層108をアニールすることによって結晶欠陥を低減する。一例として、第1結晶層108をエピタキシャル成長する気相成長装置内で、第1結晶層108のエピタキシャル成長後に続けてアニールをすることができる。

[0041] 第1結晶層108は、内部の結晶欠陥が例えば第2結晶面112にまで移動することができる温度および時間でアニールすることが好ましい。アニールする温度および時間は、第1結晶層108の大きさによって最適化される。第1結晶層108がGe層である場合、好ましいアニール温度は、700

°C以上950°C以下である。アニール温度が700°Cより低いと結晶欠陥の移動が十分でなく、転位を低減するまでに長時間を要する。アニール温度が950°Cより高いと、第1結晶層108が分解または蒸発しやすいので好ましくない。

[0042] 第1結晶層108をアニールする温度は、さらに好ましくは750°C以上900°C以下である。第1結晶層108を750°C以上900°C以下でアニールすることで、結晶中の転位を低減し、かつ第1結晶層108の形状の乱れを抑制することができる。また、温度変化を繰り返すサイクルアニールによっても転位を低減することができる。

[0043] アニールに用いる熱源として、抵抗加熱式あるいは高周波誘導加熱方式のウェハーホルダーを用いることができる。また、赤外線によるランプ加熱を用いることもできる。サイクルアニールを行う場合、ランプ加熱方式を用いることで短いサイクルでのアニールが可能になる。

[0044] 第2結晶層114および第3結晶層120のエピタキシャル成長には、MOCVD法またはMBE法を用いることができる。MOCVD法による第2結晶層114の形成には、 PH_3 を原料の少なくとも1種として用いる。 PH_3 を原料の少なくとも1種として用いることにより、P原子を含む第2結晶層114を第1結晶層108上に形成することができるので、第1結晶層108に含まれるGe層の分解が生じることなく、良好なヘテロ界面が得られる。

[0045] 第3結晶層120の形成には、 AsH_3 を原料の少なくとも1種として用いる。 AsH_3 を原料の少なくとも1種として用いることにより、Asを含む第3結晶層120を第2結晶層114上に形成することができるので、不純物の少ない良質な結晶が得られる。第2結晶層114および第3結晶層120の成長温度は、450°C以上700°C以下であることが好ましい。第2結晶層114および第3結晶層120の成長温度が450°Cより低いと良好な結晶品質が得られにくく、700°Cよりも高いと第1結晶層108に含まれるGe原子が第3結晶層120より上に形成される化合物半導体中に取り込ま

れやすくなるので好ましくない。

[0046] 図3は、半導体デバイス200の一部の領域における断面を示す。半導体デバイス200は、半導体基板100の第3結晶層120上に形成された第4結晶層202を有する。第4結晶層202として、GaAs層、AlGaAs層、InGaAs層、InGaP層およびAlInGaP層からなる群から選ばれた少なくとも2つの層を含むものが挙げられる。第4結晶層202は、キャリア濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以下である半導体層を少なくとも1層含むことが好ましい。第4結晶層202は、Ge原子濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以下である半導体層を少なくとも1層含むことが好ましい。

[0047] 第4結晶層202を加工することで、所望の半導体素子を形成することができる。半導体素子は、例えば電子素子または光素子である。電子素子は、例えばHBTである。光素子は、例えば発光素子または受光素子である。光素子および電子素子を混在させて半導体素子を形成してもよい。図3においては、ヘテロバイポーラトランジスタ（HBT）を例示している。第4結晶層202にはHBTのエミッタ電極204、ベース電極206およびコレクタ電極208が形成されている。

[0048] 第4結晶層202は、GaAs結晶と格子整合あるいは擬格子整合する結晶からなる多層構造を含むことが好ましい。第1結晶層108がGe層である場合には、当該Ge層のGe結晶と第4結晶層202内のGaAs結晶とが、擬格子整合する。GaAs結晶と格子整合あるいは擬格子整合する層には転位の発生がないので、高品質の第4結晶層202を成長させることができる。第4結晶層202を構成する層の厚みが小さい場合には、格子定数の違いがあっても転位を発生させることなく、高品質な結晶を成長させることもできる。

[0049] 図4は、半導体デバイス300の一部の領域における断面を示す。半導体デバイス300においては、第1結晶層108に接して第2結晶層114が形成され、第2結晶層114に接して第3結晶層120が形成されている。さらに、第2結晶層114および第3結晶層120の複数の組が積層して形

成されている。

[0050] 最もベース基板 102 から離れて形成されている第 3 結晶層 120 上には第 4 結晶層 202 が形成され、第 4 結晶層 202 に HBT が形成されている。半導体デバイス 300 が、第 2 結晶層 114 および第 3 結晶層 120 からなる複数組の積層を有することで、Ge の蒸発または拡散を抑制する効果を高めることができる。第 2 結晶層 114 および第 3 結晶層 120 からなる積層は、3 回以上好ましくは 5 回以上繰り返して形成されることが好ましい。

[0051] なお、第 2 結晶層 114 および第 3 結晶層 120 の積層の形態は、例えば、第 1 結晶層 108 / 第 2 結晶層 114 / 第 3 結晶層 120 の順に形成され、第 2 結晶層 114 および第 3 結晶層 120 が複数回繰り返して形成され、ベース基板 102 から最も離れた最表面の積層として第 2 結晶層 114 / 第 3 結晶層 120 が形成されている形態である。

[0052] また、第 1 結晶層 108 / 第 3 結晶層 120 / 第 2 結晶層 114 / 第 3 結晶層 120 の順に形成され、第 2 結晶層 114 および第 3 結晶層 120 が複数回繰り返して形成され、最表面の積層として第 2 結晶層 114 / 第 3 結晶層 120 が形成されていてもよい。なお、複数の積層体が有する複数の第 3 結晶層 120 のうち、第 1 結晶層 108 からの距離が最も大きい第 3 結晶層 120 の面積が、第 1 結晶層 108 からの距離が最も小さい第 3 結晶層 120 の面積よりも大きいことが好ましい。

[0053] 図 1A に示す半導体基板 100、図 3 に示す半導体デバイス 200 または図 4 に示す半導体デバイス 300 において、障害体 104 は、複数の開口 106 を有してもよく、複数の開口 106 の各々の内部に第 1 結晶層 108 が形成されていてもよい。障害体 104 は複数形成されてもよく、開口 106 は障害体 104 ごとに複数形成されてもよい。障害体 104 が複数形成されている場合、隣接する障害体 104 の間の距離または方向が、複数の障害体 104 のそれぞれにおいて同一であることが好ましい。例えば、複数の障害体 104 が格子状に配置されていることが好ましい。複数の障害体 104 のそれぞれが等間隔に配置されていてもよい。

- [0054] 障害体 104 のそれぞれに複数の開口 106 が形成されている場合には、それぞれの開口 106 に電子素子または光素子が形成されていることが好ましい。また、障害体 104 のそれぞれにおける隣接する開口 106 の間の距離または方向が同一であることが好ましい。例えば、複数の開口 106 が格子状に配置されていることが好ましい。複数の開口 106 のそれぞれが等間隔に配置されていてもよい。開口 106 を複数の同一配置で形成することで、エピタキシャル成長させる結晶層の膜厚制御が容易になる。
- [0055] 複数の開口 106 のそれぞれに形成された電子素子または光素子は、相互に配線で接続されていることが好ましい。同一の電子素子または光素子を開口 106 ごとに形成する場合は、開口 106 が等間隔に配置されていることが好ましい。例えば、ヘテロバイポーラトランジスタのような電子素子を複数の開口 106 のそれぞれに形成し、形成された複数の素子を並列接続することにより電子デバイスを形成することができる。開口 106 のそれぞれに形成した発光部または受光部を有する光素子を相互に接続したり、ベース基板 102 に形成した他の電子素子と当該光素子とを接続したりすることで、光デバイスを形成することができる。

実施例

- [0056] (実施例 1)

ベース基板 102 として (100) 面から $\langle 110 \rangle$ 方向に 6° オフした市販の単結晶 Si ウェハを用意した。ベース基板 102 の表面に、熱酸化法により SiO_2 からなる障害体 104 を形成した。フォトリソグラフィ法によるパターニングで障害体 104 に開口 106 を形成した。次に、 GeH_4 を原料ガスとして用いる減圧 CVD 法により、開口 106 の内部に、第 1 結晶層 108 として Ge 層を選択的に成長させた。さらに CVD 炉内でアニールを行い、Ge 結晶の高品質化を行った。

- [0057] ベース基板 102 を CVD 炉から取り出し、MOCVD 炉にセットした。キャリアガスとして水素を用い、トリメチルガリウム（以下 TMG と記すことがある。）とアルシンを原料として用い、 550°C の成長温度で GaAs

バッファ層を成長させた。その後、成長温度を640℃に変更し、TMGとアルシンを原料とし、GaAs層を成長させた。GaAs層の膜厚は250nmであった。

[0058] さらに、成長温度を610℃に変更し、トリメチルインジウム（以下TMIと記すことがある）、TMG及びホスフィンを原料とする $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層を第2結晶層114として形成し、TMGおよびアルシンを原料とするGaAs層を第3結晶層120として形成した。さらに $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層とGaAs層の積層を繰り返して形成し、第2結晶層と第3結晶層との積層を含む多層膜を成長させた。成長膜厚は $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層が10nm、GaAs層が20nmであり、10周期の多層膜とした。さらにGaAs層を第4結晶層202の一部として成長させた。

[0059] （比較例1）

比較例1として、実施例1における $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層とGaAs層からなる多層膜の部分をGaAs層に変更したこと以外は実施例1と同様の半導体基板を作製した。

[0060] 実施例1および比較例1の半導体基板における、障害体104がない部分における不純物の深さプロファイル（深さ方向の濃度分布）を2次イオン質量分析法（SIMS）により測定した。図5Aは、実施例1における半導体基板の不純物深さプロファイルを示すSIMSデータであり、図5Bは比較例1における半導体基板の不純物深さプロファイルを示すSIMSデータである。

[0061] 図5Aに示すように、実施例1の $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層とGaAs層を積層した多層膜部分では、Ge原子が急激に低下していることがわかる。第1結晶層108であるGe層とGaAs層（GaAsバッファ層）の界面から、GaAs層（第4結晶層202の一部）側に500～600nm離れた位置でのGaAs層（第4結晶層202の一部）中のGe濃度は、概ね $1 \times 10^{16} \text{ cm}^{-3}$ 程度であった。これに対して、比較例1でのGe濃度は、第1結晶層108であるGe層とGaAs層の界面から、GaAs層側に500～

600nm離れた位置でのGaAs結晶中のGe濃度は、 $3 \times 10^{17} \text{ cm}^{-3}$ 程度と実施例1に比べて1桁以上高い値であった。

[0062] 図6は、実施例1における半導体基板の断面形状を示す。同図に示す断面形状は、半導体基板に対し垂直に切断した断面を、レーザ顕微鏡を用いて測定したものである。同図は、障害体104の開口106に成長させた、Ge層（第1結晶層108）と、GaAsバッファ層、GaAs層、 $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層（第2結晶層114）およびGaAs層（第3結晶層120）を10周期積層した多層膜と、GaAs層（第4結晶層202の一部）とを積層した多層構造の断面を示す。

[0063] 同図に示すように、断面は概ね台形であり、当該台形の脚に相当する断面部分は、第2結晶面112または第4結晶面118に等価な斜めファセットに対応し、当該台形の上底に相当する断面部分は、第1結晶面110または第3結晶面116に等価な多層構造表面に対応する。図示するように、斜めファセットの近傍における多層構造表面には、盛り上がりが生じていないことを確認できた。

[0064] （実施例2）

実施例1と同様に、ベース基板102である単結晶Siウエハの表面に、障害体104である SiO_2 を形成し、障害体104（ SiO_2 ）に開口106を形成した。さらに実施例1と同様に、開口106の内部のベース基板102（単結晶Siウエハ）上に、第1結晶層108としてGe層を選択的に成長させ、当該Ge層をアニールして、Ge結晶の高品質化を行った。その後、ベース基板102をMOCVD炉にセットし、実施例1と同様にGaAsバッファ層およびGaAs層を成長させた。

[0065] 続いて、実施例1と同じ条件で、 $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層を第2結晶層114として形成し、さらにGaAs層を第3結晶層120として形成した。本実施例2では、実施例1のように第2結晶層と第3結晶層との積層を複数含む多層構造とはしないで、 $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層（第2結晶層114）およびGaAs層（第3結晶層120）をそれぞれ1層ずつ形成するのみとした

。 $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層および GaAs 層の膜厚をそれぞれ 200nm とした。さらに GaAs 層を第 4 結晶層 202 の一部として成長させた。

[0066] このように作成した半導体基板における、障害体 104 がない部分における不純物の深さプロファイルを、実施例 1 と同様に SIMS により測定した。その結果、Ge 原子濃度は $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層で急激に低下し、第 1 結晶層 108 である Ge 層と GaAs 層 (GaAs バッファ層) の界面から、 GaAs 層 (第 4 結晶層 202 の一部) 側に $500\sim 600\text{nm}$ 離れた位置での GaAs 層 (第 4 結晶層 202 の一部) 中の Ge 濃度は、約 $1\times 10^{16}\text{cm}^{-3}$ であった。つまり、実施例 2 における半導体基板は、実施例 1 の半導体基板と同様に、Ge 原子の GaAs 層 (第 4 結晶層 202 の一部) 側への混入抑制効果を有することがわかった。

[0067] 図 7 は、実施例 2 における半導体基板の断面形状を示す。同図に示す断面形状は、半導体基板に対し垂直に切断した断面を、レーザ顕微鏡を用いて測定したものである。同図の断面は、障害体 104 の開口 106 に成長させた、Ge 層 (第 1 結晶層 108)、 GaAs バッファ層、 GaAs 層、 $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層 (第 2 結晶層 114)、 GaAs 層 (第 3 結晶層 120) および GaAs 層 (第 4 結晶層 202 の一部) を積層した多層構造の断面を示す。

[0068] 同図が示すように、断面は概ね台形である。当該台形の脚に相当する断面部分は、第 2 結晶面 112 または第 4 結晶面 118 に等価な斜めファセットに対応し、当該台形の上底に相当する断面部分は、第 1 結晶面 110 または第 3 結晶面 116 に等価な多層構造表面に対応する。斜めファセットの近傍における多層構造表面においては、実施例 1 の場合とは相違して、少し盛り上がりが見られる。すなわち、Ge 原子の蒸発または拡散を抑制する効果は、実施例 1 の多層構造と実施例 2 の多層構造の両方で同様に得られるものの、多層構造表面における平坦性は、実施例 1 の多層構造の方が実施例 2 の多層構造より優れたものであることがわかった。

[0069] (実施例 3)

実施例 1 と同様に、ベース基板 102 である単結晶 Si ウェハ上に、阻害体 104、開口 106 を形成し、開口 106 の内部に Ge 層を選択成長し、アニールによる Ge 層の高品質化を実施した。続いて、実施例 1 と同様に、GaAs バッファ層、GaAs 層、および、 $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層（第 2 結晶層 114）と GaAs 層（第 3 結晶層 120）とを 10 周期積層した多層膜を形成した。

[0070] 多層膜の上に、Si ドープ n 型 GaAs 層と、Si ドープ n 型 InGaP 層と、Si ドープ n 型 GaAs 層と、アンドープ GaAs 層と、C ドープ p 型 GaAs 層と、Si ドープ n 型 InGaP 層と、Si ドープ n 型 GaAs 層と、Si ドープ n 型 InGaAs 層とがこの順に積層された第 4 結晶層を有する HBT 素子構造を形成した。

[0071] HBT 素子構造を有する半導体基板の阻害体 104 の開口 106 に成長した部分を、レーザ顕微鏡を用いて観察したところ、ファセット近傍の積層構造表面には盛り上がりが生じていないことを確認した。当該半導体基板にフォトリソグラフィプロセスを適用して電極を形成し、HBT 素子を作成した。作成した HBT 素子の電気特性を測定したところ、トランジスタの特性を示す動作を確認した。作成した HBT 素子の電流増幅率は、198 であった。

[0072] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。例えば、第 2 結晶層 114 および第 3 結晶層 120 からなる積層膜をシードとして、阻害体 104 上にラテラル成長されたラテラル成長化合物半導体層を形成してもよい。この場合、阻害体 104 として絶縁性の高い SiO_2 や SiN を用いることでラテラル成長化合物半導体層に形成した素子の基板側へのリーク電流を低減し、浮遊容量を小さくして、素子の性能を高めることができる。

[0073] 請求の範囲、明細書、および図面中において示した装置および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処

理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0074] 100 半導体基板、102 ベース基板、104 阻害体、106 開口、108 第1結晶層、110 第1結晶面、112 第2結晶面、114 第2結晶層、116 第3結晶面、118 第4結晶面、120 第3結晶層、200 半導体デバイス、202 第4結晶層、204 エミッタ電極、206 ベース電極、208 コレクタ電極、300 半導体デバイス

請求の範囲

- [請求項1] ベース基板と、前記ベース基板上に形成された第1結晶層と、前記第1結晶層を被覆する第2結晶層と、前記第2結晶層に接して形成された第3結晶層と
- を備え、
- 前記第1結晶層が、前記ベース基板における前記第1結晶層と接する面と面方位が等しい第1結晶面、及び、前記第1結晶面と異なる面方位を有する第2結晶面を有し、
- 前記第2結晶層が、前記第1結晶面と面方位が等しい第3結晶面、及び、前記第2結晶面と面方位が等しい第4結晶面を有し、
- 前記第3結晶層が、前記第3結晶面及び前記第4結晶面のそれぞれの少なくとも一部に接しており、
- 前記第1結晶面に接する領域における前記第2結晶層の厚みに対する前記第2結晶面に接する領域における前記第2結晶層の厚みの比が、前記第3結晶面に接する領域における前記第3結晶層の厚みに対する前記第4結晶面に接する領域における前記第3結晶層の厚みの比よりも大きい半導体基板。
- [請求項2] 前記ベース基板上に形成され、かつ、前記ベース基板に達する開口を有し、前記第1結晶層の結晶成長を阻害する阻害体をさらに備え、
- 前記第1結晶層が、前記開口の内部に形成されている
- 請求項1に記載の半導体基板。
- [請求項3] 前記第1結晶層は、組成が $C_x Si_y Ge_z Sn_{1-x-y-z}$ ($0 \leq x < 1$ 、 $0 \leq y < 1$ 、 $0 < z \leq 1$ 、かつ、 $0 < x + y + z \leq 1$)である
- 請求項1に記載の半導体基板。
- [請求項4] 前記第3結晶層は、As原子を含有する3-5族化合物半導体である
- 請求項1に記載の半導体基板。
- [請求項5] 前記第2結晶層は、組成が $Al_a Ga_b In_c As_d P_e$ ($0 \leq a < 1$

、 $0 \leq b < 1$ 、 $0 < c \leq 1$ 、 $a + b + c = 1$ 、 $0 \leq d < 1$ 、 $0 < e \leq 1$ 、かつ $d + e = 1$)であり、

前記第3結晶層は、組成が $\text{Al}_f\text{Ga}_g\text{In}_h\text{As}_i\text{P}_j$ ($0 \leq f \leq 1$ 、 $0 \leq g \leq 1$ 、 $0 \leq h < 1$ 、 $f + g + h = 1$ 、 $0 < i \leq 1$ 、 $0 \leq j < 1$ 、かつ $i + j = 1$)である

請求項4に記載の半導体基板。

[請求項6] 前記第2結晶層が、前記第1結晶層と格子整合または擬格子整合する

請求項1に記載の半導体基板。

[請求項7] 前記第3結晶層上に形成された第4結晶層をさらに有し、

前記第4結晶層が、 GaAs 層、 AlGaAs 層、 InGaAs 層、 InGaP 層および AlInGaP 層からなる群から選ばれた少なくとも2つの層を含む

請求項1に記載の半導体基板。

[請求項8] 前記第1結晶層上に、前記第2結晶層及び前記第3結晶層からなる積層体を、前記第2結晶層及び前記第3結晶層の積層方向に複数備える請求項1に記載の半導体基板。

[請求項9] 請求項7に記載の半導体基板を有し、

前記第4結晶層に半導体素子が形成されている
半導体デバイス。

[請求項10] ベース基板上に第1結晶層を形成する段階と、

前記第1結晶層を覆う第2結晶層をエピタキシャル成長させる段階と、

前記第2結晶層に接する第3結晶層をエピタキシャル成長させる段階と

を有し、

前記第1結晶層が、前記ベース基板における前記第1結晶層と接する面と面方位が等しい第1結晶面、及び、前記第1結晶面と異なる面

方位を有する第2結晶面を有し、

前記第2結晶層が、前記第1結晶面と面方位が等しい第3結晶面、及び、前記第2結晶面と面方位が等しい第4結晶面を有し、

前記第2結晶層をエピタキシャル成長させる段階および前記第3結晶層をエピタキシャル成長させる段階においては、

前記第3結晶面及び前記第4結晶面のそれぞれの少なくとも一部に接する前記第3結晶層をエピタキシャル成長させ、

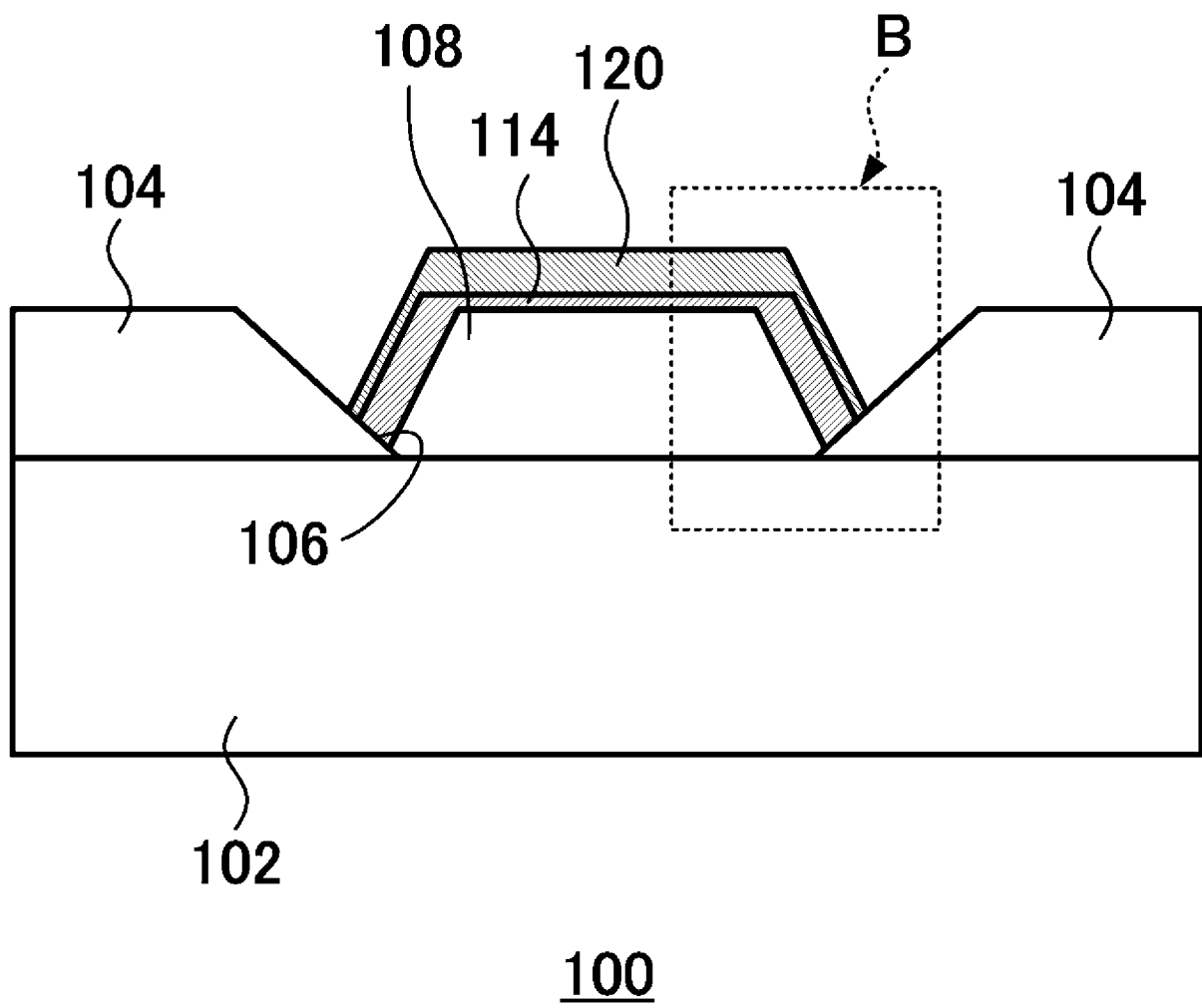
前記第1結晶面における前記第2結晶層の成長速度に対する前記第2結晶面における前記第2結晶層の成長速度の比が、前記第3結晶面における前記第3結晶層の成長速度に対する前記第4結晶面における前記第3結晶層の成長速度の比より大きい

半導体基板の製造方法。

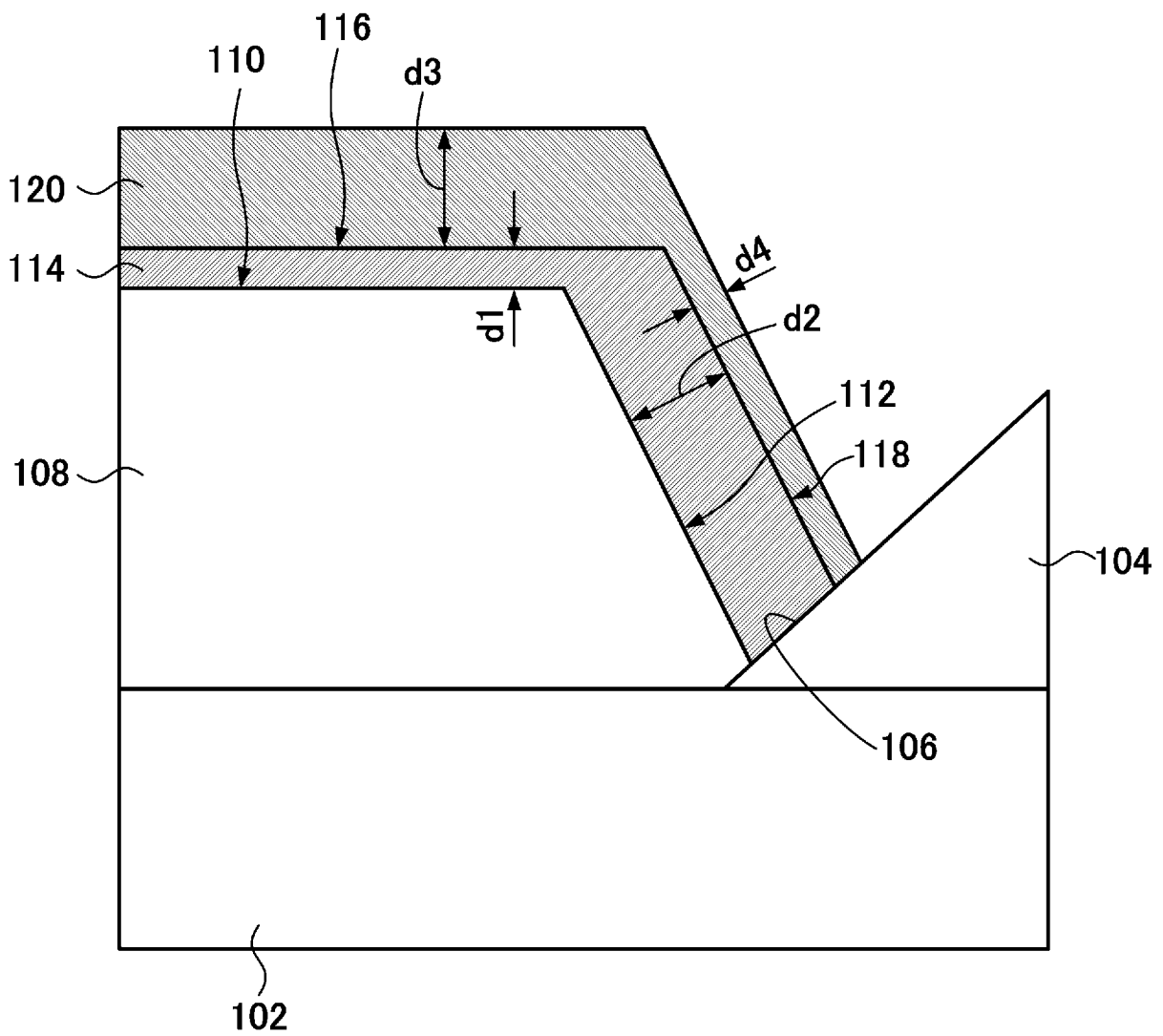
[請求項11]

前記第1結晶層を形成する段階においては、前記第1結晶層を70℃以上950℃以下でアニールする請求項10に記載の半導体基板の製造方法。

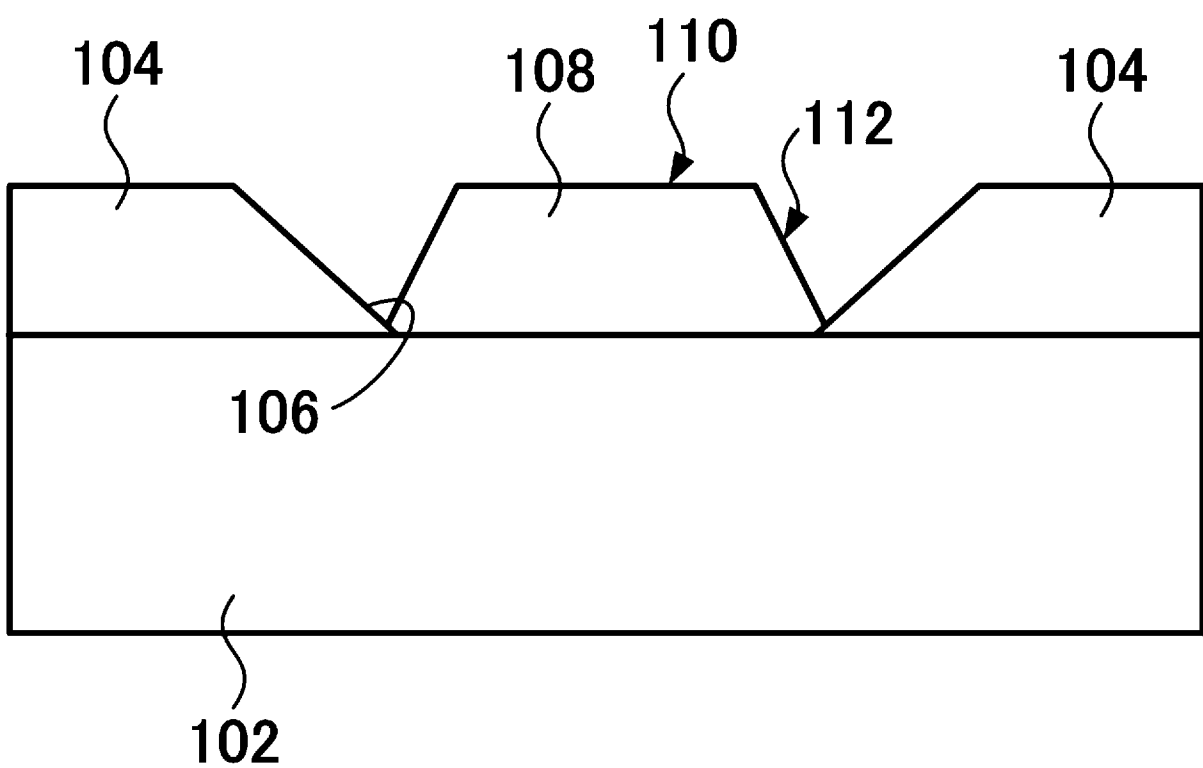
[図1A]



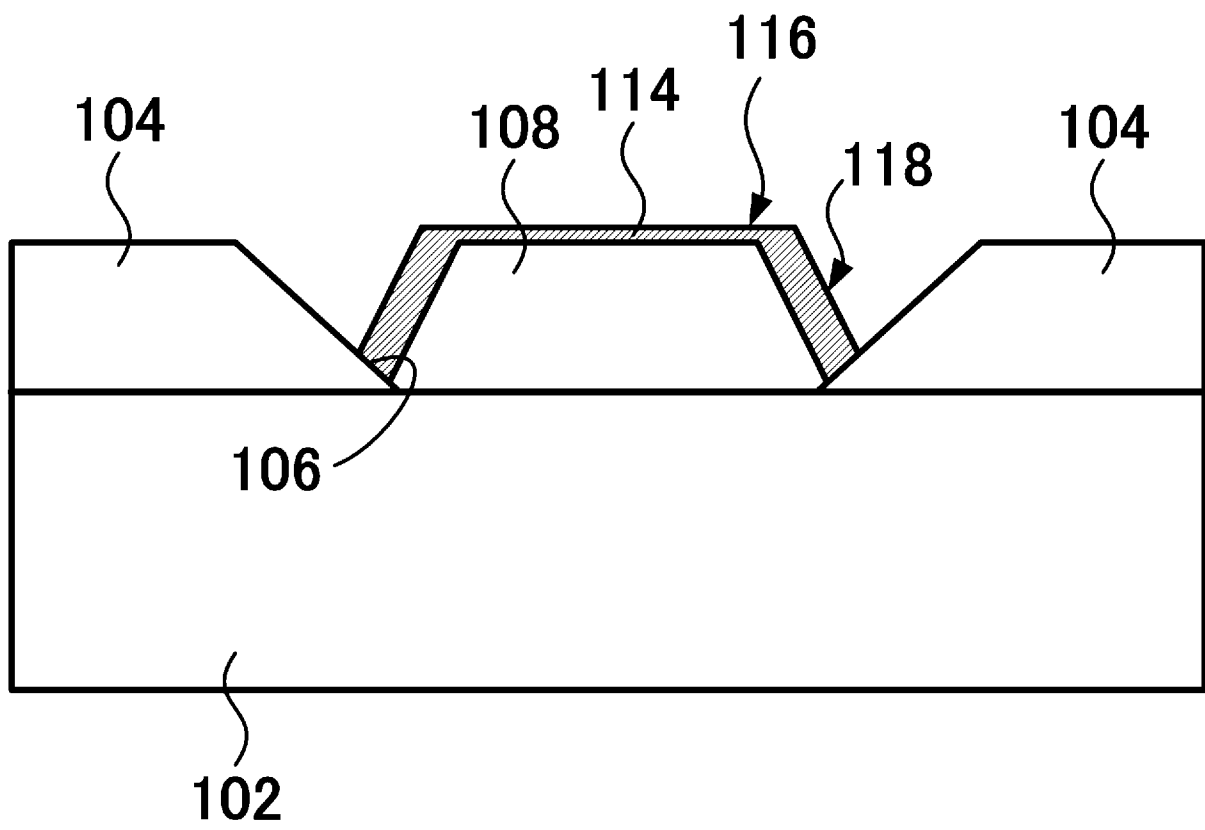
[図1B]



[図2A]

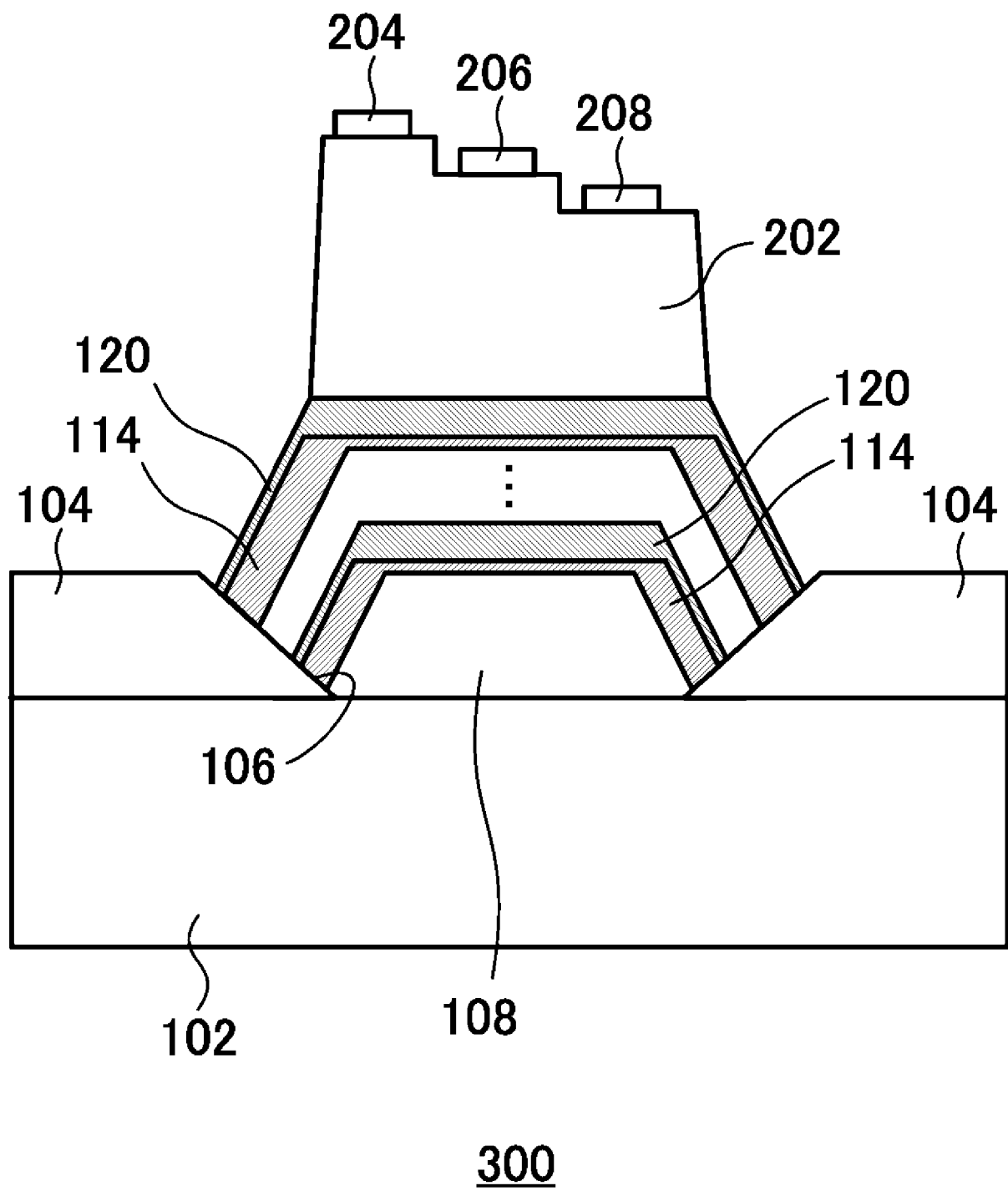


[図2B]

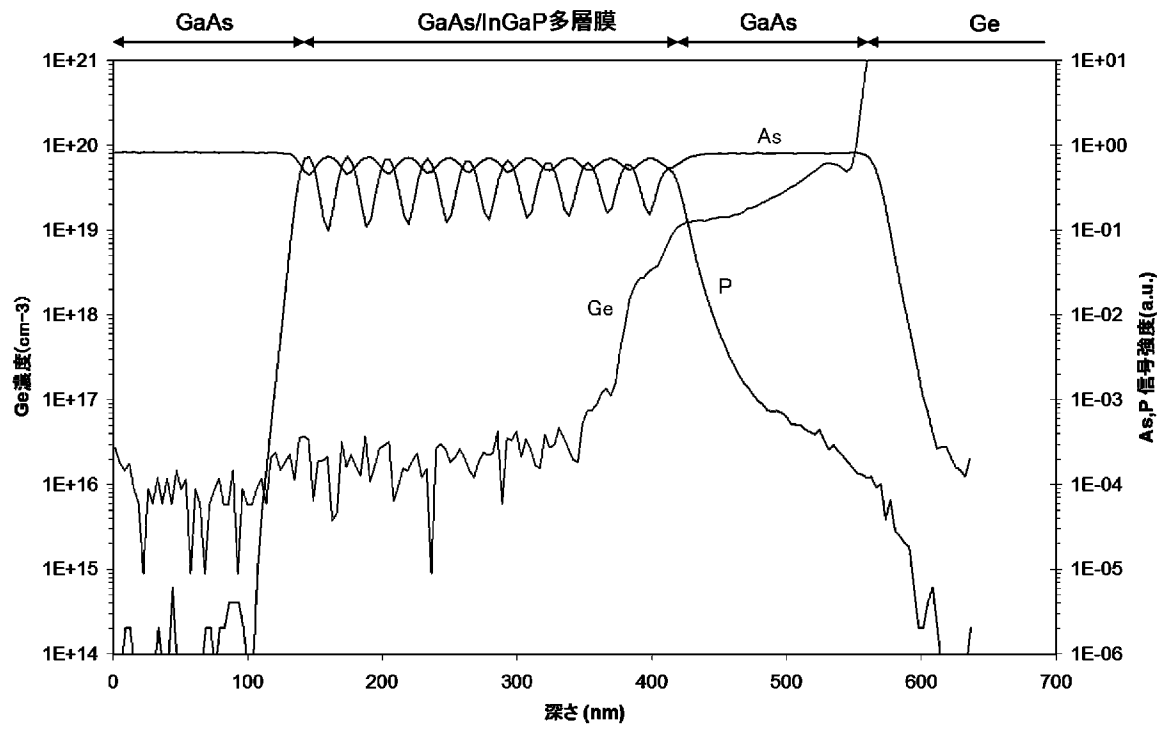


200

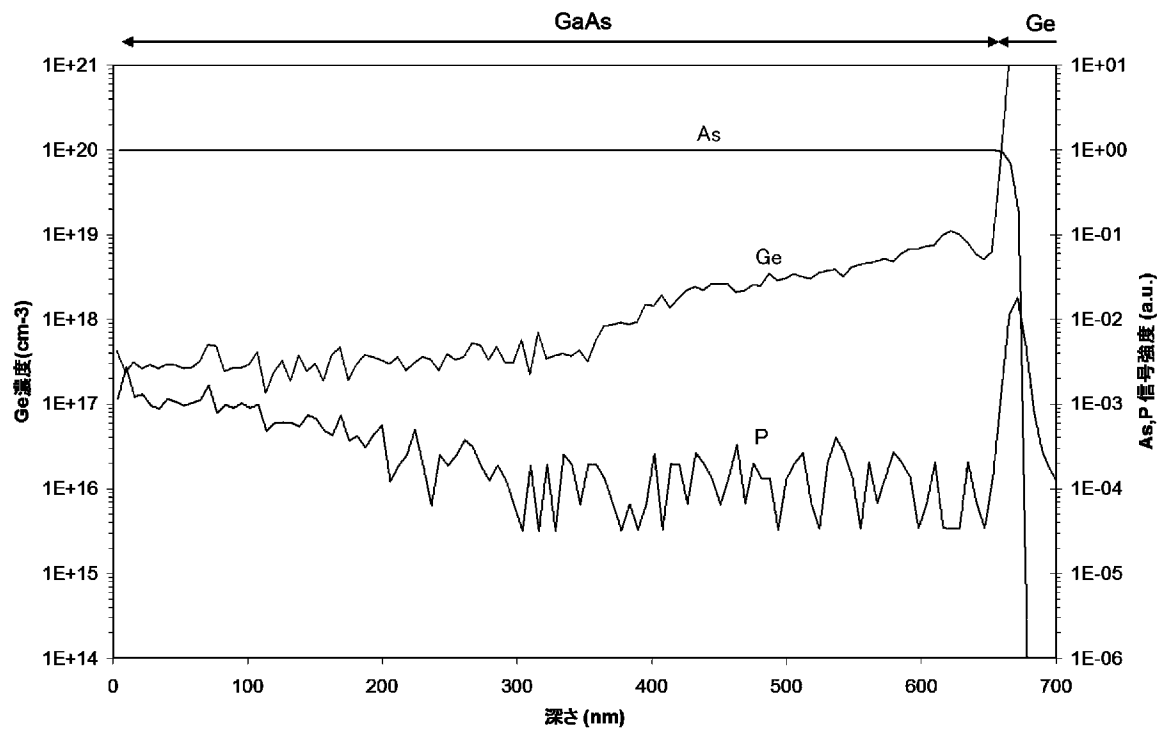
[図4]



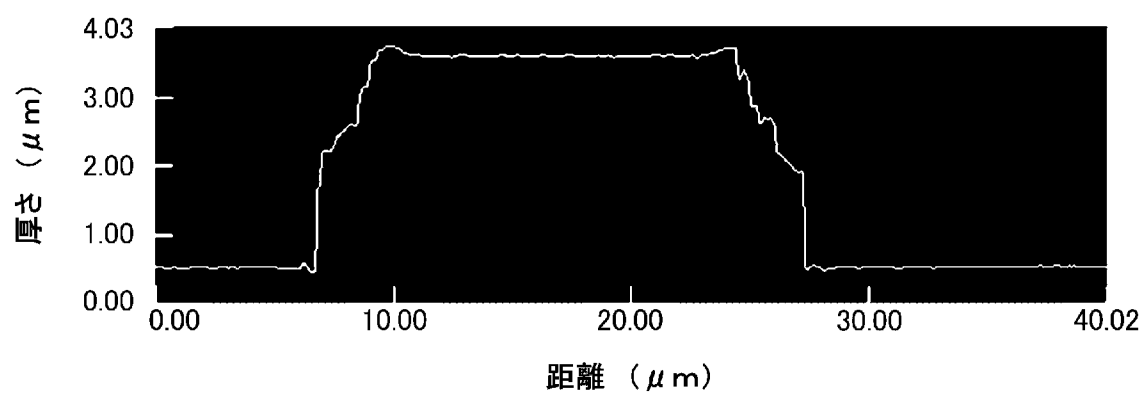
[図5A]



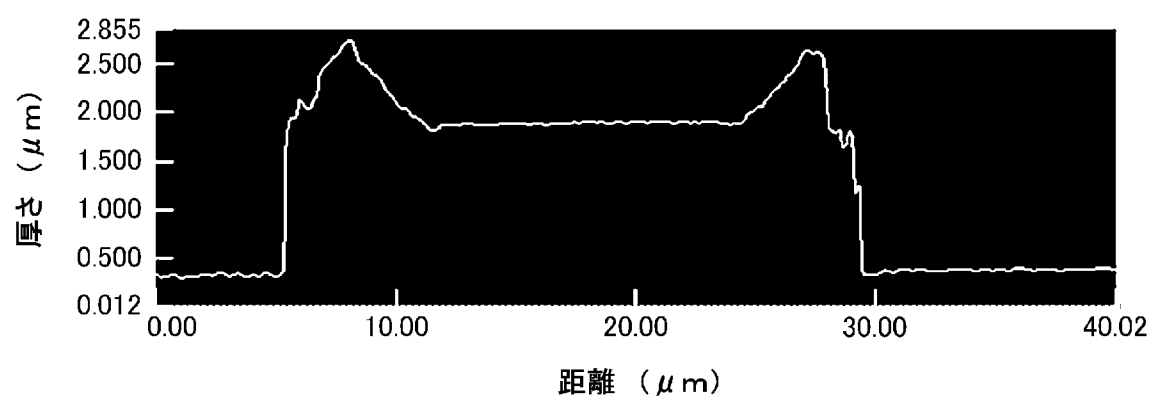
[図5B]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/001014

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/20 (2006.01) i, H01L21/205 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/20, H01L21/205

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-167187 A (NEC Corp.), 02 July 1993 (02.07.1993), entire text; all drawings (Family: none)	1, 2, 4-8, 10, 11
Y	JP 61-137387 A (Matsushita Electric Industrial Co., Ltd.), 25 June 1986 (25.06.1986), fig. 1 (Family: none)	1, 2, 4-7, 10, 11
Y	JP 4-100291 A (Fujitsu Ltd.), 02 April 1992 (02.04.1992), fig. 1, 2 (Family: none)	2



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

06 April, 2011 (06.04.11)

Date of mailing of the international search report

19 April, 2011 (19.04.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/001014

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 63-172483 A (Omron Tateisi Electronics Co.), 16 July 1988 (16.07.1988), entire text; all drawings (Family: none)	8
Y	JP 1-194314 A (Toshiba Corp.), 04 August 1989 (04.08.1989), entire text; all drawings (Family: none)	11
A	JP 2009-177167 A (Sumitomo Chemical Co., Ltd.), 06 August 2009 (06.08.2009), entire text; all drawings & WO 2010/038460 A1 & WO 2010/038461 A1 & WO 2010/038463 A1 & WO 2010/038464 A1 & WO 2009/084238 A1 & KR 10-2010-0094460 A	1-11

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/20(2006.01)i, H01L21/205(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/20, H01L21/205

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 5-167187 A（日本電気株式会社） 1993.07.02, 全文, 全図（ファミリーなし）	1, 2, 4-8, 10, 11
Y	JP 61-137387 A（松下電器産業株式会社） 1986.06.25, 第1図（ファミリーなし）	1, 2, 4-7, 10, 11
Y	JP 4-100291 A（富士通株式会社） 1992.04.02, 第1, 2図（ファミリーなし）	2

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 0 4 . 2 0 1 1

国際調査報告の発送日

1 9 . 0 4 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

杵 哲次

4 M

3 9 5 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 63-172483 A (立石電機株式会社) 1988.07.16, 全文, 全図 (ファミリーなし)	8
Y	JP 1-194314 A (株式会社東芝) 1989.08.04, 全文, 全図 (ファミリーなし)	11
A	JP 2009-177167 A (住友化学株式会社) 2009.08.06, 全文, 全図 & WO 2010/038460 A1 & WO 2010/038461 A1 & WO 2010/038463 A1 & WO 2010/038464 A1 & WO 2009/084238 A1 & KR 10-2010-0094460 A	1-11