

公告本

申請日期：90-5-22

案號：90112199

類別：

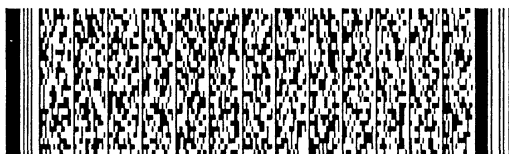
C 1/5

(以上各欄由本局填註)

發明專利說明書

512336

一、 發明名稱	中 文	薄膜磁性體記憶裝置
	英 文	Thin Film Magnetic Memory Device
二、 發明人	姓 名 (中文)	1. 日高秀人
	姓 名 (英文)	1. Hideto HIDAKA
	國 籍	1. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號 三菱電機株式會社內
三、 申請人	姓 名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓 名 (名稱) (英文)	1. 三菱電機株式會社
	國 籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓 名 (中文)	1. 谷口一郎
	代表人 姓 名 (英文)	1.



本案已向

國(地區)申請專利

日本 JP

申請日期

2000/10/17 2000-316867

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

[發明之領域]

本發明關於薄膜磁性體記憶裝置，尤其關於具有含磁隧道耦合(MTJ：Magnetic Tunneling Junction)記憶單元的隨機存取記憶體。

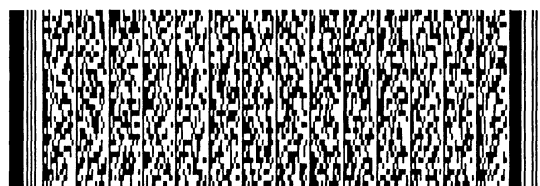
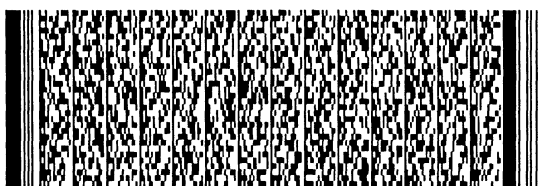
[背景技術之說明]

作為低耗電且可記憶非易失性資料的記憶元件，MRAM (Magnetic Random Access Memory：磁隨機存取記憶體) 令人注目。MRAM記憶元件可用半導體積體電路上形成的多個薄膜磁性體，進行非易失性資料的記憶，並可分別對各薄膜磁性體進行隨機存取。

尤其是近年來公佈將利用磁隧道耦合(MTJ：Magnetic Tunnel Junction)的薄膜磁性體用作記憶單元，從而MRAM元件的性能飛躍進步。關於具有含磁隧道耦合的記憶單元的MRAM元件，在"各記憶單元採用磁隧道耦合和FET開關的10ns讀寫非易失性記憶體陣列"(ISSCC技術文件摘要，TA7.2，2000年2月)和"基於磁隧道耦合元件的非易失性RAM"(ISSCC技術文件摘要，TA7.3，2000年2月)等技術文獻中已揭示。

圖41為含磁隧道耦合部的記憶單元(下文簡稱為MTJ記憶單元)的結構概略說明圖。

參閱圖41，MTJ記憶單元具有電阻值隨所存資料的資料位準變化的磁隧道耦合部MTJ和存取電晶體ATR。存取電晶體ATR用電場效應電晶體構成，連接在磁隧道耦合部MTJ與接地電位Vss之間。



五、發明說明 (2)

對MTJ記憶單元配置指示資料寫入用的寫入字線WWL、指示資料讀出用的讀出字線RWL，以及在資料讀出和資料寫入時傳遞記憶資料位準所對應電信號用的資料線(即位元線BL)。

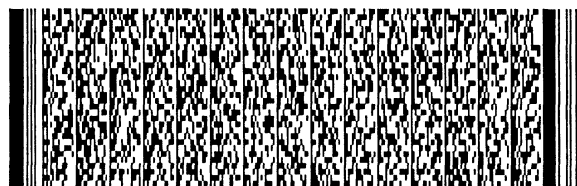
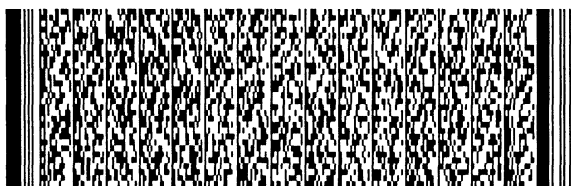
圖42為說明從MTJ記憶單元讀出資料的動作的示意圖。

參閱圖42，磁隧道耦合部MTJ具有含方向一定的固定磁場的磁性體層(下文簡稱為固定磁層)FL和含自由磁場的磁性體層(下文簡稱為自由磁層)VL。在固定磁層FL與自由磁層VL之間，配置用絕緣體膜形成的隧道障壁TB。在自由磁層VL上，根據記憶資料的位準，非易失性地寫入與固定磁層FL同方向的磁場或與固定磁層FL不同方向的磁場。

在資料讀出時，存取電晶體ATR隨讀出字線RWL的啟動而導通。因而，在位元線BL—磁隧道耦合部MTJ—存取電晶體ATR～接地電位Vss的電流路徑中，流通從圖中未示出的控制電路作為固定電流提供的感測電流Is。

磁隧道耦合部MTJ的電阻值根據固定磁層FL與自由磁層VL之間磁場方向的相對關係而變化。具體而言，固定磁層FL的磁場方向與寫入自由磁層VL的磁場方向相同時，與這兩個磁層的磁場方向不同時相比，磁隧道耦合部MTJ的電阻值小。

因此，資料讀出時，由感測電流Is在磁隧道耦合部MTJ產生的電位變化隨自由磁層VL所記憶磁場方向而不同。利用此現象，例如倘若將位元線BL暫且預充電到高電位狀態後，開始供給感測電流Is，則可借助監視位元線BL的電位



五、發明說明 (3)

位準變化，讀出MTJ記憶單元所記憶資料的位準。

圖43為說明對MTJ記憶單元寫入資料的動作的示意圖。

參閱圖43，在資料寫入時，讀出字線RWL非啟動，存取電晶體ATR截止。此狀態下，將磁場寫入自由磁層VL用的資料寫入電流分別流到寫入字線WWL和位元線BL。自由磁層VL的磁場方向由分別流過寫入字線WWL和位元線BL的資料寫入電流方向的組合決定。

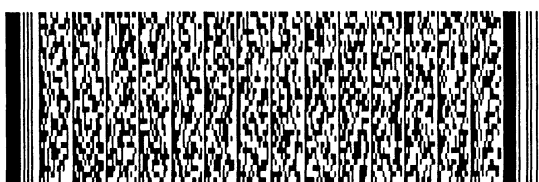
圖44為說明寫入資料時資料寫入電流方向與磁場方向的關係的示意圖。

參閱圖44，橫軸所示磁場 H_x 表示流過寫入字線WWL的資料寫入電流所產生磁場 $H(WWL)$ 的方向。縱軸所示磁場 H_y 表示流過位元線BL的資料寫入電流所產生磁場 $H(BL)$ 的方向。

自由磁層VL記憶的磁場方向，僅在磁場 $H(WWL)$ 與磁場 $H(BL)$ 和到達圖中所示星形特性線外側區域時進行更新。即，施加相當於星形特性線內側區域的磁場時，不更新自由磁層VL記憶的磁場方向。

因此，為了利用寫入的作更新磁隧道耦合部MTJ記憶的資料，需要使電流在寫入字線WWL和位元線BL兩者上流過。磁隧道耦合部MTJ暫時記憶的磁場方向(即記憶資料)，在執行新資料寫入前的期間保持不丟失。

在進行資料讀出時，位元線BL也流過感測電流 I_s 。然而，一般將感測電流 I_s 設定成比上述資料寫入電流約小1~2個數量級，因而由於感測電流 I_s 的影響，在資料讀出



五、發明說明 (4)

時錯誤改寫MTJ記憶單元所存資料的可能性小。

在上述技術文獻中，揭示了半導體基板上集成這種MTJ記憶單元，以構成作為隨機存取記憶體的MARM元件的技術。

圖45為說明集成配置成行列狀的MTJ記憶單元的示意圖。

參閱圖45，利用在半導體基板上行列狀配置MTJ記憶單元，能實現高集成化的MRAM元件。圖45中，示出將MTJ記憶單元配置成 n 列 $\times$ m 行(n 、 m 為自然數)的情況。

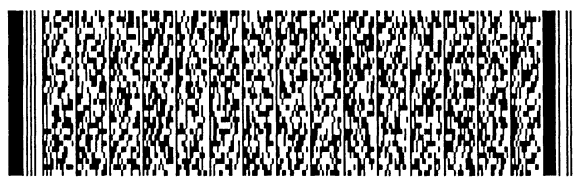
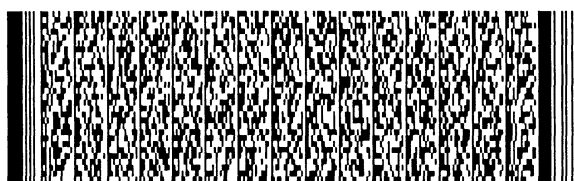
上文已說明，需要對各MTJ記憶單元配置位元線BL、寫入字線WWL和讀出字線RWL。因此，對配置成行列狀的 $n \times m$ 個MTJ記憶單元要配置 n 條寫入字線WWL1 $\sim$ WWLn和讀出字線RWL1 $\sim$ RWLn，還要配置 m 條位元線BL1 $\sim$ BLm。

這樣，通常的結構為對MTJ記憶單元分別對應於讀出操作和寫入操作，設置獨立的字線。

圖46為在半導體基板上配置的MTJ記憶單元的結構圖。

參閱圖46，在半導體主基板SUB的P型區域PAR形成存取電晶體ATR。存取電晶體ATR具有作為n型區域的源極/汲極區域110、120和閘極130。源極/汲極區域110以第一金屬佈線層M1上形成的金屬佈線為仲介，連接接地電位Vss。寫入字線WWL採用第二金屬佈線層M2上形成的金屬佈線。位元線BL設置在第三金屬佈線層M3上。

磁隧道耦合部MTJ配置在設置寫入字線WWL的第二金屬佈線層M2與設置位元線BL的第三金屬佈線層M3之間。存取電



五、發明說明 (5)

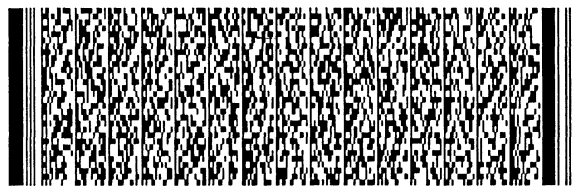
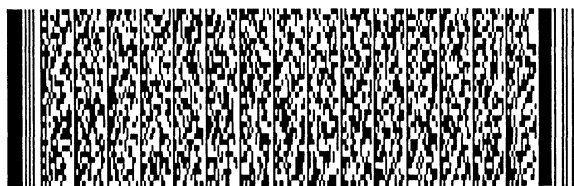
晶體ATR的源極/汲極區域120通過形成接觸孔的金屬膜150、第一和第二金屬佈線層M1及M2、阻擋金屬140，與磁隧道耦合部電連接。阻斷金屬140是為使隧道耦合部MTJ與金屬佈線之間電連接而設置的緩衝材料。

上文已說明，MTJ記憶單元中，將讀出字線RWL設置為獨立於寫入字線WWL的佈線。而且，寫入字線WWL和位元線BL需要流過資料寫入時產生大於或等於規定值的磁場用的資料寫入電流。因此，用金屬佈線形成位元線BL和寫入字線WWL。

另一方面，讀出字線RWL是為控制存取電晶體ATR的閘極電路而設置的，不需要主動流通電流。因此，從提高集成度的觀點來看，讀出字線RWL不重新設置獨立的金屬佈線層，而是在與閘極130相同的佈線層，採用聚晶矽層和聚矽化物結構等形成。

這樣，在半導體基板上集成MTJ記憶單元時，記憶單元所需佈線多，因而存在佈線數量的問題和佈線數量多增加製造成本的問題。此外，其結構為位元線BL經常連接多個MTJ記憶單元，因而位元線BL的寄生電容數值較大，難以和利用聚晶矽層、聚矽化物結構形成讀出字線RWL一起，使讀出操作高速化。

又，即使在資料寫入時，也需要位元線BL上流過較大的資料寫入電流。還需要根據寫入資料的位準控制資料寫入電流的方向，因而存在控制資料寫入電流用的電路複雜化的問題。



五、發明說明 (6)

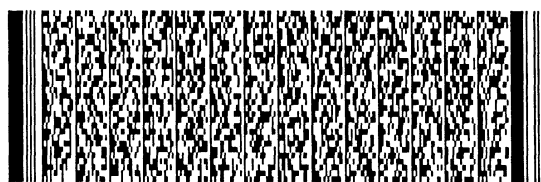
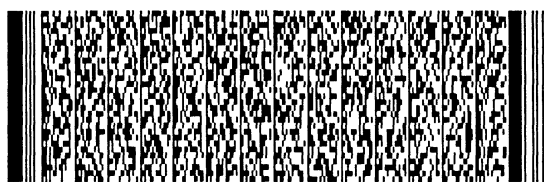
[發明概要]

本發明的目的是在具有MTJ記憶單元的MRAM元件中，簡化提供資料寫入電流用的控制電路的結構，謀求削減製造成本。

本發明的另一目的是分開配置讀出字線和寫入字線的驅動電路，提高佈局設計自由度，減小佈局面積，即減小晶片面積。

本發明的再一目的是減少各記憶單元所需的佈線數，謀求削減製造成本。

本發明概要為一種薄膜磁性體記憶裝置，具有記憶體陣列、多條寫入字線、多個位元線對、資料寫入控制電路和多個位元線電流控制電路。記憶體陣列具有配置成行列狀的多個磁性體記憶單元。各磁性體記憶單元具有的電阻值隨由第一和第二資料寫入電流所施加資料寫入磁場比規定磁場大時寫入的記憶資料的位準而不同。多條寫入字線分別與磁性體記憶單元的列對應設置，並在資料寫入時，根據位址選擇結果，有選擇地加以啟動，以便流通第一資料寫入電流。多個位元線對分別與磁性體記憶單元的行對應設置，各自包含第一和第二位元線。資料寫入控制電路在資料寫入時，將多個位元線對中根據位址選擇結果選擇的一個資料對所含第一位元線和第二位元線各設定在高電位狀態和低電位狀態中的一種狀態。多個位元線電流控制電路分別與多個位元線對對應設置，各自在資料寫入時使所對應的第一和第二位元線之間電連接，以便流通第二資料



五、發明說明 (7)

寫入電流。

因此，本發明的主要優點在於，資料寫入時將資料寫入電流短路的位元線對能來回流通電流，因而能使控制資料寫入電流用的結構簡化。

根據本發明的另一方面，則為一種薄膜磁性體記憶裝置，具有記憶體陣列、多條寫入字線、多條位元線、資料線對、資料寫入控制電路、多個行選擇開電路 and 多個位元線電流控制電路。記憶體陣列具有配置成行列狀的多個磁性體記憶單元。各磁性體記憶單元，具有的電阻值隨由第一和第二資料寫入電流施加的資料寫入磁場大於規定磁場時寫入的記憶資料的位準而不同。多條寫入字線分別與磁性體記憶單元的列對應設置，並在資料寫入時根據位址選擇結果，流通第一資料寫入電流。多條位元線分別與磁性體記憶單元的行對應設置。資料線對，則對多條位元線共同設置，並由第一和第二資料線構成。資料寫入控制電路在資料寫入時將第一和第二資料線各設定在高電位狀態和低電位狀態中的一種狀態。多個行選擇開電路分別與行對應設置，各自根據位址選擇結果，使對應的位元線與第一資料線連接。多個位元線電流控制電路，分別與行對應設置，各自在資料寫入時，使對應的位元線與第二資料線之間電連接，以便流通第二資料寫入電流。

在這樣的薄膜磁性體記憶裝置中，可按照控制構成資料線對的第一和第二資料線的電位高低，設定開放型位元線所流資料寫入電流的方向，因而能使控制資料寫入電流用



五、發明說明 (8)

的結構簡化。

根據本發明的再一方面，則為一種薄膜磁性體記憶裝置，具有記憶體陣列，多條讀出字線、多條寫入字線、多條寫入資料線和多條讀出資料線。記憶體陣列具有配置成行列狀的多個磁性體記憶單元。各磁性體記憶單元包含具有的電阻值隨由第一和第二資料寫入電流施加的資料寫入磁場大於規定磁場時寫入的記憶資料的位準而不同的記憶部，以及資料讀出時使資料感測電流通過記憶部用的記憶單元選擇閘。多條讀出字線分別與磁性體記憶單元的列對應設置，並在資料讀出時，根據位址選擇結果，使對應的記憶單元選擇閘工作。多條寫入字線，分別與磁性體記憶單元的行對應設置，並在資料寫入時根據位址選擇結果，有選擇地驅動到啟動狀態，以便流通第一資料寫入電流。多條寫入資料線分別與列對應設置，並在資料寫入時流通第二資料寫入電流。多條讀出資料線分別與行對應設置，並在資料讀出時，流通資料感測電流。

這樣的薄膜磁性體記憶裝置中，讀出字線和寫入資料線分別與磁性體記憶單元的列和行對應配置，因而有選擇地驅動讀出字線用的電路與分別有選擇地驅動各寫入字線用的電路能獨立配置。結果，可提高佈局設計自由度，並提高集成度。

根據本發明的又一方面，則為一種薄膜磁性體記憶裝置，具有記憶體陣列、多條讀出字線、多條寫入資料線、多條共用佈線和電流控制電路。記憶體陣列具有配置成行列



五、發明說明 (9)

狀的多個磁性體記憶單元。各磁性體記憶單元包含具有的電阻值隨由第一和第二資料寫入電流施加的資料寫入磁場大於規定磁場時寫入的記憶資料的位準而不同的記憶部，以及資料讀出時使資料感測電流通過記憶部用的記憶單元選擇閘。多條讀出字線分別與磁性體記憶單元的列對應設置，並在資料讀出時，根據位址選擇結果，使對應的記憶單元選擇閘工作。多條寫入資料線分別與列和行的一方對應設置，並在資料寫入時流通第一資料寫入電流。多條共用佈線分別與列和行的另一方對應設置。各共用佈線在資料讀出時，根據位址選擇結果有選擇地接受資料感測電流的供給。各共用佈線在資料寫入時，有選擇地驅動到第一電位，以便流通第二資料寫入電流。電流控制電路分別在資料讀出時和資料寫入時，使與第一電位不同的第二電位和各共用佈線之間接通和阻斷。

這樣的薄膜磁性體記憶裝置中，共用佈線可同時具有資料讀出時的讀出資料線的功能和資料寫入時的寫入字線的功能。結果，能減少佈線數，降低製造成本。

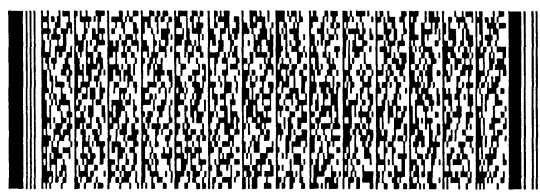
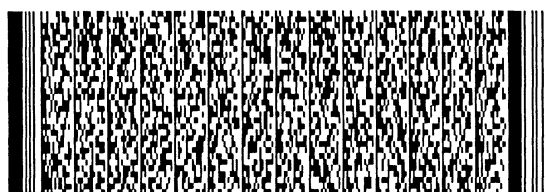
[較佳實施例說明]

下面，參照附圖詳細說明本發明的實施形態。

[實施形態1]

參閱圖1，根據本發明實施形態1的MRAM元件1回應來自外部的控制信號CMD和位址信號ADD，進行隨機存取，執行寫入資料DIN的輸入和讀出資料DOUT的輸出。

MRAM元件1具備回應控制信號CMD對MRAM元件1的整體總



五、發明說明 (10)

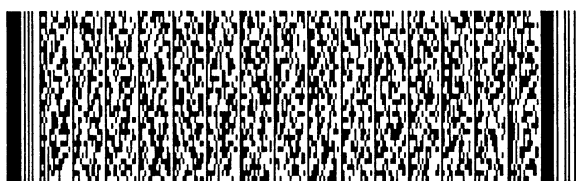
操作進行控制的控制電路5，以及含按 n 列 $\times$ m 行配置成行列狀的多個MTJ記憶單元的記憶體陣列10。記憶體陣列10的結構後文將詳細說明，在MTJ記憶單元的列配置多條寫入字線WWL和讀出字線RWL，各自相互對應。在MTJ記憶單元的行配置分別對應設置的折疊型結構位元線對。位元線對由位元線BL和/ BL 構成。下文中，將位元線BL和/ BL 的組總稱為位元線對BLP。

MRAM元件1還具有：列解碼器20，根據位址信號ADD所指列位址RA，執行記憶體陣列10中的列選擇；行解碼器25，根據位址信號ADD所指行位址CA，執行記憶體陣列10中的行選擇；字線驅動器30，用於根據列解碼器20的列選擇結果，有選擇地啟動讀出字線RWL和寫入字線WWL；字線電流控制電路40，用於資料寫入時使資料寫入電流流到寫入字線WWL；讀出/寫入控制電路50、60，用於資料讀出和資料寫入時，流通資料寫入電流 $\pm I_w$ 和資料感測電流 I_s 。

參閱圖2，記憶體陣列10包含排行成 n 列 $\times$ m 行的(n, m ：自然數)，具有圖41所示結構的MTJ記憶單元MC。對應於MTJ記憶單元的列(下文簡稱為記憶單元列)，分別設置讀出字線RWL1 $\sim$ RWL n 和寫入字線WWL1 $\sim$ WWL n 。

對應於MTJ記憶單元的行(下文簡稱為記憶單元行)，分別設置構成位元線對的位元線BL1、/ BL 1 $\sim$ BL m 、/ BL m 。

下文中，綜合表現寫入字線、讀出字線、位元線和位元線對時，分別用符號WWL、RWL、BL(/ BL)和BLP表示；指特定的寫入字線、讀出字線、位元線和位元線對時，對這些



五、發明說明 (11)

符號添加尾標，表示為諸如RWL1、WWL1。

寫入字線WWL1~WWLn經字線電流控制電路40連接接地電位Vss。借助此連接，由字線驅動器30啟動到選擇狀態(高電位狀態：電源電位Vcc)的寫入字線WWL上流通資料寫入電流Ip。

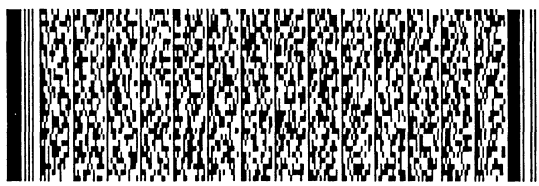
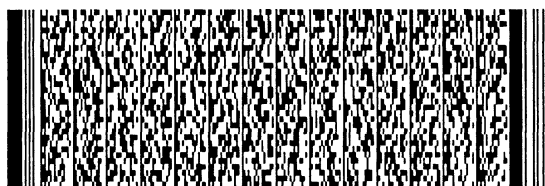
行解碼器25根據行位址CA的解碼結果，將分別與記憶單元行對應設置的行選擇線CSL1~CSLm中的一條啟動為選擇狀態(H位準)。

資料I/O線對DI/OP傳遞資料寫入時的資料寫入電流±Iw和資料讀出時的感測電流Is。即，在資料讀出時和資料寫入時共用。資料I/O線對DI/OP包含資料線IO和/I0。

下面，說明讀出/寫入控制電路50所含的行選擇閘CSG1~CSGm、資料寫入電流控制電路51和資料讀出電路52的結構。

行選擇閘CSG1~CSGm分別與記憶單元行對應配置。行選擇閘CSG1~CSGm中的任一個隨行解碼器25的行選擇結果變為導通狀態，從而將構成資料I/O線對DI/OP的資料線IO和/I0分別與對應的位元線BL和/BL連接。

例如，行選擇閘CSG1具有連接在資料線IO與位元線BL1之間的電晶體開關和電連接在資料線/I0與位元線/BL1之間的電晶體開關。這些電晶體開關根據行選擇線CSL1的電位高低狀態，成為導通/截止。即，將行選擇線CSL1啟動為選擇狀態(H位準)時，行選擇閘CSG1使資料線IO、/I0分別與位元線BL1、/BL1電連接。分別與其他記憶單元行對



五、發明說明 (12)

應設置的行選擇閘CSG2～CSGm也有相同的結構。

資料寫入電流控制電路51回應資料寫入時啟動的控制信號WE，進行運作。

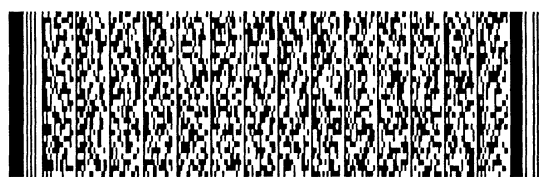
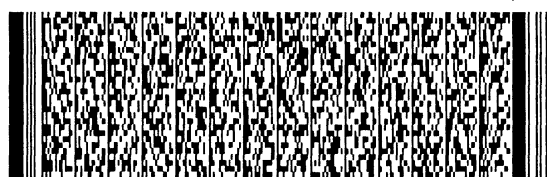
資料寫入電流控制電路51包含給內部節點Nw0提供固定電流用的P型MOS電晶體151，以及構成控制電晶體151中通過電流用的電流鏡電路的P型MOS電晶體152和電流源153。

資料寫入電流控制電路51還具有接收內部節點Nw0供給的工作電流後進行工作的反相器154、155和156。反相器154將寫入資料DIN的電位位準反相後傳給內部節點Nw1。反相器155將寫入資料DIN的電位位準反相後傳給反相器156的輸入節點。反相器156將反相器154的輸出反相後傳給內部節點Nw2。因此，資料寫入電流控制電路51一條據寫入資料DIN的電位位準，將資料線I0和/I0的電位位準各設定為電源電位Vcc和接地電位Vss中的一個。

資料讀出電路52回應資料讀出時啟動的控制信號RE，進行運作，並輸出讀出資料DOUT。

資料讀出電路52，具有接受電源電位Vcc並分別給內部節點Ns1和Ns2提供固定電流用的電流源161和162，電連接在內部節點Ns1與內部節點Nr1之間的N型MOS電晶體163、電連接在內部節點Ns2與內部節點Nr2之間的N型MOS電晶體166，以及放大內部節點Ns1與Ns2之間的電位位準差並輸出資料DOUT的放大器165。

給電晶體163和164的閘極提供參考電位Vref。根據感測電流Is的電流量，設定電流源161和162的供應電流量和參



五、發明說明 (13)

考電位 V_{ref} 。設置電阻166和167，用以將內部節點 $Ns1$ 和 $Ns2$ 下拉到接地電位 V_{ss} 。利用這種結構，資料讀出電路52在資料讀出時，分別給資料線 $I0$ 和 $/I0$ 提供感測電流 I_s 。而且，根據通過行選擇閘和位元線對連接的MTJ記憶單元中記憶資料的位準，放大資料線 $I0$ 和 $/I0$ 產生的電位差，輸出讀出資料 $DOUT$ 。

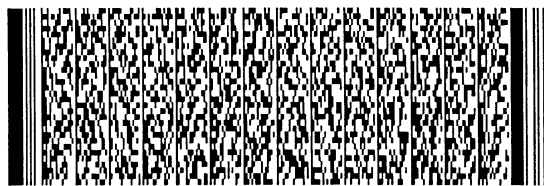
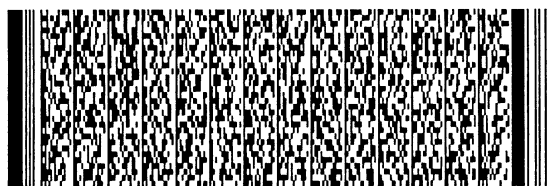
讀出/寫入控制電路60配置在行選擇閘 $CSG1 \sim CSGm$ 的相反側，將記憶體陣列10夾在中間。

讀出/寫入控制電路60具有根據位元線均衡信號 $BLEQ$ 而導通/截止的均衡電晶體62-1 $\sim$ 62-m。均衡電晶體62-1 $\sim$ 62-m分別與記憶單元行對應設置。例如，均衡電晶體62-1與第一記憶單元行對應設置，並且回應位元線均衡信號 $BLEQ$ 的啟動(H位準)，使位元線 $BL1$ 和 $/BL1$ 電連接。

分別與其他記憶單元行對應設置的均衡電晶體62-2 $\sim$ 62-m也同樣，回應位元線均衡信號 $BLEQ$ 的啟動，使相應記憶單元行中構成位元線對的位元線 BL 和 $/BL$ 之間電連接。

由控制電路5產生位元線均衡信號 $BLEQ$ 。在MRAM元件1的備用期間，將位元線均衡信號 $BLEQ$ 啟動為H位準，以便在MRAM元件1工作期間中記憶體陣列10為非選擇狀態和該期間內進行資料寫入時，在各記憶單元行中使構成折疊型位元線對的位元線 BL 和 $/BL$ 短路。

在MRAM元件工作期間進行資料讀出時，使位元線均衡信號 $BLEQ$ 非啟動，處於L位準。回應此狀態，使各記憶單元行中構成位元線對的位元線 BL 與 $/BL$ 之間阻斷。



五、發明說明 (14)

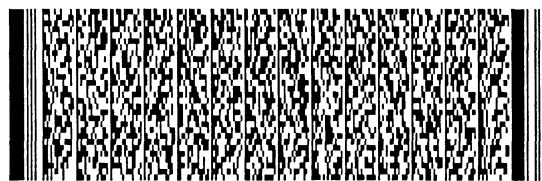
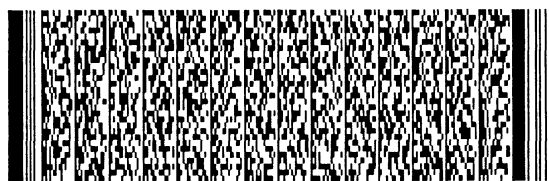
首先，說明資料寫入時的動作。下文中，作為一個例子，說明選擇行選擇線CSL2所對應的第二記憶單元行時的該動作。

回應行選擇結果，將行選擇線CSL2啟動為選擇狀態(H位準)，使行選擇閘CSG2導通。因此，資料線I0和/I0分別與構成位元線對BLP2的位元線BL2和/BL2電連接。此外，在資料寫入時，均衡電晶體62-2為導通狀態，位元線BL2與/BL2之間短路。

上文已說明，資料寫入電流控制電路51將資料線I0和/I0的電位位準各設定為電源電位Vcc或接地電位Vss。例如，寫入資料DIN的資料位準為L位準時，將反相器154和156的輸出分別設定在電源電位Vcc(高電位狀態)和接地電位Vss(低電位狀態)，因而資料線I0流通寫入L位準資料用的資料寫入電流 $-I_w$ 。

資料寫入電流 $-I_w$ 通過行選擇閘CSG2提供給位元線BL2。位元線BL2傳遞的資料寫入電流 $-I_w$ 由均衡電晶體62-2回流，在另一位元線/BL2中作為反向資料寫入電流 $+I_w$ 傳遞。流過位元線/BL2的資料寫入電流 $+I_w$ 通過行選擇閘CSG2傳到資料線/I0。

將寫入字線WWL1~WWLn中的任一條啟動為選擇狀態(H位準)，流通資料寫入電流 I_p 。因此，在行選擇線CSL2所對應記憶單元行中，對相應寫入資料WWL上流通資料寫入電流的MTJ記憶單元執行資料寫入。這時，對與位元線BL2連接的MTJ記憶單元MC寫入L位準的資料，對與位元線/BL2連



五、發明說明 (15)

接的MTJ記憶單元MC寫入H位準的資料。

寫入資料DIN的資料位準為H位準時，內部節點Nw1和Nw2的電位位準設定與上述情況相反，位元線BL2和/BL2流通與上述方向相反的資料寫入電流，寫入與上述相反的資料位準。這樣，給位元線BL和/BL提供方向與寫入資料DIN的資料位準相符的資料寫入電流 $\pm I_w$ 。

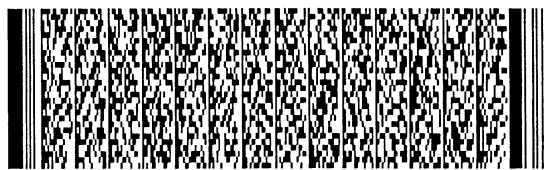
下面說明資料讀出。

MTJ記憶單元MC每列各自與位元線BL或/BL連接。例如，說明第一記憶單元行所屬MTJ記憶單元，則第一列的MTJ記憶單元與位元線BL1連接，第二列的MTJ記憶單元與位元線/BL1連接。以下同樣，各MTJ記憶單元分別奇數列上各自與位元線對的一條BL1~BLm連接，偶數列上各自與位元線對的另一條/BL1~/BLm連接。

結果，根據列選擇結果，有選擇地啟動讀出字線RWL，則位元線對的一條BL1~BLm和位元線對的另一條/BL1~/BLm中的任一方與MTJ記憶單元MC連接。

記憶體陣列10還具有分別與位元線BL1、/BL1~BLm、/BLm連接的多個偽記憶單元DMC。偽記憶單元與偽讀出字線DRWL1或DRWL2連接，配置成2列×m行。與偽讀出字線DRWL1連接的偽記憶單元分別與位元線BL1、BL2~BLm連接。與偽讀出字線DRWL2連接的其餘偽記憶單元分別與位元線/BL1、/BL2~/BLm連接。

有選擇地啟動偽讀出字線DRWL1和DRWL2，使位元線對的一條BL1~BLm和位元線對的另一條/BL1~BLm中不連接屬



五、發明說明 (16)

於所選擇記憶單元列的MTJ記憶單元MC的位元線分別連接為記憶單元DMC。

結果，位元線對的一條BL1~BLm和位元線對的另一條/BL1~/BLm分別連接對應於所選擇記憶單元列的m個MTJ記憶單元和m個偽記憶單元的一方。

如上文說明的那樣，資料讀出電路52給資料線I0和/I0提供同方向的感測電流Is。

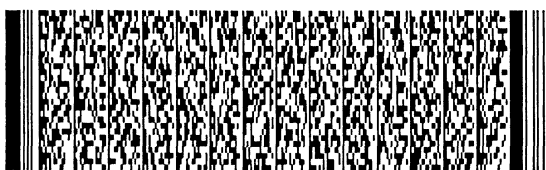
資料讀出時，也說明選擇行選擇線CSL2所對應第二記憶單元行的情況。

將行選擇線CSL2啟動為選擇狀態(H位準)，使行選擇閘CSG2導通。回應該導通，構成資料I/O線對DI/OP的資料線I0和/I0與資料寫入時相同，分別連接位元線BL2和/BL2。

然而，在資料讀出時，均衡電晶體62-2截止，因而資料讀出電路52提供的感測電流Is以相同的方向在位元線BL2和/BL2上流過。

將讀出字線RWL1~RWLn中的任一條啟動為選擇狀態(H位準)，使對應的MTJ記憶單元連接位元線BL2和/BL2的一方。又啟動偽讀出字線DRWL1或DRWL2，使不連接MTJ記憶單元的位元線BL2和/BL2的另一方連接為記憶單元DMC。

在根據列選擇結果選擇奇數列，使位元線BL2與MTJ記憶單元MC連接時，啟動偽讀出字線DRWL2，使位元線/BL2與偽記憶單元DMC連接。反之，根據列選擇結果選擇偶數列，使位元線/BL2與MTJ記憶單元MC連接時，啟動偽讀出字線DRWL1，使位元線BL2與偽記憶單元DMC連接。



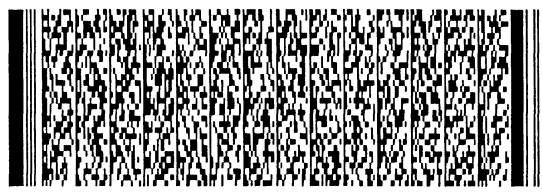
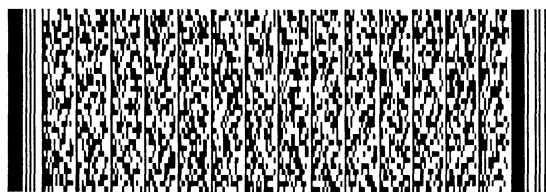
五、發明說明 (17)

上文已說明，MTJ 記憶單元MC 的電阻值隨記憶資料的位準變化。這裏，設記憶H位準資料時MTJ 記憶單元MC 的電阻值為 R_h ，記憶L位準資料時MTJ 記憶單元MC 的電阻值為 R_l ，則將偽記憶單元DMC 的電阻值 R_d 設定為 R_l 與 R_h 的中間值。由此，比較偽記憶單元所連接位元線的一方產生的電位變化與MTJ 記憶單元MC 所連接位元線的另一方產生的電位變化，從而可檢測成為資料讀出物件的記憶資料的位準。

位元線BL2 與 $\overline{BL2}$ 之間產生的電位差通過資料I/O 線對DI/OP 傳到資料讀出電路52 中的內部節點Ns1 和Ns2。由放大器165 放大內部節點Ns1 和Ns2 的位準電位差後，作為讀出資料DOUT 輸出。

因此，在位元線BL 所連接MTJ 記憶單元記憶L位準資料時和在位元線 $\overline{BL}$ 所連接MTJ 記憶單元MC 記憶H位準資料時，讀出資料DOUT 輸出L位準。反之，位元線BL 所連接MTJ 記憶單元記憶H位準資料時和位元線 $\overline{BL}$ 所連接MTJ 記憶單元MC 記憶L位準資料時，讀出資料DOUT 輸出H位準。

這樣，對應各記憶單元行配置折疊型位元線對BLP，並由均衡電晶體使資料寫入電流流回，從而僅將各位元線BL 和 $\overline{BL}$ 一端的電位位準各控制為電源電位 V_{cc} 和接地電位 V_{ss} 的一方，就能提供不同方向的資料寫入電流。這樣，不需要極性不同的電位(負電位元)，僅通過將資料線I0 和 $\overline{I0}$ 的電位設定為電源電位或接地電位，就切換電流的方向，因而能使資料寫入電流控制電路51 的電路結構簡化。而且，讀出/寫入控制電路60 也可僅用均衡電晶體62-1 ~



五、發明說明 (18)

62-m 簡易地構成。

又用偽記憶單元進行資料讀出，因而設置折疊型位元線對BLP的結構中，能有效配置MTJ記憶單元。

[實施形態2]

參閱圖3，根據實施形態2的記憶體陣列10中，與實施形態1相同，在各記憶單元行設置折疊型位元線對，並在讀出/寫入控制電路60設置均衡電晶體62-1~62-m。

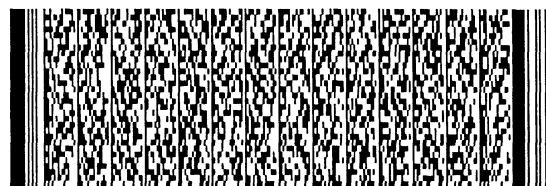
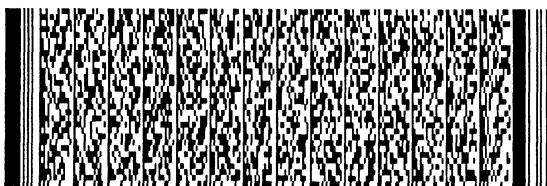
實施形態2中，對資料寫入時提供資料寫入電流的資料寫入電流控制電路51和啟動字線WWL的字線驅動器30，直接提供外部供給MRAM元件1的外部電源電位Ext.Vcc。

MRAM元件1還具有降壓電路(VDC:Voltage Down Converter，降壓變換器)55，將外部電源電位Ext.Vcc降壓，產生內部電源電位Int.Vcc。

降壓電路55產生的內部電源電位Int.Vcc提供給資料讀出電路52、行解碼器25、控制電路5、列解碼器20等進行資料讀出和位址處理的內部電路。資料讀出時和資料寫入時各部分的動作與實施形態1中相同，因而不重複詳述。

利用取這樣的結構，在資料寫入時，對提供較大資料寫入電流 $\pm I_w$ 的資料寫入電流控制電路51和供給寫入字線WWL資料寫入電流 I_p 的字線驅動器30，利用外部施加的外部電源電位Ext.Vcc進行驅動，因而能快速提供這些資料寫入電流。

另一方面，利用降壓所得內部電源電位Int.Vcc驅動提供資料寫入電流的電路以外的內部電路。因而，能謀求減



五、發明說明 (19)

少這些內部電路耗電，並確保適應高集成化所需元件微細化的可靠性。

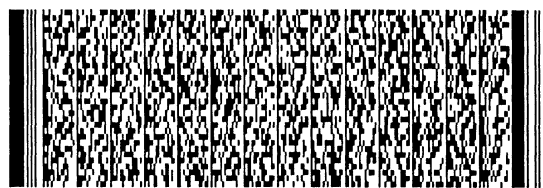
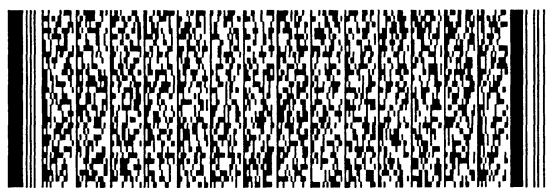
[實施形態3]

實施形態1中，所示結構沿列方向配置的資料I/O線對DI/OP的一端分別連接資料寫入電流控制電路51的輸出節點Nw1、Nw2和資料線I0、/I0。然而，這種結構中，資料寫入電流 $\pm I_w$ 的路徑長度隨選擇的記憶單元的行發生變化。

例如，圖2所示結構中，在行選擇線CSL1側分別連接資料寫入電流控制電路51的輸出節點Nw1、Nw2和資料線I0、/I0，因而選擇行選擇線CSL1時的資料寫入電流路徑長度短，而相反側的行選擇線CSLm啟動為選擇狀態時的資料寫入電流路徑長度變長。這樣，傳遞資料寫入電流的佈線長度隨所選記憶單元行變化，因而資料寫入電流路徑的電阻值發生變化，資料寫入電流的電流量也變化。結果，因記憶單元行而寫操作餘量產生差別。

因此，選擇時資料寫入電流路徑長度變長的記憶單元行中，有可能產生寫入餘量不足。然而，依據最擔心寫入餘量不足的記憶單元行(例如，圖2中位於記憶體陣列端部的第一行和第m行，或者包含由於記憶單元特性偏差而餘量不足的記憶單元的記憶單元行)設定資料寫入電流，則對其他記憶單元行寫入資料時，資料寫入電流會設定得大於需要，從而浪費電耗。

參閱圖4，根據實施形態3的結構中，資料寫入電流控制



五、發明說明 (20)

電路51分別在開頭的記憶單元行(第一行)側和最後的記憶單元行(第m行)側連接各構成資料I/O線對DI/OP的資料I/O和/I/O。

利用取這樣的結構，與成為行選擇物件的記憶單元行的位置無關，使節點Nw1(資料寫入電流控制電路51)－資料線I/O－位元線BL－均衡電晶體－位元線/BL－資料線/I/O－節點Nw2(資料寫入電流控制電路51)所形成的資料寫入電流 $\pm I_w$ 的路徑長度固定，能防止電阻值變動，將資料寫入電流 $\pm I_w$ 的電流值維持在固定的大小。

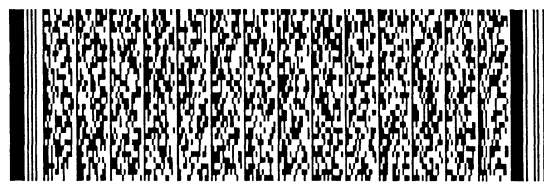
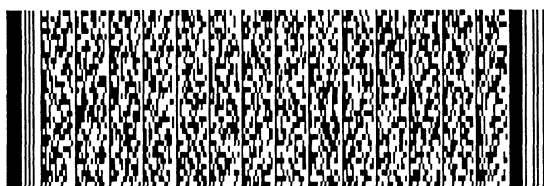
因此，除實施形態1中說明的效果外，還能對任一記憶單元行抑制浪費電耗，適當設定寫入操作餘量。

[實施形態3的變形例1]

參閱圖5，根據實施形態3的變形例1的結構中，在整個記憶體陣列10設置多個資料I/O線對DI/OP。各資料I/O線對DI/OP分別配置在每M個(M為自然數)記憶單元行中。圖5內，示出M=2時的結構，即每2個記憶單元行配置1對資料I/O線對DI/OP。

圖5內代表性地示出這些資料I/O線對DI/OP中，對第一行和第二行設置的資料I/O線對DI/OPa以及對第三行和第四行設置的資料I/O線對DI/OPb。

資料寫入電流控制電路51和資料讀出電路52與各資料I/O線對對應設置。例如，對應於資料I/O線對DI/OPa，配置資料寫入電流控制電路51a和資料讀出電路52a。即，在整個記憶體陣列10設置資料寫入電流控制電路51和資料讀



五、發明說明 (21)

出電路52各 m/M 個。

從這些資料寫入電流控制電路51和資料讀出電路52中，各啟動1個與選擇的記憶單元行對應的電路，執行資料寫入電流 $\pm I_w$ 和感測電流 I_s 的供給。其他部分的結構和動作與實施形態1中相同，因而不重複詳述。

這樣，即使利用細分為每 M 個記憶單元行配置資料I/O線對DI/OP，也能有效防止流通資料寫入電流的佈線長度隨成為選擇行物件的記憶單元行的位置變化而造成電流大小變化，可享受與實施形態3相同的效果。

[實施形態3的變形例2]

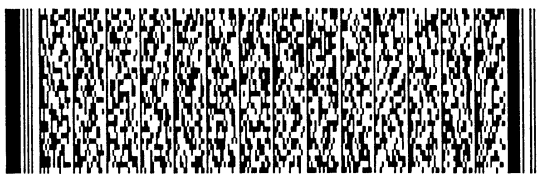
參閱圖6，實施形態3的變形例2中，與圖4所示實施形態3的結構相比，其不同點在於資料寫入電流控制電路51的輸出節點 $Nw1$ 和 $Nw2$ 在資料I/O線對DI/OP的中央部與資料線IO和/I0分別電連接。

利用這種結構，也能防止資料寫入電流路徑的電阻值隨成為選擇物件的記憶單元行的位置變化，可享受與實施形態3相同的效果。

[實施形態3的變形例3]

參閱圖7，實施形態3的變形例3中，與圖5中說明的實施形態3的變形例1時相同，每 M 個記憶單元行配置獨立的資料登錄輸出線DI/OP。資料I/O線對DI/OP配置的條數以及與其對應的資料寫入電流控制電路51和資料讀出電路52的配置和選擇，與圖5中說明的相同，因而不重複說明。

實施形態3的變形例3中，各資料I/O線對DI/OP配置在對



五、發明說明 (22)

應的M個記憶單元行的中央部。圖7中，作為一個例子，說明M=2的情況，與第一行和第二行對應設置的資料I/O線對DI/OPa配置在記憶單元行的第一行和第二行之間。

利用這種結構，與實施形態3的變形例I的結構相比，能進一步抑制取決於成為行選擇物件的記憶單元行的位置的資料寫入電流變化，也可進一步對任一記憶單元行適當設定寫入操作餘量。

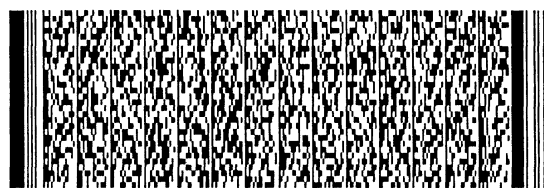
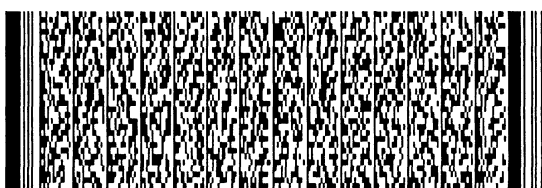
[實施形態4]

在實施形態1至實施形態3中，所說明的結構利用公共位元線BL，對MTJ記憶單元MC提供資料寫入電流 $\pm I_w$ 和感測電流 I_s 。

然而，由於資料寫入電流 $\pm I_w$ 與感測電流 I_s 的電流量差別大，故將位元線BL分為資料讀出時流通感測電流用的讀出位元線RBL和資料寫入時流通資料寫入電流 $\pm I_w$ 用的寫入位元線WBL進行配置，也是有效的。

後面將詳細說明這種MTJ記憶單元結構的變形例。實施形態4中說明一種結構，用於獨立配置流通資料寫入電流 $\pm I_w$ 用的寫入位元線WBL時，抑制資料寫入電流變化，與成為行選擇物件的記憶單元行的位置無關。

參閱圖8，實施形態4的記憶體陣列10中，分別對應記憶單元行設置WBL、/WBL，形成流通資料寫入電流 $\pm I_w$ 用的互補寫入位元線對。關於寫入位元線WBL，在綜合表示時，也用符號WBL記述，表示特定寫入位元線時，則在符號WBL添加尾號，記述為WBL1、/WBL1。



五、發明說明 (23)

讀出/寫入控制電路60具有的均衡電晶體62-1~62-m在各自的記憶單元行電連接寫入位元線WBL和/WBL。與行選擇閘CSG1~CSGm相同，均衡電晶體62-1~62-m隨行選擇線CSL1~CSLm的電位位準導通/截止。

利用這種結構，根據行選擇結果，將例如行選擇線CSL2啟動為選擇狀態(H位準)時，行選擇閘CSG2和均衡電晶體62-2導通，形成節點Nw1(資料寫入電流控制電路51)－資料線I0－寫入位元線WBL－均衡電晶體62-2－寫入位元線/WBL2－資料線/I0－節點Nw2(資料寫入電流控制電路51)的電流路徑。

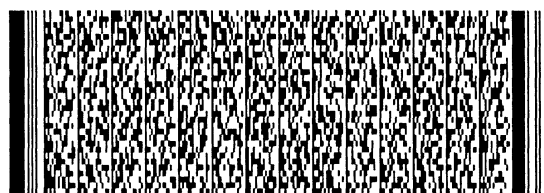
由此，對形成寫入位元線對的互補寫入位元線WBL和/WBL，利用流通經均衡電晶體流回的反方向資料寫入電流，可執行與實施形態1相同的資料寫入。

與圖4所示的結構相同，資料寫入電流控制電路51的內部節點Nw1、Nw2與構成資料I/O線對DI/OP的資料線I0、/I0分別在開頭的記憶單元行(第一行)側和最後的記憶單元行(第m行)側相互連接。

因此，與成為行選擇物件的記憶單元行的位置無關，使資料寫入電流路徑的佈線長度固定，即其電阻值固定，能防止資料寫入電流變化。這樣，與實施形態3相同，對各自的記憶單元行能確保寫入餘量適當，不浪費電耗。

[實施形態4的變形例1]

參閱圖9，實施形態4的變形例1中，與圖5的情況相同，每M個記憶單元行配置資料I/O線對DI/OP。資料寫入電流



五、發明說明 (24)

控制電路51也分別對應於整個記憶體陣列10中配置m/M組的資料I/O線對DI/OP進行配置。與圖8的情況相同，均衡電晶體62-1~62-m隨行選擇線CSL1~CSLm的電位位準導通/截止，執行與實施形態1相同的資料寫入。

利用這種結構，將位元線BL分為讀出位元線RBL和寫入位元線WBL進行配置時，也能享受實施形態3的變形例1相同的效果。

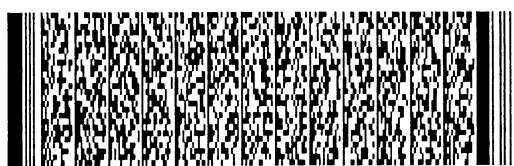
[實施形態4的變形例2]

參閱圖10，實施形態4的變形例2中，與圖6所示結構相同，在對各記憶單元行共同設置的資料I/O線對DI/OP的中央部，將資料線I0和/I0分別與資料寫入電流控制電路51的輸出節點Nw1和Nw2連接。與圖8的情況相同，均衡電晶體62-1~62-m隨行選擇線CSL1~CSLm的電位位準導通/截止，執行與實施形態1相同的資料寫入。

利用這種結構，將位元線BL分為讀出位元線RBL和寫入位元線WBL進行配置時，也能取得與實施形態3的變形例2相同的效果。

[實施形態4的變形例3]

參閱圖11，實施形態4的變形例3中，與圖7的情況相同，每M個記憶單元行配置資料I/O線對DI/OP，各資料I/O線對DI/OP配置在對應的M個記憶單元行的中央部。與圖8的情況相同，均衡電晶體62-1~62-m隨行選擇線CSL1~CSLm的電位位準導通/截止，執行與實施形態1相同的資料寫入。



五、發明說明 (25)

利用這種結構，將位元線BL分為讀出位元線RBL和寫入位元線WBL進行配置時，也能取得與實施形態3的變形例2相同的效果。

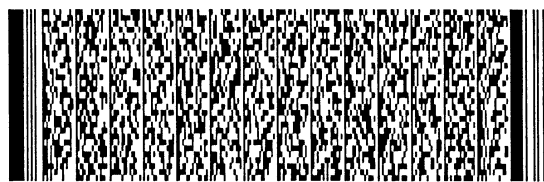
實施形態4及其變形例1至變形例3中，省略對資料讀出有關結構的說明，但與實施形態1至實施形態3相同，能根據讀出位元線RBL產生的電位變化，進行採用偽記憶單元DMC的資料讀出。

實施形態1至實施形態4中，所示結構採用偽記憶單元DMC執行資料讀出。並分別對位元線BL和/BL每一列配置MTJ記憶單元MC，但也可做成在位元線BL和/BL與字線的各交點配置MTJ記憶單元MC。這時，不設置偽記憶單元DMC，也可執行資料讀出。

這樣，在各記憶單元列中與位元線BL、/BL的交點分別配置MTJ記憶單元，從而對1位元記憶資料配置2個MTJ記憶單元。利用這種結構，回應讀出字線RWL的啟動，對位元線BL和/BL分別連接記憶互補資料位準的2個MTJ記憶單元。因此，利用比較記憶這些互補資料的MTJ記憶單元所產生電位變化的差別，設定讀出資料的資料位準，故與採用偽記憶單元DMC檢測讀出資料DOUT的資料位準時相比，能充分確保讀出餘量。

[實施形態5]

參閱圖12，實施形態5中，與各記憶單元行對應配置開放型位元線，而不是配置折疊型位元線。即，對應於m個記憶單元行，分別設置位元線BL1～BLm。



五、發明說明 (26)

在各記憶單元列與位元線BL的交點各配置MTJ記憶單元MC。形成資料I/O線對DI/OP的資料線IO和/I0分別相對配置，與記憶體陣列10在行方向相鄰，將記憶單元陣列10夾在中間。

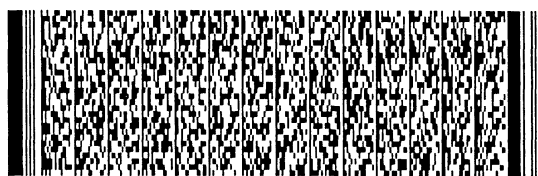
由行選擇線CSL1~CSLm控制行選擇閘CSG1~CSGm導通/截止，使資料I/O線對DI/OP的一條的資料線IO與對應的位元線BL連接。

讀出/寫入控制電路60具有電流控制電晶體64-1~64-m，分別連接在位元線BL1~BLm與資料I/O線對DI/OP的另一條的資料線/I0之間。與行選擇閘CSG1~CSGm相同，電流控制電晶體64-1~64-m也分別對應行選擇線CSL1~CSLm，進行導通/截止。

在資料寫入電流控制電路51和資料讀出電路52與資料I/O線對DI/OP之間，設置電流切換電路56。電流切換電路56有選擇地將來自資料寫入電流控制電路51的資料寫入電流 $\pm I_w$ 和來自資料讀出電路52的感測電流 I_s 提供給資料I/O線對DI/OP。

參閱圖13，電流切換電路56具有選擇性連接資料寫入電流控制電路51的輸出節點Nw1和資料讀出電路52的輸出節點Nr1中的任一方與資料線IO用的開關SW1a，以及有選擇地將資料寫入電流控制電路51的輸出節點Nw2和電源電位Vcc中的任一方連接到資料線/I0的開關SW1b。

開關SW1a和SW1b例如回應公共控制信號RWS進行工作。即，在資料讀出時，回應控制信號RWS，開關SW1a和SW1b



五、發明說明 (27)

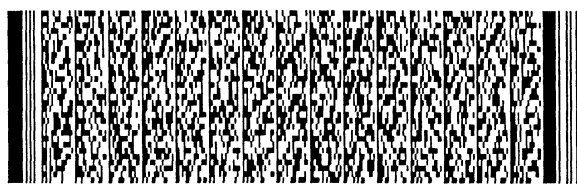
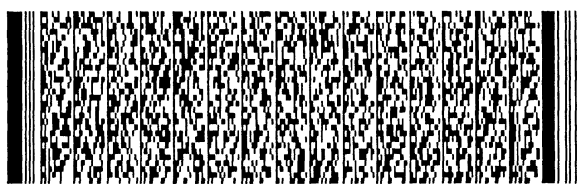
分別將資料讀出電路52的輸出節點Nr1和電源電位Vcc與資料線I0和/I0連接。

實施形態5中，資料讀出電路52在將資料線/I0提升到電源電位Vcc的狀態下，使資料線I0流通感測電流Is，並將資料線I0產生的電壓降與基準電壓降量 ΔV_r 比較，從而檢測出讀出資料DOUT的資料位準。設讀出H位準資料時資料線I0的電壓降為 ΔV_h ，讀出L位準資料時資料線I0的電壓降為 ΔV_l ，則將 ΔV_r 設定為 ΔV_h 與 ΔV_l 的中間值。

例如在圖2所示資料讀出電路52的結構中，省略電晶體164，同時將節點Nr2與電源電位Vcc連接，進而設定電阻167的電阻值，使內部節點Ns2的電位位準為 $(V_{cc} - \Delta V_r)$ ，由此，能實現上述資料讀出控制電路的結構。

另一方面，在資料寫入時，回應控制信號RWS，開關SW1a和SW1b分別將資料寫入電流控制電路51的輸出節點Nw1和Nw2與資料線I0和/I0連接。

再次參閱圖12，在資料寫入時，節點Nw1(資料寫入電流控制電路51)－資料線I0－位元線BL－資料線/I0－節點Nw2(資料寫入電流控制電路51)的路徑上能流通資料寫入電流。因而，配置開放型位元線的結構中，與實施形態1相同，僅通過將資料寫入電流控制電路51的輸出節點Nw1和Nw2的電位位準控制為電源電位Vcc和接地電位Vss的各一方，就能提供不同方向的資料寫入電流。這樣，不需要產生極性不同的電位(負電位元)，因而能使資料寫入電流控制電路51的電路結構簡化。讀出/寫入控制電路60也能



五、發明說明 (28)

僅用電流控制電晶體64-1~64-m簡便地構成。

資料寫入電流控制電路51與構成資料I/O線對DI/OP的資料線I0和/I0分別在開頭的記憶單元行(第一行)側和最後的記憶單元行(第m行)側連接。因此，與實施形態3和實施形態4相同，能使資料寫入電流路徑的佈線長度維持固定，即其電阻值固定，與成為行選擇物件的記憶單元行的位置無關。結果，可防止資料寫入電流變化，能確保對各記憶單元的寫入餘量適當，不會導致浪費電耗。

[實施形態5的變形例]

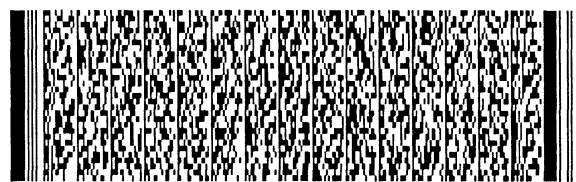
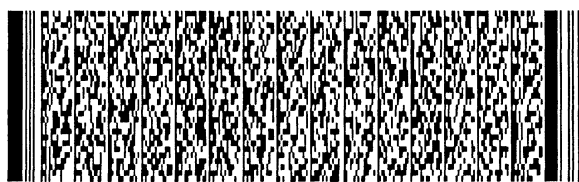
圖14為示出記憶體陣列10及其週邊的實施形態5變形例結構的方框圖。

參閱圖14，實施形態5的變形例中，與圖12的結構相比，其不同點為讀出/寫入控制電路60所含電流控制電晶體64-1~64-m隨位元線預充電信號BLPR導通/截止。設定位元線預充電信號BLPR的信號位準，其情況與說明過的位元線均衡信號BLEQ相同。

在資料寫入電流控制電路51與資料I/O線對DI/OP之間連接電流切換電路58，以代替電流切換電路56。資料讀出電路52回應控制信號RE進行工作，對資料I/O線對的一條的資料線I0提供感測電流Is。

圖15為示出電流切換電路58的結構的框圖。

參閱圖15，電流切換電路58具有配置在資料寫入電流控制電路51的輸出節點Nw1和提供電源電位Vcc的預充電節點Np1與資料線I0之間的開關SW2a，以及配置在資料寫入電



五、發明說明 (29)

流控制電路51的輸出節點Nw2和提供電源電位Vcc的預充電節點Np2與資料線/I0之間的開關SW2b。

開關SW2a和SW2b在資料寫入時，分別使資料線I0、及/I0與資料寫入電流控制電路51的輸出節點Nw1、Nw2電連接。又，開關SW2a和SW2b還在資料讀出前執行的預充電工作時，分別使資料線I0、及/I0預充電節點Np1及Np2電連接。

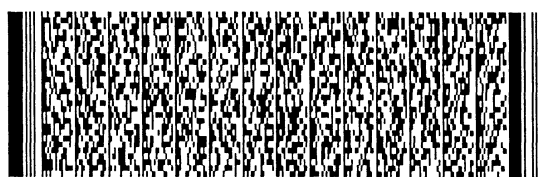
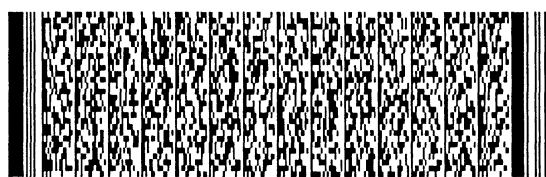
然而，在資料讀出時，由開關SW2a和SW2b將預充電的資料線I0、及/I0與資料寫入電流控制電路51的輸出節點Nw1、Nw2和預充電節點Np1、Np2都斷開。

開關控制電路59根據已說明的控制信號WE和位元線預充電信號BLPR的信號位準，判斷當時是資料寫入、還是資料讀出或進行預充電，以控制開關SW2a和SW2b的連接。

利用這種結構，在資料讀出時，使位元線預充電信號BLPR為非啟動的L位準，使電流控制電晶體64-1~64-m截止，同時使資料線I0、及/I0與資料寫入電流控制電路51和預充電節點Np1、Np2都斷開。

利用與實施形態5結構相同的資料讀出電路52，通過資料線I0和與所選記憶單元行對應的行選擇閘，對位元線BL提供感測電流Is。由隨讀出字線RWL的啟動與位元線連接的MTJ記憶單元MC將位元線BL產生的電壓降與基準電壓降 ΔV_r 比較，從而資料讀出電路52能檢測讀出資料DOUT的資料位準。

另一方面，在資料寫入時，將位元線預充電信號BLPR啟



五、發明說明 (30)

動為H位準，使電流控制電晶體64-1～64-m導通。因此，在所選記憶單元行中，形成節點Nw1(資料寫入電流控制電路51)～資料線IO～位元線BL～電流控制電晶體～資料線/IO～節點Nw2(資料寫入電流控制電路51)的電流通路，可在位元線BL上流通與寫入資料DIN的資料位準相符的資料寫入電流 $\pm I_w$ 。由此，可執行與實施形態5相同的資料寫入操作。

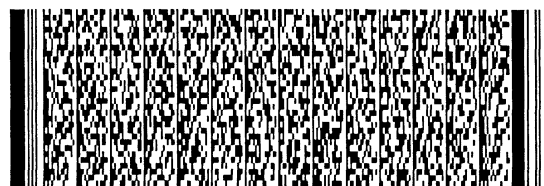
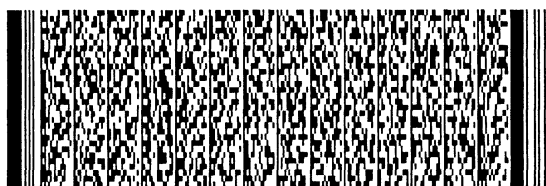
[實施形態6]

實施形態6中，說明對MTJ記憶單元MC設置的佈線配置的變形例。

參閱圖16，本發明實施形態6的MRAM元件2與MRAM元件1相同，回應來自外部的控制信號CMD和位址信號ADD，進行隨機存取，從而執行寫入資料DIN的輸入和讀出資料DOUT的輸出。記憶體陣列10具有按n列×m行配置成行列狀的多個MTJ記憶單元。記憶體陣列10的結構後面將詳細說明，但其中分別對應於記憶單元列配置多條讀出字線RWL和寫入位元線WBL，並且分別對應於記憶單元行配置多條寫入字線WWL和讀出位元線RBL。

這樣，在實施形態6中，將流通資料寫入電流 $\pm I_w$ 和位準電流 I_s 用的位元線BL分為資料讀出時流通位準電流 I_s 的讀出位元線RBL和資料寫入時流通資料寫入電流 $\pm I_w$ 用的寫入位元線WBL。而且，讀出字線RWL和寫入字線WWL沿相互不同的方向配置。

MRAM元件2還具有根據位址信號ADD所示列位址RA執行



五、發明說明 (31)

記憶體陣列10中的列選擇的列解碼器20、根據位址信號ADD所示行位址CA執行記憶體陣列10中的行選擇的行解碼器25、根據列解碼器20的列選擇結果在資料讀出時選擇性啟動讀出字線RWL的讀出字線驅動器30r、根據列解碼器20的列選擇結果在資料寫入時使資料寫入電流通過寫入位元線WBL用的寫入控制電路50w和60w、根據行解碼器25的行選擇結果在資料寫入時選擇性啟動寫入字線WWL用的寫入字線驅動器30w、使啟動的寫入字線WWL流通資料寫入電流用的字線電流控制電路40，以及資料讀出時給讀出位元線RBL提供感測電流Is用的讀出控制電路50r。

寫入控制電路50w相當於同時具有實施形態1中所說明資料寫入控制電路51的功能和執行列選擇的選擇閘的功能的電路。寫入控制電路60w與寫入控制電路50w協同工作，根據寫入資料DIN的資料位準，控制記憶體陣列10兩個端部上寫入位元線WBL兩端的電位，從而控制資料寫入電流 I_w 的方向。

讀出控制電路50r相當於兼有圖2中所說明資料讀出電路52的功能和執行行選擇的行選擇閘CSG1～CSGm的功能的電路。

字線電流控制電路40將各寫入字線WWL與接地電位 V_{ss} 連接，以便使啟動為選擇狀態(高電位狀態：H位準)的寫入字線WWL流通資料寫入電流。

參閱圖17，實施形態6的記憶體陣列10具有配置成n列×m行的多個MTJ記憶單元MC。實施形態6的結構中，對各MTJ



五、發明說明 (32)

記憶單元MC配置讀出字線RWL、寫入字線WWL、讀出位元線RBL和寫入位元線WBL。讀出字線RWL和寫入位元線WBL分別對應於記憶單元列，沿列方向配置。寫入字線WWL和讀出位元線RBL則分別對應於記憶單元行，沿行方向配置。

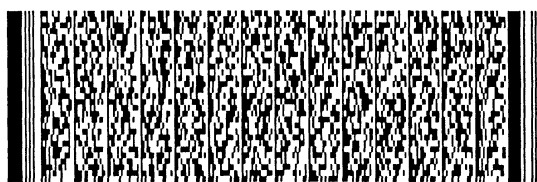
結果，整個記憶體陣列10設置讀出字線RWL1～RWLn、寫入字線WWL1～WWLm、讀出位元線RBL1～RBLm和寫入位元線WBL1～WBLn。

下文中，讀出位元線綜合表示時，符號用RBL記述，表示特定讀出位元線時，對該符號添加尾號，記述為RBL1、RBLm。

字線電流控制電路40將寫入字線WWL1～WWLm與接地電位Vss連接。由此，寫入字線驅動器30w將寫入字線WWL啟動為選擇狀態(H位準：電源電位Vcc)時，能使啟動的寫入字線WWL流通資料寫入電流Ip。

參閱圖18，實施形態6的MTJ記憶單元中，對由磁隧道耦合部MTJ和存取電晶體ATR組成的MTJ記憶單元設置讀出字線RWL、寫入字線WWL、寫入位元線WBL和讀出位元線RBL。上文已說明，存取電晶體ATR通常可用在半導體基板上形成的電場效應電晶體，即MOS電晶體。

存取電晶體ATR的閘極連接讀出字線RWL。存取電晶體ATR在讀出字線RWL被啟動為選擇狀態(H位準：電源電位Vcc)時導通，形成包含磁隧道耦合部MTJ的電流通路。另一方面，讀出字線RWL為非啟動的非選擇狀態(L位準：接地電位Vss)時，存取電晶體ATR截止，因而不形成包含磁



五、發明說明 (33)

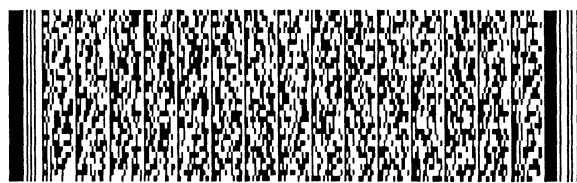
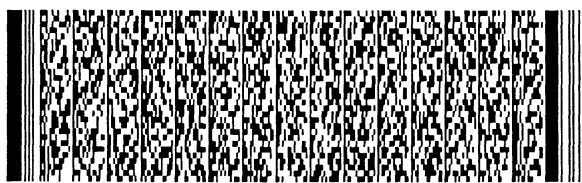
隧道耦合部MTJ的電流通路。

寫入字線WWL與寫入位元線WBL按相互垂直的方向配置，以便接近磁隧道耦合部MTJ。這樣，將讀出字線RWL與寫入字線WWL按相互垂直的方向配置，從而可將讀出字線驅動器30r與寫入字線驅動器30w分開配置。讀出字線RWL和寫入字線WWL在資料讀出時和資料寫入時分別獨立啟動，因而這些驅動器可作為原本獨立的部分進行設計。因此，可將寫入字線驅動器30w與讀出字線驅動器30r分開，進行小型化，將其分別配置在靠近記憶體陣列10的不同區域，從而可提高佈局設計自由度，減小佈局面積，即減小MRAM元件的晶片面積。

磁隧道耦合部MTJ電連接在讀出位元線RBL與存取電晶體ATR之間。因此，在資料讀出時，將不需要流通電流的寫入位元線WBL的電位位準設定為接地電位Vss，從而回應存取電晶體ATR的導通，形成讀出位元線RBL～磁隧道耦合部MTJ～存取電晶體ATR～寫入位元線WBL(接地電位Vss)的電流通路。借助在該電流通路流通感測電流Is，使讀出位元線RBL產生符合磁隧道耦合部MTJ所存資料的位準的電位變化，從而能讀出記憶的資料。

資料寫入時，寫入字線WWL和寫入位元線WBL中分別流通資料寫入電流，由這些資料寫入電流分別產生的磁場的綜合達到一定的磁場，即達到超過圖44所示星形特性曲線的區域，從而在磁隧道耦合部MTJ寫入記憶的資料。

下面，用圖19說明對實施形態6的MTJ記憶單元的資料寫



五、發明說明 (34)

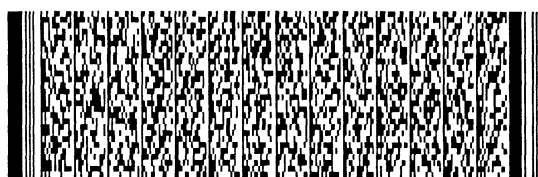
入和資料讀出。

首先，說明資料寫入時的動作。

寫入字線驅動器30w根據行解碼器25的行選擇結果，將與所選行對應的寫入字線WWL的電位驅動到選擇狀態(H位準)。非選擇行中，寫入字線WWL的電位位準維持非選擇狀態(L位準)。由字線電流控制電路40將各寫入字線WWL與接地電位Vss連接，因而選擇行中在寫入字線WWL上流通資料寫入電流Ip。

讀出字線RWL在資料寫入時，仍維持非選擇狀態(L位準)。資料寫入時，讀出控制電路50r不提供感測電流Is，並將讀出位元線RBL預充電為高電位狀態(Vcc)。存取電晶體ATR維持截止狀態，因而資料寫入時，讀出位元線RBL上無電流通過。

寫入控制電路50w和60w利用控制記憶體陣列10兩端的寫入位元線WBL的電位，產生方向適應寫入資料DIN的資料位準的資料寫入電流。例如，寫入記憶資料"1"時，寫入控制電路60w側的位元線電位設定為高電位狀態(電源電位Vcc)，相反側的寫入控制電路50w的位元線電位則設定為低電位狀態(接地電位Vss)。因而，寫入位元線WBL流過從寫入控制電路60w到50w這一方向的資料寫入電流 $\pm I_w$ 。反之，寫入記憶資料"0"時，將寫入控制電路50w側和60w側的位元線電位分別設定為高電位狀態和低電位狀態，因而在寫入位元線WBL上流過從寫入控制電路50w到60w之一方向的資料寫入電流 $-I_w$ 。這時，資料寫入電流 $\pm I_w$ 根據列



五、發明說明 (35)

解碼器20的列選擇結果，選擇性地流過與所選列對應的寫入位元線WBL。

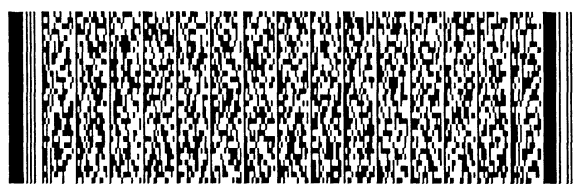
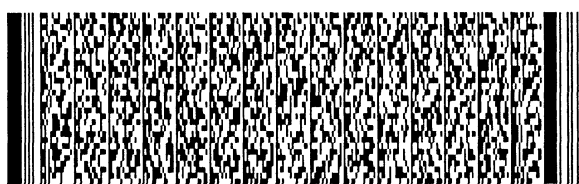
這樣，利用設定資料寫入電流 I_p 和 $\pm I_w$ 的方向，在資料寫入時，根據所寫入記憶資料的位準"1"、"0"，選擇方向相反的資料寫入電流 $+I_w$ 和 $-I_w$ 中的一個，可將寫入字線WWL的資料寫入電流 I_p 固定為一個方向，與資料位準無關。由此，能使寫入字線WWL上通過的資料寫入電流 I_p 方向總是固定，因而如上文所述，能使字線電流控制電路40的結構簡化。

下面，說明資料讀出時的動作。

資料讀出時，寫入字線WWL維持非選擇狀態(L位準)，其電位位準由字線電流控制電路40固定於接地電位 V_{ss} 。在進行資料讀出時，寫入控制電路50w和60w將寫入位元線WBL設定為接地電位 V_{ss} ，同時停止提供資料寫入電流。

讀出字線驅動器30r根據列解碼器20的列選擇結果，將選擇列對應的讀出字線RWL驅動到選擇狀態(H位準)。非選擇列中，讀出字線RWL的電位位準維持非選擇狀態(L位準)。讀出控制電路50r在資料讀出時，將執行資料讀出用的一定量感測電流 I_s 提供給選擇行的讀出位元線RBL。讀出位元線RBL在資料讀出前預充電到高電位狀態(V_{cc})，因而借助回應讀出字線RWL的啟動而使存取電晶體ATR導通，在MTJ記憶單元內形成感測電流 I_s 的電流通路，從而讀出位元線RBL上產生回應記憶資料的電位變化(電位下降)。

圖19中，作為一個例子，在所存資料位準為"1"時，設



五、發明說明 (36)

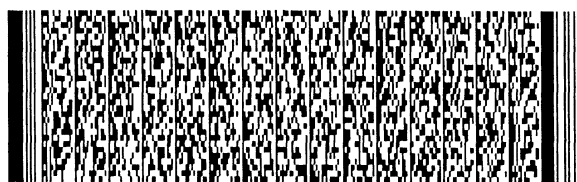
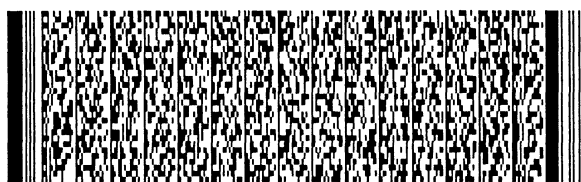
固定磁層FL與自由磁層VL的磁場方向相同，則記憶資料為"1"時，讀出位元線RBL的電位變化 $\Delta V1$ 小，記憶資料為零時，讀出位元線RBL的電位變化 $\Delta V2$ 比 $\Delta V1$ 大。檢測此電位下降，即 $\Delta V1$ 與 $\Delta V2$ 的差，可讀出MTJ記憶單元記憶的資料。

讀出位元線RBL中，使資料讀出所具備的預充電電壓和資料寫入時的設定電壓一致為相同的電源電壓 V_{cc} ，因而能提高資料讀出開始時預充電操作的效率，謀求資料讀出操作高速化。在讀出位元線RBL的預充電電壓為接地電壓 V_{ss} 時，也可將資料寫入時的設定電壓取為接地電壓 V_{ss} 。

參閱圖20，實施形態6的MTJ記憶單元中，在半導體主基板SUB上的P型區域PAR形成存取電晶體ATR。在第一金屬佈線層M1形成寫入位元線WBL，使其與存取電晶體ATR的源極/汲極區域的一方110電連接。另一方的源極/汲極區域120通過第一金屬佈線層M1上設置的金屬佈線、阻擋金屬層(barrier metal)140和接觸孔中形成的金屬膜150，與磁隧道耦合部MTJ電連接。

在第二金屬佈線層M2上設置讀出位元線RBL使其與磁隧道耦合部MTJ電連接。寫入字線WWL配置在第三金屬佈線層M3上。寫入字線WWL可獨立配置，不與MTJ記憶單元的其他部位連接，因而能自由配置，以便可提高與磁隧道耦合部MTJ之間的磁耦合。

利用這種結構，對MTJ記憶單元，按相互垂直的方向配置讀出字線RWL和寫入字線WWL，從而可獨立配置與讀出字



五、發明說明 (37)

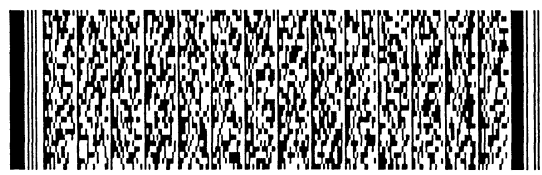
線RWL和寫入字線WWL分別對應的讀出字線驅動器30r和寫入字線驅動器30w，提高佈局設計自由度。而且，能防止資料讀出時字線驅動電流過大，從而防止產生不需要的磁雜訊。

[實施形態6的變形例1]

參閱圖21，記憶體陣列10具有配置成 n 列 $\times$ m 行的多個MTJ記憶單元MC。分別對應於記憶單元列，配置讀出字線RWL和寫入位元線WBL，並且分別對應於記憶單元行，配置共用佈線CML。共用佈線CML為兼有讀出位元線RBL和寫入字線WWL的功能的佈線。因此，整個記憶體陣列10配置讀出字線RWL1 $\sim$ RWL n 、寫入位元線WBL1 $\sim$ WBL n 和共用佈線CML1 $\sim$ CML m 。

字線電流控制電路40具有分別電連接在共用佈線CML1 $\sim$ CML m 與接地電位 V_{ss} 之間的電流控制電晶體41-1 $\sim$ 41- m 。電流控制電晶體41-1 $\sim$ 41- m 在資料寫入時分別使各共用佈線CML1 $\sim$ CML m 與接地電位 V_{ss} 連接，以使共用佈線CML作為寫入字線WWL進行工作。除數據寫入時以外，電流控制電晶體41-1 $\sim$ 41- m 均截止，使共用佈線CML與接地電位 V_{ss} 斷開。

這樣，實施形態6的變形例1中，利用設置電流控制電晶體41-1 $\sim$ 41- m ，使共用佈線CML在資料讀出時用作讀出位元線RBL，同時在資料寫入時用作寫入字線WWL。由此，共用佈線CML兼有讀出位元線RBL和寫入字線WWL的功能，可減少佈線數。



五、發明說明 (38)

參閱圖22，存取電晶體ATR電連接在磁隧道耦合部MTJ與寫入位元線WBL之間。磁隧道耦合部MTJ連接在存取電晶體ATR與共用佈線CML之間。存取電晶體ATR的閘極連接讀出字線RWL。圖22的結構中，讀出字線RWL和寫入字線WWL也按相互垂直的方向配置。

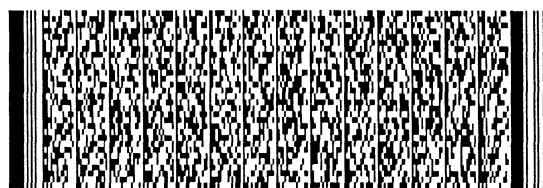
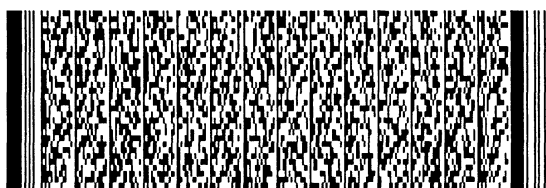
用圖23說明對實施形態6的變形例1的MTJ記憶單元寫入資料和讀出資料。

參閱圖23，資料寫入時，寫入位元線WBL上流通資料寫入電流 $\pm I_w$ 。又借助電流控制電晶體41-1~41-m的導通，根據行選擇結果，使所選行對應的共用佈線CML流通資料寫入電流 I_p 。這樣，設定資料寫入時共用佈線CML的電流和電位，其情況與圖19所示寫入字線WWL相同。由此，可將與寫入資料DIN的資料位準相符的磁場寫入磁隧道耦合部MTJ。如圖19所示，寫入位元線RBL在資料寫入時不是特別需要，因而兩者可綜合為共用佈線CML。

除數據寫入時以外，電流控制電晶體41-1~41-m均截止。在資料讀出前，將共用佈線CML預充電到接地電位 V_{ss} 。

在資料讀出時，將寫入位元線WBL的電位位準設定為接地電位位準 V_{ss} ，將寫入字線RWL啟動為選擇狀態(H位準)，從而存取電晶體ATR導通，在共用佈線CML~磁隧道耦合部MTJ~存取電晶體ATR~寫入位元線WBL的路徑上可流通感測電流 I_s 。

在MTJ記憶單元內形成感測電流 I_s 電流通路，則在共用



五、發明說明 (39)

佈線CML上產生回應記憶資料的電位變化(電位上升)。

圖23中，作為一個例子，在所存資料位準為"1"時，設固定磁層FL與自由磁層VL的磁場方向相同，則記憶資料為"1"時，共用佈線CML的電位變化 $\Delta V1$ 小，記憶資料為零時，共用佈線CML的電位變化 $\Delta V2$ 比 $\Delta V1$ 大。檢測此電位下降，即 $\Delta V1$ 與 $\Delta V2$ 的差，可讀出MTJ記憶單元記憶的資料。

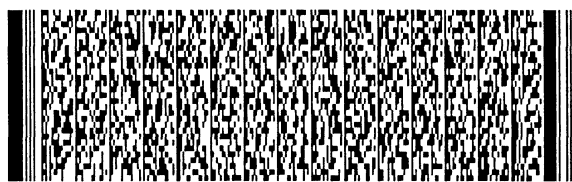
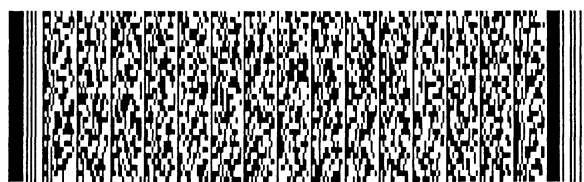
作為讀出位元線RBL起作用的共用佈線CML中，使資料讀出所具備的預充電電壓和資料寫入時的設定電壓一致為相同的接地電壓 V_{ss} ，因而能提高資料讀出開始時預充電操作的效率，謀求資料讀出操作高速化。

如圖19所示，寫入字線WWL在資料讀出時尤其不需要，因而寫入字線WWL和讀出位元線RBL可綜合為共用佈線CML。

參閱圖24，實施形態6的變形例1的MTJ記憶單元中，寫入位元線WBL配置在第一金屬佈線層M1上，讀出字線RWL與存取電晶體ATR的閘極130配置在同一層。

寫入位元線WBL與存取電晶體ATR的源極/汲極區域110電連接。另一源極/汲極區域120通過第一金屬佈線層M1上設置的金屬佈線、阻擋金屬140和接觸孔中設置的金屬膜150，與磁隧道耦合MTJ連接。

共用佈線CML設置在第二金屬佈線層M2上，與磁隧道耦合部MTJ電連接。這樣，利用做成使共用佈線CML兼有讀出位元線RBL和寫入字線WWL兩種功能，除具有實施形態6的



五、發明說明 (40)

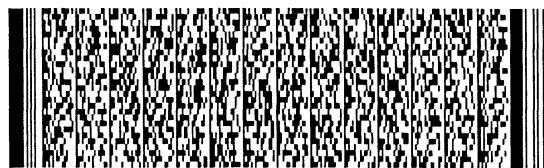
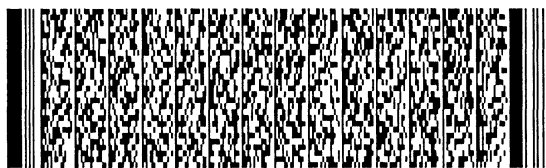
MTJ 記憶單元獲得的效果外，還可減少佈線和金屬佈線層數，謀求降低製造成本。

[實施形態6的變形例2]

參閱圖25，實施形態6的變形例2中，記憶體陣列10也具有配置成 n 列 $\times$ m 行的MTJ記憶單元MC。分別對應於記憶單元列，設置讀出字線RWL和寫入位元線WBL。分別對應於記憶單元行，設置讀出位元線RBL和寫入字線WWL。因此，對整個記憶體陣列10設置讀出字線RWL1 $\sim$ RWL n 、寫入位元線WBL1 $\sim$ WBL n 、讀出位元線RBL1 $\sim$ RBL m 和寫入字線WWL1 $\sim$ WWL m 。字線電流控制電路40將各寫入字線WWL與接地電位 V_{ss} 連接。

參閱圖26，實施形態6的變形例2的MTJ記憶單元中，讀出位元線RBL通過存取電晶體ATR連接磁隧道耦合部MTJ。磁隧道耦合部MTJ連接在寫入字線WWL與存取電晶體ATR之間。讀出字線RWL與存取電晶體ATR的閘極相連。圖26的結構中，寫入字線WWL與讀出字線RWL也按相互垂直的方向配置。

參閱圖27，實施形態6的變形例2的MTJ記憶單元中，讀出位元線RBL配置在第一金屬佈線層M1上。讀出字線RWL與存取電晶體ATR的閘極130形成在同一層上。讀出位元線RBL與存取電晶體ATR的源極/汲極區域110連接。源極/汲極區域120通過第一和第二金屬佈線層M1和M2上設置的金屬佈線、阻擋金屬140和接觸孔中設置的金屬膜150，與磁隧道耦合部MTJ相連。



五、發明說明 (41)

寫入位元線WBL設置在第二金屬佈線層M2上，靠近磁隧道耦合部MTJ。寫入字線WWL配置在第三金屬佈線層M3上，與磁隧道耦合部MTJ電連接。

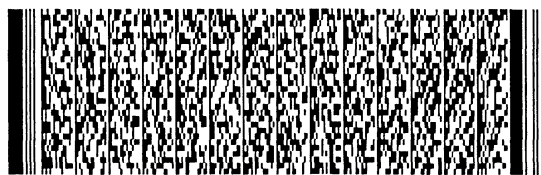
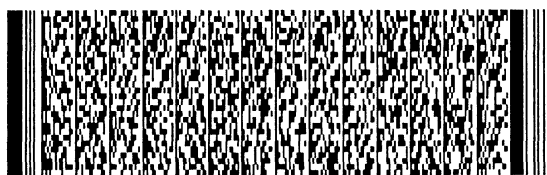
利用這種結構，讀出位元線RBL通過存取電晶體ATR與磁隧道耦合部MTJ連接。由此，讀出位元線RBL僅與成為資料讀出物件的MTJ記憶單元MC電連接，即僅連接對應的讀出字線RWL啟動為選擇狀態(H位準)的記憶單元列所屬的MTJ記憶單元MC。結果，可抑制讀出位元線RBL的電容，使資料讀出操作高速化。

[實施形態6的變形例3]

參閱圖28，實施形態6的變形例3的記憶體陣列10同樣具有配置成n列×m行的多個MTJ記憶單元MC。實施形態6的變形例3中，與圖25～圖27所示的實施形態6的變形例2相比，寫入字線WWL和讀出位元線RBL的配置有改變。其他結構與實施形態6的變形例2時相同，因而不重複說明。

參閱圖29，實施形態6的變形例3的MTJ記憶單元中，與圖26所示實施形態6的變形例2的MTJ記憶單元相比，其所形成的結構改變讀出位元線RBL和寫入字線WWL的配置。其他佈線的配置與圖26相同，不重複說明。即使取這種結構，讀出字線RWL和寫入字線WWL也可按相互垂直的方向配置。

參閱圖30，實施形態6的變形例3的MTJ記憶單元中，與圖27所示實施形態6的變形例2的MTJ記憶單元的結構相比，其寫入字線WWL和讀出位元線RBL的配置位置改變。即，寫入字線WWL設置在第一金屬佈線層M1，與存取電晶體ATR



五、發明說明 (42)

的源極/汲極區域110連接。讀出位元線RBL則設置在第三金屬佈線層M3，與磁隧道耦合部MTJ電連接。

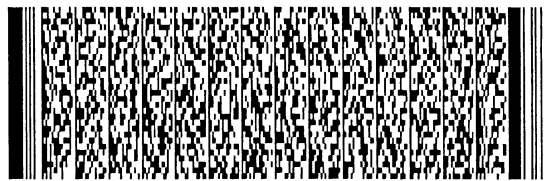
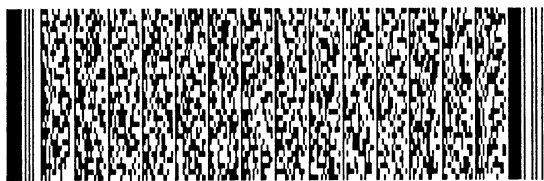
這樣，實施形態6的變形例3中，讀出位元線RBL直接連接磁隧道耦合部MTJ，因而不能謀求實施形態6的變形例2那樣的資料讀出操作高時。然而，實施形態6的變形例3的結構中，也可獨立配置讀出字線驅動器30r和寫入字線驅動器30w，能取得與實施形態6相同的效果。

[實施形態6的變形例4]

參閱圖31，實施形態6的變形例4中，記憶體陣列10同樣具有配置成 n 列 $\times$ m 行的多個MTJ記憶單元MC。分別對應於記憶單元列，配置讀出字線RWL和寫入位元線WBL，並且分別對應於記憶單元行，配置共用佈線CML。因此，整個記憶體陣列10配置讀出字線RWL1 $\sim$ RWL n 、寫入位元線WBL1 $\sim$ WBL n 和共用佈線CML1 $\sim$ CML m 。

字線電流控制電路40具有分別電連接在共用佈線CML1 $\sim$ CML m 與接地電位 V_{ss} 之間的電流控制電晶體41-1 $\sim$ 41- m 。電流控制電晶體41-1 $\sim$ 41- m 分別在資料寫入時，將共用佈線CML與接地電位 V_{ss} 連接。不是資料寫入時，共用佈線CML1 $\sim$ CML m 與接地電位 V_{ss} 斷開。在資料讀出前，共用佈線CML預充電到接地電位 V_{ss} 。

參閱圖32，實施形態6的變形例4的MTJ記憶單元中，存取電晶體ATR連接在共用佈線CML與磁隧道耦合部MTJ之間。讀出字線RWL連接存取電晶體ATR的閘極。寫入位元線WBL配置得與讀出字線RWL方向相同，並與磁隧道耦合部



五、發明說明 (43)

MTJ 電連接。

資料寫入時，與寫入字線WWL相同，共用佈線CML也由寫入字線驅動器30w有選擇地啟動。資料讀出時，共用佈線CML則由讀出控制電路50r供給感測電流 I_s 。

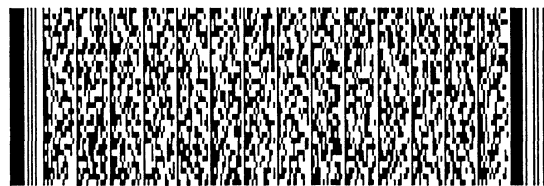
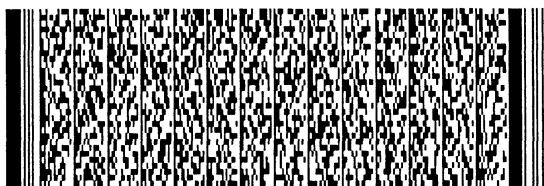
資料寫入時，因電流控制電晶體41-1~41-m導通而啟動為選擇狀態(H位準)的共用佈線CML，也和寫入字線WWL一樣，流通資料寫入電流 I_p 。反之，資料讀出時，電流控制電晶體41-1~41-m截止，如圖23中說明的那樣，由流過路徑共用佈線CML~磁隧道耦合部MTJ~存取電晶體ATR~寫入位元線WBL(接地電位 V_{ss})的感測電流 I_s 在共用佈線CML上產生與磁隧道耦合部MTJ所存資料對應的電位變化。

因此，使共用佈線CML兼有資料寫入時寫入字線WWL的功能和資料讀出時讀出位元線RBL的功能，從而可減少佈線數。

由於讀出字線RWL與資料寫入時作為寫入字線起作用的共用佈線CML按相互垂直的方向配置，可獨立配置讀出字線驅動器30r和寫入字線驅動器30w，能取得與實施形態6相同的效果。

參閱圖33，實施形態6的變形例4的MTJ記憶單元中，共用佈線CML配置在第一金屬佈線層M1上，與存取電晶體ATR的源極/汲極區域110電連接。讀出字線RWL與存取電晶體ATR的閘極130形成在同一層。

源極/汲極區域120通過第一金屬佈線層M1上形成的金屬佈線、阻擋金屬140和接觸孔中形成的金屬膜150，連接磁



五、發明說明 (44)

隧道耦合部MTJ。寫入位元線WBL配置在第二金屬佈線層M2上，與磁隧道耦合部MTJ電連接。

這樣，利用取為通過存取電晶體ATR連接共用佈線CML和磁隧道耦合部MTJ的結構，共用佈線CML僅在存取電晶體ATR導通時連接磁隧道耦合部MTJ。結果，資料讀出時作為讀出位元線RBL起作用的共用佈線CML的電容減小，可進一步謀求資料讀出操作高速化。

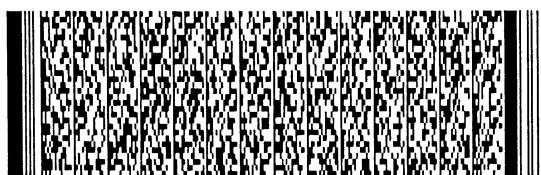
[實施形態6的變形例5]

參閱圖34，實施形態6的變形例5中，記憶體陣列10同樣具有配置成 n 列 $\times$ m 行的多個MTJ記憶單元MC。分別對應於記憶單元列，配置讀出字線RWL和共用佈線CML，並分別對應於記憶單元行，配置寫入位元線WBL。因此，對整個記憶體陣列10設置讀出字線RWL1 $\sim$ RWL n 、共用佈線CML1 $\sim$ CML n 和寫入位元線WBL1 $\sim$ WBL m 。

字線電流控制電路40具有分別電連接在共用佈線CML1 $\sim$ CML n 與接地電位Vss之間的電流控制電晶體41-1 $\sim$ 41- n 。

電流控制電晶體41-1 $\sim$ 41- n 分別在資料寫入時將共用佈線CML與接地電位Vss連接。不是資料寫入時，共用佈線CML1 $\sim$ CML n 與接地電位Vss斷開。尤其是在資料讀出前，將共用佈線CML預充電到接地電位Vss。

參閱圖35，實施形態6的變形例5的MTJ記憶單元中，存取電晶體ATR連接在寫入位元線WBL與磁隧道耦合部MTJ之間。讀出字線RWL與存取電晶體ATR的閘極連接。共用佈線CML配置在與讀出字線RWL相同的方向上，並與磁隧道耦合



五、發明說明 (45)

部MTJ電連接。

與實施形態6的變形例4一樣，共用佈線CML的操作兼有資料寫入時寫入字線WWL的功能和資料讀出時讀出位元線RBL的功能。

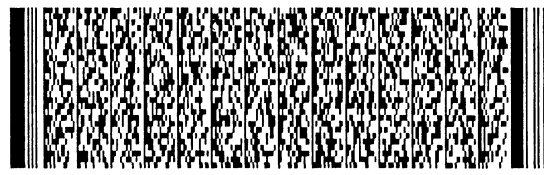
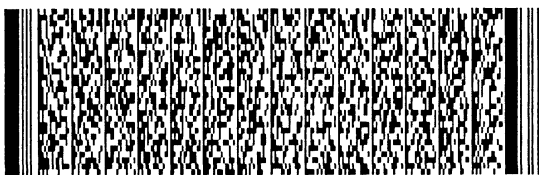
因此，根據實施形態6的變形例5，共用佈線CML與磁隧道耦合部MTJ直接電連接，因而資料讀出時共用佈線CML的電容不能減小，但能將寫入字線WWL和讀出位元線RBL匯總為共用佈線CML，因而減少製造時的金屬佈線層數，可謀求降低製造成本。

參閱圖36，實施形態6的變形例5的MTJ記憶單元中寫入位元線WBL配置在第一金屬佈線層M1上，與存取電晶體ATR的源極/汲極區域110電連接。讀出字線RWL與存取電晶體ATR的閘極130形成在同一層。源極/汲極區域120通過第一金屬佈線層M1上形成的金屬佈線、阻擋金屬140和接觸孔中形成的金屬膜150，與磁隧道耦合部MTJ連接。

共用佈線CML配置在第二金屬佈線層M2上，與磁隧道耦合部MTJ電連接。

[實施形態6的變形例6]

參閱圖37，實施形態6的變形例6中，記憶體陣列10具有配置成 n 列 $\times$ m 行的多個MTJ記憶單元MC。分別對應於記憶單元列，配置讀出字線RWL和寫入位元線WBL，並分別對應於記憶單元行，配置寫入字線WWL和讀出位元線RBL，因此，整個記憶體陣列10中，配置讀出字線RWL1 $\sim$ RWL n 、寫入位元線WBL1 $\sim$ WBL n 、讀出位元線RBL1 $\sim$ RBL m 和寫入字線



五、發明說明 (46)

WWL1 ~ WWLm。

參閱圖38，實施形態6的變形例6的MTJ記憶單元中存取電晶體ATR的閘極與讀出字線RWL連接。存取電晶體ATR電連接在讀出位元線RBL與磁隧道耦合部MTJ之間。磁隧道耦合部MTJ連接與讀出字線RWL同一方向配置的寫入位元線WBL。

寫入字線WWL設置在與寫入位元線WBL垂直的方向上，靠近磁隧道耦合部MTJ。因此，讀出字線驅動器30r與寫入字線驅動器30w獨立配置，能取得與實施形態6相同的效果。

寫入字線WWL能獨立配置，不與MTJ記憶單元的其他部分連接，因而能優先提高磁隧道耦合部MTJ之間的磁耦合加以配置。由此，能抑制流過寫入字線WWL的資料寫入電流 I_p ，可謀求降低MRAM元件的耗電。

讀出位元線RBL通過存取電晶體ATR連接磁隧道耦合部MTJ，因而連接寫入位元線RBL的磁隧道耦合部MTJ數量減少，讀出位元線RBL的電容減小，能使資料讀出高速化。

參閱圖39，實施形態6的變形例6的MTJ記憶單元中，讀出位元線RBL設置在第一金屬佈線層M1上，與存取電晶體ATR的源極/汲極區域110電連接。讀出字線RWL與存取電晶體ATR的閘極130配置在同一層。存取電晶體ATR的源極/汲極區域120通過第一和第二金屬佈線層M1和M2上設置的金屬佈線、阻斷金屬140和接觸孔中設置的金屬膜150，與磁隧道耦合部MTJ連接。

磁隧道耦合部MTJ配置在第二金屬佈線層M2與第三金屬



五、發明說明 (47)

佈線層M3之間。寫入位元線WBL與磁隧道耦合部MTJ電連接，配置在第三金屬佈線層M3。寫入字線WWL設置在第二金屬佈線層。這時，寫入字線WWL配置成可提高與磁隧道耦合部MTJ之間的磁耦合。

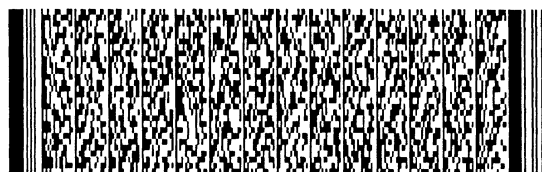
圖40所示的其他結構例中，沿同一方向配置的讀出位元線RBL和寫入字線WWL配置在同一金屬佈線層。因此，磁隧道耦合部MTJ設置在金屬佈線層M1與M2之間，寫入字線WWL與讀出位元線RBL配置在同一金屬佈線層M1，靠近磁隧道耦合部MTJ。寫入位元線WBL與磁隧道耦合部MTJ電連接，配置在第二金屬佈線層M2。

因此，與圖39所示MTJ記憶單元的結構相比，可減少金屬佈線層數，除具有實施形態6的變形例6中MTJ記憶單元的結構所享受的效果外，還可降低製造成本。

如上所述，根據實施形態6及其變形例1~4和6的MTJ記憶單元的結構，讀出字線RWL與寫入字線WWL能按相互垂直的方向配置，因而分開配置驅動各字線用的寫入字線驅動器30w和讀出字線驅動器30r，能提高佈局設計自由度。

根據實施形態6的變形例1、4和5的MTJ記憶單元結構，可將讀出位元線RBL和寫入字線WWL匯總配置為共用佈線CML，因而佈線數減少，可謀求降低製造成本。

根據實施形態6的變形例2、4和6的MTJ記憶單元結構，讀出位元線RBL通過存取電晶體ATR連接磁隧道耦合部MTJ，因而抑制讀出位元線RBL的電容，能使資料讀出高速化。



圖式簡單說明

圖1為說明本發明實施形態1的MRAM元件1的整體結構概略框圖。

圖2為根據實施形態1的記憶體陣列10及其週邊電路的結構詳細說明圖。

圖3為根據實施形態2的電源供給系統的說明框圖。

圖4為根據實施形態3的記憶體陣列10及其週邊電路的結構說明框圖。

圖5為根據實施形態3的變形例1的記憶體陣列10及其週邊電路的結構說明框圖。

圖6為根據實施形態3的變形例2的記憶體陣列10及其週邊電路的結構說明框圖。

圖7為根據實施形態3的變形例3的記憶體陣列10及其週邊電路的結構說明框圖。

圖8為根據實施形態4的記憶體陣列10的週邊電路結構中有關資料寫入部分的說明框圖。

圖9為根據實施形態4的變形例1的記憶體陣列10的週邊電路結構中有關資料寫入部分的說明框圖。

圖10為根據實施形態4的變形例2的記憶體陣列10的週邊電路結構中有關資料寫入部分的說明框圖。

圖11為根據實施形態4的變形例3的記憶體陣列10的週邊電路結構中有關資料寫入部分的說明框圖。

圖12為根據實施形態5的記憶體陣列10及其週邊電路的結構說明框圖。

圖13為電流切換電路56的結構說明框圖。



圖式簡單說明

圖14為根據實施形態5的變形例的記憶體陣列10及其週邊電路的結構說明框圖。

圖15為電流切換電路58的結構說明框圖。

圖16為示出本發明實施形態6的MRAM元件2的整體結構概略框圖。

圖17為根據實施形態6的記憶體陣列10的結構說明框圖。

圖18為根據實施形態6的MTJ記憶單元連接狀態的說明電路圖。

圖19為說明實施形態6中MTJ記憶單元資料寫入和讀出用的時序圖。

圖20為說明實施形態6中MTJ記憶單元配置的結構圖。

圖21為根據實施形態6的變形例1的記憶體陣列10結構的說明框圖。

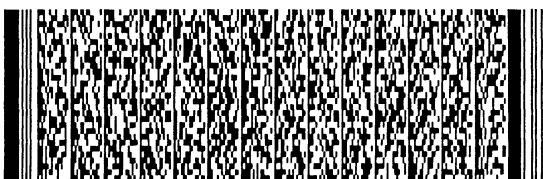
圖22為根據實施形態6的變形例1的MTJ記憶單元連接狀態的說明電路圖。

圖23為說明實施形態6的變形例1中MTJ記憶單元資料寫入和讀出用的時序圖。

圖24為說明實施形態6的變形例1中MTJ記憶單元配置的結構圖。

圖25為根據實施形態6的變形例2的記憶體陣列10的結構說明框圖。

圖26為根據實施形態6的變形例2的MTJ記憶單元連接狀態的說明電路圖。



圖式簡單說明

圖27為根據實施形態6的變形例2的MTJ記憶單元配置結構的說明圖。

圖28為根據實施形態6的變形例3的記憶體陣列10的結構說明框圖。

圖29為根據實施形態6的變形例3的MTJ記憶單元連接狀態的說明電路圖。

圖30為根據實施形態6的變形例3的MTJ記憶單元配置結構的說明圖。

圖31為根據實施形態6的變形例4的記憶體陣列10的結構說明框圖。

圖32為根據實施形態6的變形例4的MTJ記憶單元連接狀態的說明電路圖。

圖33為根據實施形態6的變形例4的MTJ記憶單元配置結構的說明圖。

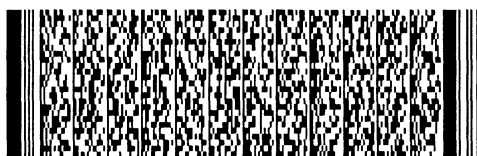
圖34為根據實施形態6的變形例5的記憶體陣列10的結構說明框圖。

圖35為根據實施形態6的變形例5的MTJ記憶單元連接狀態的說明電路圖。

圖36為根據實施形態6的變形例5的MTJ記憶單元配置結構的說明圖。

圖37為根據實施形態6的變形例6的記憶體陣列10的結構說明圖。

圖38為根據實施形態6的變形例6的MTJ記憶單元連接狀態的說明電路圖。



圖式簡單說明

圖39為根據實施形態6的變形例6的MTJ記憶單元配置結構的說明圖。

圖40為根據實施形態6的變形例6的MTJ記憶單元配置的另一例結構說明圖。

圖41為說明具有磁隧道耦合部的記憶單元結構的示意圖。

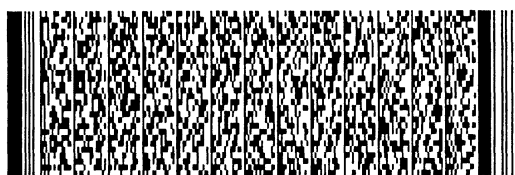
圖42為說明從MTJ記憶單元讀出資料的動作的示意圖。

圖43為說明對MTJ記憶單元寫入資料的動作的示意圖。

圖44為說明資料寫入時資料寫入電流方向與磁場方向的關係的示意圖。

圖45為說明按行列狀集成配置的MTJ記憶單元的示意圖。

圖46為配置在半導體基板上的MTJ記憶單元的結構圖。

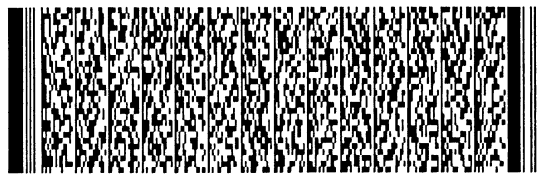
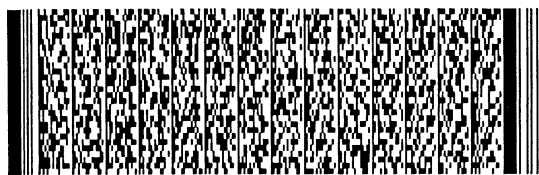


四、中文發明摘要 (發明之名稱：薄膜磁性體記憶裝置)

與MTJ記憶單元各行對應配置折疊型位元線對。形成位元線對的2條位元線(BL、/BL)通過行選擇閘(CSG1~CSGm)分別與形成資料I/O線對DI/OP的2條資料線(IO、/IO)連接。資料寫入時，與各位元線對對應配置的均衡電晶體(62)導通。資料寫入電流控制電路(51)將2條資料線(IO、/IO)分別設定為高電位(Vcc)狀態和低電位(Vss)狀態各一種，從而能根據寫入資料的位準方便地控制作為來回電流在位元線對流通的資料寫入電流的方向。

英文發明摘要 (發明之名稱：Thin Film Magnetic Memory Device)

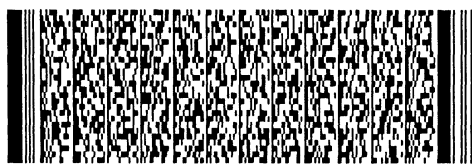
Folded bit line pairs are provided corresponding to the respective MTJ (Magnetic Tunnel Junction) memory cell columns. Two bit lines forming each bit line pair are respectively coupled through a corresponding column selection gate to two data lines forming a data I/O line pair DI/OP. In the data write operation, an equalizing transistor provided corresponding to the respective bit line is turned ON to short-circuit the two bit lines. A data write current control circuit sets one of the



四、中文發明摘要 (發明之名稱：薄膜磁性體記憶裝置)

英文發明摘要 (發明之名稱：Thin Film Magnetic Memory Device)

two data lines to one of a high potential state and a low potential state as well as sets the other data line to the other potential state, whereby the direction of a data write current flowing through the bit line pair as reciprocating current can be easily controlled according to the write data level.



六、申請專利範圍

1. 一種薄膜磁性體記憶裝置，其特徵為，包含：

具有配置成行列狀的多個磁性體記憶單元(MC)的記憶體陣列(10)，

上述多個磁性體記憶單元分別具有在由第一和第二資料寫入電流(I_p 、 $\pm I_w$)所施加資料寫入磁場大於規定磁場時隨所寫入記憶資料的位準而不同的電阻值；

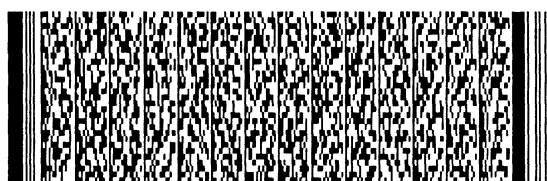
分別與上述磁性體記憶單元的列對應設置並在資料寫入時根據位址選擇結果有選擇地啟動以便流通上述第一資料寫入電流的多條寫入字線(WWL1~WWLn)；

分別與上述磁性體記憶單元的行對應設置並且各自包含第一和第二位元線的多個位元線對(BLP1~BLPm、WBLP1~WBLPm)；

資料寫入控制電路(51)，用於在上述資料寫入時，將上述多個位元線對中根據位址選擇結果選擇的1個位元線對所含上述第一位元線(BL1~BLm、WBL1~WBLm)和上述第二位元線(/BL1~/BLm、/WBL1~/WBLm)設定為高電位(V_{cc})狀態和低電位(V_{ss})狀態各一種；

與所述多個位元線對分別對應設置並且各自在上述資料寫入時使相應上述第一和第二位元線之間電連接以便流通上述第二資料寫入電流的多個位元線電流控制電路(62-1~62-m)。

2. 如申請專利範圍第1項之薄膜磁性體記憶裝置，其中，由從外部對上述薄膜磁性體記憶裝置提供的外部電源電位(Ext. V_{cc})驅動上述資料寫入控制電路(51)。



六、申請專利範圍

3. 如申請專利範圍第1項之薄膜磁性體記憶裝置，其中，

具有對上述多個位元線對(BLP1～BLP_m、WBLP1～WBLP_m)共同設置並且由第一和第二資料線(I0、/I0)構成的資料線對(DI/OP)，以及

分別與上述行對應設置並根據上述位址選擇結果使相應的上述第一和第二位元線分別與上述第一和第二資料線連接的多個行選擇閘(CSG1～CSG_m)；

上述資料寫入控制電路(51)在上述資料寫入時，將第一和第二內部節點(Nw1～Nw2)設定為上述高電位(V_{cc})狀態和低電位(V_{ss})狀態各一種；

上述第一和第二內部節點與上述第一和第二資料線連接，使形成上述第二資料寫入電流($\pm I_w$)通路的佈線電阻值大致固定，與成為上述位址選擇物件的上述行的位置無關。

4. 如申請專利範圍第1項之薄膜磁性體記憶裝置，其中，

還具有配置在每M個(M為2以上的自然數)上述行並且由第一和第二資料線(I0a、I0b……，/I0a、/I0b……)構成的資料線對(DI/OPa、DI/OPb……)，以及

分別與上述行對應設置並且根據上述位址選擇結果使對應的上述第一位元線(BL1～BL_m、WBL1～WBL_m)和上述第二位元線(/BL1～/BL_m、/WBL1～/WBL_m)分別與對應的上述第一和第二資料線連接的多個行選擇閘(CSG1～CSG_m)；



六、申請專利範圍

每一上述資料線對設置上述資料寫入控制電路(51a … …)；

各上述資料寫入控制電路在上述資料寫入時根據位址選擇結果進行工作，將對應的上述第一和第二資料線設定為上述高電位(V_{cc})狀態和低電位(V_{ss})狀態各一種。

5. 如申請專利範圍第1項之薄膜磁性體記憶裝置，其中，

還具有分別與上述列對應設置並且在資料讀出時根據位址選擇結果啟動從而將對應的磁性體記憶單元與對應的位元線對連接用的多條讀出字線($RWL1 \sim RWLn$)，以及

資料讀出時對根據位址選擇結果選擇的上述多個位元線對中1個位元線對所含上述第一和第二位元線($BL1 \sim BLm$ 、 $/BL1 \sim /BLm$)提供資料感測電流(I_s)用的資料讀出控制電路(52)；

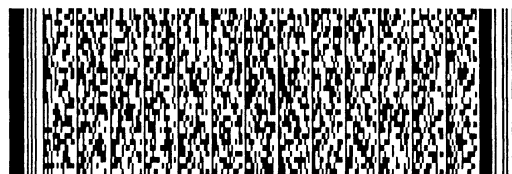
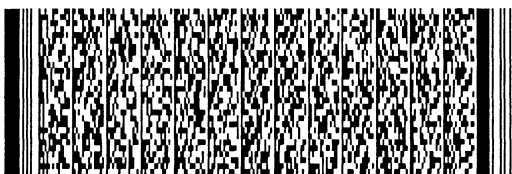
在上述資料讀出時，各上述位元線電流控制電路(62)使對應的第一和第二位元線之間斷開。

6. 如申請專利範圍第5項之薄膜磁性體記憶裝置，其中，

各上述磁性體記憶單元(MC)在各自的上述行中與上述第一和第二位元線($BL1 \sim BLm$ 、 $/BL1 \sim /BLm$)中的任一方連接；

上述薄膜磁性體記憶裝置還具有：

分別與上述行對應設置並且與各上述第一位元線連接的多個第一偽記憶單元(DMC)；



六、申請專利範圍

分別與上述行對應設置並且與各上述第二位元線連接的多個第二偽記憶單元(DMC)；

與上述多個第一偽記憶單元對應設置並且在上述資料讀出時根據位址選擇結果啟動以便將上述多個第一偽記憶單元分別與對應的上述第一位元線(BL1 ~ BLm)連接的第一偽讀出字線(DRWL1)；

與上述多個第二偽記憶單元對應設置並且在上述資料讀出時根據位址選擇結果啟動以便將上述多個第二偽記憶單元分別與對應的上述第二位元線(/BL1 ~ /BLm)連接的第二偽讀出字線(DRWL2)；

在上述資料讀出時根據上述位址選擇結果有選擇地啟動上述多條字線(RWL1 ~ RWLn)中的一條和上述第一和第二讀出字線中的一條的字線驅動電路(30)；

各上述第一和第二偽記憶單元分別具有上述磁性體記憶單元根據上述記憶資料位準而具有的第一和第二電阻值的中間電阻值。

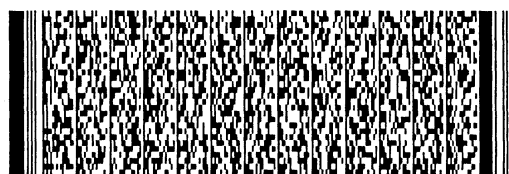
7. 如申請專利範圍第5項之薄膜磁性體記憶裝置，其中，

還具有將從外部對上述薄膜磁性體記憶裝置提供的外部電源電位(Ext.Vcc)降壓以產生內部電源電位(Int.Vcc)的降壓電路(55)；

由上述外部電源電位驅動上述資料寫入控制電路(51)；

由上述內部電源電位驅動上述資料讀出控制電路(52)。

8. 一種薄膜磁性體記憶裝置，其特徵為，包含以下部



六、申請專利範圍

分：

具有配置成行列狀的多個磁性體記憶單元(MC)的記憶體陣列(10)，

上述多個磁性體記憶單元分別具有在由第一和第二資料寫入電流(I_p 、 $\pm I_w$)所施加資料寫入磁場大於規定磁場時隨所寫入記憶資料的位準而不同的電阻值；

分別與上述磁性體記憶單元的列對應設置並且在資料寫入時根據位址選擇結果流通上述第一資料寫入電流用的多條寫入字線(WWL1 ~ WWLn)；

分別與上述磁性體記憶單元的行對應設置的多條位元線(BL1 ~ BLm)；

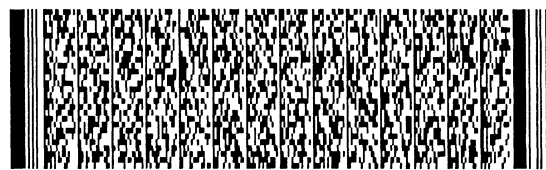
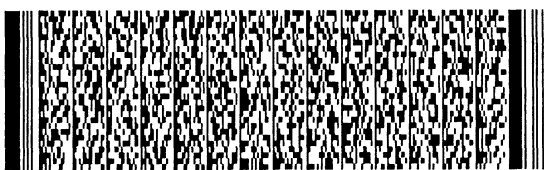
對上述多條位元線共同設置並且由第一和第二資料線(I0、/I0)構成的資料線對(DI/OP)；

在上述資料寫入時將上述第一和第二資料線設定為高電位(V_{cc})狀態和低電位(V_{ss})狀態各一種用的資料寫入控制電路(51)；

分別與上述行對應設置並且各自回應上述位址選擇結果從而將對應的上述位元線與上述第一資料線連結的多個行選擇閘(CSG1 ~ CSGm)；

分別與上述行對應設置並且各自在上述資料寫入時使上述對應的上述位元線與上述第二資料線之間電連接以便流通上述第二資料線寫入電流的多個位元線電流控制電路(64-1 ~ 64-m)。

9. 如申請專利範圍第8項之薄膜磁性體記憶裝置，其



六、申請專利範圍

中，

上述資料寫入控制電路(51)在上述資料寫入時，將第一和第二內部節點(Nw1、Nw2)設定為上述高電位(Vcc)狀態和低電位(Vss)狀態各一種；

各上述位元線電流控制電路(64-1~64-m)根據上述位址選擇結果，使上述對應的上述位元線(BL1~BLm)與上述第二資料線(/I0)之間電連接；

上述薄膜磁性體記憶裝置還具有

在資料讀出時給第三內部節點(Nr1)提供資料感測電流(Is)用的資料讀出控制電路(52)，以及

在上述資料寫入時使上述第一和第二內部節點(Nw1、Nw2)分別與上述第一和第二資料線(I0、/I0)連接用的連接切換電路(56)；

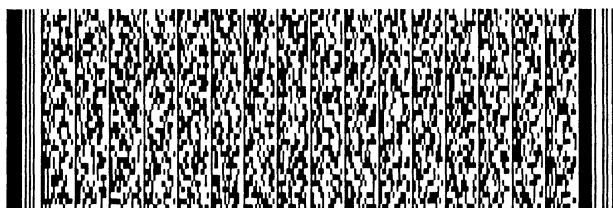
上述連接切換電路在上述資料讀出時，使上述第一和第二資料線分別與上述第三內部節點(Nr1)和提供讀出基準電位(Vcc)的第四內部節點(Nr3)電連接；

上述資料讀出控制電路(52)根據上述第三內部節點的電位，進行上述資料讀出。

10. 如申請專利範圍第8項之薄膜磁性體記憶裝置，其中，

上述資料寫入控制電路(51)在上述資料寫入時，將第一和第二內部節點(Nw1、Nw2)設定為上述高電位(Vcc)狀態和低電位(Vss)狀態各一種；

各上述位元線電流控制電路(64-1~64-m)在上述資料讀



六、申請專利範圍

出前進行預充電時，使上述對應的上述位元線(BL1 ~ BLm)與上述第二資料線(/IO)之間電連接，同時在資料讀出時，使上述對應的上述位元線與上述第二資料線之間電切斷；

上述薄膜磁性體記憶裝置還具有

在上述資料讀出時給上述第一資料線(IO)提供資料感測電流(Is)用的資料讀出控制電路(52)，以及

在上述資料寫入時使上述第一和第二內部節點分別與上述第一和第二資料線連接用的連接切換電路(58)；

上述連接切換電路在上述預充電時，使上述第一和第二資料線分別與提供讀出基準電位(Vcc)的第三和第四內部節點(Np1、Np2)電連接，同時在上述資料讀出時，使上述第一和第二資料線與上述第一至第四內部節點斷開；

上述資料讀出控制電路根據上述第一資料線的電位，進行上述資料讀出。

11. 一種薄膜磁性體記憶裝置，其特徵為，具有以下部分：

具有配置成行列狀的多個磁性體記憶單元(MC)的記憶體陣列(10)，

上述多個磁性體記憶單元分別包含

在由第一和第二資料寫入電路(Ip、±Iw)施加的資料寫入磁場大於規定磁場時具有隨所寫入記憶資料的位準不同的電阻值的磁記憶部(MTJ)，以及

資料讀出時使上述記憶部通過資料感測電流(Is)用的記



六、申請專利範圍

憶單元選擇閘(ATR)；

分別與上述磁性體記憶單元的列對應設置並且在資料讀出時根據位址選擇結果使對應的上述記憶單元選擇閘工作的多條讀出字線(RWL1~RWLn)；

分別與上述磁性體記憶單元的行對應設置並且在資料寫入時根據位址選擇結果有選擇地驅動到啟動狀態以便流通上述第一資料寫入電流用的多條寫入字線(WWL1~WWLm)；

分別與上述列對應設置並且在上述資料寫入時流通上述第二資料寫入電流用的多條寫入資料線(WBL1~WBLn)；

分別與上述行對應設置並且在上述資料讀出時流通上述資料感測電流用的多條讀出資料線(RBL1~RBLm)。

12. 如申請專利範圍第11項之薄膜磁性體記憶裝置，其中，

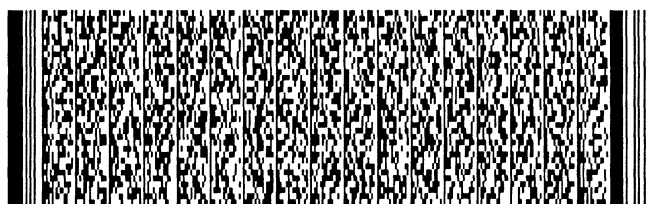
上述多條讀出資料線(RBL1~RBLm)各自通過各上述記憶單元選擇閘(ATR)，分別與對應的上述列所屬的多個上述記憶部(MTJ)連接。

13. 如申請專利範圍第11項之薄膜磁性體記憶裝置，其中，

上述多條讀出資料線(RBL1~RBLm)和上述多條寫入字線(WWL1~WWLm)分別配置成共用同一共用佈線(CML1~CMLm)；

上述薄膜磁性體記憶裝置還具有

分別在上述資料讀出時和上述資料寫入時使與上述啟動狀態所對應第二電位(Vcc)不同的第一電位(Vss)和各上述



六、申請專利範圍

共用佈線之間連接和斷開的電流控制電路(40)。

14. 一種薄膜磁性體記憶裝置，其特徵為，具有以下部分：

具有配置成行列狀的多個磁性體記憶單元(MC)的記憶體陣列(10)，

上述多個磁性體記憶單元分別包含

在由第一和第二資料寫入電路(I_p 、 $\pm I_w$)施加的資料寫入磁場大於規定磁場時具有隨所寫入記憶資料的位準不同的電阻值的記憶部(MTJ)，以及

資料讀出時使上述記憶部通過資料感測電流(I_s)用的記憶單元選擇閘(ATR)；

分別與上述磁性體記憶單元的列對應設置並且在資料讀出時根據位址選擇結果使對應的上述記憶單元選擇閘工作的多條讀出字線(RWL1~RWLn)；

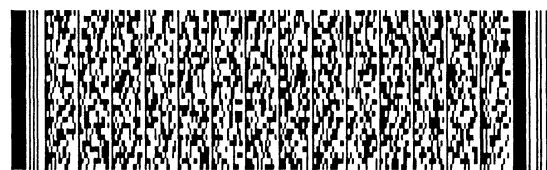
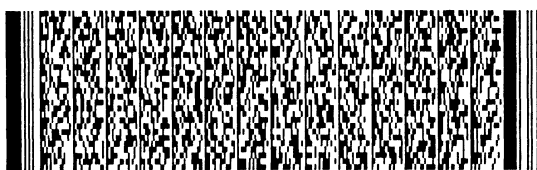
分別與上述列和行的一方對應設置並且在上述資料寫入時流通上述第一資料寫入電流用的多條寫入資料線(WBL1~WBLn)；

分別與上述列和行的另一方對應設置的多條共用佈線(CML1~CMLm)，

上述多條共用佈線各自在上述資料讀出時根據上述位址選擇結果有選擇地接受上述資料感測電流的供給，

上述多條共用佈線各自在上述資料寫入時有選擇地驅動到第一電位(V_{cc})以便流通上述第二資料寫入電流；

分別在上述資料讀出時和上述資料寫入時使與第一電位

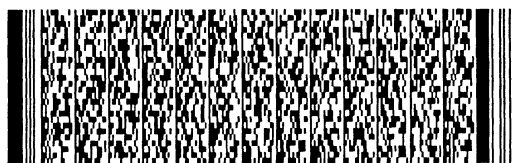


六、申請專利範圍

不同的第二電位(V_{ss})和各上述共用佈線之間連接和阻斷的電流控制電路(40)。

15. 如申請專利範圍第14項之薄膜磁性體記憶裝置，其中，

上述多條共用佈線($CML1 \sim CMLm$)各自通過各上述記憶單元選擇閘(ATR)，與對應的列和行的上述另一方所屬多個上述記憶部(MTJ)分別電連接。



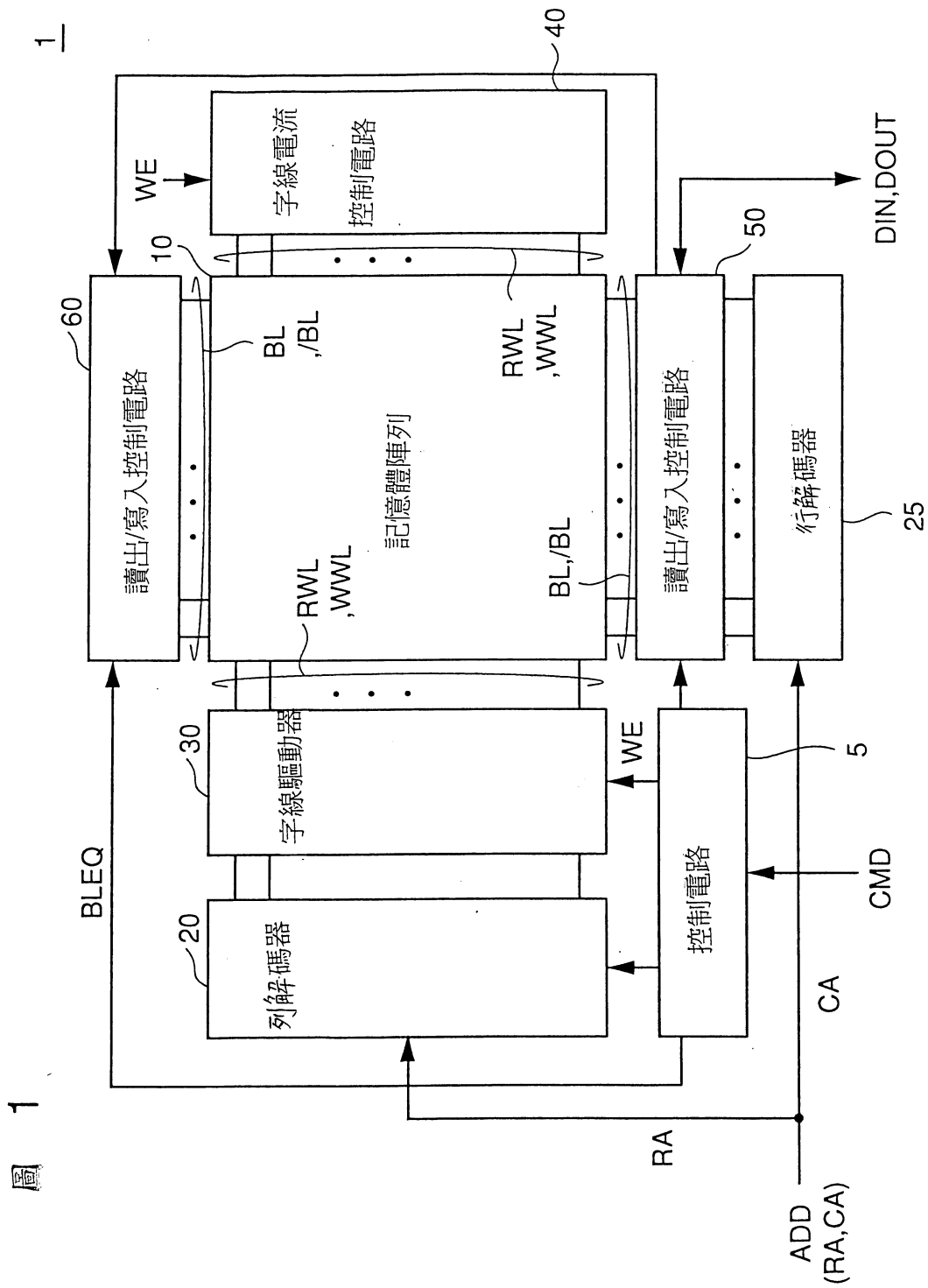


圖 2

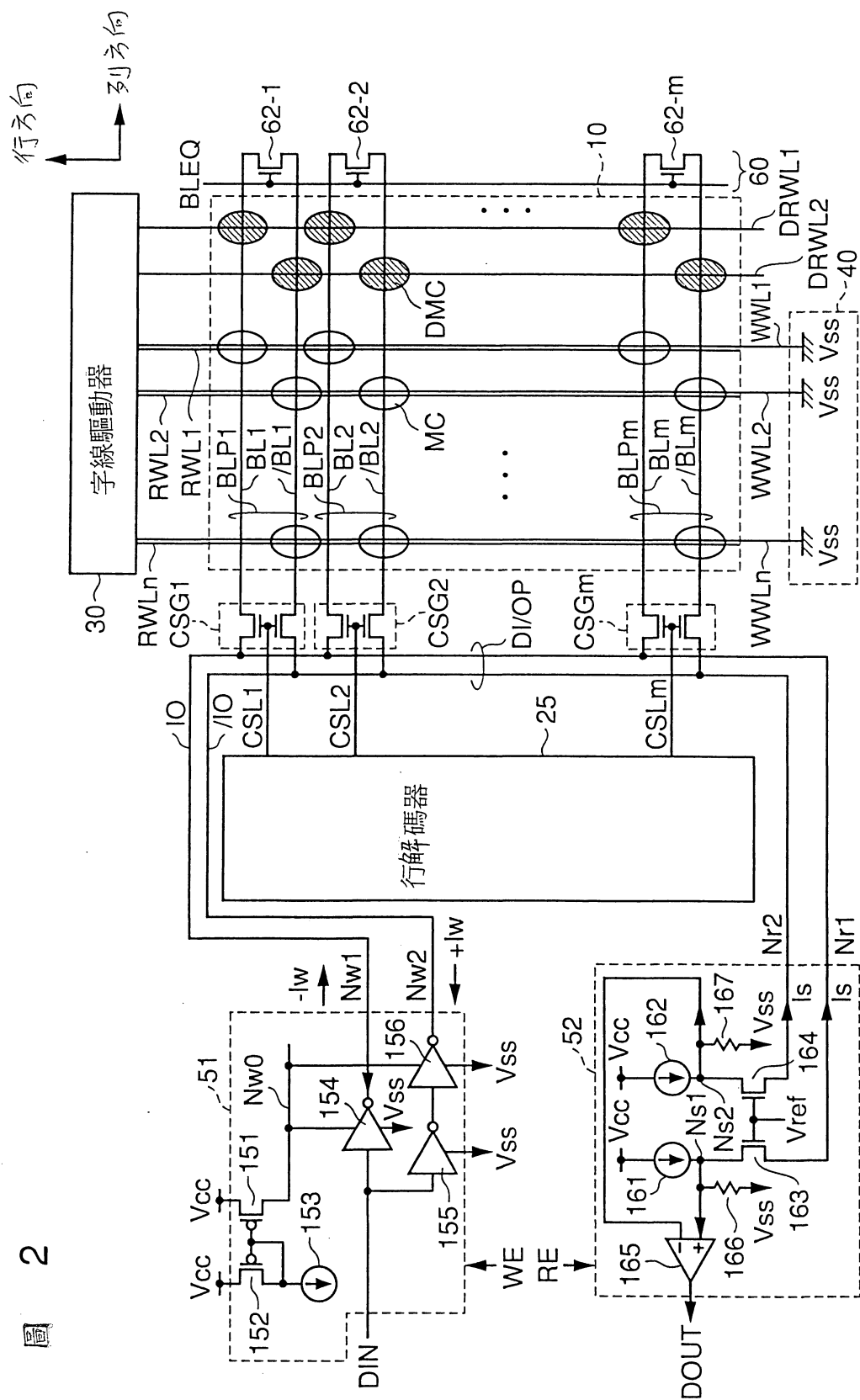


圖 5

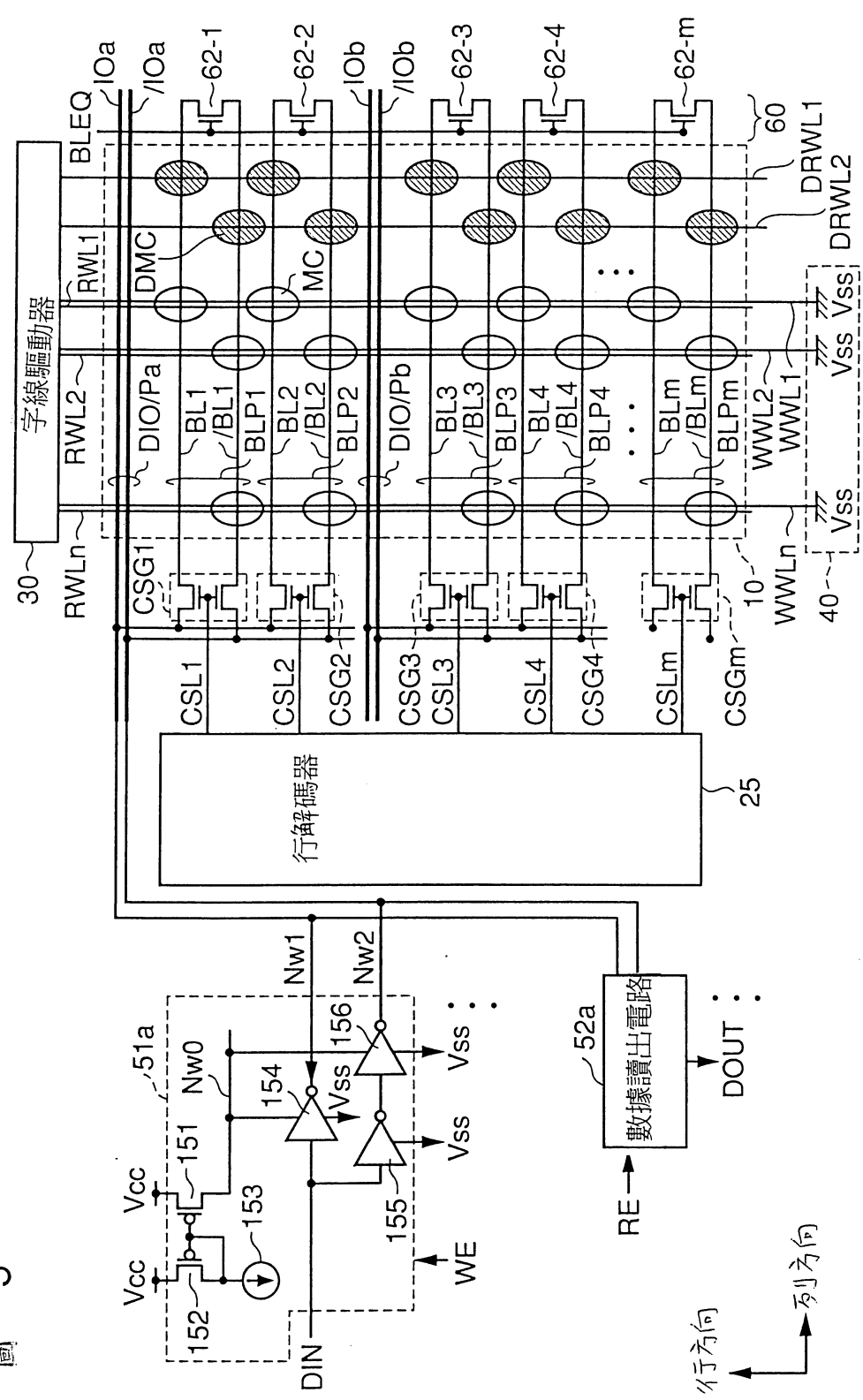
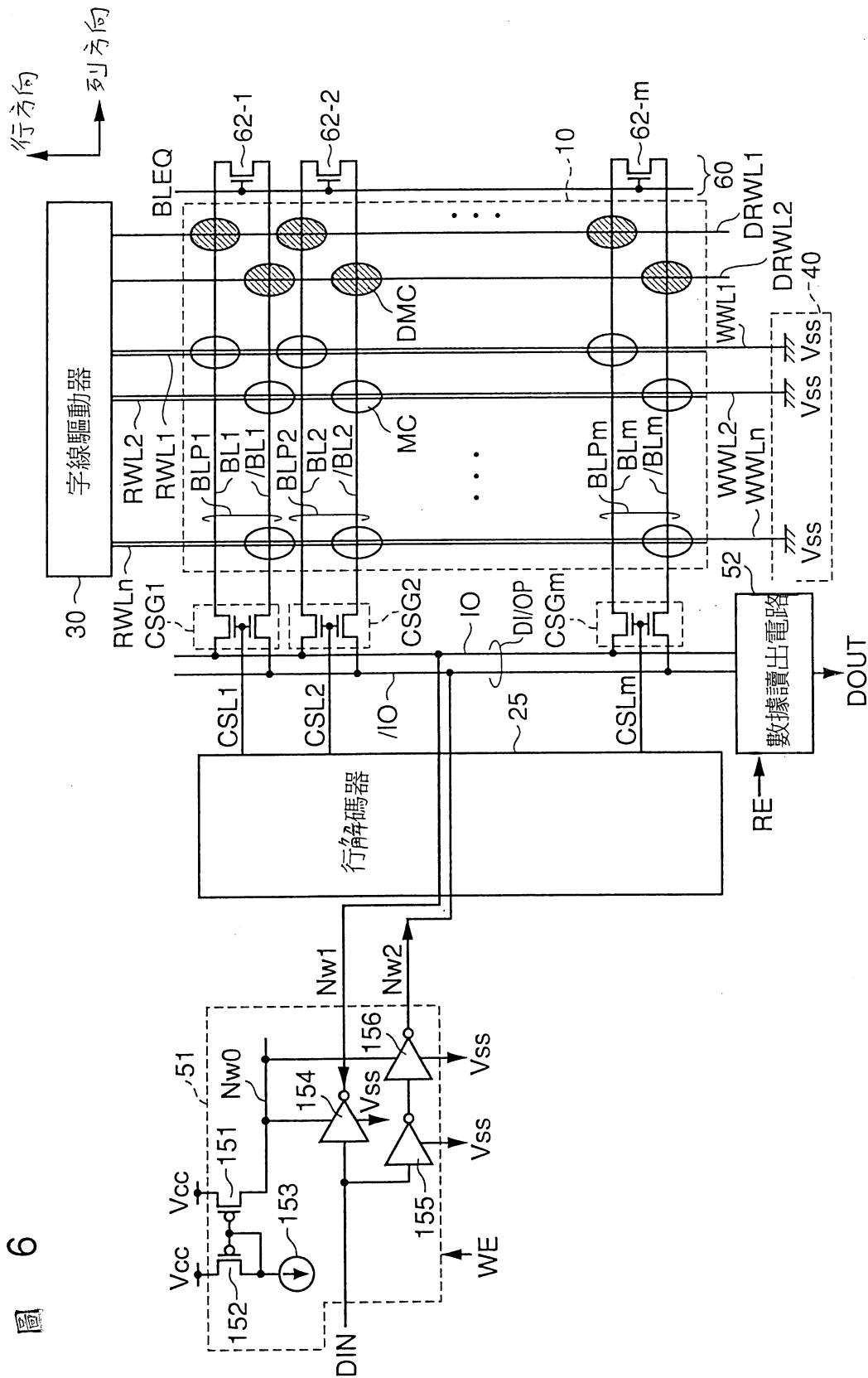


圖 6



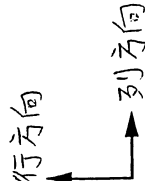


圖 11

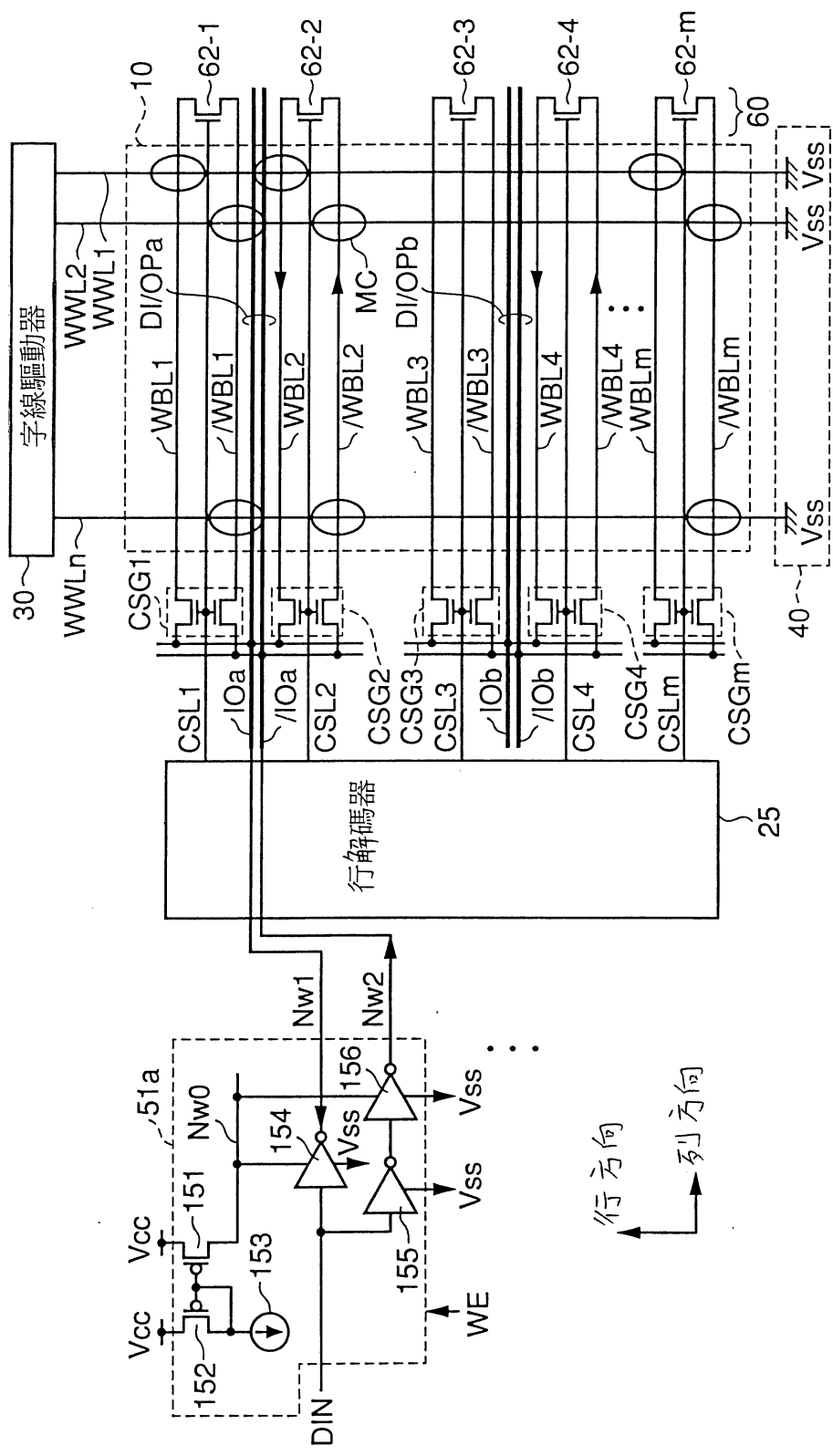


圖 12

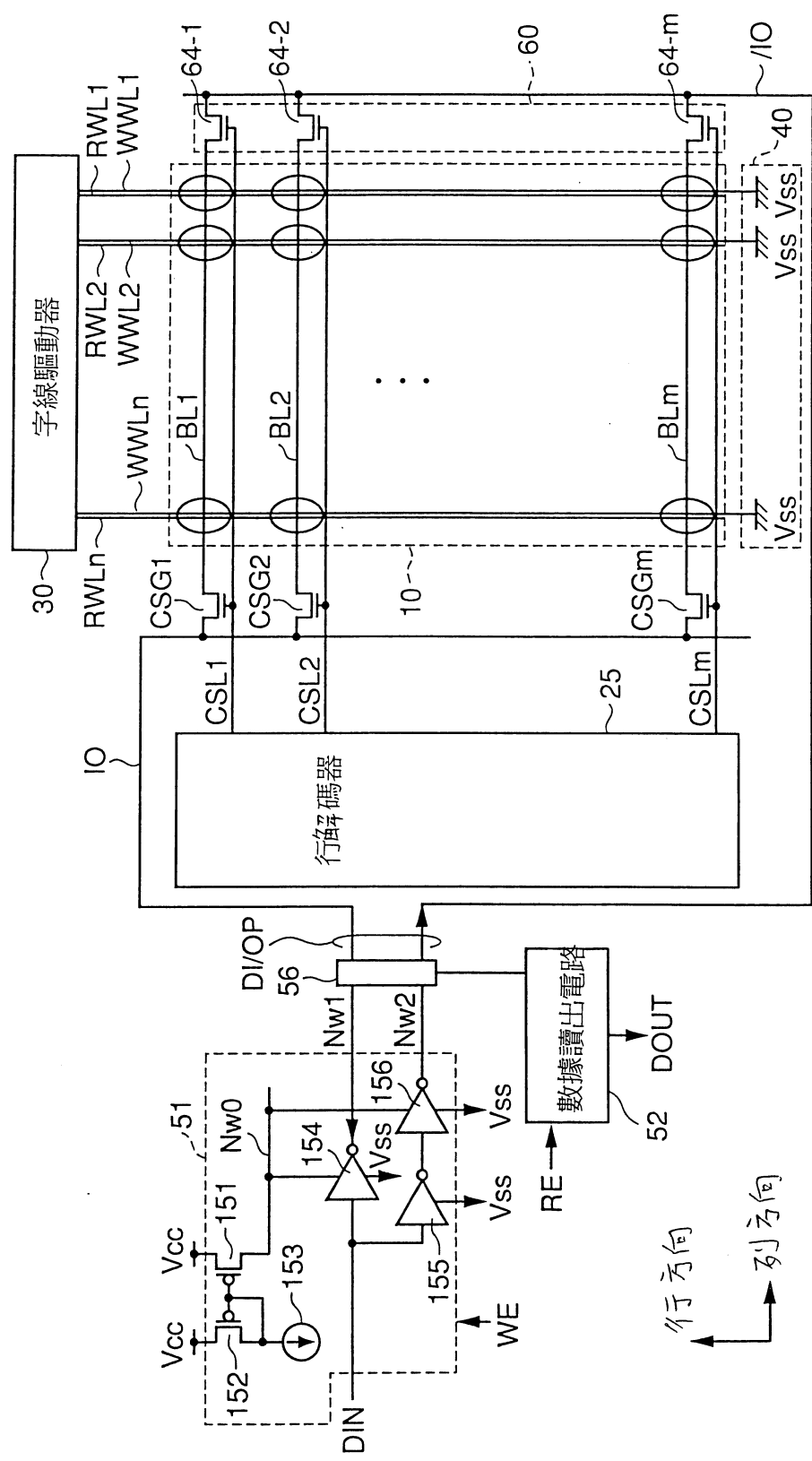


圖 14

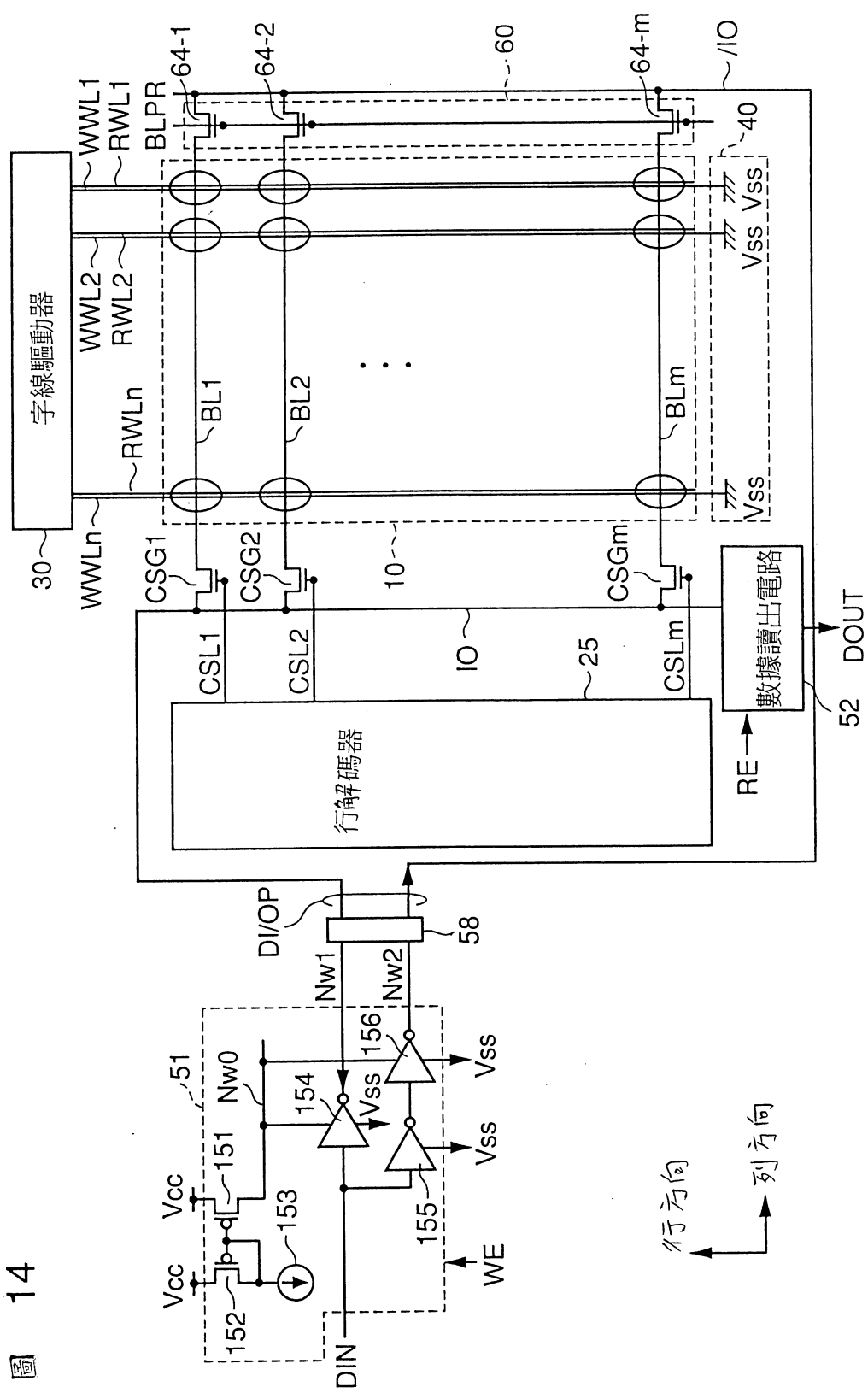


圖 15

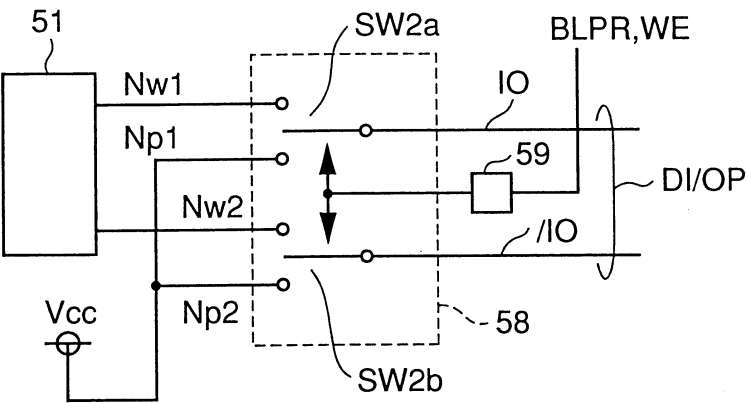


圖 16

2

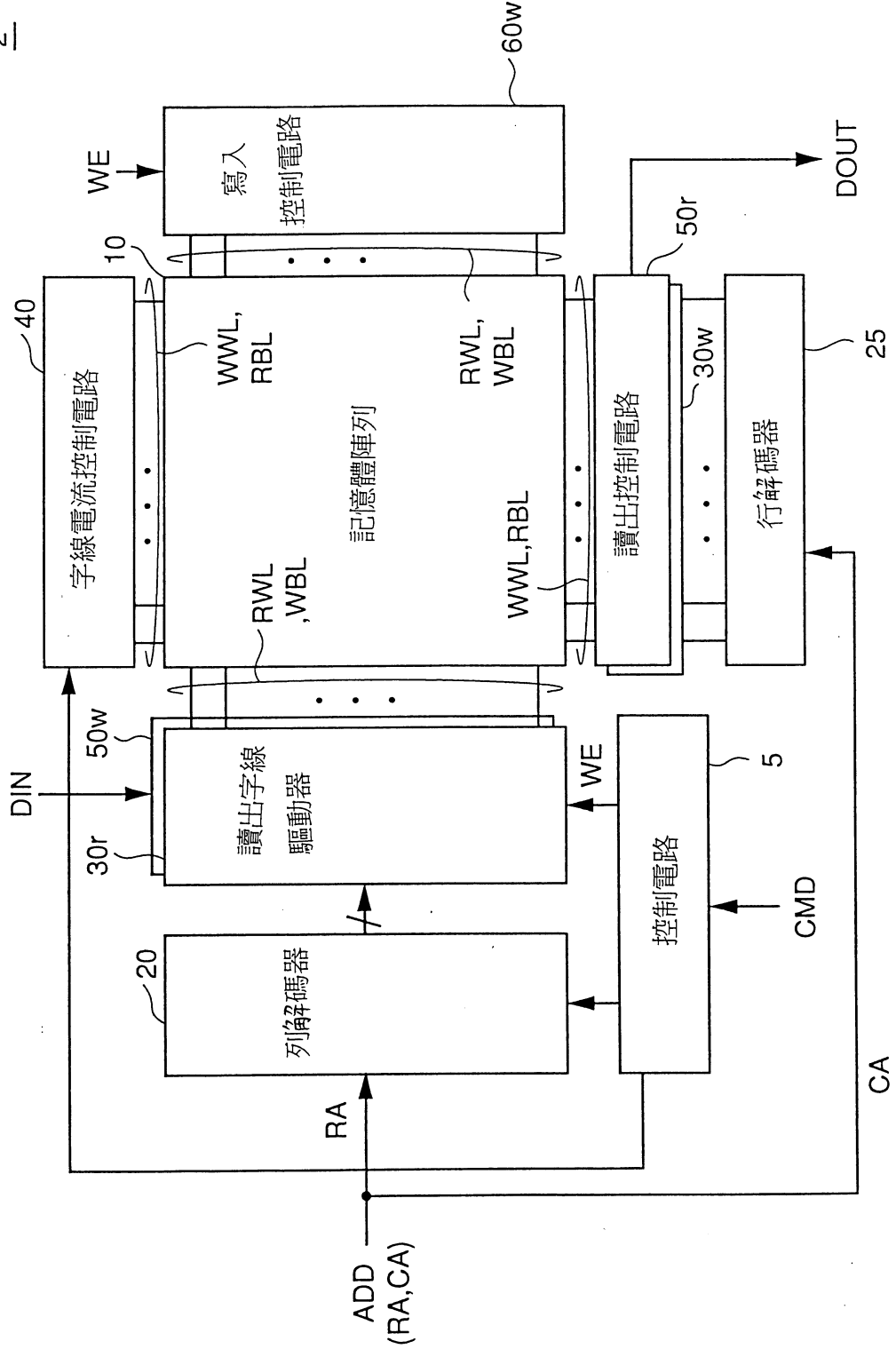
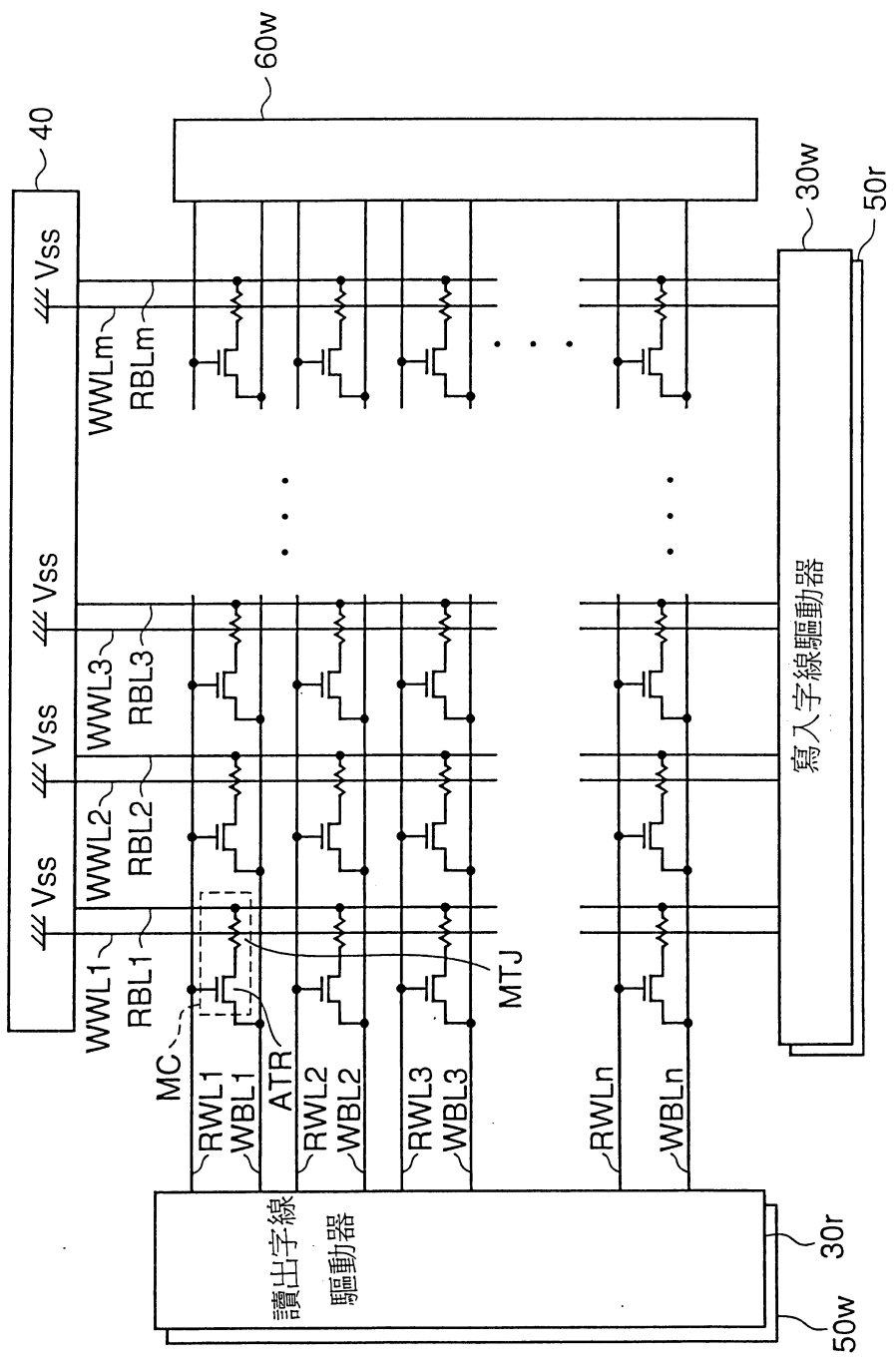


圖 17



18

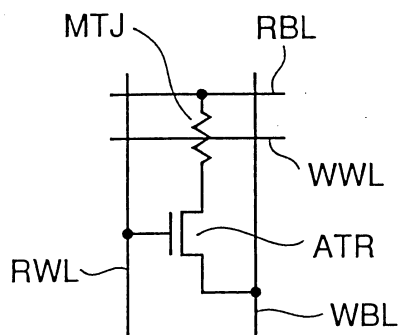
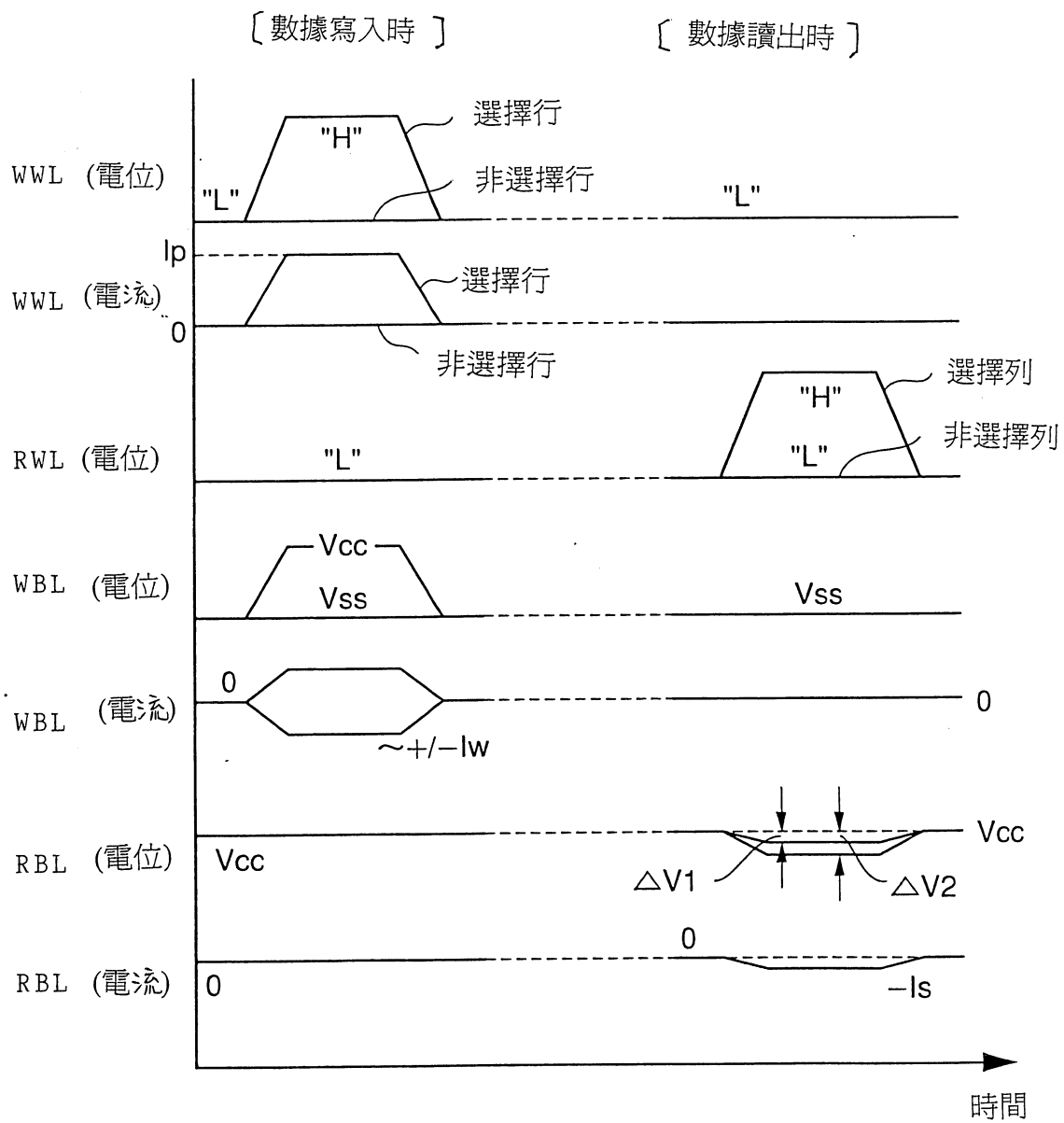


圖 19





20

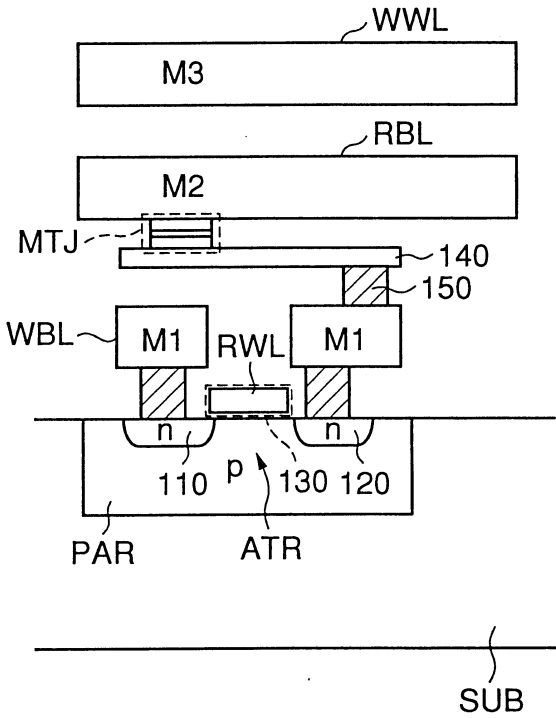
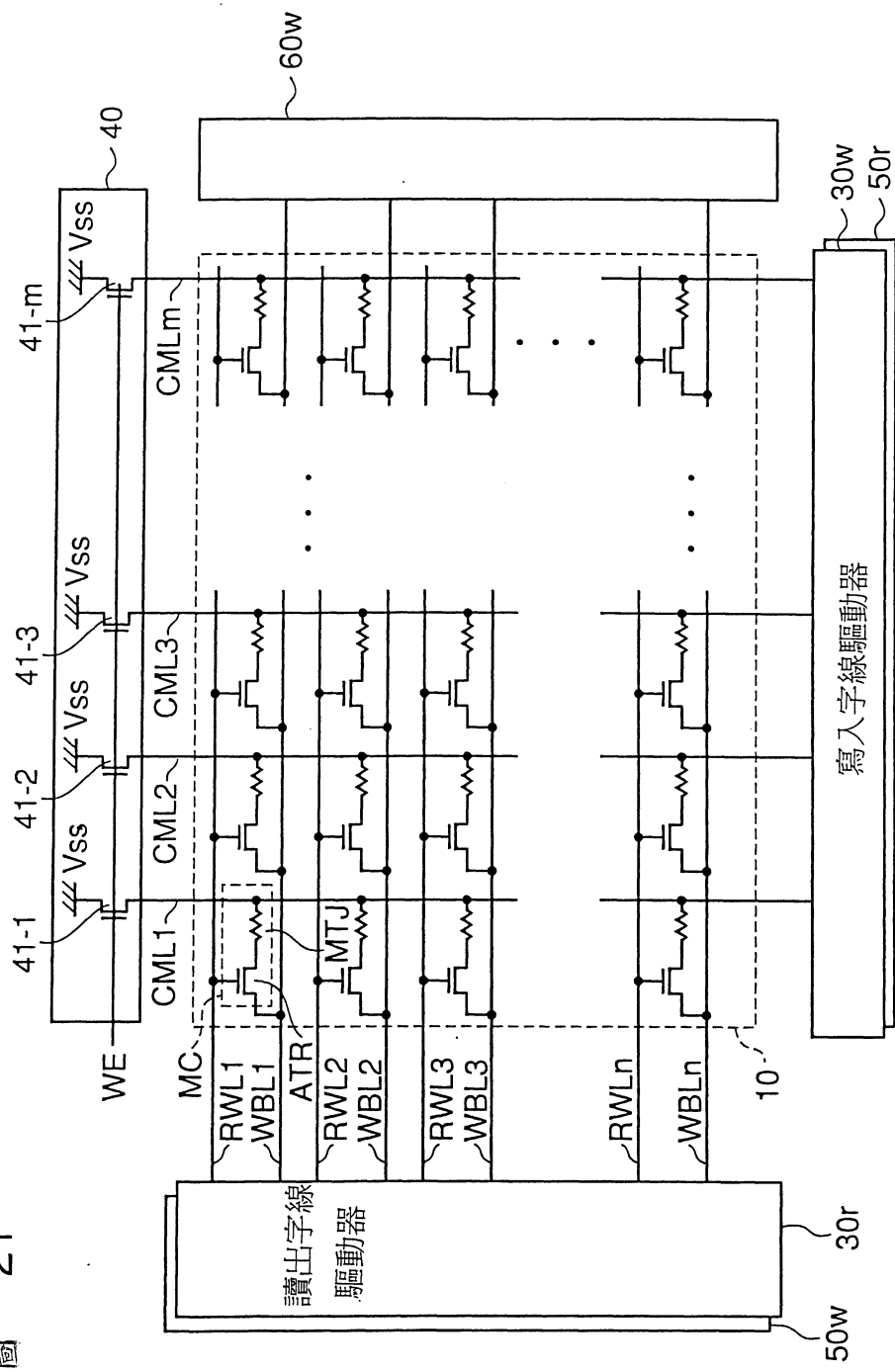
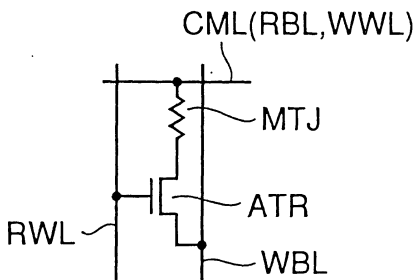


圖 21

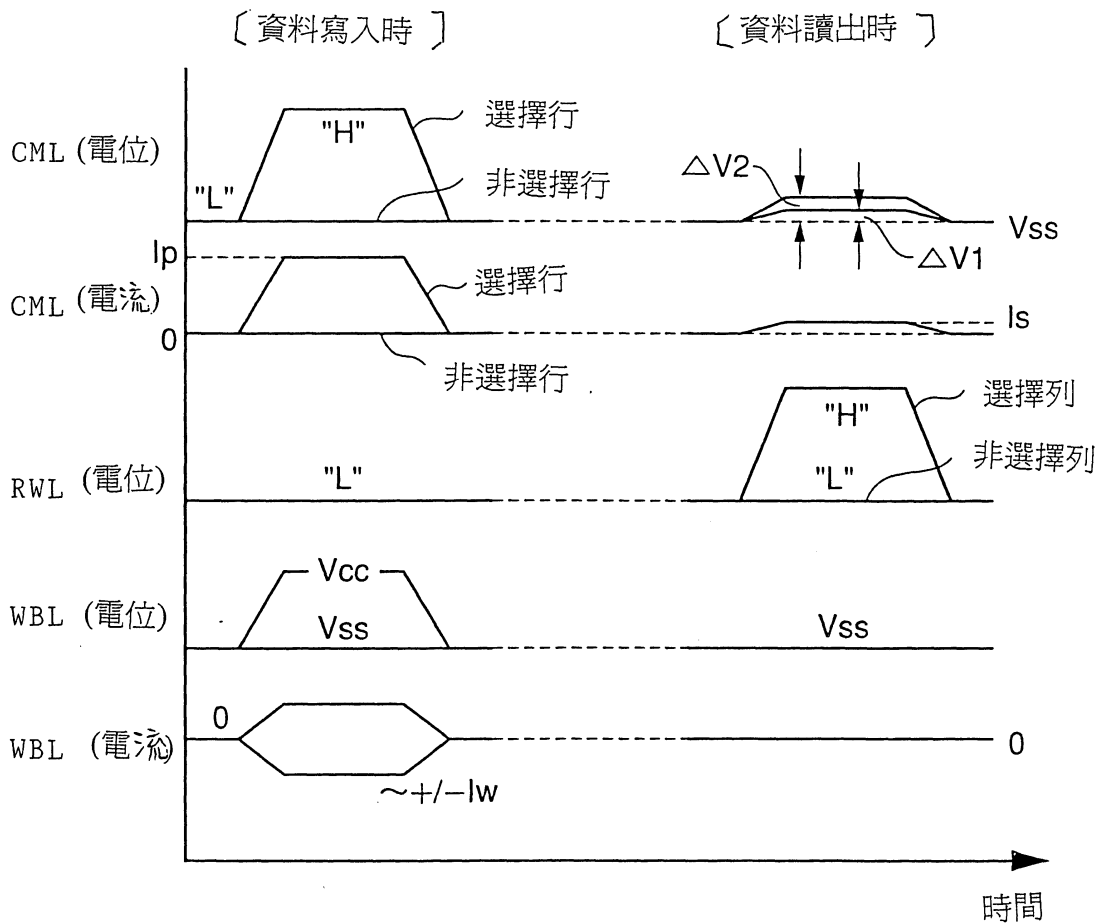




22



23





24

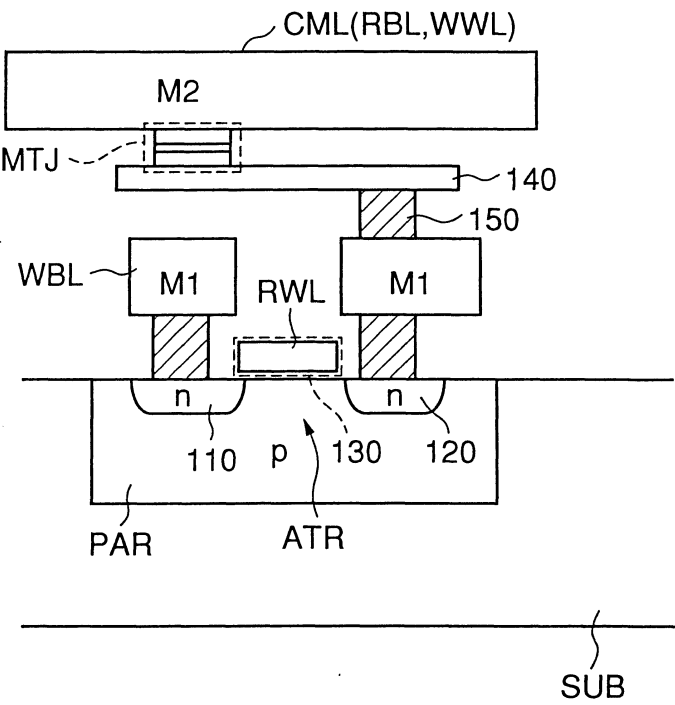
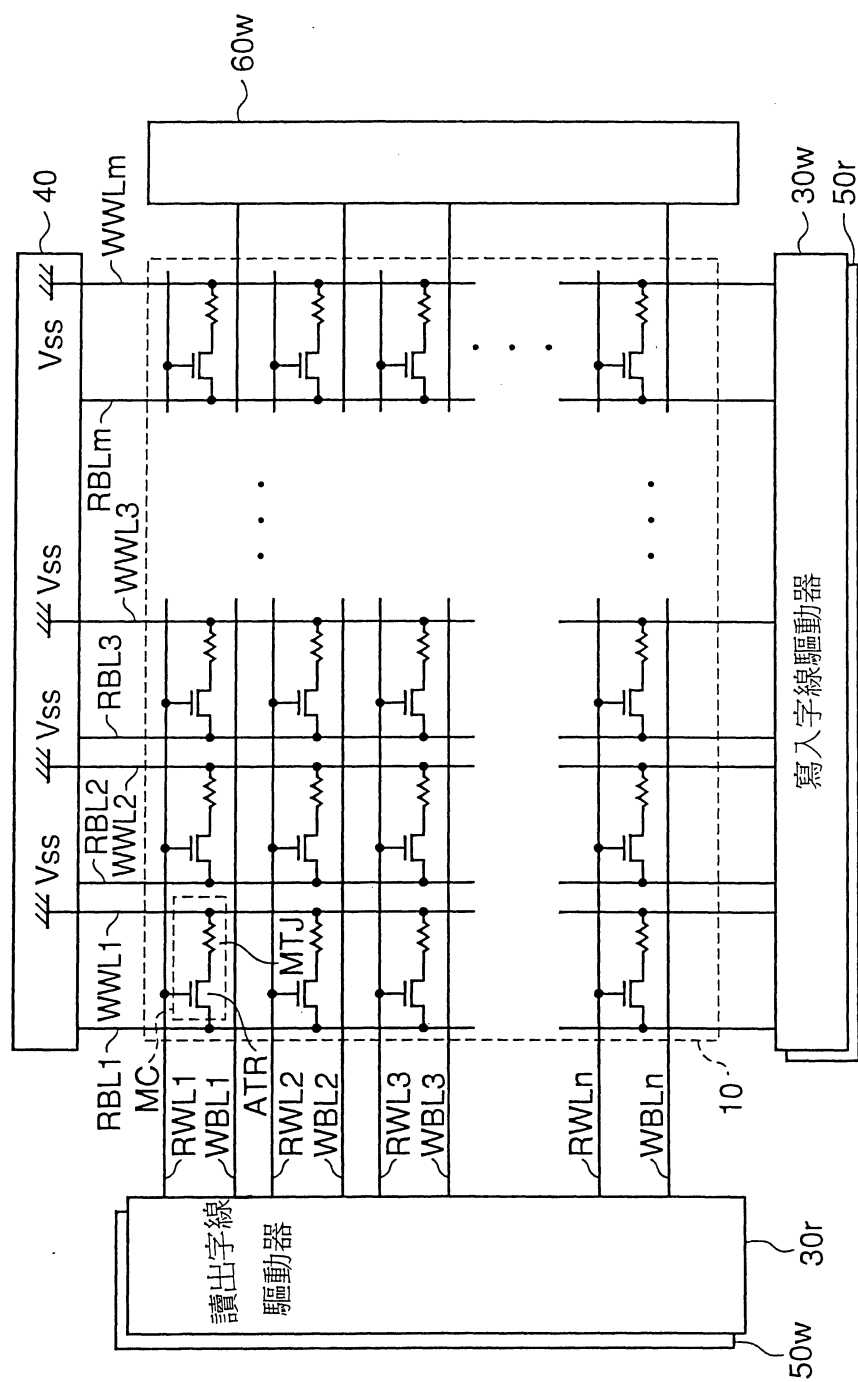
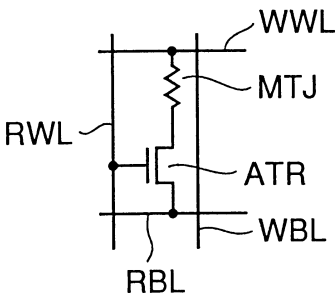


圖 25





26



27

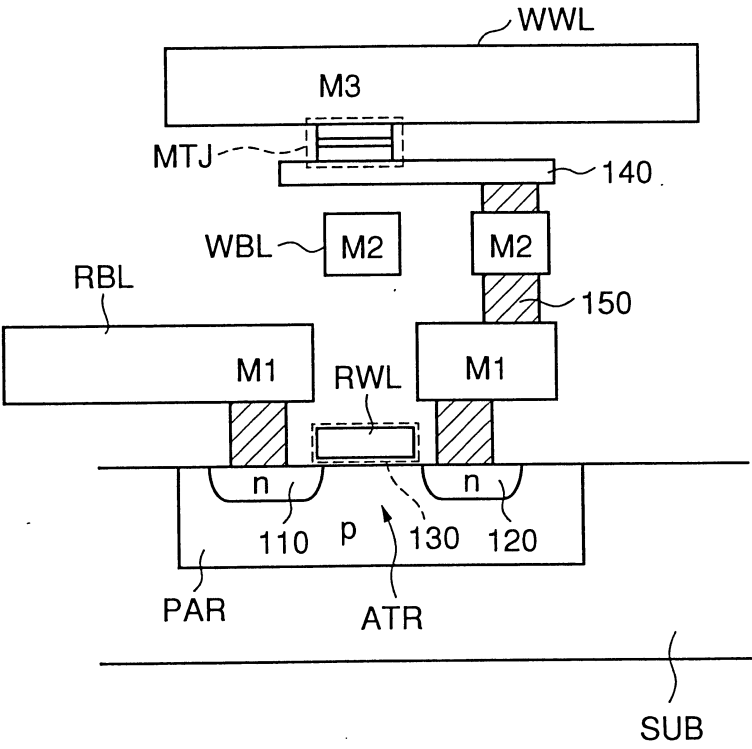
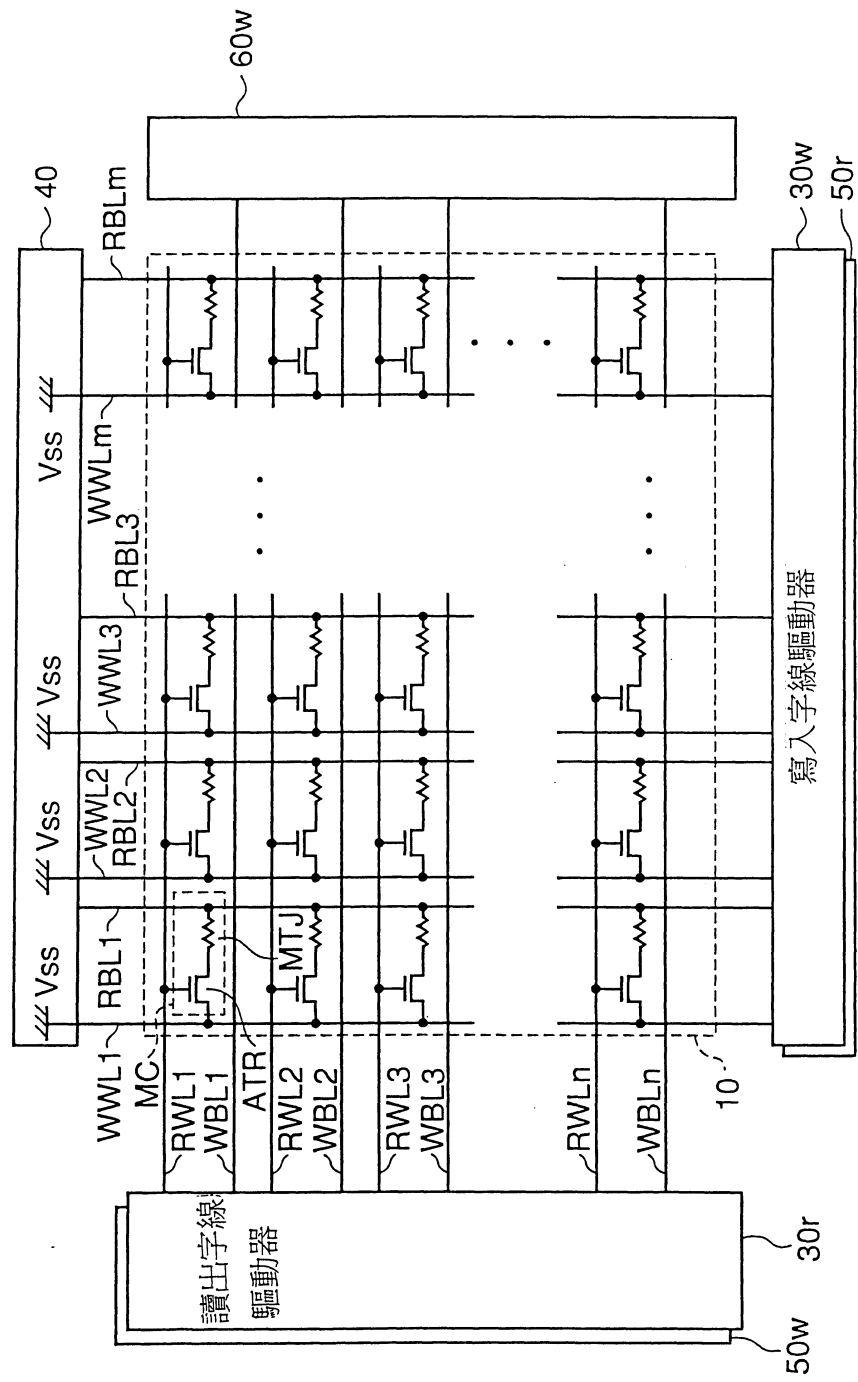
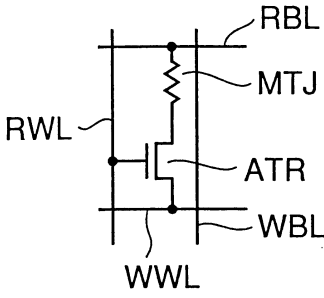


圖 28





29



30

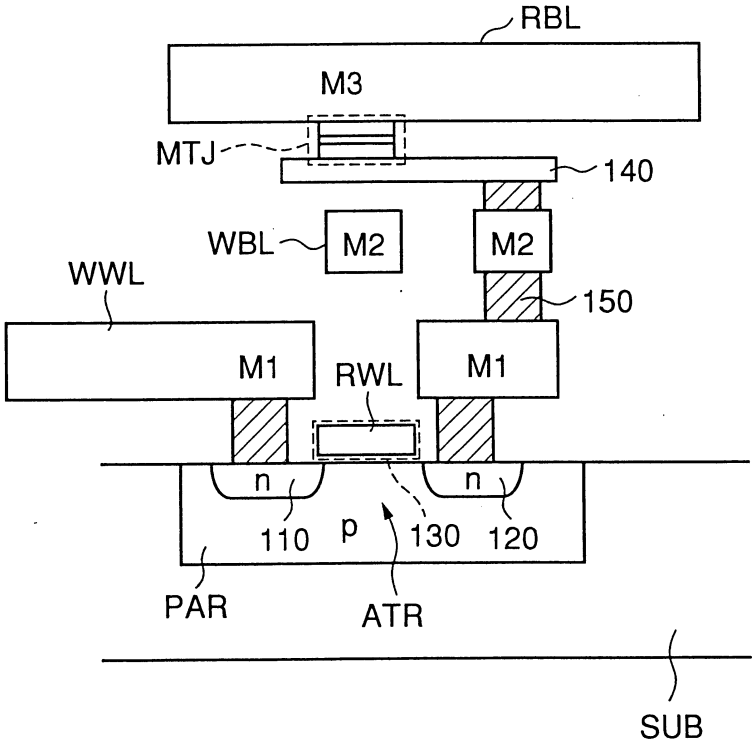
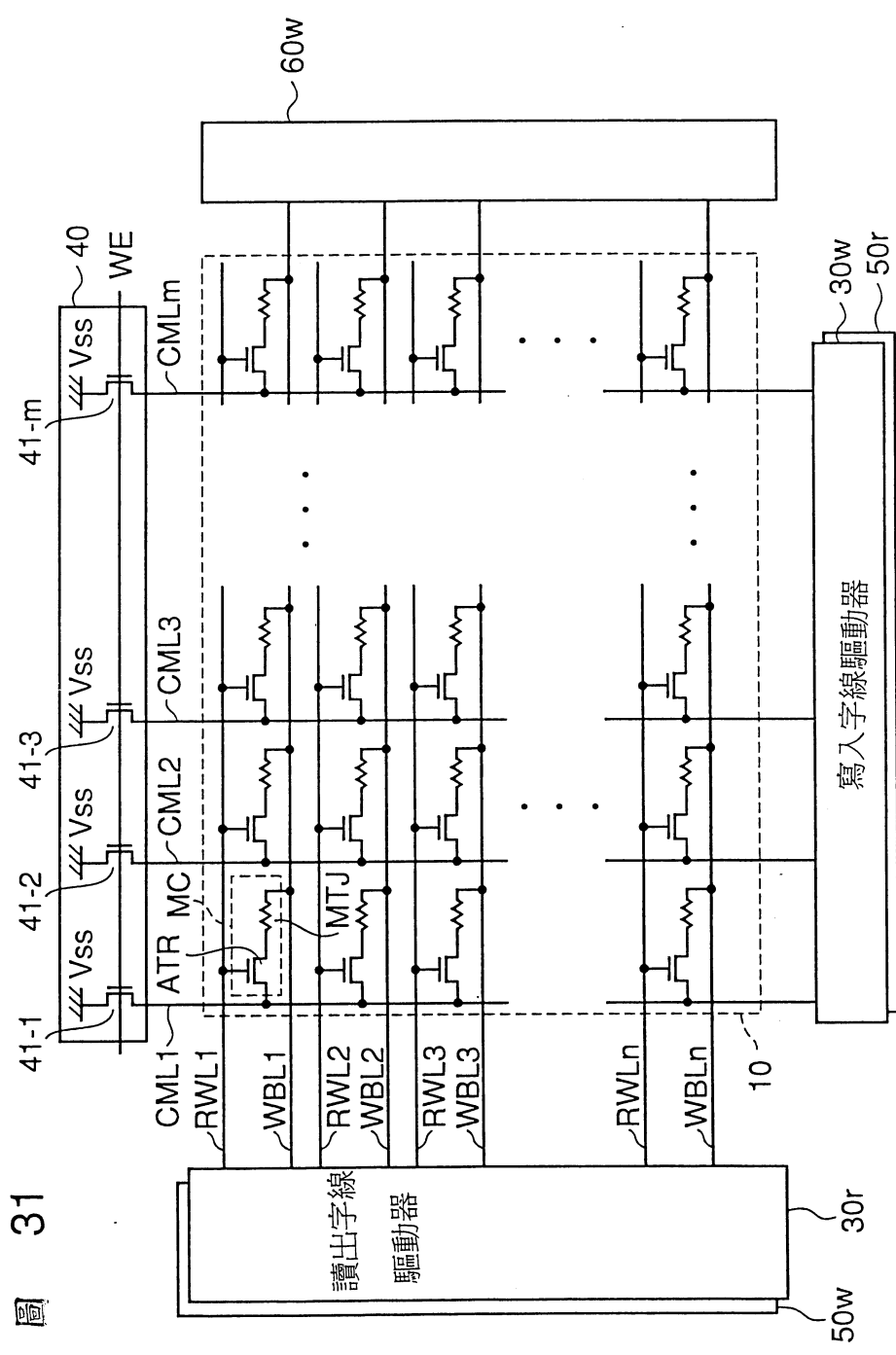
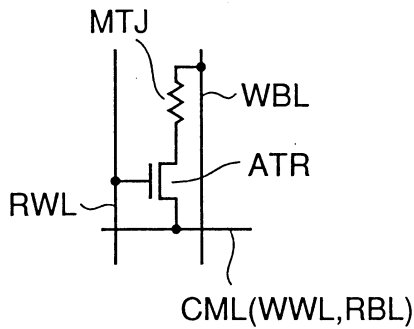


圖 31





32



33

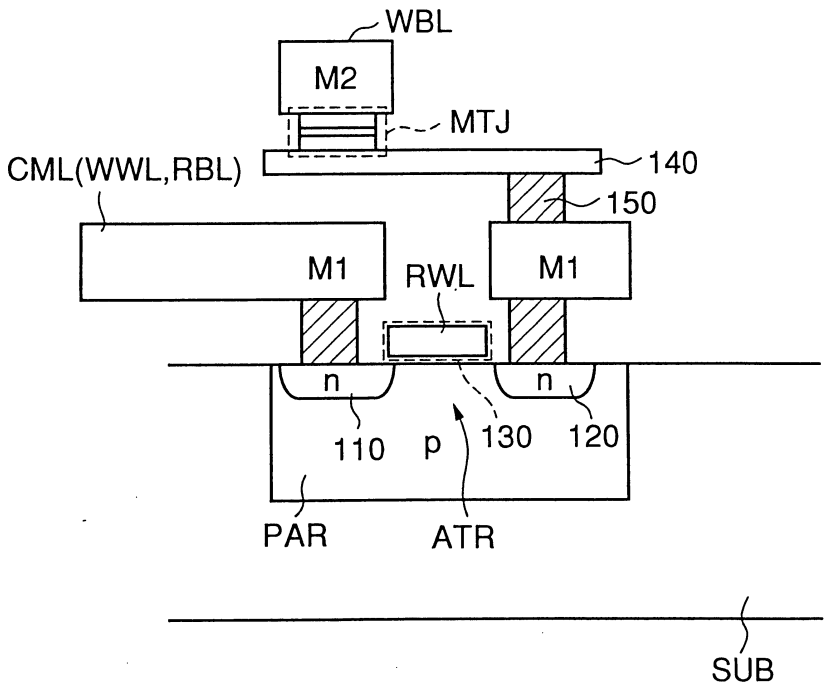
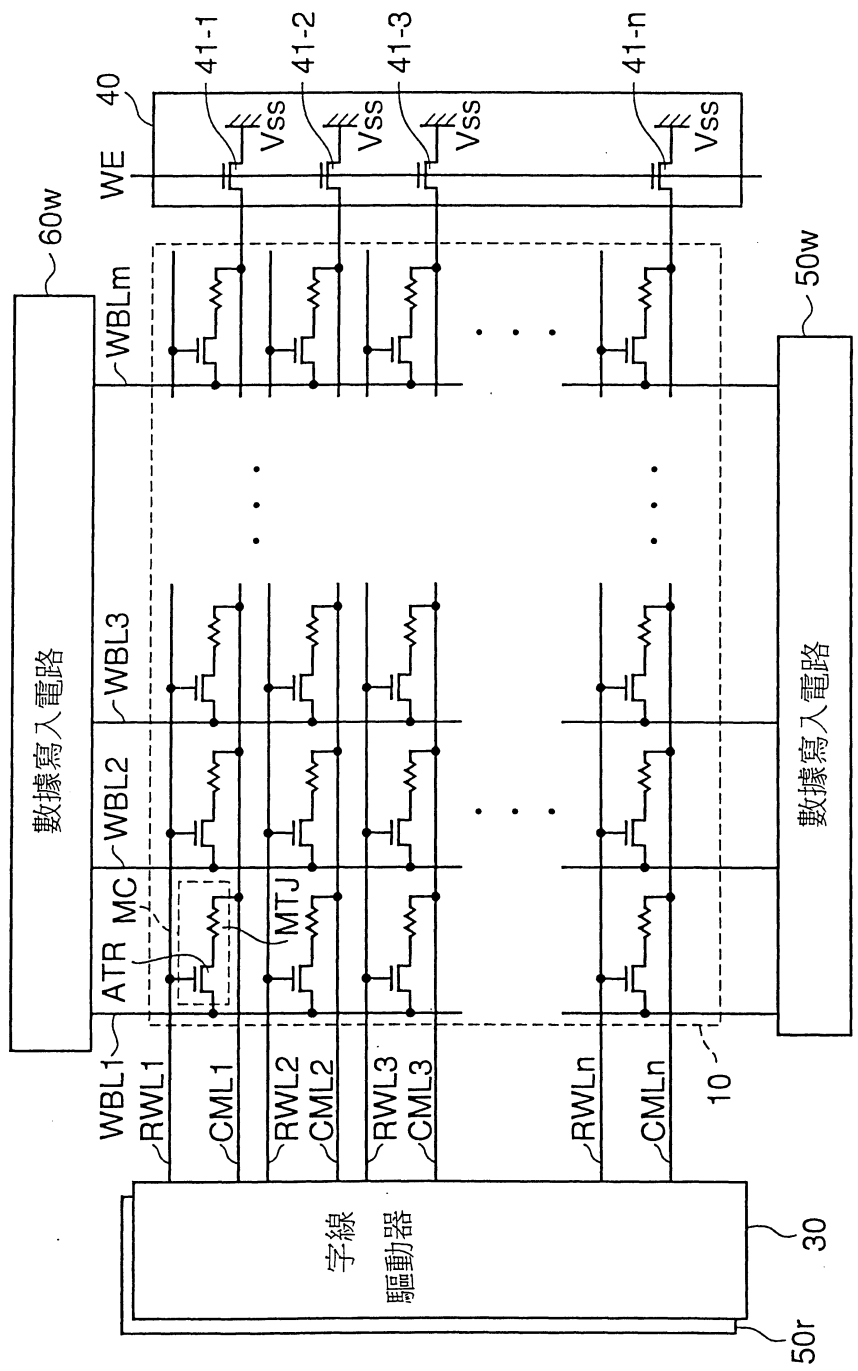
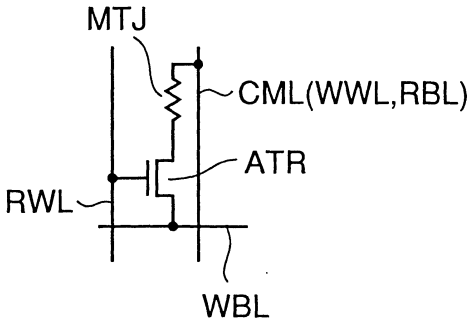


圖 34





35



36

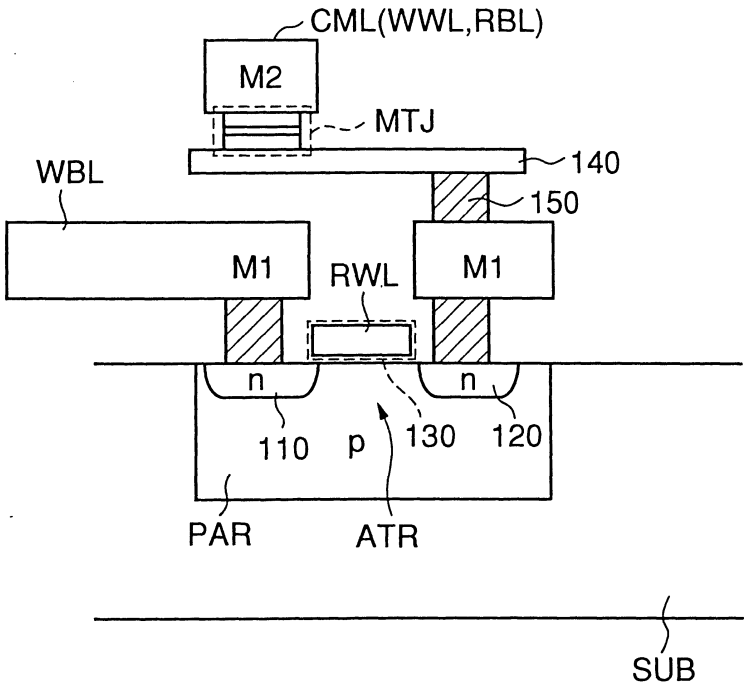
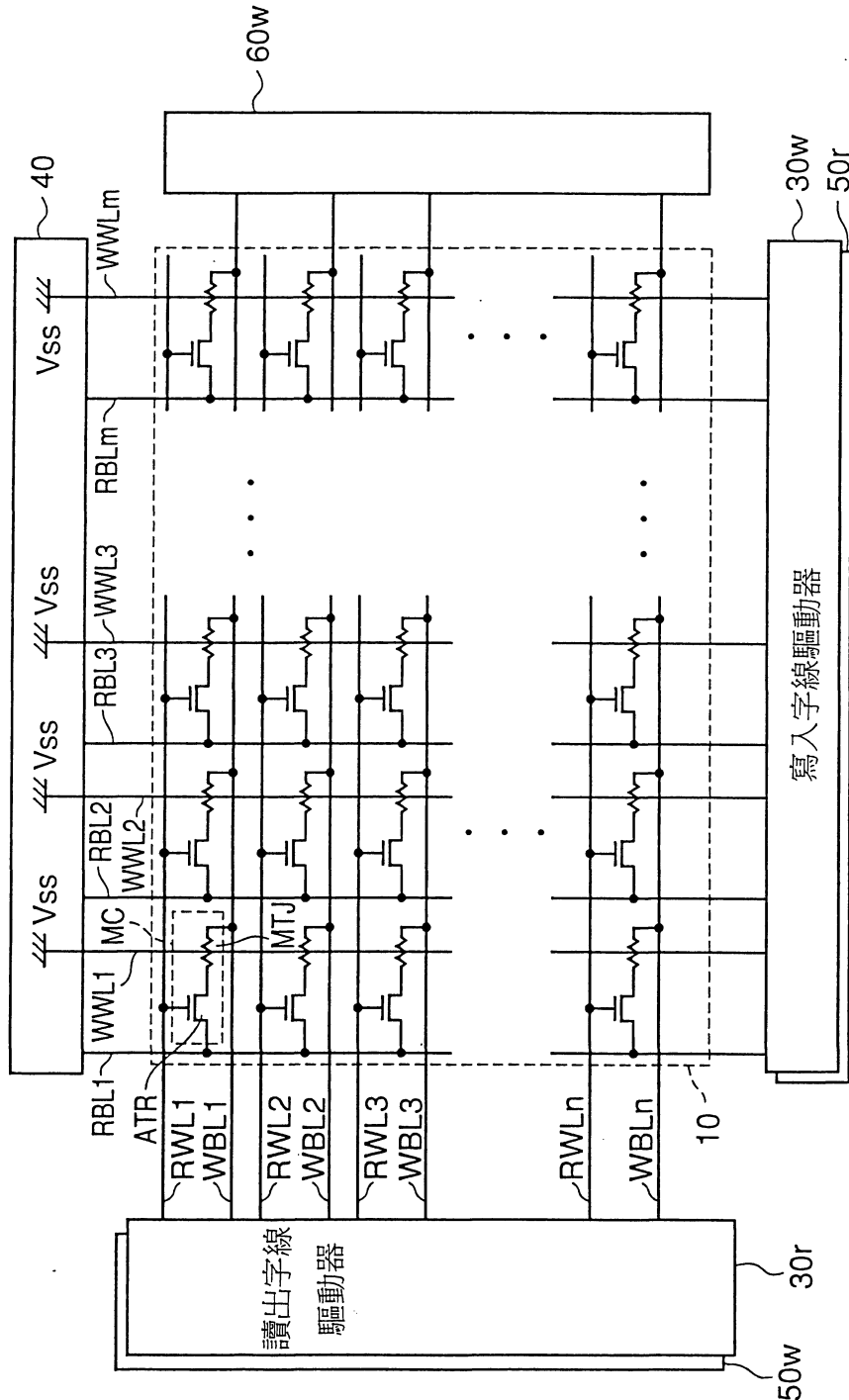
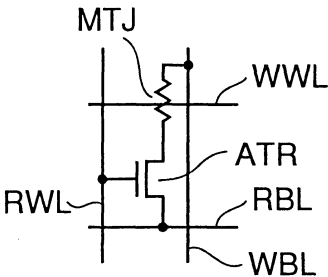


圖 37

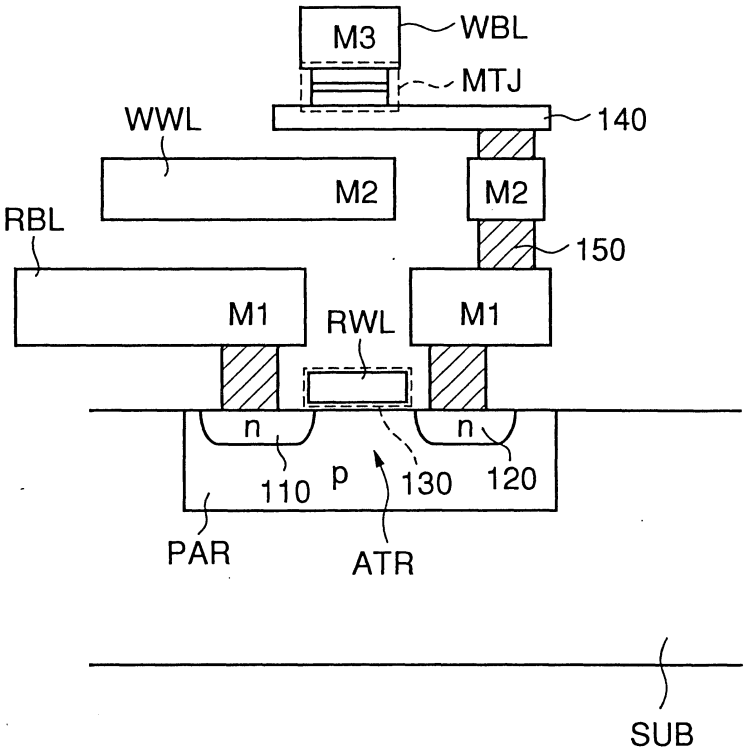




38

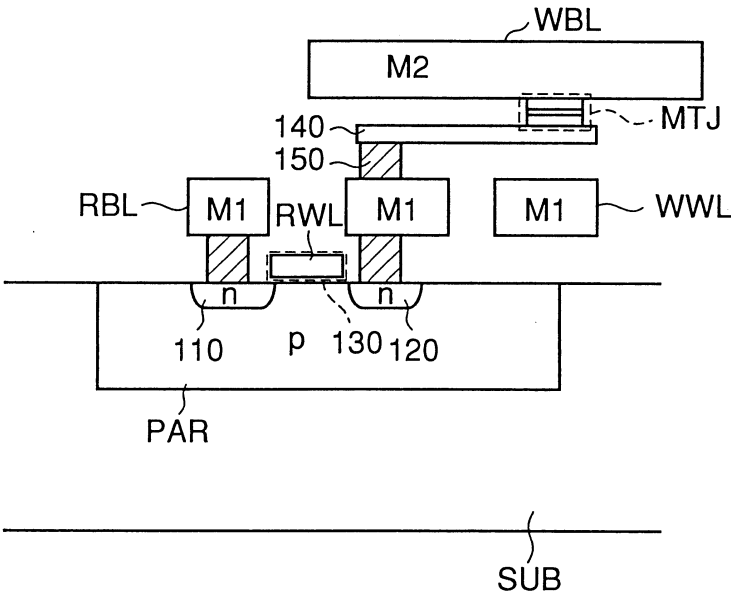


39



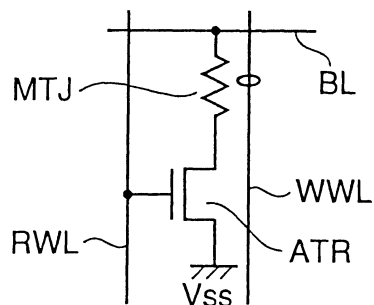


40

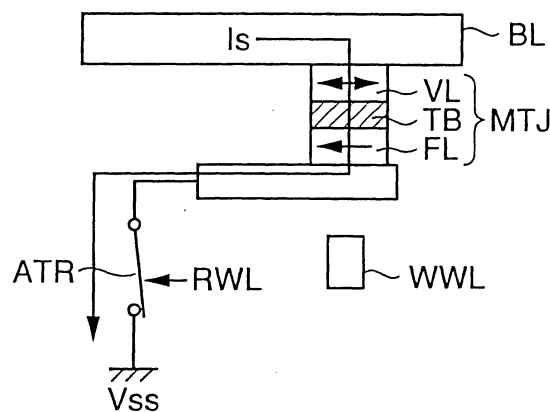




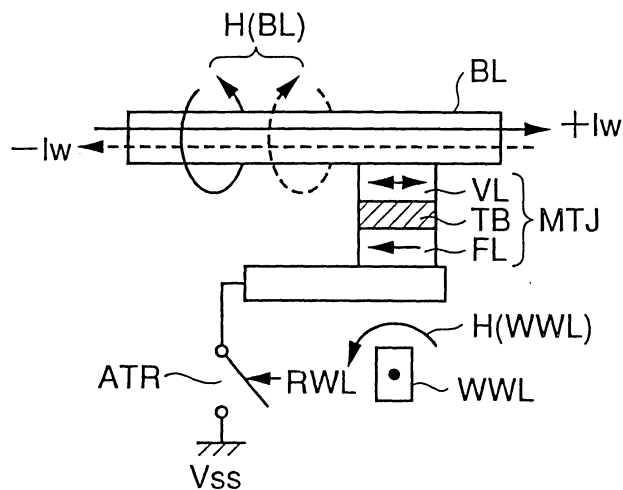
41



42

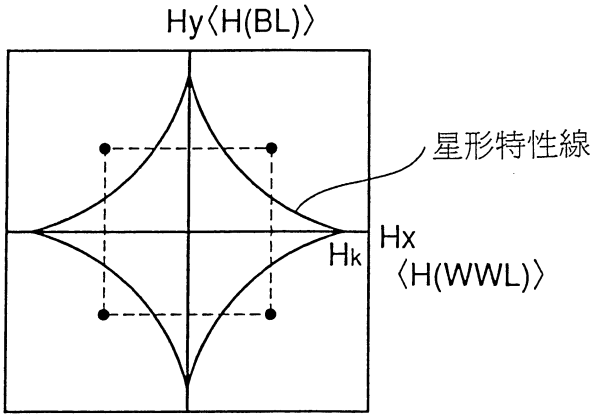


43





44



45

