

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年2月23日(2012.2.23)

【公開番号】特開2010-219386(P2010-219386A)

【公開日】平成22年9月30日(2010.9.30)

【年通号数】公開・登録公報2010-039

【出願番号】特願2009-65907(P2009-65907)

【国際特許分類】

H 01 L 21/8242 (2006.01)

H 01 L 27/108 (2006.01)

H 01 L 27/105 (2006.01)

【F I】

H 01 L 27/10 6 7 1 A

H 01 L 27/10 6 2 1 C

H 01 L 27/10 4 4 8

【手続補正書】

【提出日】平成24年1月5日(2012.1.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項6

【補正方法】変更

【補正の内容】

【請求項6】

前記第1のワード線に平行な第2のワード線と、

側壁にゲート絶縁膜を介してゲート電極が形成され、かつ上端が記憶素子と電気的に接続される第7のシリコンピラーとをさらに備え、

前記第1及び第2のワード線は、前記第3、第4、及び第6のシリコンピラーを挟んで隣り合い、

前記第7のシリコンピラーは、前記第1及び第2のビット線の間に位置し、

前記第4及び第7のシリコンピラーは、前記第2のワード線を挟んで隣り合い、

前記第2のビット線は前記第2、第5、及び第7のシリコンピラーの下端と電気的接続し、

前記第2のワード線は前記第4及び第7のシリコンピラーの側壁にそれぞれ形成されたゲート電極と電気的に接続することを特徴とする請求項5に記載の半導体記憶装置。

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項13

【補正方法】変更

【補正の内容】

【請求項13】

前記第4の工程は、前記第1乃至第3の工程により形成された各シリコンピラーの側壁にサイドウォール絶縁膜を形成する工程を含み、前記サイドウォール絶縁膜の形成後に、前記ビット線配線領域をエッチングすることを特徴とする請求項12に記載の半導体記憶装置の製造方法。