

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 24 年 2 月 23 日 (2012.2.23)

【公開番号】特開 2010-219386 (P2010-219386A)
 【公開日】平成 22 年 9 月 30 日 (2010.9.30)
 【年通号数】公開・登録公報 2010-039
 【出願番号】特願 2009-65907 (P2009-65907)
 【国際特許分類】

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

H 0 1 L 27/105 (2006.01)

【F I】

H 0 1 L 27/10 6 7 1 A

H 0 1 L 27/10 6 2 1 C

H 0 1 L 27/10 4 4 8

【手続補正書】

【提出日】平成 24 年 1 月 5 日 (2012.1.5)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 6

【補正方法】変更

【補正の内容】

【請求項 6】

前記第 1 のワード線に平行な第 2 のワード線と、
側壁にゲート絶縁膜を介してゲート電極が形成され、かつ上端が記憶素子と電氣的に接続される第 7 のシリコンピラーとをさらに備え、

前記第 1 及び第 2 のワード線は、前記第3、第 4、及び第 6 のシリコンピラーを挟んで隣り合い、

前記第 7 のシリコンピラーは、前記第 1 及び第 2 のビット線の上に位置し、

前記第 4 及び第 7 のシリコンピラーは、前記第 2 のワード線を挟んで隣り合い、

前記第 2 のビット線は前記第 2、第 5、及び第 7 のシリコンピラーの下端と電氣的接続し、

前記第 2 のワード線は前記第 4 及び第 7 のシリコンピラーの側壁にそれぞれ形成されたゲート電極と電氣的に接続することを特徴とする請求項 5 に記載の半導体記憶装置。

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 1 3

【補正方法】変更

【補正の内容】

【請求項 1 3】

前記第 4 の工程は、前記第 1 乃至第 3 の工程により形成された各シリコンピラーの側壁にサイドウォール絶縁膜を形成する工程を含み、前記サイドウォール絶縁膜の形成後に、前記ビット線配線領域をエッチングすることを特徴とする請求項1 2に記載の半導体記憶装置の製造方法。