

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6432258号
(P6432258)

(45) 発行日 平成30年12月5日(2018.12.5)

(24) 登録日 平成30年11月16日(2018.11.16)

(51) Int.Cl. F I
H O 4 L 25/38 (2006.01) H O 4 L 25/38 T

請求項の数 3 (全 17 頁)

(21) 出願番号	特願2014-201268 (P2014-201268)	(73) 特許権者	000000295 沖電気工業株式会社 東京都港区虎ノ門一丁目7番12号
(22) 出願日	平成26年9月30日(2014.9.30)	(74) 代理人	100180275 弁理士 吉田 倫太郎
(65) 公開番号	特開2016-72842 (P2016-72842A)	(74) 代理人	100161861 弁理士 若林 裕介
(43) 公開日	平成28年5月9日(2016.5.9)	(74) 代理人	100090620 弁理士 工藤 宣幸
審査請求日	平成29年5月15日(2017.5.15)	(72) 発明者	山中 健司 東京都港区虎ノ門一丁目7番12号 沖電気工業株式会社内
		審査官	阿部 弘

最終頁に続く

(54) 【発明の名称】 時分割多重用信号送信装置、時分割多重信号受信装置及び時分割多重信号伝送システム

(57) 【特許請求の範囲】

【請求項1】

時分割多重信号受信装置からのクロックに同期して、当該時分割多重用信号送信装置に割り当てられた時分割多重のタイムスロットにシリアル信号を挿入して、上記時分割多重信号受信装置へのシリアル信号伝送路へ送出する時分割多重用信号送信装置において、

伝送データ本体と、その前側に位置するスタートビット列を含む上記シリアル信号を生成するシリアル信号生成手段を有し、

上記シリアル信号生成手段は、上記スタートビット列の前側、及び、上記伝送データ本体の後側の少なくとも一方に、ダミービット列を位置させた上記シリアル信号を生成するものであり、

上記ダミービット列の各ビット値が、他の時分割多重用信号送信装置から送出された上記スタートビット列又は上記伝送データ本体と上記シリアル信号伝送路上で重なったときに、上記シリアル信号伝送路上のビット値として、他の時分割多重用信号送信装置から送出された上記スタートビット列又は上記伝送データ本体のビット値を生じさせるものであり、

当該時分割多重用信号送信装置は、上記時分割多重信号受信装置からの自身と上記時分割多重信号受信装置との間の伝搬遅延の測定要求に対する応答を行う

ことを特徴とする時分割多重用信号送信装置。

【請求項2】

複数の時分割多重用信号送信装置がそれぞれ、当該時分割多重信号受信装置からのクロ

ックに同期して、その時分割多重用信号送信装置に割り当てられた時分割多重のタイムスロットにシリアル信号を挿入して、当該時分割多重信号受信装置へのシリアル信号伝送路へ送出した信号を受信する時分割多重信号受信装置において、

上記各時分割多重用信号送信装置が送出したシリアル信号におけるスタートビット列を検出するウィンドウパルスの有意期間の情報を、上記時分割多重用信号送信装置毎に記憶しているウィンドウ情報記憶手段と、

これから到来するタイムスロットのシリアル信号に係る上記時分割多重用信号送信装置の情報を、上記ウィンドウ情報記憶手段から取出し、内部生成したクロックに同期した、上記クロックの周期の整数倍の期間を有する、スタートビット列を検出するためのウィンドウ幅を設定してスタートビット列を検出するスタートビット列検出手段と、

スタートビット列の検出に応じ、スタートビット列に続く伝送データ本体を取込む伝送データ取込手段と、

任意の上記時分割多重用信号送信装置との間の伝搬遅延が属する範囲と、その範囲に対応付けられたウィンドウパルスの有意期間の情報を記憶する伝搬遅延/ウィンドウ情報記憶手段と、

いずれかの上記時分割多重用信号送信装置との間の伝搬遅延を測定する伝搬遅延測定手段と、

測定された伝搬遅延に基づいて、その伝搬遅延が属する範囲に対応付けられたウィンドウパルスの有意期間の情報を得て、上記ウィンドウ情報記憶手段における、伝搬遅延が測定された上記時分割多重用信号送信装置の情報を記述するウィンドウ情報書込手段とを有し、

上記シリアル信号は、上記スタートビット列の前側、及び、上記伝送データ本体の後側の少なくとも一方に、ダミービット列を含むものである

ことを特徴とする時分割多重信号受信装置。

【請求項3】

唯一の時分割多重信号受信装置と、上記時分割多重信号受信装置からのクロックに同期して、割り当てられた時分割多重のタイムスロットにシリアル信号を挿入して、上記時分割多重信号受信装置へのシリアル信号伝送路へ送出する複数の時分割多重用信号送信装置とを備える時分割多重信号伝送システムにおいて、

上記各時分割多重用信号送信装置として、請求項1に記載の時分割多重用信号送信装置を適用すると共に、

上記時分割多重信号受信装置として、請求項3に記載の時分割多重信号受信装置を適用した

ことを特徴とする時分割多重信号伝送システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は時分割多重用信号送信装置、時分割多重信号受信装置及び時分割多重信号伝送システムに関し、例えば、構内交換機(PBX)内における時分割多重された信号の伝送に適用し得るものである。

【背景技術】

【0002】

構内交換機は、構内交換機を利用する会社などの組織の規模に応じて、実装する回線(外線や内線)の数が異なるので、実装する回線数の自由度を高められるような構成を有している。例えば、筐体状のユニットを任意の数だけ設けてその組織用の構内交換機を構成できると共に、各ユニットも、主に回線に共通な処理(例えばシグナリング処理)を行う上位基板と、回線毎の処理を行う上限数までの任意の数(1でも良い)の下位基板とを有している。各下位基板は、例えば、アナログ回線用かISDN回線用かの用途と、対応する回線数(8回線、16回線、32回線)との組み合わせなどによって定まる基板となっている。但し、どの下位基板も上位基板との信号授受に関しては、後述するような同様な

10

20

30

40

50

構成を有している。

【0003】

図5は、上位基板及び下位基板のユニットにおける実装イメージを示す説明図である。

【0004】

ユニット1の背面側には、バックボード2が設けられており、上位基板3及び下位基板4-1~4-Nの凸型コネクタをバックボード2の凹型コネクタに嵌合させることにより、上位基板3及び下位基板4-1~4-Nがバックボード2に取り付けられる。例えば、上位基板3は、バックボード2の左右方向の右端に取り付けられ、下位基板4-1~4-Nは、上位基板3より左側に取り付けられる。上位基板3のバックボード2の取付け位置は固定であるが、バックボード2への下位基板の取付け数は上限数(例えば20)までの任意の数が可能であり、下位基板の取付け位置(収容位置)の変更なども可能である。図5は、上限数Nと同じ数の下位基板4-1~4-Nを取り付けた場合を示しており、下位基板4-1が上位基板3から見て最も遠端に設けられ、下位基板4-Nが上位基板3から見て最も近端に設けられている。

10

【0005】

同一ユニット1内の上位基板3と下位基板4-1~4-Nの間では、上位基板3から下位基板4-1~4-Nへの下り方向も、下位基板4-1~4-Nから上位基板3への上り方向も、伝送データ(音声信号)を時分割多重(TDM; Time Division Multiplexing)で授受するようになっている(時分割多重信号の伝送については、例えば、特許文献1や特許文献2に記載されている)。

20

【0006】

上位基板3は、下位基板4-n(nは1~N)について定まっているタイムスロットに、下位基板4-nへの伝送データを挿入して下り方向のハイウェイに送出すると共に、伝送データに同期してクロックも送出し、下位基板4-nは、自己について定まっているタイムスロットに挿入されている伝送データを伝送されてきたクロックを利用して取り込む。ここで、伝送データとクロックとは同期しているため、下位基板4-nは、伝送データを適切に取り込むことができる。

【0007】

下位基板4-nは、上位基板3から伝送されているクロックに基づいて捉えたタイミングが、自己について定まっている上り方向のタイムスロットになると、上位基板3から伝送されているクロックに基づいて、そのタイムスロットに、上位基板3への伝送データを挿入して上り方向のハイウェイFHW(図5では上り方向のハイウェイだけを示している)に送出する。この上り方向の伝送の際、下位基板4-nから上位基板3へのクロックの伝送はなされず、上位基板3は、内部で生成しているクロックに基づいて、下位基板4-nが上り方向のハイウェイ(以下、上りハイウェイと呼ぶ)FHWへ送出した伝送データを取り込む。

30

【0008】

以上のような上り方向への伝送データの伝送方法であるため、上位基板3に到達した伝送データは、上位基板3が内部生成したクロックと同期していない。しかし、従来では、このような非同期でも問題なく伝送データが取り込めるようになっていた。

40

【0009】

図6は、従来の構内交換機内ユニットにおいて、上位基板3が、クロックに非同期な伝送データを適切に取り込める理由の説明図である。

【0010】

上位基板3に到達した下位基板4-nからの伝送データと、上位基板3が内部生成したクロックとの同期ずれ量は、概ね、上位基板3から下位基板4-nへ与えたクロックの伝搬遅延と、下位基板4-nから上位基板3への伝送データの伝搬遅延とが反映された量となっている。伝搬遅延は、上位基板3及び下位基板4-n間の上りハイウェイFHWの距離だけでなく、上りハイウェイFHWに接続している下位基板の数や配置などによっても変化する。上りハイウェイFHWに上限数(最大数)の下位基板4-1~4-Nが接続さ

50

れているときの上位基板3及び下位基板4 - n間の伝搬遅延が、接続数がそれより少ない場合の伝搬遅延より大きい。また、同じ数の下位基板が上りハイウェイFHWに接続されている場合であっても、ハイウェイ側から見たインピーダンスなどが下位基板毎に異なるため、下位基板の配置によって伝搬遅延は変化する。

【0011】

図6(A1)は、上位基板3が内部生成したクロックの1周期(例えば、122ns)を示しており、図6(A2)は、そのクロックに同期している理想的な受信データ(仮定のデータであってそのような受信データは存在しない)の1ビット期間を示している。

【0012】

図6(B1)~(B3)はそれぞれ、下位基板がフルにバックバードに取り付けられた場合であって、下位基板の配列が最も伝搬遅延が小さくなる配列である場合における、最も近端の下位基板4 - 1からの伝送データ、中間位置の下位基板(Nが20の場合であれば下位基板4 - 10若しくは4 - 11)からの伝送データ、及び、最も遠端の下位基板4 - Nからの伝送データの1ビット期間を表しており、クロックに対して、それぞれ、時間T_{ss}、T_{sm}、T_{sl}だけずれている。なお、3種類の伝送データは時分割多重されているため異なるタイムスロットで伝送されるものであるが、クロックとの同期ずれを理解し易いように、図6(B1)~(B3)は、伝送データを受信するクロックの期間を同じにしたと仮定して各伝送データの1ビット期間を表している(図6(C1)~(C3)、図7(B1)~(B3)、図7(C1)~(C3)も同様)。図6(B4)は、クロックとの同期ずれが最も小さい最近端の下位基板4 - 1からの伝送データの1ビット期間(図6(B1)参照)と、クロックとの同期ずれが最も大きい最遠端の下位基板4 - Nからの伝送データの1ビット期間(図6(B3)参照)との共通期間(クロックで取り込むことができる共通なタイミング期間)を示している。

【0013】

また、図6(C1)~(C3)はそれぞれ、下位基板がフルにバックバードに取り付けられた場合であって、下位基板の配列が最も伝搬遅延が大きくなる配列である場合における、最も近端の下位基板4 - 1からの伝送データ、中間位置の下位基板からの伝送データ、及び、最も遠端の下位基板4 - Nからの伝送データの1ビット期間を表しており、クロックに対して、それぞれ、時間T_{bs}、T_{bm}、T_{bl}だけずれている。図6(C4)は、クロックとの同期ずれが最も小さい最近端の下位基板4 - 1からの伝送データの1ビット期間(図6(C1)参照)と、クロックとの同期ずれが最も大きい最遠端の下位基板4 - Nからの伝送データの1ビット期間(図6(C3)参照)との共通期間を示している。

【0014】

図6(B4)に示す共通期間や図6(C4)に示す共通期間内で、クロックに基づいて上位基板3が受信した伝送データを取込めるように上りハイウェイFHWの長さなどが概ね設計されており、上位基板3は、クロックに非同期な上り方向の伝送データを適切に取り込むことができる。

【先行技術文献】

【特許文献】

【0015】

【特許文献1】特開2000 - 196620号公報

【特許文献2】特開2001 - 274817号公報

【発明の概要】

【発明が解決しようとする課題】

【0016】

最近、ユニットや下位基板の大きさや外形形状などをほとんど変化させずに、各下位基板が取り扱う回線数などを増大させることが検討されている。下位基板が取り扱う回線数を増大させようとする、時分割多重信号における1つの下位基板4 - nに係るタイムスロット数を多くすることを要する。言い換えると、ハイウェイの収容タイムスロット数を多くすることを要する。クロック速度を変化させることなく、ハイウェイの収容タイムス

10

20

30

40

50

ロット数を多くすると、同一下位基板のタイムスロット間隔が長くなり、できるだけ通信遅延を排除してリアルタイム通信が望まれる音声信号にとっては問題が大きい。そのため、ハイウェイの収容タイムスロット数を多くしても、同一チャンネルのタイムスロット間隔が今までと同様になるように、クロックを高速（例えば、約6倍）にすることとした。

【0017】

しかしながら、ユニットや下位基板の大きさや外形形状などをほとんど変化させずにクロック速度だけを高速にしたため、上位基板3が、上りハイウェイFHWからの、クロックに非同期な伝送データを取り込めない恐れが大きくなった。

【0018】

図7は、この課題の説明図であり、上述した図6に対応した図面である。

10

【0019】

クロックが高速になると（例えば、1周期が20.4ns）、上りハイウェイを流れる伝送データの1ビット期間も短くなる（例えば、図7(A2)参照）。

【0020】

クロックが高速になっても（以下、高速になったクロックを高速クロックと呼ぶこともある）、上位基板3に到達した下位基板4-nからの伝送データと、上位基板3が内部生成した高速クロックとの同期ずれ量は、概ね、上位基板3から下位基板4-nへ与えた高速クロックの伝搬遅延と、下位基板4-nから上位基板3への伝送データの伝搬遅延とが反映された量となっており、ユニットや下位基板の大きさや外形形状などをほとんど変化させないため、高速クロックに係る同期ずれ量は従前の（高速にする前の）クロックに係る同期ずれ量と同程度である。すなわち、クロックを高速にすると、1ビット期間が短くなるのに対して、上位基板3に到達した下位基板4-nからの伝送データと、上位基板3が内部生成した高速クロックとの同期ずれ量は、従前と同程度である。

20

【0021】

そのため、下位基板がフルにバックバードに取り付けられ、下位基板の配列が最も伝搬遅延が小さくなる配列である場合における、高速クロックとの同期ずれが最も小さい最近端の下位基板4-1からの伝送データの1ビット期間（図7(B1)参照）と、高速クロックとの同期ずれが最も大きい最遠端の下位基板4-Nからの伝送データの1ビット期間（図7(B3)参照）との共通期間（図7(B4)参照）は短い。また、下位基板がフルにバックバードに取り付けられ、下位基板の配列が最も伝搬遅延が大きくなる配列である場合における、高速クロックとの同期ずれが最も小さい最近端の下位基板4-1からの伝送データの1ビット期間（図7(C1)参照）と、高速クロックとの同期ずれが最も大きい最遠端の下位基板4-Nからの伝送データの1ビット期間（図7(C3)参照）との共通期間（図7(C4)参照）は短い。2つの共通期間で共通している時間は皆無かごく僅かである（図7は皆無の場合を示している）。

30

【0022】

このような場合には、いずれかの状況における各下位基板からの伝送データを適切に取り込めるように、仮に高速クロックのタイミングを調整したとしても、下位基板の増設や配置換えによって、下位基板からの伝送データを取り込めない状態に容易に変化してしまう。

40

【0023】

また、上述したように、高速クロックのタイミングを調整しなければ、下位基板の当初の実装状態でも、下位基板からの伝送データを取り込めない恐れもある。

【0024】

そのため、ハイウェイにおける伝搬遅延から見て、クロック速度が仮に高速であっても、複数の送信装置から異なるタイミングで送信される時分割多重用信号を、共通の受信装置が適切に取り込むことができる時分割多重用信号送信装置、時分割多重信号受信装置及び時分割多重信号伝送システムが望まれている。

【課題を解決するための手段】

【0025】

50

第1の本発明は、時分割多重信号受信装置からのクロックに同期して、当該時分割多重用信号送信装置に割り当てられた時分割多重のタイムスロットにシリアル信号を挿入して、上記時分割多重信号受信装置へのシリアル信号伝送路へ送出する時分割多重用信号送信装置において、(1) 伝送データ本体と、その前側に位置するスタートビット列を含む上記シリアル信号を生成するシリアル信号生成手段を有し、(2) 上記シリアル信号生成手段は、上記スタートビット列の前側、及び、上記伝送データ本体の後側の少なくとも一方に、ダミービット列を位置させた上記シリアル信号を生成するものであり、(3) 上記ダミービット列の各ビット値が、他の時分割多重用信号送信装置から送出された上記スタートビット列又は上記伝送データ本体と上記シリアル信号伝送路上で重なったときに、上記シリアル信号伝送路上のビット値として、他の時分割多重用信号送信装置から送出された上記スタートビット列又は上記伝送データ本体のビット値を生じさせるものであり、(4) 当該時分割多重用信号送信装置は、上記時分割多重信号受信装置からの自身と上記時分割多重信号受信装置との間の伝搬遅延の測定要求に対する応答を行うことを特徴とする。

10

【0026】

第2の本発明は、複数の時分割多重用信号送信装置がそれぞれ、当該時分割多重信号受信装置からのクロックに同期して、その時分割多重用信号送信装置に割り当てられた時分割多重のタイムスロットにシリアル信号を挿入して、当該時分割多重信号受信装置へのシリアル信号伝送路へ送出した信号を受信する時分割多重信号受信装置において、(1) 上記各時分割多重用信号送信装置が送出したシリアル信号におけるスタートビット列を検出するウィンドウパルスの有意期間の情報を、上記時分割多重用信号送信装置毎に記憶しているウィンドウ情報記憶手段と、(2) これから到来するタイムスロットのシリアル信号に係る上記時分割多重用信号送信装置の情報を、上記ウィンドウ情報記憶手段から取出し、内部生成したクロックに同期した、上記クロックの周期の整数倍の期間を有する、スタートビット列を検出するためのウィンドウ幅を設定してスタートビット列を検出するスタートビット列検出手段と、(3) スタートビット列の検出に応じ、スタートビット列に続く伝送データ本体を取込む伝送データ取込手段と、(4) 任意の上記時分割多重用信号送信装置との間の伝搬遅延が属する範囲と、その範囲に対応付けられたウィンドウパルスの有意期間の情報を記憶する伝搬遅延/ウィンドウ情報記憶手段と、(5) いずれかの上記時分割多重用信号送信装置との間の伝搬遅延を測定する伝搬遅延測定手段と、(6) 測定された伝搬遅延に基づいて、その伝搬遅延が属する範囲に対応付けられたウィンドウパルスの有意期間の情報を得て、上記ウィンドウ情報記憶手段における、伝搬遅延が測定された上記時分割多重用信号送信装置の情報を記述するウィンドウ情報書込手段とを有し、(7) 上記シリアル信号は、上記スタートビット列の前側、及び、上記伝送データ本体の後側の少なくとも一方に、ダミービット列を含むものであることを特徴とする。

20

30

【0027】

第3の本発明は、唯一の時分割多重信号受信装置と、上記時分割多重信号受信装置からのクロックに同期して、割り当てられた時分割多重のタイムスロットにシリアル信号を挿入して、上記時分割多重信号受信装置へのシリアル信号伝送路へ送出する複数の時分割多重用信号送信装置とを備える時分割多重信号伝送システムにおいて、(1) 上記各時分割多重用信号送信装置として、第1の本発明の時分割多重用信号送信装置を適用すると共に、上記時分割多重信号受信装置として、第2の本発明の時分割多重信号受信装置を適用したことを特徴とする。

40

【発明の効果】**【0028】**

本発明によれば、複数の送信装置から異なるタイミングで送信される時分割多重用信号を、共通の受信装置が適切に取り込むことができる時分割多重用信号送信装置、時分割多重信号受信装置及び時分割多重信号伝送システムを実現できる。

【図面の簡単な説明】**【0029】**

50

【図1】第1の実施形態におけるタイムスロット構成を示す説明図である。

【図2】第1の実施形態の時分割多重用信号送信装置の具体的構成例を示すブロック図である。

【図3】第1の実施形態の時分割多重信号受信装置の具体的構成例を示すブロック図である。

【図4】第2の実施形態の時分割多重信号受信装置の構成を示すブロック図である。

【図5】上位基板及び下位基板のユニットにおける実装イメージを示す説明図である。

【図6】従来の上位基板が、クロックに非同期な上り方向の伝送データを適切に取り込める理由の説明図である。

【図7】クロックを高速にした場合に、従来の上位基板が、クロックに非同期な上り方向の伝送データを適切に取り込めない理由の説明図である。

10

【発明を実施するための形態】

【0030】

(A)第1の実施形態

以下、本発明による時分割多重用信号送信装置、時分割多重信号受信装置及び時分割多重信号伝送システムを、構内交換機に適用した第1の実施形態を、図面を参照しながら説明する。

【0031】

第1の実施形態の時分割多重用信号送信装置は構内交換機の下位基板に搭載され、第1の実施形態の時分割多重信号受信装置は構内交換機の上位基板に搭載される。構内交換機における下位基板や上位基板の配置は、上述した図5に示すようなものであり、この第1の実施形態の説明においても、図5に示した符号を適宜使用する。

20

【0032】

(A-1)第1の実施形態の1タイムスロットの構成

第1の実施形態に係る構内交換機は、その構内交換機におけるユニットや下位基板の大きさや外形形状などをほとんど変化させずに、ユニット内のクロックの速度を従前より高速(例えば、約6倍)にしたものである。そのため、何らの対策を取らなければ、下位基板から上位基板への上り伝送データの伝送で上述したような課題を生じるものである。

【0033】

そこで、第1の実施形態では、下位基板から上位基板への1タイムスロットの構成を図1に示すものとし、このような構成のタイムスロットを適切に授受できるように、下位基板に搭載された時分割多重用信号送信装置と、上位基板に搭載された時分割多重信号受信装置とを後述するように構成した。

30

【0034】

第1の実施形態における上り方向の時分割多重信号での1タイムスロットTS(...、TS-(n+1)、TS-n、...)は、図1(A)に示すように、第1の所定ビット数の伝送データ本体DATと、伝送データ本体DATの先頭に設けられた第2の所定ビット数のスタートビット列STと、スタートビット列STの前側に設けられた第3の所定ビット数の前側ダミービット列FDMYと、伝送データ本体DATの後側に設けられた第4の所定ビット数の後側ダミービット列BDMYとで構成されている。

40

【0035】

伝送データ本体DATは、例えば64ビットである。送信元の下位基板4-nが8の倍数のチャンネルを取扱うものである場合、上述した64ビットは、1チャンネル当たり8ビットずつの8個のチャンネルのビット列でなる。

【0036】

スタートビット列STは、高論理レベル「1」と低論理レベル「0」とが混在したものであり(以下、高論理レベル及び低論理レベルという表現を省略する)、例えば、「10」という2ビットでなる。上述した図7(C1)~(C3)に示すように、上位基板3に到達した下位基板4-nからの伝送データが、上位基板3で生成した高速クロックに対し、高速クロックの1ビット期間より長い同期ずれが生じることもある。そのため、何らの

50

手当てもしなければ、上位基板 3 が、伝送データの先頭ビット（すなわちタイムスロットの先頭ビット）として取り込んだビットが先頭ビットではないことも生じる。

【 0 0 3 7 】

そこで、第 1 の実施形態では、伝送データ本体 D A T の開始タイミングを上位基板 3 が検出できるようにするため、伝送データ本体 D A T の前にスタートビット列 S T を設けることとした。後述するように、ダミービット列 F D M Y 及び B D M Y をオール「 1 」としたため、スタートビット列 S T として「 1 」と「 0 」とが混在したビット列を適用することとした。

【 0 0 3 8 】

第 1 の実施形態の上位基板 3 は、タイムスロット T S (...、T S - (n + 1)、T S - n、...) 毎に、図 1 (B) に示すようなウィンドウパルス (「 0 」レベルが有意レベル) W P (...、W P - (n + 1)、W P - n、...) を設定してスタートビット列 S T の到来を監視する。

10

【 0 0 3 9 】

上り方向の時分割多重信号における隣り合うタイムスロット (例えば、T S - (n + 1)、T S - n) のクロックに対する同期ずれ量は、上述したように、伝搬遅延の相違を受けて同じではない。下位基板 4 - (n + 1) からの時分割多重信号 (タイムスロット T S - (n + 1)) と、下位基板 4 - n からの時分割多重信号 (タイムスロット T S - n) とが重複や空きを生じることなく、上位基板 3 に到達することが理想であるが、上述した同期ずれ量の相違により、このような理想的な状況は生じない。すなわち、上位基板 3 に到達した隣り合うタイムスロットが重複し、一方のタイムスロットの末尾側の数ビットと他方の先頭側の数ビットが衝突により破壊される恐れがある。

20

【 0 0 4 0 】

例えば、スタートビット列 S T を付与しただけでは、1 ユニット内の搭載条件により、スタートビット列 S T が、1 つ前のタイムスロットの末尾側のデータと重なってしまい、破壊される可能性がある。

【 0 0 4 1 】

そこで、第 1 の実施形態では、オール「 1 」のダミービット列 F D M Y 及び B D M Y を設けることとした。ダミービット列は、前側又は後側の少なくとも一方に設ければ良いが、第 1 の実施形態では前後共にダミービット列を設けている。例えば、前側に 2 ビットのダミービット列 F D M Y を設けていると共に、後側に 4 ビットのダミービット列 B D M Y を設けている。

30

【 0 0 4 2 】

第 1 の実施形態では、上りハイウェイ F H W に接続されている、当該下位基板 4 - n からのシリアル信号線を駆動するドライバ部をハイインピーダンスにし、そのドライバの出力側をプルアップすることにより、ダミービットの「 1 」を実現している。これにより、例えば、ある下位基板からのダミービットと、他の下位基板の有効なビット (伝送データ本体やスタートビット列のビット) とが上りハイウェイ F H W 上で重なっても、上りハイウェイ F H W 上の論理レベルは、他の下位基板の有効なビットの論理レベルとなり、他の下位基板の有効なビットを破壊することを防止できる。

40

【 0 0 4 3 】

なお、図 1 (B) に示すウィンドウパルス W P (...、W P - (n + 1)、W P - n、...) のウィンドウ幅は、前側のダミービット列 F D M Y のビット数とスタートビット列 S T のビット数との和のビット数に対応した幅を有している。

【 0 0 4 4 】

例えば、伝送データ本体 D A T が 6 4 ビット、スタートビット列 S T が 2 ビット、前側ダミービット列 F D M Y が 2 ビット、後側ダミービット列 B D M Y が 4 ビットの場合、1 タイムスロットのビット数は 7 2 ビットとなり、1 タイムスロット期間に 7 2 ビットのビット値が挿入されていることに基づいて、高速クロックの速度を決定しておく。すなわち、1 タイムスロットにデータが 6 4 ビットだけ挿入されていることに基づいた高速クロッ

50

クの速度ではなく、スタートビット列やダミービット列も挿入されていることに基づいて、高速クロックの速度を決定しておく。

【0045】

(A-2)第1の実施形態の構成

下位基板4-nに搭載される第1の実施形態の時分割多重用信号送信装置は、搭載されている下位基板に係る上りタイムスロットのタイミングで、図1に示すタイムスロットTSのビット列を生成して送信できる構成を有していれば良く、その具体的な構成は限定されない。

【0046】

図2は、第1の実施形態の時分割多重用信号送信装置の具体的な構成例を示すブロック図である。図2は、ある下位基板4-nに搭載されている時分割多重用信号送信装置10(図2では、符号の枝番「-n」を省略している)を示している。

10

【0047】

以下では、1タイムスロットが、伝送データ本体DATが64ビット、スタートビット列STが2ビット、前側ダミービット列FDMYが2ビット、後側ダミービット列BDMYが4ビットの計72ビットでなっているとして説明する。後述する図3に関しても、1タイムスロットが計72ビットでなっているとして説明する。

【0048】

時分割多重用信号送信装置10は、シフトレジスタ部11、スタートビット列レジスタ12、ドライバ部13、プルアップ抵抗14、プルアップスイッチ15及び送信タイミング制御部16を有する。

20

【0049】

ここで、時分割多重用信号送信装置10はシリアル信号線17(FHW-n)の一端に接続され、シリアル信号線17の他端は、上りハイウェイFHW(の本体)に接続されている。すなわち、シリアル信号線17は、時分割多重用信号送信装置10(10-n)を上りハイウェイFHW(の本体)に接続させる、上りハイウェイFHWの分岐線となっている。

【0050】

シフトレジスタ部11は、パラレル/シリアル変換用に設けられているものであり、送信タイミング制御部16からの制御下で、スタートビット列STと伝送データ本体DATとがパラレル入力(セット)され、その後、送信タイミング制御部16からのクロックに基づいてシフト動作して、スタートビット列ST及び伝送データ本体DATをシリアル出力するものである。

30

【0051】

スタートビット列レジスタ12は、2ビットのスタートビット列ST(例えば「10」)を保持しているものであり、保持しているスタートビット列STが、上述したシフトレジスタ部11の先頭側にセットされる。

【0052】

ドライバ部13は、送信タイミング制御部16によって、ハイインピーダンスに制御されたり、シリアルデータの通過状態に制御されたりするものであり、シリアルデータの通過状態時に、シフトレジスタ部11から与えられたスタートビット列ST及び伝送データ本体DATをシリアル信号線17に送り出すものである。

40

【0053】

プルアップ抵抗14は、シリアル信号線17をプルアップするためのものであり、プルアップスイッチ15は、送信タイミング制御部16からの制御下でオン動作して、プルアップ抵抗14をシリアル信号線17に接続させてプルアップを実行させるものである。ここで、プルアップスイッチ15は、前側ダミービット列FDMY及び後側ダミービット列BDMYの期間だけオンされるものである。

【0054】

送信タイミング制御部16は、シリアル信号線17に図1に示す構成のタイムスロット

50

TSを送出させるように、時分割多重信号送信装置10の各部を制御するものである。送信タイミング制御部16による具体的な制御については、後述する動作説明の項で明らかにする。

【0055】

上位基板に搭載される第1の実施形態の時分割多重信号受信装置は、各下位基板からの図1に示す構成を有するタイムスロットが順に含まれる、上りハイウェイFHWを介して到来した時分割多重信号を、内部で生成した高速なクロックを適用して受信できる構成を有していれば良く、その具体的な構成は限定されない。

【0056】

図3は、第1の実施形態の時分割多重信号受信装置の具体的な構成例を示すブロック図である。 10

【0057】

時分割多重信号受信装置20は、クロック生成部21、レシーバ部22、データ用シフトレジスタ部23、ST検出用シフトレジスタ部24、スタートビット列レジスタ25、2ビット比較部26、ウィンドウパルス生成部27、下位基板毎ウィンドウ情報記憶部28及び受信タイミング制御部29を有する。

【0058】

クロック生成部21は、下り方向の時分割多重信号と同期して下りハイウェイに送られると共に、上りハイウェイFHWからの上り方向の時分割多重信号の取込みに適用するクロックを生成するものである。そのため、クロック生成部21は、時分割多重信号受信装置20の構成要素であると共に、図示しない下り方向の送信装置の構成要素でもある。 20

【0059】

レシーバ部22は、上りハイウェイFHWから到来した上り方向の時分割多重信号(シリアル信号)を受信して内部に取り込むものである。レシーバ部22が受信したシリアル信号は、データ用シフトレジスタ部23及びST検出用シフトレジスタ部24に与えられる。

【0060】

データ用シフトレジスタ部23は、シリアル/パラレル変換用に設けられた64ビットを保持できるものである。データ用シフトレジスタ部23は、レシーバ部22が受信したシリアルデータをクロックに基づいて取込み、当該データ用シフトレジスタ部23に保持されている64ビットが伝送データ本体の64ビットになったタイミングで図示しないデータ取込部にパラレル出力するものである。 30

【0061】

ST検出用シフトレジスタ部24は、レシーバ部22が受信したシリアルデータをクロックに基づいて取込み、直近2ビットを保持するものである。ST検出用シフトレジスタ部24の保持2ビットは、その2ビットがスタートビット列STか否かの判別に利用される。図3とは異なるが、ST検出用シフトレジスタ部24も、後述するウィンドウ幅でのみ動作するようにしても良い。

【0062】

スタートビット列レジスタ25は、受信したシリアルデータにおけるスタートビット列STを検出するため、スタートビット列STを比較対象として保持するものである。 40

【0063】

2ビット比較部26は、ST検出用シフトレジスタ部24に保持されている直近2ビットと、スタートビット列レジスタ25に保持されているスタートビット列STとを、ウィンドウパルス生成部27から与えられたウィンドウパルスWPの有意レベル期間(ウィンドウ幅)でクロックに同期して比較し、直近2ビットがスタートビット列STか否かを表す比較結果を受信タイミング制御部29に与えるものである。

【0064】

ウィンドウパルス生成部27は、受信タイミング制御部29の制御下で、これから到来するであろうタイムスロットTSのスタートビット列STを検出するための4ビットのウ 50

ィンドウ幅を有するィンドウパルスWPを生成するものである。ィンドウパルスWPは、前側ダミービット列FDMYとスタートビット列STとの4ビットを意図したィンドウ幅を有する。

【0065】

下位基板毎ィンドウ情報記憶部28は、各下位基板4-1~4-N、言い換えると、上り時分割多重信号の各タイムスロット毎に、生成するィンドウパルスにおけるィンドウ幅(有意レベル期間)の開始を指示する情報が記憶されている。例えば、ある下位基板4-nからのタイムスロットTS-nの受信開始タイミングが、クロック生成部21が生成したクロックを計数して定まる理想的なタイミング(クロックに同期したタイミング)より、Xクロック期間(Xは0又は正の整数であり、ずれ量が整数で定まらない場合には最も近い整数としている)だけ遅れていた場合には、理想的なタイミングよりXクロック期間だけ遅れてィンドウパルスを有意とする情報を、下位基板毎ィンドウ情報記憶部28は記憶する。この情報は、同じ内容となることはあるが、下位基板4-1~4-N毎に定まる情報である。

10

【0066】

この第1の実施形態の場合、設計者や構内交換機の設置者が、上位基板3と下位基板4-nとの伝搬遅延などに基づいて、下位基板毎のィンドウ情報を下位基板毎ィンドウ情報記憶部28に予め設定させておく。

【0067】

受信タイミング制御部29は、上りハイウェイFHWから到来する、各下位基板4-1~4-NからのタイムスロットTS-1~TS-Nに挿入されている伝送データ本体DATを適切に取り込むことができるように、時分割多重信号受信装置20の各部を制御するものである。受信タイミング制御部29による具体的な制御については、後述する動作説明の項で明らかにする。

20

【0068】

(A-3)第1の実施形態の動作

以下、図2に示した具体的構成例を有する第1の実施形態の時分割多重信号送信装置20の動作と、図3に具体的構成例を示した第1の実施形態の時分割多重信号受信装置30の動作とを順に説明する。

【0069】

上位基板3は、上り方向の時分割多重信号全体の開始タイミングを通知する制御信号(若しくは上り方向のタイムスロットの開始タイミングを通知する制御信号)やクロック生成部21が生成した高速なクロックを、適宜、下位基板4-1~4-Nに送出する。

30

【0070】

このような制御信号及びクロックが与えられた下位基板4-n(以下、枝番「-n」の記載は省略する)の送信タイミング制御部16は、自己からの次のタイムスロットTSのタイミングになるまでの期間(クロックのカウント数で特定できる)を認識し、まず、次のタイムスロットTSになる前の所定タイミングで、シフトレジスタ部11にスタートビット列STと伝送データ本体DATとをセットさせる。なお、このときには、ドライバ部13をハイインピーダンスに、プルアップスイッチ15をオフにしておく。

40

【0071】

送信タイミング制御部16は、タイムスロットTSの開始タイミングになると、ドライバ部13をハイインピーダンスにしたまま、プルアップスイッチ15を受信クロックに同期して2クロック周期だけオンにし、シリアル信号線17(従って、上りハイウェイFHW)に2ビットの前側ダミービット列FDMYを載せる。

【0072】

続いて、送信タイミング制御部16は、ドライバ部13をシリアル信号線17を駆動できる状態にすると共に、プルアップスイッチ15をオフにし、受信クロックに基づいてシフトレジスタ部11にセットされているスタートビット列STと伝送データ本体DATの64ビットを順にシリアル出力させる。ドライバ部13がシリアル信号線17を駆動でき

50

る状態になっているので、シフトレジスタ部 11 からシリアル出力されたスタートビット列 S T と伝送データ本体 D A T の 64 ビットは、シリアル信号線 17 (従って、上りハイウェイ F H W) に順次送り出される。

【0073】

シフトレジスタ部 11 からのシリアル出力が終了すると、送信タイミング制御部 16 は、直ちに、ドライバ部 13 をハイインピーダンスに切り換え、プルアップスイッチ 15 を受信クロックに同期して 4 クロック周期だけオンにし、シリアル信号線 17 (従って、上りハイウェイ F H W) に 4 ビットの後側ダミービット列 B D M Y を載せる。

【0074】

以上のようにして今回のタイムスロットに係る送動作が終了すると、送信タイミング制御部 16 は、ドライバ部 13 をハイインピーダンスにしたまま、プルアップスイッチ 15 をオフとし、シリアル信号線 17 (従って、上りハイウェイ F H W) へビット値を送出し得ない状態にし (シリアル信号線 17 との論理的な接続を遮断し)、新たなタイムスロットになるのを備える待機状態にする。

【0075】

次に、下位基板 4 - 1 ~ 4 - N が順次送出したタイムスロット T S - 1 ~ T S - N が到来する第 1 の実施形態の時分割多重信号受信装置 30 の動作を説明する。

【0076】

上述したように、上位基板 3 は、上り方向の時分割多重信号全体の開始タイミングを通知する制御信号 (若しくは上り方向のタイムスロットの開始タイミングを通知する制御信号) やクロック生成部 21 が生成した高速なクロックを、適宜、下位基板 4 - 1 ~ 4 - N に送出する。

【0077】

このような制御信号やクロックは、受信タイミング制御部 29 にも与えられ、受信タイミング制御部 29 は、制御信号が規定する開始タイミングや、それからのクロックのカウント数などに基づいて、現時点の処理に供しているタイムスロットを認識できる。

【0078】

受信タイミング制御部 29 は、現在、受信中のタイムスロット T S - (n - 1) になってからの経過期間が所定期間 (受信中のタイムスロットのスタートビット列を検出したときからのクロックのカウント数で規定できる) になると、次のタイムスロット T S - n に係る下位基板 4 - n についてのウィンドウ情報を下位基板毎ウィンドウ情報記憶部 28 から取り込み、取り込んだウィンドウ情報に従って定まるウィンドウパルス W P を、ウィンドウパルス生成部 27 が生成するように制御する。

【0079】

上りハイウェイ F H W に載っているシリアル信号 (時分割多重信号) はレシーバ部 22 で受信された後、データ用シフトレジスタ部 23 及び S T 検出用シフトレジスタ部 24 に与えられ、クロックに同期して、データ用シフトレジスタ部 23 及び S T 検出用シフトレジスタ部 24 にシリアルに取り込まれる。

【0080】

S T 検出用シフトレジスタ部 24 は入力された直近の 2 ビットだけを保持でき、それより過去の入力を破棄する。S T 検出用シフトレジスタ部 24 に保持されている 2 ビットは、2 ビット比較部 26 に平行出力される。また、スタートビット列レジスタ 25 に保持されている 2 ビットのスタートビット列 S T も、2 ビット比較部 26 に平行出力される。

【0081】

2 ビット比較部 26 においては、ウィンドウパルス W P が有意なときに (ウィンドウ幅であるときに)、S T 検出用シフトレジスタ部 24 に保持されている直近 2 ビットと、スタートビット列レジスタ 25 に保持されているスタートビット列 S T とがクロックに同期して比較され、両 2 ビットが完全に一致しているときに、スタートビット列 S T の検出を表す比較結果が受信タイミング制御部 29 に与えられる。

10

20

30

40

50

【 0 0 8 2 】

このとき、受信タイミング制御部 2 9 は、これ以降、タイムスロット T S - n における伝送データ部分 D A T がシリアル入力されることを認識し、これ以降に到来した 6 4 ビットがデータ用シフトレジスタ部 2 3 に溜まったタイミングで、データ用シフトレジスタ部 2 3 にパラレル出力を指示すると共に、パラレル出力された伝送データ部分 D A T が与えられる図示しない処理部に取り込みを指示する。

【 0 0 8 3 】

このようなタイムスロット T S - n の伝送データ部分 D A T が順次シリアル入力されている期間の所定のタイミングで、受信タイミング制御部 2 9 は、上述したように、次のタイムスロット T S - (n + 1) に係る下位基板 4 - (n + 1) についてのウィンドウ情報を下位基板毎ウィンドウ情報記憶部 2 8 から取り込むような処理を行う。

10

【 0 0 8 4 】

(A - 4) 第 1 の実施形態の効果

第 1 の実施形態によれば、下位基板から上位基板への上り方向のタイムスロットにスタートビット列を含めるようにしたので、下位基板の実装数や配列などにより、各下位基板からのタイムスロットが上位基板に到達するタイミングと、クロックとの同期ずれ量とが下位基板毎に異なっても、しかも、同期ずれ量がクロックの 1 周期よりも大きいタイムスロットがあったとしても、上位基板が、各下位基板からの伝送データ本体を適切に取り込むことができる。

【 0 0 8 5 】

20

また、第 1 の実施形態によれば、スタートビット列及び伝送データ本体の一群の前側又は後側の少なくとも一方に、他のタイムスロットのビット値と上りハイウェイ F H W で重なった場合に、そのビット値をそのまま上りハイウェイ F H W でビット値にできるダミービットを付け加えるようにしたので、相前後する一方のタイムスロットにおけるビット値(スタートビット列及び伝送データ本体のビット値)が、他方のタイムスロットにおけるビット値を破壊するようなことを未然に防止することができる。

【 0 0 8 6 】

以上のような効果を発揮するため、ユニットや下位基板の大きさや外形形状などをほとんど変化させずに、各下位基板が取り扱う回線数などを増大させるために、クロックを高速にしても、下位基板から上位基板へ伝送データ本体を適切に伝送することができる。

30

【 0 0 8 7 】

(B) 第 2 の実施形態

次に、本発明による時分割多重信号送信装置、時分割多重信号受信装置及び時分割多重信号伝送システムを、構内交換機に適用した第 2 の実施形態を、図面を参照しながら説明する。

【 0 0 8 8 】

第 2 の実施形態は、主として、時分割多重信号受信装置の内部構成及び機能が、第 1 の実施形態のものとは異なっている。

【 0 0 8 9 】

図 4 は、第 2 の実施形態の時分割多重信号受信装置の構成を示すブロック図であり、第 1 の実施形態に係る図 3 との同一、対応部分には同一、対応符号を付して示している。

40

【 0 0 9 0 】

第 2 の実施形態の時分割多重信号受信装置 2 0 A は、クロック生成部 2 1、レシーバ部 2 2、データ用シフトレジスタ部 2 3、S T 検出用シフトレジスタ部 2 4、スタートビット列レジスタ 2 5、2 ビット比較部 2 6、ウィンドウパルス生成部 2 7、下位基板毎ウィンドウ情報記憶部 2 8 及び受信タイミング制御部 2 9 に加え、下位基板毎ウィンドウ情報形成部 3 0、伝搬遅延測定部 3 1 及び伝搬遅延 / ウィンドウ情報変換部 3 2 を有する。

【 0 0 9 1 】

下位基板毎ウィンドウ情報形成部 3 0 は、例えば、下位基板が増減されたことや下位基板の配置が変更されたことなどを、オペレータによって指示された場合(若しくはそのよ

50

うな下位基板の変化を自動検出する機能を備えていれば自動検出した場合)に、下位基板毎ウィンドウ情報記憶部28に記憶させるウィンドウ情報を形成して下位基板毎ウィンドウ情報記憶部28に上書きさせるものである。

【0092】

下位基板毎ウィンドウ情報形成部30は、これからウィンドウ情報を形成しようとする下位基板4-nと上位基板3との伝搬遅延(往復伝搬遅延でも上り方向の片道伝搬遅延であって良い)を、伝搬遅延測定部31によって測定させる。伝搬遅延測定部31は、2つの通信要素間の伝搬遅延を測定する既存の方法を適用して、下位基板4-nと上位基板3との伝搬遅延を測定する。伝搬遅延/ウィンドウ情報変換部32は、伝搬遅延の範囲毎に、理想的なタイミングからクロックの何周期をずらせてウィンドウ幅を開始させるかを表すウィンドウ情報を記憶している。下位基板毎ウィンドウ情報形成部30は、測定された伝搬遅延が属する範囲に対応付けられているウィンドウ情報を取り出し、ウィンドウ情報を形成して更新しようとする下位基板4-nについてのウィンドウ情報として、下位基板毎ウィンドウ情報記憶部28の該当箇所に上書きする。

10

【0093】

以上では、下位基板毎ウィンドウ情報記憶部28の情報を更新する場合を説明したが、下位基板毎ウィンドウ情報記憶部28に情報を初めて書き込む際にも、上述した動作を実行するようにしても良い。

【0094】

第2の実施形態によれば、ウィンドウパルスWPのウィンドウ幅のタイミングを見直すことができる。

20

【0095】

その結果、下位基板が増減されても下位基板の配置が変更されても、上位基板が、各下位基板からの伝送データ本体を適切に取り込むことができる。

【0096】

(C)他の実施形態

上記各実施形態の説明においても種々変形実施形態に言及したが、さらに、以下に例示するような変形実施形態を挙げることができる。

【0097】

上記各実施形態においては、全ての下位基板のタイムスロットの構成が同じものを示したが、下位基板によって、前側及び後側のダミービット列のビット数を変えるようにしても良い。

30

【0098】

第2の実施形態においては、ウィンドウパルスWPのウィンドウ幅のタイミングを見直すものを示したが、これに加えて、ダミービット列のビット数をも見直すようにしても良い。例えば、伝搬遅延/ウィンドウ情報変換部32が、伝搬遅延の範囲毎に、ウィンドウ情報とダミービット列のビット数とを記憶していて、ダミービット列のビット数を得るようにすれば良い。得られたダミービット列のビット数は、制御信号線等を介して該当する下位基板に通知し、その下位基板が通知されたダミービット列のビット数の相当期間だけ、シリアル信号線を「1」にプルアップ動作するようにすれば良い。

40

【0099】

上述したスタートビット列や前側及び後側のダミービット列は、「ビット列」という表現を用いているが、1ビットだけで構成されていても良い。

【0100】

上記各実施形態では、本発明を、構内交換機の下位基板から上位基板への時分割多重転送に適用した場合を示したが、本発明の用途はことに限定されるものではなく、複数の送信装置から異なるタイミングで送信される時分割多重信号を、共通の受信装置が取り込む時分割多重信号伝送システムであれば、本発明を広く適用することができる。

【符号の説明】

【0101】

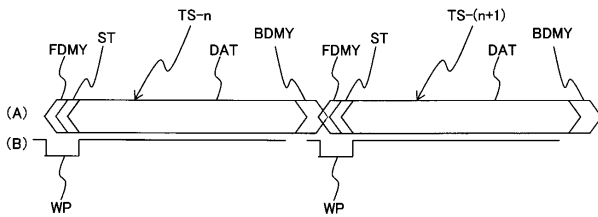
50

T S ... タイムスロット、D A T ... 伝送データ本体、S T ... スタートビット列、F D M Y ... 前側ダミービット列、B D M Y ... 後側ダミービット列、

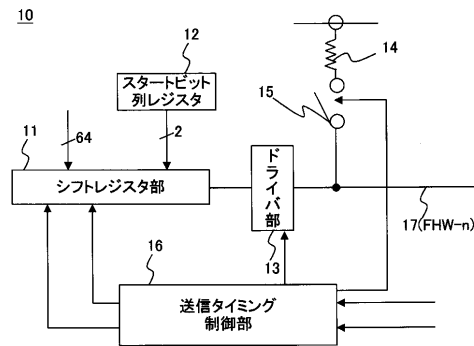
1 0 ... 時分割多重用信号送信装置、1 1 ... シフトレジスタ部、1 2 ... スタートビット列レジスタ、1 3 ... ドライバ部、1 4 ... プルアップ抵抗、1 5 ... プルアップスイッチ、1 6 ... 送信タイミング制御部、1 7 ... シリアル信号線、

2 0、2 0 A ... 時分割多重信号受信装置、2 1 ... クロック生成部、2 2 ... レシーバ部、2 3 ... データ用シフトレジスタ部、2 4 ... S T 検出用シフトレジスタ部、2 5 ... スタートビット列レジスタ、2 6 ... 2 ビット比較部、2 7 ... ウィンドウパルス生成部、2 8 ... 下位基板毎ウィンドウ情報記憶部、2 9 ... 受信タイミング制御部、3 0 ... 下位基板毎ウィンドウ情報形成部、3 1 ... 伝搬遅延測定部、3 2 ... 伝搬遅延 / ウィンドウ情報変換部。

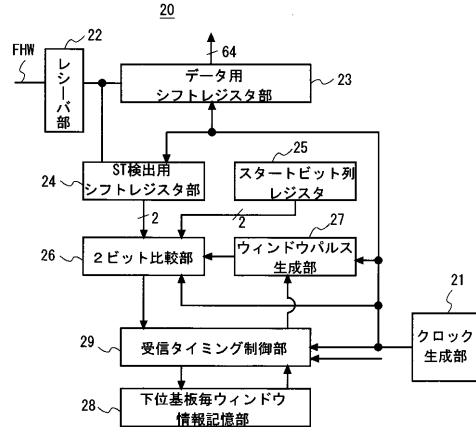
【図 1】



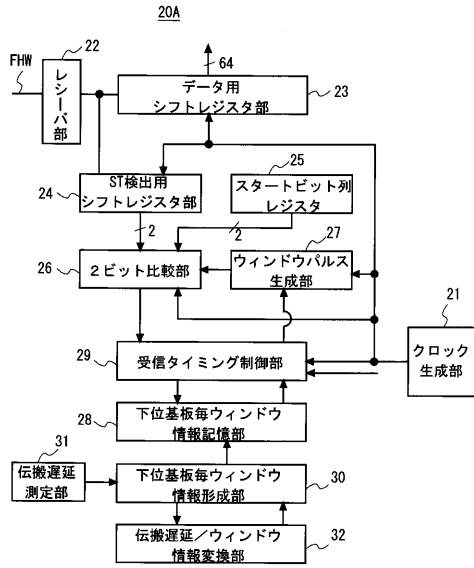
【図 2】



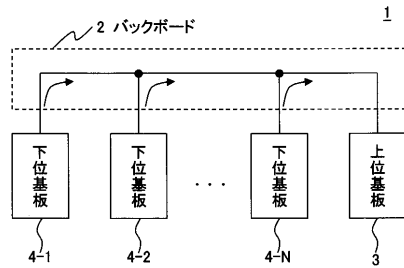
【図 3】



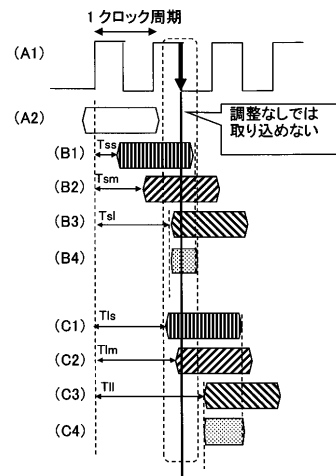
【図4】



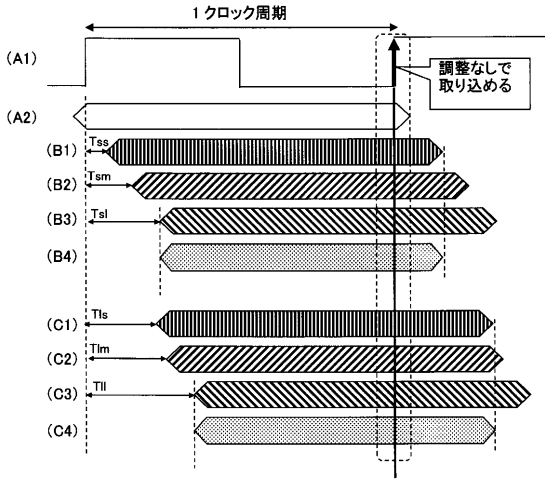
【図5】



【図7】



【図6】



フロントページの続き

- (56)参考文献 特開2003-163653(JP,A)
特開平04-181837(JP,A)
特開平07-202971(JP,A)
特開平04-113741(JP,A)
特開平08-139713(JP,A)
特開平11-298403(JP,A)
特開平01-160125(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L	25/38
H04J	3/00
H04L	7/08