

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2008-533699

(P2008-533699A)

(43) 公表日 平成20年8月21日 (2008. 8. 21)

(51) Int.Cl.	F I	テーマコード (参考)
H05K 1/02 (2006.01)	H05K 1/02 K	5E338
	H05K 1/02 P	

審査請求 有 予備審査請求 未請求 (全 14 頁)

(21) 出願番号 特願2007-553397 (P2007-553397) (86) (22) 出願日 平成18年2月16日 (2006. 2. 16) (85) 翻訳文提出日 平成19年7月26日 (2007. 7. 26) (86) 国際出願番号 PCT/US2006/005984 (87) 国際公開番号 W02006/089272 (87) 国際公開日 平成18年8月24日 (2006. 8. 24) (31) 優先権主張番号 60/653, 723 (32) 優先日 平成17年2月16日 (2005. 2. 16) (33) 優先権主張国 米国 (US)	(71) 出願人 503288196 サンミナーエスシーアイ コーポレーショ ン アメリカ合衆国 95134 カリフォル ニア、サンノゼ、ノース ファースト ス トリート 2700 (74) 代理人 100094318 弁理士 山田 行一 (74) 代理人 100123995 弁理士 野田 雅一 (72) 発明者 ドウドニコウ, ジョージ アメリカ合衆国, カリフォルニア州, サン ホゼ, トロウブリッジ ウェイ 5747 最終頁に続く
---	--

(54) 【発明の名称】 プリント回路基板のための埋め込み過渡保護の選択的な堆積

(57) 【要約】

プリント回路基板積層体の一又は複数の層において過渡保護材料を選択的に堆積することによるプリント回路基板上の敏感な素子の保護を開示する。

【選択図】 図 8 A

【特許請求の範囲】

【請求項 1】

集積過渡保護を備えたプリント回路基板であって、
信号面、電力面、及び接地面から選ばれる一又は複数の面の一部に選択的に堆積された過渡保護材料を備え、

前記選択的に堆積された過渡保護材料は、前記一又は複数の面において導電材料と接触しているプリント回路基板。

【請求項 2】

前記過渡保護材料は、円環形、閉曲線、及び多角形の一又は複数の面に堆積されている請求項 1 記載のプリント回路基板。

【請求項 3】

前記過渡保護材料は、過剰電圧及び過剰電流の少なくとも一つに対して保護する特性を持った、VSDM、及び、リセット可能な非線形ポリマーのうち少なくとも一つを含む請求項 1 記載のプリント回路基板。

【請求項 4】

前記過渡保護材料は、電流又は電圧の正及び負の両方の過渡をクランプするために、双方向に振舞う請求項 1 記載の集積過渡保護を備えたプリント回路基板。

【請求項 5】

前記過渡保護材料は、導電材料とビアパッドの間の領域を掛け渡し、

前記導電材料と前記ビアパッドは、前記一又は複数の面上に配されている請求項 1 記載の集積過渡保護を備えたプリント回路基板。

【請求項 6】

前記過渡保護材料は、導電材料と導電ビアバレルの部分との間の領域を掛け渡し、

前記導電材料と前記導電ビアバレルの部分は、前記一又は複数の面上に配されている請求項 1 記載の集積過渡保護を備えたプリント回路基板。

【請求項 7】

前記導電材料は、厚さが 3 ミクロン～10 ミルの範囲にある銅を含む請求項 1 記載の集積過渡保護を備えたプリント回路基板。

【請求項 8】

前記過渡保護材料は、前記プリント回路基板の敏感な素子への近接度に応じて可変する特性を持つ請求項 1 記載の集積過渡保護を備えたプリント回路基板。

【請求項 9】

集積過渡保護を備えたプリント回路基板を製造する方法であって、

樹脂含有ファイバガラス布、ランダムファイバ、及びフィルム材料のいずれかを含む銅クラッドコア材料を印刷及びエッチングするステップと、

信号面、電力面、及び接地面から選ばれる一又は複数の面の一部に過渡保護材料を選択的に堆積するステップであって、前記選択的に堆積された過渡保護材料を、前記一又は複数の面において導電材料と接触させるステップと、

前記銅クラッドコアを多層PCB構造体内に積層し、ホール形成、導電シードの堆積、イメージング、めっき、外側層の銅のエッチングを含む前記PCBの製造プロセスを完了させて、選択的に堆積された過渡保護材料の素子に接続された素子搭載パッドを形成するステップと、

を含むプリント回路基板の製造方法。

【請求項 10】

前記過渡保護材料は、円環形、閉曲線、及び多角形の一又は複数の面に堆積されている請求項 9 記載のプリント回路基板の製造方法。

【請求項 11】

前記過渡保護材料は、過剰電圧及び過剰電流の少なくとも一つに対して保護する特性を持った、リセット可能な非線形ポリマー、並びに、VSDMの少なくとも一つを含む請求項 9 記載のプリント回路基板の製造方法。

10

20

30

40

50

【請求項 1 2】

前記過渡保護材料は、電流又は電圧の正及び負の両方の過渡をクランプするために、双方向に振舞う請求項 9 記載のプリント回路基板の製造方法。

【請求項 1 3】

前記過渡保護材料は、導電材料とビアパッドの間の領域を掛け渡し、

前記導電材料と前記ビアパッドは、前記一又は複数の面上に配されている請求項 9 記載のプリント回路基板の製造方法。

【請求項 1 4】

前記過渡保護材料は、導電材料と導電ビアバレルの部分との間の領域を掛け渡し、

前記導電材料と前記導電ビアバレルの部分は、前記一又は複数の面上に配されている請求項 9 記載のプリント回路基板の製造方法。 10

【請求項 1 5】

前記導電材料は、銅を含み、

前記過渡保護材料が前記銅に接触する領域が接触抵抗を減少又は制御するために貴金属でコーティングされている請求項 9 記載のプリント回路基板の製造方法。

【請求項 1 6】

集積過渡保護を有するシステムであって、

長さ、幅、及び、断面領域を有する多層プリント回路基板と、

少なくとも一つの信号領域、少なくとも一つの電力領域、及び、少なくとも一つの接触領域を有する前記多層プリント回路基板における一又は複数の層の上に配された複数の電気素子と、 20

前記一又は複数の層又は領域の一部に選択的に堆積されており、前記一又は複数の層又は領域のいずれかの導電材料と接触する過渡保護材料と、

を備えるシステム。

【請求項 1 7】

集積過渡保護を有する平坦分散キャパシタンス構造体であって、

長さ、幅、及び断面領域を有する多層を備え、

前記多層は、少なくとも一つのサブ合成構造体を含み、

前記サブ合成構造体は、過渡保護材料及び少なくとも二つの導電材料層を有すると共に、少なくとも 100 ピコファラド・パー・スクエアインチのキャパシタンスを持つ平坦分散キャパシタンス構造体。 30

【請求項 1 8】

0.1 ミル～4 ミルの範囲の厚さを有する少なくとも一つの誘電体材料層を更に含む請求項 1 7 記載の平坦分散キャパシタンス構造体。

【請求項 1 9】

前記過渡保護材料は前記サブ合成構造体の一部に選択的に堆積され、前記二つの導電材料層の少なくとも一つに接触している請求項 1 7 記載の平坦分散キャパシタンス構造体。

【請求項 2 0】

集積過渡保護を有するシステムであって、

長さ、幅、及び、断面領域を有する多層平坦分散キャパシタンス構造体と、 40

前記多層平坦分散キャパシタンス構造体における一又は複数の層の上に配された複数の電気素子と、を備えており、

前記多層平坦分散キャパシタンス構造体は、少なくとも一つのサブ合成構造体を含み、

前記サブ合成構造体は、過渡保護材料及び少なくとも二つの導電材料層を有すると共に、少なくとも 100 ピコファラド・パー・スクエアインチのキャパシタンスを持つシステム。

【請求項 2 1】

0.1 ミル～4 ミルの範囲の厚さを有する少なくとも一つの誘電体材料層を更に含む請求項 2 0 記載のシステム。

【請求項 2 2】

前記過渡保護材料は、前記サブ合成構造体の一部に選択的に堆積され、前記二つの導電材料層の少なくとも一つに接触している請求項20記載のシステム。

【発明の詳細な説明】

【発明の背景】

【0001】

本明細書では、プリント回路基板 (Printed circuit boards)、バックプレーン、ミッドプレーン、プリント配線板 (Printed wiring boards)、フレキシブル回路、リジッドフレキシブル回路、マルチチップモジュール (MCM)、及びインターポーザなどを、集合的に「PCB」と称する。

10

【0002】

ビア構造は、典型的に、導電層の間にz軸方向(PCBのx-y面に直交)の導電パスを形成する。ビアホールは、レーザドリル、メカニカルドリル、及び、フォトリソ技術等(これらには限定されない)を含む様々な技術によって形成される。続いて、ビアホールは、部分的又は全体的に導電材料(通常は金属)によって充填又はコーティングされる。PCB設計の当業者に知られているように、このようなビザ構造は、ブラインド、ベリード(充填式)、スルーホールとすることができ、また、導電層上にパッドを備えても備えなくてもよい。

【0003】

プリント回路基板上の敏感な素子は、静電放電(ESD)の過渡的な現象によって損傷を受けることがある。ESDは、例えば僅かのピコ秒のうちに数十キロボルトのオーダーで急上昇することが特徴である。低いピーク電圧レベル及び遅い立ち上がり時間となる他の過渡現象も、プリント回路基板に損傷を与えることがある。例えば、電圧の突然の上昇は、接地不良のはんだごて又は電力スイッチングリレー、プリント回路基板に接続された通信回路への雷撃などによって生じる。本明細書で使用する「過渡」という用語は、ESD事象だけでなく、直接又は間接的に電圧及び電流をプリント回路基板に生じさせ、そのような電圧及び電流の振幅がプリント回路基板上の電子部品の劣化及び不具合を引き起こす程に充分大きい、短時間の現象も包含する意である。

20

【0004】

図1Aは、導電保護リング104によって保護されたプリント回路基板102を示す概略図である。プリント回路基板(PCB)102は、長さL及び幅Wを有している。図1Aにおいて、(複数の)導電保護リング104(図1Aではそのうちの一つが見える)がPCB102の各外側層の周辺に備えられ、一又は複数の分散した個々の過渡保護デバイスがPCB102に取り付けられる。各保護リング104は、I/Oコネクタ106がPCB102に搭載される場所でシャーシ接地に接続される。典型的には、人がPCBをピックアップする場合、まずはPCBの周辺を触る。保護リング104をPCB102の周辺に沿って配置することにより、保護リング104は、望まれない過渡電流をシャーシ接地に向けてその流れを変える。このように、有害な電流がPCB102の過渡に敏感な素子に向かって流れないようにされている。しかしながら、保護リングはPCB102の内面112を保護することはできない。過渡保護の他の形態は、個々の過渡保護デバイスを使用することである。

30

40

【0005】

分散型過渡保護デバイス108のような分散型の保護デバイスは、コネクタ106のような、PCB102における信号及び/又は電力ラインがPCB102に入力される場所に、取り付けることができる。しかしながら、分散型過渡保護デバイスは、PCB上の貴重な場所を使用する。例えば、米国特許第6,657,532号公報には、接地面と電気伝導体の間に配置された良質の誘電体ポリマー又はガラスの薄い層からなる分散型過剰電圧保護コンポーネントが開示されている。また、米国特許第6,657,532号公報には、可変電圧材料の複数の層を有する分散型過剰電圧保護コンポーネントも開示されている。分散型過渡保護デバイスの非限定的な他の例として、正温度抵抗特性ポリマー(PP

50

TC)又は電圧可変誘電体材料(VSDM)が挙げられる。ヒューズのように、PPTCは過剰電流の損傷から回路を保護するのに役立つ。しかしながら、分散型PPTCデバイスは、PCB上の貴重な場所を使用する。

【0006】

過渡保護の他の形態として、例えば、ツェナーダイオードのようなオンチップ過渡保護デバイス110が挙げられる。しかしながら、このようなオンチップ過渡保護デバイスは、多くの過渡事象を効率的に消散させる程の十分な特性を持っていない。分散型及びオンチップ型の過渡保護デバイスのいずれもが、高速の用途においてこれらのデバイスを不適切にする過剰の固有の静電容量を持つことがしばしばある。分散型及びオンチップ型の双方の過渡保護デバイスの主な保護メカニズムは、望まれない過渡エネルギーを熱に変換するものである。このように、過渡の大きな振幅及び／又は過渡の大きな振幅に繰り返して曝されるとオーバーヒートとなる傾向にあり、このことはデバイスの性能劣化を招くことになる。

10

【0007】

図1Bは、図1AのPCB102の1Bに沿った断面150を示す。断面150は、PCBが材料の複数の層160を含むことを示す。また、断面150は、保護リング104、オンチップ過渡保護デバイス110、コネクタ106、及び、分散保護デバイス108を示している。

【0008】

本発明のある実施形態では、電圧可変誘電体材料は、過渡保護材料として使用することができる。過去に、電圧可変誘電体材料は、導電性を持たせることができる絶縁基板を作成するために使用された。導電性のときに、電圧可変誘電体材料は、導電配線を作成するための電気めっきなどの電気化学プロセスに反応する。そのような方法が、米国特許第6,797,145号公報に開示されている。すなわち、米国特許第6,797,145号公報は、導電配線を作成するために伝導性にできる絶縁基板として電圧可変誘電体材料を使用する技術を開示している。

20

【0009】

以上のことに鑑み、過渡保護の効果的な形態が必要とされている。

【典型的な実施形態の概要】

【0010】

30

ある典型的な実施形態では、集積過渡保護を備えるプリント回路基板(PCB)は、信号面、電力面、及び接地面、又はこれらの組み合わせから選ばれる一又は複数の面の一部に選択的に堆積された過渡保護材料を備える。この選択的に堆積された過渡保護材料は、一又は複数の面において導電材料と接触しており、PCB内の複数の導電素子を掛け渡す。

【0011】

ある実施形態では、非制限的な例として、選択的に堆積された過渡保護材料の異なる堆積は、PCB上の過渡に敏感な素子に関連した堆積箇所に応じ、また、過渡に敏感な素子によって必要とされる保護のレベルに応じた、様々な特性を持つ。

【0012】

40

過剰電流を接地、信号、又は電力の分散面に向けるためにそのように選択的に堆積された過渡保護材料を使用することの一つの利点は、そのような分散面はヒートシンクとして機能し、これによりPCB上の過渡に敏感な電子素子の劣化を改善できることである。

【0013】

これら及び他の実施形態並びにここに開示された他の特徴は、以下の説明を読み複数の図面を参照することで、当業者にとって明らかとなる。

【詳細な説明】

【0014】

幾つかの実施形態では、過渡保護は、過渡保護材料をPCB積層体内に選択的に積層することによって設けられる。そのような選択的に堆積された過渡材料を、ここでは過渡保

50

護材料として称する。過渡保護材料は、定常状態で電氣的に誘電的であるが、電圧又は電流のあるレベルで励起して電気導電性を持つシリコンゴム、エポキシ、ポリイミド、テフロン、又は他のポリマー等のベース樹脂を含む電圧可変誘電体材料である。過渡保護材料は、PCB上の素子を保護するのに役立ち、PCB積層体における一又は複数の材料層すなわち積層体の外表面上又は積層体の内側層上に堆積できる如何なる形態でもよい。更に、所与のPCB積層体における選択的に堆積された過渡材料は、積層体における過渡材料が堆積される場所に依存した異なる特性を持ち得る。

【0015】

図2は、過渡からの保護が必要とされる回路の二つの接触領域AとCの間のポリマー領域（過渡保護領域）を示す図である。図2において、シンボルBは、選択的に堆積された埋め込み過渡保護材料の領域を示す。図2において、領域Aと領域Cは、過剰電流又は過剰電圧からの保護を必要とする回路に過渡保護ポリマーが取り付けられた二つの接触領域を図式的に示す。領域A、B、Cは、離散点というよりも所与のPCB積層体内の体積領域である。

10

【0016】

ある実施形態では、選択的に堆積された過渡保護材料は、その材料が正及び負の双方の過渡をクランプする特性を持つように、双方向に振舞う。図3Aは、選択堆積された過渡保護材料によって提供される電圧クランピングを示すグラフである。双方向の保護を提供する選択堆積された過渡保護材料の抵抗は、図3Aに示すように印加電圧に応答して変化する。

20

【0017】

図3Aにおいて、抵抗は曲線302の勾配で示される。急な勾配は、高い抵抗に対応する。同様に、ゆるい勾配は低い抵抗に対応する。通常の動作中、過渡保護領域にかかる電圧は低く、対応する抵抗は高い。しかしながら、過渡保護領域が高い過渡電圧事象に遭遇したとき、過渡保護ポリマー材料の抵抗は減少し、結果として更に大きな電流が過渡保護領域を通過できるようになる。過渡保護領域における抵抗の減少は、過渡電圧を安全なレベルにクランプする一方で、過渡電圧に関連する電流を近くの低インピーダンス基準平坦領域に向けることによって、過渡電圧のピークエクスカージョンを制限する。当業者に知られているように、低インピーダンス基準平坦領域は、殆どの場合にシャーシ設置面であるが、電力分散面、信号面、V接地面、アナログ接地面、デジタル接地面、又は低電圧電力分散面とすることができる。

30

【0018】

図3Bは、ある実施形態において、電圧レベルを制限する目的での過渡保護材料の配置を示す。図3Bは、過渡保護材料308は、導電材料304と低インピーダンス基準面306の間に並列に配置されている。

【0019】

図4Aは、選択的に堆積された過渡保護材料によって提供された電流クランプを示すグラフである。図4Aにおいて、抵抗は曲線402の勾配で示される。同様に、ゆるい勾配は低い抵抗に対応する。通常の動作中、過渡保護領域の抵抗は低い。しかしながら、過渡保護領域が高い過渡電流に遭遇したとき、過渡保護ポリマー材料の抵抗は増加し、結果として過渡保護領域を通過する電流を少なくする。そして、過渡保護領域の抵抗の増加は、ピーク電流を安全レベルに制限する。

40

【0020】

図4Bは、ある実施形態において、電流レベルを制限する目的での過渡保護材料の配置を示す。図4Bは、過渡保護材料404は、信号面405と直列に配置されている。

【0021】

平坦過渡保護材料がPCBに渡って選択的に堆積されているとき、多くの保護点がPCBに同時に取り込まれる。図5Aは、回路の一部に接触するために選択堆積された過渡保護材料を用いた過渡からの回路配線の保護を示す図である。図5Aは、PCB領域500、犠牲回路504、犠牲回路基準506、及び、埋め込み保護領域508を示す。説明の

50

ために、過渡電圧 502 が犠牲回路 504 において PCB 領域 500 に入力されると仮定する。過渡保護領域 508 は、インターコネクトの中央で結合される。過渡保護領域 508 が過渡電圧 502 に晒されるとき、過渡保護領域 508 はピーク電圧を安全レベルにクランプするように作動する。過渡電圧 502 に起因する過度の高レベル電流は、接地面又は電力面等となり得る犠牲回路基準に短絡される。言い換えると、過渡事象に関連する過度の電流は、低インピーダンス基準面に向けられる。

【0022】

図 5 B は、選択堆積された過渡保護材料で保護されていない領域の非安全電圧レベル、及び、選択堆積された過渡保護材料で保護された領域のクランプ電圧レベルを示すグラフである。図 5 B は、縦軸 509 a が電圧を示し、横軸 509 b が電流を示すグラフである。過渡電圧 502 のような過渡電圧が PCB に入力されると、電圧レベルは非安全レベル 510 になる。しかしながら、過渡電圧が過渡保護領域 508 のような過渡保護領域に遭遇するとき、電圧は安全レベル 512 にクランプされる。

【0023】

PCB における過渡保護材料の使用は、二つの重要な側面を含む。第一に、過渡保護材料は、最適には、PCB 積層体内に配置される必要がある。第二に、堆積された VSDM 又は過渡保護材料を回路に接続するために使用される導電配線及びビア形状が追加されなければならない。

【0024】

ある実施形態では、過渡保護材料は、積層体及びコアの表面に選択的に堆積することができる。過渡保護材料の選択的な堆積は、スクリーン印刷、ステンシル、ニードルディスペンス、インクジェット等を通じて達成することができる。選択堆積のそのような方法は、適切な硬化方法を用いて後に硬化される、VSDM 又は過渡保護材料の所定の体積及び形状を堆積する。可変性能ポリマーの堆積は、PCB 内の同一層又は異なる層に堆積される。この堆積は選択的であるため、必要な材料の量が少なくなり、これによりコスト削減を達成する。図 6 及び図 7 に示す構造体の製造技術は、個々の形態によって異なり得る。

【0025】

図 6 及び図 7 は、選択的に堆積された過渡保護材料の少なくとも一つの領域を含む構造体を示す。図 6 は、PCB の同一面にコーティングされた、分散面の各導電部の間、又は、各分散面の間に、選択的に堆積される過渡保護材料を示すブロック図である。図 6 は、過渡保護材料 604 が選択的に堆積される導電材料層 602 を示す。また、図 6 は、誘電体材料層 606 も示している。

【0026】

図 7 は、導電部の間に選択堆積された過渡保護材料及び PCB の同一面にコーティングされたビアパッドを示すブロック図である。図 7 は、銅材料のような導電部 702 と導電面のビアパッド 706 とを示す。導電面は、誘電体材料 708 の上に配置されている。図 7 及び図 8 A の構造体は、様々な形式で積層することができ、そのため、選択堆積された過渡保護材料は、PCB 積層体の表面、又は、積層体の内側層に堆積することができる。

【0027】

図 8 A は、導電面上の銅材料の二つのセクションなどの導電部の間に選択的に堆積された過渡保護材料を示すブロック図である。特に、図 8 A は、導電層 804 と導電層 808 の間に選択的に堆積された過渡保護ポリマー 802 を含む過渡保護領域の断面を示す。また、図 8 A は、誘電体材料層 806 も示す。また、図 8 A は、VSDM 又は過渡保護材料がそれぞれ導電箔 804, 808 に接触する接触領域 A 及び C も示す。図 8 A の構造体は、二つの導電領域が互いに隣接し非導電領域で分離された様々な回路トポロジーのために、過渡保護を提供する。そのような領域は、フォトリソグラフィックイメージング及び科学的エッチングなどの PCB 製造分野で当業者に知られた伝統的プロセスによって形成できるが、レーザダイレクトイメージング又はレーザストラクチャリングなどの他の方法で形成することもできる。回路トポロジーの例には、これに制限されるわけではないが、分散層に埋め込まれた伝送ライン構造が含まれる。他の非制限的な例には、スロットライン

、コプレナー導波管、エッジカップルド・デファレンシャル・ペア・トランスミッションライン、並びに、分散面の異なる接地及び電力の領域を分離させる非導電領域のモートが含まれる。

【0028】

図8Bは、電圧レベルを制限する目的でのVSDM又は過渡保護材料の配置を示す図8Aの回路図である。詳しくは、図8Bは、導電箔808に近接した導電箔804を備える回路を示す。VSDM又は過渡保護材料802は、導電箔804と導電箔808の間を掛け渡すために堆積されている。

【0029】

図9Aは、ビアパッドを有するビアアンチパッドを渡る選択的に堆積された過渡保護領域を示すブロック図である。アンチパッド及びビアパッドは、VSDM又は過渡保護材料が選択的に堆積された接地面（これには限定されない）内に環体を形成する。このような形状は、銅クラッド積層コア上のPCB製造に共通する印刷及びエッチング処理を用いることで得られる。銅クラッド積層コアは、ここではコア層構造体としても言及される。銅クラッド積層コアは、樹脂含有ファイバガラス、ランダムガラス、又は、DuPont Thermountなどのファイバ合成体とすることができ、或いは、DuPont Kaptonなどのフィルムベース材料とすることができる。ビアパッド領域及びアンチパッド領域は、銅とVSDMの境界の間の接触抵抗を低減するために、貴金属又は他の堆積物でコーティングすることができる。図9Aは、ビア構造体906のアンチパッド領域904をビアパッド908と掛け渡す過渡保護領域902の断面を示す。また、図9Aは、過渡保護材料がそれぞれビアパッド908及び導電材料912と接触する接触領域A、Cを示す。このような構造体は、保護されるべき回路の導電部分がPCB積層体の内側層に配されるか、或いは、保護されるべき回路の導電部分がPCB積層体の異なる層における過渡保護領域である、様々な回路トポロジーのための過渡保護を提供するために使用される。選択堆積されたVSDM又は過渡保護材料を有する各コア層構造は、その業界で知られた従来技術を用いてプリント回路基板に積層される。このようにして、VSDM又は過渡保護材料は、PCB積層体に埋め込まれる。スルーホールをPCB積層体に形成することができる。スルーホールを銅でめっきしてもよい。後に敏感な素子が形成され埋め込み過渡保護素子に接続されるパッドに接続するために、外側回路を製造してもよい。

【0030】

図9Bは、電圧レベルを制限する目的でのVSDM又は過渡保護材料の配置を示す図9Aの回路図である。詳しくは、図9Bは、ビアパッド908に近接した導電箔912を備える回路を示す。VSDM又は過渡保護材料902は、導電箔912とビアパッド908の間の領域を掛け渡すために堆積されている。

【0031】

図10Aは、ビアパッドを有さないビアアンチパッドを渡る選択堆積された過渡保護領域を示すブロック図である。図10Aは、ビアパッドを有さないビア構造体1006のアンチパッド領域1004を掛け渡す過渡保護領域1002の断面を示す。そのような構造体は、非機能的なパッドが設けられていない回路のための過渡保護を提供するために用いることができる。

【0032】

図10Bは、電圧レベルを制限する目的でのVSDM又は過渡保護材料の配置を示す図10Aの回路図である。詳しくは、図10Bは、ビア構造体1006に近接した導電箔1012を備える回路を示す。VSDM又は過渡保護材料1002は、導電箔1012とビア構造体1006の間を掛け渡すために堆積されている。

【0033】

コア層構造体のある形態では、誘電体の厚さは、約4ミル未満である。誘電体の一方の面の導電箔は、接地面であり、誘電体の他の面の導電箔は、電力面である。そして、コア層構造体は、選択的な過渡保護だけでなく埋め込み分散キャパシタンスの追加的な利点を有している。更なる利点は、電力導電層を接地導電層に近付けることによって、面インダ

10

20

30

40

50

クタンスを減少できることである。言い換えると、誘電体層が薄くなるにつれて、キャパシタンスが増加してインダクタンスが減少する。キャパシタンスを増加させてインダクタンスを減少させることで、より静かな電力分散システムが得られ、これは高い周波数でクリアな信号を実現できる。分散キャパシタなどの幾つかの素子をPCBの表面から更に除去し、コスト削減を図ることができる。

【0034】

この埋め込み平坦キャパシタで生成されたキャパシタンスの量は、過渡保護材料と合成体に用いられる誘電体の誘電率、電力—接地導電層ペアの平坦領域、及び、合成体の厚さに依存する。この構造体によって得られるキャパシタンスの合計は次のようにして計算される。

$$C = 0.2244 \varepsilon_y A / d$$

ここで、C = 静電容量（ピコファラド）、A = 面積（スクエアインチ）、 ε_y = 比誘電率、d = 誘電体の厚さ（インチ）である。

【0035】

注意すべきは、ここで述べる導電材料の厚さ、樹脂及び過渡保護材料の種類、並びに、誘電体材料の強化又は非強化の有無は、過渡保護を有する埋め込み分散キャパシタにも適用されることである。

【0036】

以上のように、本発明の実施形態を、態様ごとに異なり得る様々な具体的詳細を参照して説明した。明細書及び図面は、制限的な意味ではなく例示として扱われるべきである。

【図面の簡単な説明】

【0037】

【図1A】導電保護リングで保護されたプリント回路基板を示す図である。

【図1B】図1AのPCB102の1Bに沿う断面図である。

【図2】過渡からの保護を必要とする回路の二つの接触領域の間のポリマー領域を示す図である。

【図3A】埋め込み過渡保護材料により得られる電圧クランプを示すグラフである。

【図3B】ある実施形態において、電圧レベルを制限する目的での過渡保護材料の配置を示す図である。

【図4A】選択的に堆積された過渡保護材料によって得られる電流クランプを示す図である。

【図4B】ある実施形態において、電流レベルを制限する目的での過渡保護材料の配置を示す図である。

【図5A】回路配線の一部と接触するために選択的に堆積された過渡保護材料を用いた過渡からの回路配線の保護を示す図である。

【図5B】選択的に堆積された過渡保護材料によって保護されない領域の非安全電圧レベル、及び、選択的に堆積された過渡保護材料で保護された領域のクランプ電圧レベルを示すグラフである。

【図6】PCBの同一層にコーティングされた、分散面における各導電部の間又は各分散面の間に選択的に堆積された過渡保護材料を示すブロック図である。

【図7】PCBの同一層にコーティングされた、各導電部の間に選択的に堆積された過渡保護材料とビアパッドとを示すブロック図である。

【図8A】導電面上の銅材料の二つの部分のような導電部の間に選択的に堆積された過渡保護材料を示すブロック図である。

【図8B】ある実施形態において、電圧レベルを制限する目的での過渡保護材料の配置を示す図である。

【図9A】ビアパッドを有するビアアンチパッドを渡る過渡保護領域を示すブロック図である。

【図9B】ある実施形態において、電圧レベルを制限する目的での過渡保護材料の配置を示す図である。

10

20

30

40

50

【図 10 A】ビアパッドを有さないビアアンチパッドを渡る過渡保護領域を示すブロック図である。

【図 10 B】ある実施形態において、電圧レベルを制限する目的での過渡保護材料の配置を示す図である。

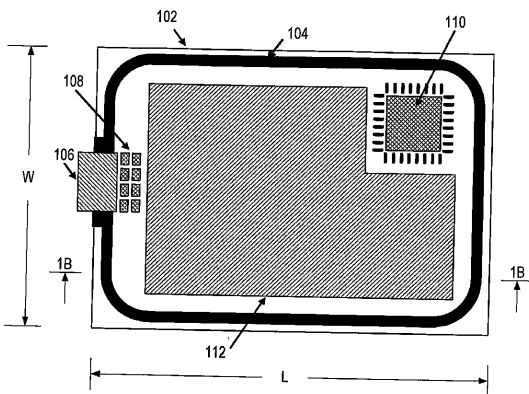
【符号の説明】

【0038】

102…プリント回路基板、104…導電保護リング、106…コネクタ、108…分散型過渡保護デバイス、110…オンチップ過渡保護デバイス、304…導電材料、306…低インピーダンス基準面、308…過渡保護材料、404…過渡保護材料、405…信号面、502…過渡電圧、504…犠牲回路、506…犠牲回路基準、508…保護領域、508…過渡保護領域、602…導電材料層、604…過渡保護材料、606…誘電体材料層、702…導電部、706…ビアパッド、708…誘電体材料、802…過渡保護ポリマー（過渡保護材料）、804, 808…導電箔（導電層）、806…誘電体材料層、902…過渡保護領域、904…アンチパッド領域、906…ビア構造体、908…ビアパッド、912…導電箔、1002…過渡保護材料、1004…アンチパッド領域、1006…ビア構造体、1012…導電箔。

10

【図 1 A】



【図 2】

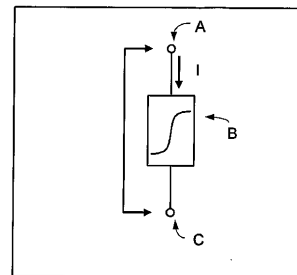


FIG. 2

【図 3 A】

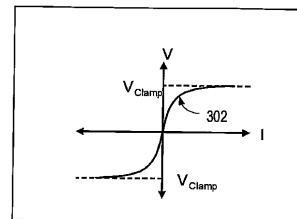


FIG. 3A

【図 1 B】

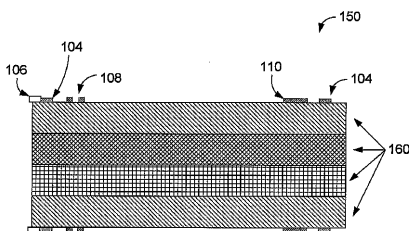


FIG. 1B
Prior Art

FIG. 1A
Prior Art

【図 3 B】

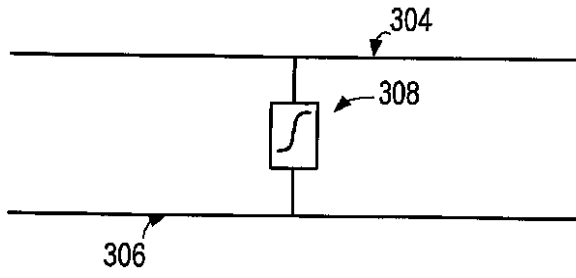


FIG. 3B

【図 4 B】

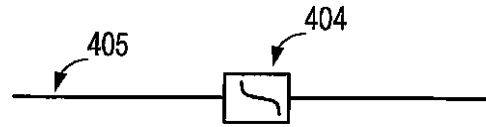


FIG. 4B

【図 4 A】

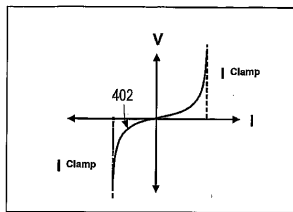


FIG. 4A

【図 5 A】

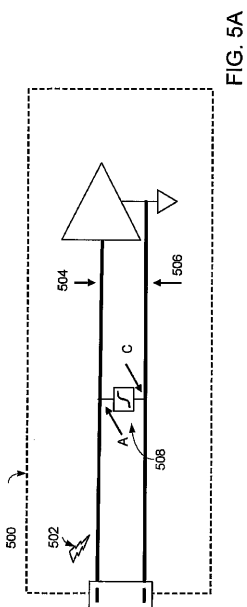


FIG. 5A

【図 5 B】

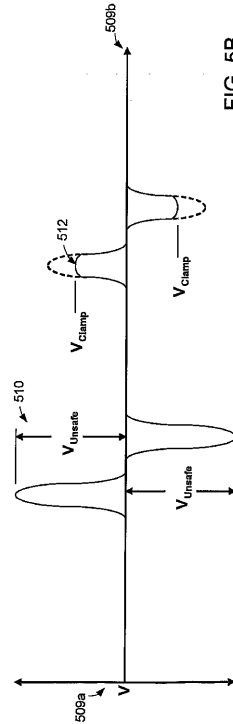
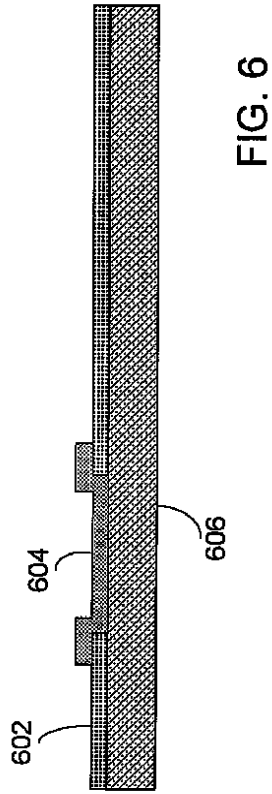
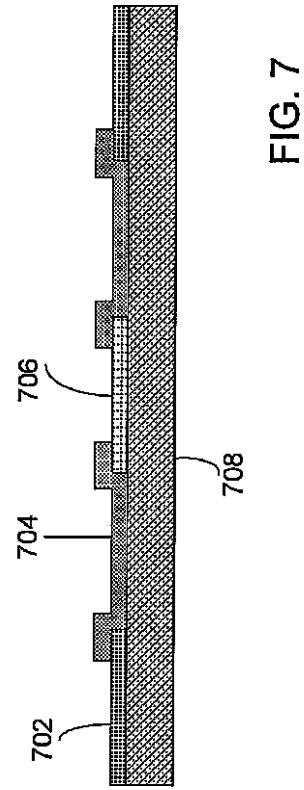


FIG. 5B

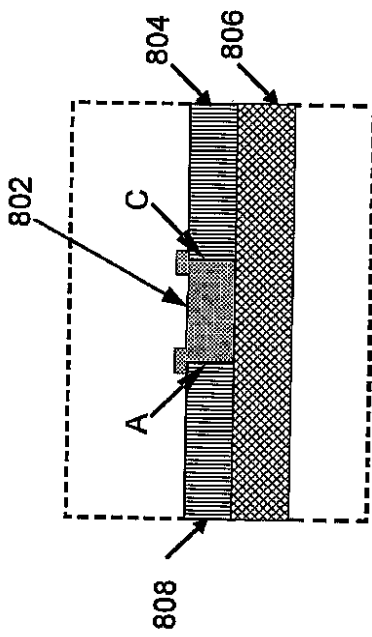
【図 6】



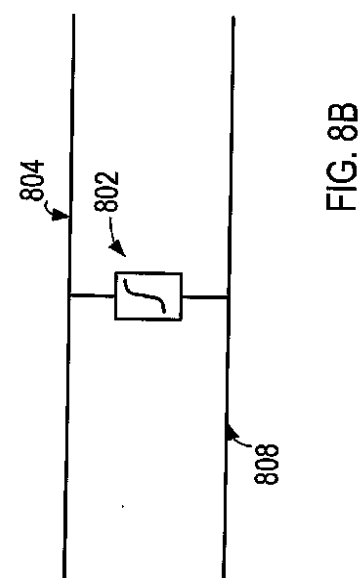
【図 7】



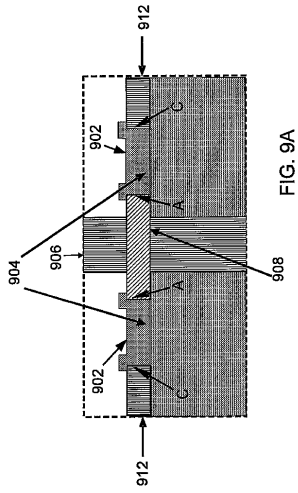
【図 8 A】



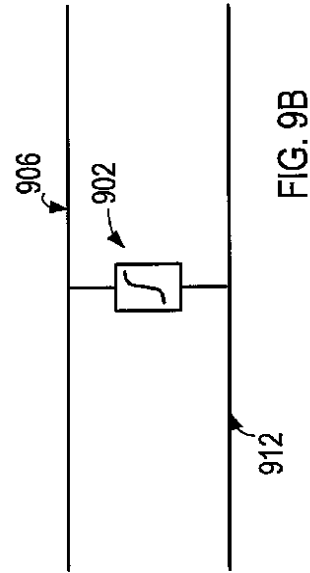
【図 8 B】



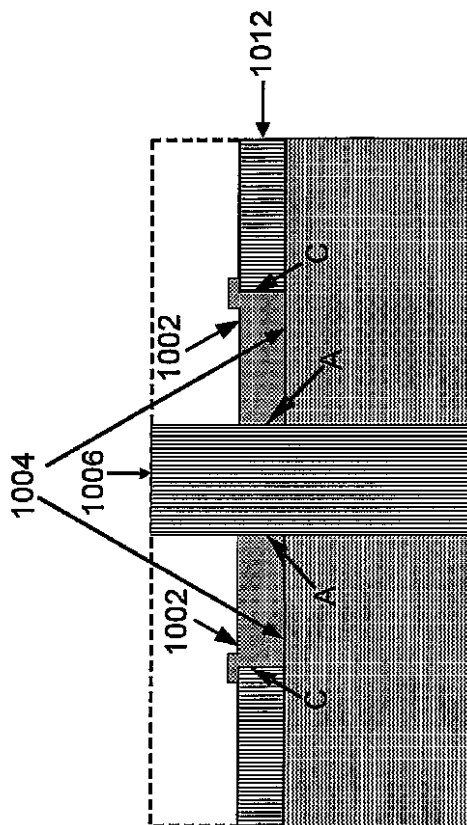
【図 9 A】



【図 9 B】



【図 10 A】



【図 10 B】

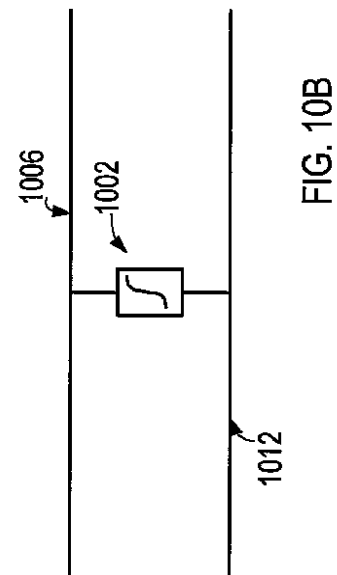


FIG. 10A

FIG. 10B

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(特許庁注：以下のものは登録商標)

1. テフロン

(72)発明者 ギジン, フランズ
アメリカ合衆国, カリフォルニア州, サン ホゼ, アルダー レイク コート 1388

(72)発明者 スクローダー, グレゴリー
アメリカ合衆国, カリフォルニア州, モルガン ヒル, イーグル ヴュー ドライブ 19125

Fターム(参考) 5E338 AA16 BB75 BB80 CC05 CC10 EE12