



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년10월10일
 (11) 등록번호 10-1783796
 (24) 등록일자 2017년09월26일

(51) 국제특허분류(Int. Cl.)
 H01L 33/16 (2010.01) H01L 25/075 (2006.01)
 H01L 33/00 (2010.01) H01L 33/32 (2010.01)
 H01L 33/50 (2010.01)
 (21) 출원번호 10-2012-7021362
 (22) 출원일자(국제) 2011년01월10일
 심사청구일자 2016년01월07일
 (85) 번역문제출일자 2012년08월14일
 (65) 공개번호 10-2012-0114357
 (43) 공개일자 2012년10월16일
 (86) 국제출원번호 PCT/IB2011/050096
 (87) 국제공개번호 WO 2011/086494
 국제공개일자 2011년07월21일
 (30) 우선권주장
 12/688,382 2010년01월15일 미국(US)
 (56) 선행기술조사문헌
 US20090191659 A1*
 KR1020090112708 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 코닌클리케 필립스 엔.브이.
 네덜란드, 아인트호벤 5656 에이이, 하이 테크 캠퍼스 5
 루미레즈 엘엘씨
 미국 캘리포니아주 95131-1008 산 호세 웨스트 트럼블 로드 370
 (72) 발명자
 가드너, 나탄 에프.
 미국 95131 캘리포니아주 산호세 웨스트 트럼블 로드 엠에스 91/엠취 370
 크라메스, 마이클 알.
 미국 95131 캘리포니아주 산호세 웨스트 트럼블 로드 엠에스 91/엠취 370
 (뒷면에 계속)
 (74) 대리인
 양영준, 백만기

전체 청구항 수 : 총 12 항

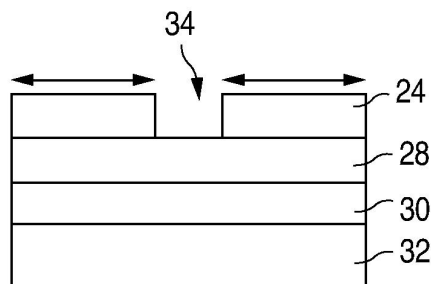
심사관 : 김동우

(54) 발명의 명칭 **복합 기관의 형성 및 복합 기관 상 III-V족 발광 장치 성장 방법**

(57) 요약

본 발명의 실시예에 따른 방법은, 호스트 및 호스트에 접합된 시드층을 포함하는 기관을 제공하는 단계를 포함한다. 시드층은 복수의 영역을 포함한다. n-형 영역과 p-형 영역 간에 배치된 발광층을 포함하는 반도체 구조를 기관 상에 성장시킨다. 시드층 상에 성장된 반도체층의 상부 표면의 횡방향 길이는 복수의 시드층 영역 각각보다 길다.

대표도 - 도4



(72) 발명자

매크린, 멜빈 비.

미국 95131 캘리포니아주 산호세 웨스트 트림블 로
드 엠에스 91/엠취 370

이, 성수

미국 95131 캘리포니아주 산호세 웨스트 트림블 로
드 엠에스 91/엠취 370

명세서

청구범위

청구항 1

호스트 및 상기 호스트에 접합된 시드층을 포함하는 기관을 제공하는 단계 - 상기 시드층은 복수의 영역을 포함하고, 각 영역은 상기 영역들 사이의 계면들에서 가장 인접한 이웃 영역들과 완전히 분리됨 -,

상기 시드층을 완화시키는 단계 - 상기 시드층의 인접한 영역들은 상기 시드층을 완화시킨 후에 인접한 영역들 간의 계면들에서 서로 직접 접촉함 -,

상기 기관 상에, n-형 영역과 p-형 영역 간에 배치된 발광층을 포함하는 반도체 구조를 성장시키는 단계 - 상기 시드층 상에 성장된 반도체층의 상부 표면의 횡방향 길이는 복수의 시드층 영역 각각보다 더 길거나 동일함 -,

상기 반도체 구조를 마운트에 연결하는 단계,

상기 호스트를 제거하는 단계, 및

상기 시드층을 제거하는 단계

를 포함하는 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 발광층은 III족-질화물층인 방법.

청구항 5

제1항에 있어서,

상기 계면들은 상기 시드층 전체 두께까지 확장되는 방법.

청구항 6

삭제

청구항 7

제1항에 있어서,

상기 계면들은 상기 시드층의 인접 영역들 간에서 화학적 결합이 없는 방법.

청구항 8

제1항에 있어서,

각각의 영역의 횡방향 길이는 1 마이크로미터(micron)와 10 마이크로미터 사이인 방법.

청구항 9

호스트 및 상기 호스트에 접합된 시드층을 포함하는 기관을 제공하는 단계 - 상기 시드층은 계면들에 의해 분리된 복수의 영역을 포함하고, 인접한 영역들이 연결되어 연속적인 시드층 재료 망(web)을 형성하며, 계면들에서

시드층 영역들 간의 갭들의 폭은 1 마이크로미터 미만임 -,

상기 시드층을 완화시키는 단계, 및

상기 기판 상에, n-형 영역 및 p-형 영역 간에 배치된 발광층을 포함하는 반도체 구조를 성장시키는 단계 - 상기 시드층 상에 성장된 반도체층의 상부 표면의 횡방향 길이는 복수의 시드층 영역 각각보다 더 길거나 동일함 -

를 포함하는 방법.

청구항 10

제9항에 있어서,

상기 발광층은 III족-질화물층인 방법.

청구항 11

제9항에 있어서,

상기 반도체 구조를 마운트에 연결시키는 단계,

상기 호스트를 제거하는 단계, 및

상기 시드층을 제거하는 단계

를 더 포함하는 방법.

청구항 12

호스트 및 상기 호스트에 집합된 시드층을 포함하는 기판을 제공하는 단계 - 상기 시드층은 복수의 영역을 포함하고, 상기 시드층은 결정성 단위 셀을 갖는 결정성 재료이고, 각각의 시드층 영역은 결정성 단위 셀의 회전 대칭과 동일한 회전 대칭을 가지도록 성형되고, 각각의 시드층 영역은 갭 또는 계면에 의해 가장 인접한 이웃 시드층 영역들과 완전히 분리됨 -,

상기 시드층을 완화시키는 단계, 및

상기 기판 상에, n-형 영역과 p-형 영역 간에 배치된 발광층을 포함하는 반도체 구조를 성장시키는 단계 - 상기 시드층상에 성장된 반도체층의 상부 표면의 횡방향 길이는 복수의 시드층 영역 각각보다 더 길거나 동일함 -

를 포함하는 방법.

청구항 13

제12항에 있어서,

상기 발광층은 III족-질화물층인 방법.

청구항 14

제12항에 있어서,

상기 시드층은 우르차이트이며, 각각의 시드층 영역은 삼각형 또는 육각형으로서 성형되는 방법.

청구항 15

제12항에 있어서,

상기 반도체 구조를 마운트에 연결시키는 단계,

상기 호스트를 제거하는 단계, 및

상기 시드층을 제거하는 단계

를 더 포함하는 방법.

발명의 설명

기술 분야

[0001] 본 발명은 복합 기판, 및 복합 기판 상의 III-V족 발광 장치의 성장에 관한 것이다.

배경 기술

[0002] 발광 다이오드(LEDs), 공진 공동 발광 다이오드(RCLEDs), 수직 공동 레이저 다이오드(VCSELs) 및 에지 방출 레이저를 포함하는 반도체 발광 장치는 현재 사용가능한 가장 효율적인 광원들이다. 가시 스펙트럼을 통해 동작가능한 고휘도 발광 장치의 제조에 있어서 현재 관심대상의 재료 시스템에는 III-V족 반도체, 특히 III족-질화물 재료로도 지칭되는, 갈륨, 알루미늄, 인듐 및 질소의 이원, 삼원 및 사원 합금이 포함된다. 통상적으로 III족-질화물 발광 장치는, 유기금속 화학 기상 증착법(MOCVD), 분자빔 에피택시(MBE), 또는 다른 에피택셜 기술에 의해, 상이한 조성 및 도펀트 농도를 갖는 반도체층의 스택을 사파이어, 실리콘 카바이드, III족-질화물 또는 다른 적합한 기판 상에 에피택셜 성장시켜 제조된다. 스택은 보통, 기판 상에 형성되며 예를 들어 Si이 도핑된 하나 이상의 n-형층, n-형층 또는 n-형층들 상에 형성된 활성 영역내의 하나 이상의 발광층, 및 활성 영역 상에 형성되며 예를 들어 Mg이 도핑된 하나 이상의 p-형층을 포함한다. n-형 및 p-형 영역 상에 전기적 콘택이 형성된다.

[0003] 도 1은 복합 성장 기판을 도시하며, 이는 본 명세서에 참고문헌으로 인용된 US 2007/0072324 에 보다 상세하게 기술된다. "기판(10)은 호스트 기판(12), 시드층(16), 및 시드(16)에 호스트(12)를 접합시키는 접합층(14)을 포함한다....기판(10)내의 층들은 장치에 반도체층을 성장시키기 위해 필요한 공정 조건을 견딜수 있는 재료로 형성된다. 예를 들어, MOCVD 로 성장시킨 III족-질화물 장치의 경우에, 기판(10)의 각 층들은 1000 °C 를 넘는 온도에서 H₂ 주변을 견딜수 있어야 하고; MBE로 성장시킨 III족-질화물 장치의 경우에, 기판(10)의 각 층들은 진공에서 600 °C 가 넘는 온도를 견딜 수 있어야 한다.

[0004] "호스트 기판(12)은 기판(10), 및 기판(10) 상에 성장시킨 반도체 장치층(18)에 기계적 지지(mechanical support)를 제공한다. 호스트 기판(12)의 두께는 일반적으로 3 마이크로미터와 500 마이크로미터 사이이며, 종종 100 마이크로미터보다 두껍다. 호스트 기판(12)이 장치의 부분으로 유지되는 실시예의 경우, 광이 호스트 기판(12)을 통해 장치로부터 추출된다면 호스트 기판(12)은 적어도 일부가 투명할 수 있다. 장치층(18)을 호스트 기판(12) 상에 직접적으로 성장시키지 않으므로 일반적으로 호스트 기판(12)이 단결정 재료일 필요는 없다. 일부 실시예에서, 호스트 기판(12)의 재료는, 장치층(18)의 CTE(coefficient of thermal expansion: 열팽창계수) 및 시드층(16)의 CTE와 일치하는 CTE를 갖도록 선택된다. 반도체, 세라믹 및 금속을 포함하여...에피택셜층(18)의 공정 조건을 견딜 수 있는 재료라면 어떤 재료라도 적합할 수 있다. 장치층(18)의 CTE와 바람직하게 유사한 CTE를 가지면서, MOCVD에 의해 III족-질화물 층들을 성장시키는데 필요한 온도에서 승화를 통해 분해하는 GaAs와 같은 재료를, GaAs 호스트 및 시드층(16) 간에 증착된 실리콘 질화물과 같은 불투과성 캡층과 함께 사용할 수 있다.

[0005] "시드층(16)은 장치층(18)이 성장하는 층이므로, III족-질화물 결정이 응집(nucleate)할 수 있는 재료이어야 한다. 시드층(16)의 두께는 약 50 Å와 1 μm 사이일 수 있다. 일부 실시예에서 시드층(16)은 장치층(18) 재료의 CTE와 일치한다. 시드층(16)은 일반적으로 장치층(18)과 상당히 유사하게 격자가 일치하는 단결정 재료이다. 보통, 장치층(18)이 성장되는 시드층(16)의 상부 표면의 결정학적 배향은 우르차이트(wurtzite) [0001] c-축이다. 시드층(16)이 완성 장치의 부분으로 유지되는 실시예에서, 시드층(16)을 통해 장치로부터 광이 추출된다면 시드층(16)은 투명하거나 얇을 수 있다.

[0006] "하나 이상의 접합층(14)에 의해 호스트 기판(12)이 시드층(16)에 접합된다. 접합층(14)의 두께는 약 100 Å와 1 μm 사이일 수 있다. 적절한 접합층의 예로는, SiO₂ 와 같은 SiO_x, Si₃N₄ 와 같은 SiN_x, HfO₂, 및 이들의 혼합물, Mo, Ti, TiN, 그외 합금과 같은 금속, 및 다른 반도체나 유전체를 들 수 있다. 접합층(14)은 호스트 기판(12)을 시드층(16)에 연결시키므로, 접합층(14)을 형성하는 재료는 호스트(12) 및 시드(16) 간에 양호한 부착력을 제공하도록 선택된다. 일부 실시예에서, 접합층(14)은, 장치층(18)을 손상시키지 않는 식각법에 의해 식각되어, 호스트 기판(12)으로부터 장치층(18) 및 시드층(16)을 분리해낼 수 있는 재료로 형성된 분리층(release layer)이다. 예를 들어, 접합층(14)은, III족-질화물 장치층(18)을 손상시키지 않고 HF로 습식-식각될 수 있는 SiO₂일 수 있다. 접합층(14)이 완성 장치의 부분으로 유지되는 실시예에서, 접합층(14)은 투명하거나 매우 얇은

것이 바람직하다. 일부 실시예에서는 접합층(14)을 생략할 수도 있으며, 시드층(16)이 호스트 기판(12)에 직접 부착될 수도 있다.

[0007] "접합층(14) 상에 시드층을 단일 연속층이 아닌 스트라이프 또는 그리드(grid)로 형성함으로써, 에피택셜층(18)내에서의 추가적인 변형 감소를 제공할 수 있다. 이와 달리, 시드층을 단일 연속층으로 형성한 다음, 예를 들어 트렌치를 형성함으로써 균데균데 제거하여 변형을 감소시킬 수도 있다. 접합층(14)을 통해 단일 연속 시드층(16)을 호스트 기판(12)에 부착한 다음 통상적인 리소그래피법으로 패터닝함으로써 시드층 일부를 제거하여 스트라이프를 형성할 수 있다. 각각의 시드층 스트라이프의 에지(edge)는, 에피택셜층(18) 내의 전위(轉位, dislocations)를 시드층 스트라이프의 에지에 집중시킴으로써, 추가적인 변형 감소를 제공할 수 있다. 시드층(16), 접합층(14) 및 응집층의 조성은, 응집층 재료가, 시드층(16) 부분들 간의 공간에 의해 노출된 접합층(14) 부분 상에서가 아닌 시드층(16) 상에서 우선적으로 응집을 하도록 선택될 수 있다.

[0008] "발광 장치의 웨이퍼 상에서, 시드층(16)내의 트렌치는... 대략 단일 장치 폭만큼, 예를 들어 수백 마이크로미터 또는 밀리미터 이격될 수 있다. 패터닝된 시드층을 갖는 복합 기판 상에 형성된 장치의 웨이퍼는, 시드층 에지에 집중된 전위가 성능 불량 또는 신뢰도 문제를 야기할 수 있으므로, 시드층 부분의 에지가 개별 장치의 발광층 아래에 위치하지 않도록 분할될 수 있다. 이와 달리, 단일 장치 폭 이내로, 예를 들어 대략 수 마이크로미터 또는 수십 마이크로미터 이격되도록 다중 트렌치를 형성할 수 있다. 이와 같은 기판 상에서의 성장 조건은, 시드층(16) 또는 이후의 에피택셜층 상에 형성되는 응집층이 시드층(16) 내에 형성된 트렌치 상에서 합쳐져서, 웨이퍼 상의 장치의 발광층이 시드층(16)내의 트렌치에 의해 끊기지 않는 연속층으로 형성되도록 선택될 수 있다.

[0009] 시드층이 III족-질화물 재료인 경우, "시드층은 성장 기판 상에서 변형되어 성장된다. 시드층(16)이 호스트 기판(12)에 연결되어 성장 기판으로부터 분리되는 경우에, 시드층(16)과 호스트 기판(16) 간의 연결이 유연성(compliant), 예를 들어 유연성 접합층(14)이면, 시드층(16)은 적어도 부분적으로 완화(relax) 될 수 있다. 따라서, 시드층이 변형층으로서 성장된다 하더라도, 시드층이 성장 기판으로부터 분리되어 완화된 후에 시드층의 격자 상수가 시드층 상에 성장된 에피택셜층(18)의 격자 상수와 상당히 유사하거나 일치하도록, 조성을 선택할 수 있다.

[0010] "예를 들어, III족-질화물 장치를 통상적으로 Al₂O₃ 상에 성장시킬 경우, 기판 상에 성장된 제1 층은 일반적으로 격자상수가 약 3.19 인 GaN 버퍼층이다. GaN 버퍼층은, 흔히 InGaIn인 발광층을 포함하여, 버퍼층 상에서 성장하는 모든 장치층에 대해 격자상수를 설정한다. 완화된 프리 스탠딩(free standing) InGaIn의 격자상수는 GaN 보다 크므로, 발광층이 GaN 버퍼층 상에 형성될 경우 변형된다. 이와 달리,...InGaIn 시드층을 통상적인 기판 상에 변형 성장시킨 다음, InGaIn 시드층이 적어도 부분적으로 완화되도록 호스트에 접합시키고 성장 기판으로부터 분리시킬 수 있다. 완화 후에, InGaIn 시드층의 격자 상수는 GaN 보다 크다. 이와 같이, InGaIn 시드층의 격자 상수는, InGaIn 발광층과 동일한 조성의 완화된 프리 스탠딩 층의 격자 상수와, GaN 보다 더 가깝게 일치한다. InGaIn 발광층을 포함하여, InGaIn 시드층 상에 성장시킨 장치층은 InGaIn 시드층의 격자 상수를 모사하게 될 것이다. 따라서, 완화된 InGaIn 시드층 격자상수를 갖는 InGaIn 발광층은 GaN 버퍼층 격자 상수를 갖는 InGaIn 발광층보다 덜 변형된다. 발광층의 변형을 감소시킴으로써 장치의 성능을 개선시킬 수 있다.

[0011] "바람직한 배향성의 III족-질화물 시드층을 갖는 복합 기판을 형성하기 위해서는 III족-질화물 시드층 재료에 추가적인 접합 단계가 필요하다. 사파이어 또는 SiC 성장 기판 상에 성장시킨 III족-질화물 층은 통상적으로 c-면 우르차이트로서 성장된다. 이러한 우르차이트 III족-질화물 구조는 갈륨면 및 질소면을 갖는다. III족-질화물은 우선적으로 성장층의 상부 표면이 갈륨면이고, 하부 표면(성장기판에 인접한 표면)이 질소면이 되도록 성장된다. 통상적으로 사파이어 또는 SiC 상에 시드층 재료를 단순 성장시킨 다음 시드층 재료를 호스트에 연결하고 성장기판을 제거함으로써 질소면이 노출된 III족-질화물 시드층을 갖는 복합 기판이 생긴다. 상술한 바와 같이, III족-질화물은 우선적으로 갈륨면 상에, 즉 상부 표면으로서의 갈륨면 상에 성장되며, 질소면 상에 성장시킬 경우, 결정 배향성이 질소면을 상부 표면으로 가지는 배향성에서 갈륨면을 상부 표면으로 가지는 배향성으로 전환되므로, 바람직하지 않게 결정에 결함을 야기하거나 낮은 품질의 재료를 발생시킬 수 있다.

[0012] "갈륨면이 상부 표면인 III족-질화물 시드층을 갖는 복합 기판을 형성하기 위해서, 시드층 재료가 성장 기판 제거에 의해 질소면이 노출된 채 갈륨면을 통해 제1 호스트 기판에 접합되도록, 시드층 재료를 성장 기판 상에 통상적으로 성장시킨 다음, 임의의 적합한 제1 호스트 기판에 접합시킨 후 성장 기판으로부터 분리할 수 있다. 이후 시드층 재료의 질소면을 복합 기판의 호스트 기판인 제2 호스트 기판(10)에 접합시킨다.... 제2 호스트 기판에 접합시킨 후, 성장 기판에 적합한 기술을 이용하여 제1 호스트 기판을 제거한다. 최종 복합 기판에서는, III족-

질화물 시드층(16)의 갈륨면이 에피택셜층(18)의 성장을 위해 노출되도록, 시드층 재료(16)의 질소면이 선택적 접합층(14)을 통해 호스트 기판(12)(제2 호스트 기판)에 접합된다.

[0013] "예를 들어, GaN 버퍼층을 통상적으로 사파이어 기판 상에 성장시킨 다음, 이어서 복합 기판의 시드층을 형성할 InGaN 층을 성장시킨다. InGaN 층을 접합층과 함께 또는 접합층 없이 제1 호스트 기판에 접합시킨다. 사파이어에 인접한 GaN 버퍼층을 레이저 용융시킴으로써 사파이어 성장 기판을 제거한 다음, 사파이어를 제거함으로써 노출된 잔류 GaN 버퍼층은 식각으로 제거하여, 제1 호스트 기판에 접합된 InGaN 층을 얻는다. InGaN 층에 수소, 중수소 또는 헬륨과 같은 재료를 주입하여, 최종 복합 기판에서의 바람직한 시드층 두께에 상응하는 깊이로 버블층을 형성한다....선택적으로 InGaN 층에 가공처리를 하여 접합하기에 충분히 평평한 표면을 형성할 수 있다. 이후 InGaN 층을 접합층과 함께 또는 접합층 없이 최종 복합 기판에서 호스트를 형성할 제2 호스트 기판에 접합시킨다. 이후 제1 호스트 기판, InGaN 층 및 제2 호스트 기판이 가열되어..., InGaN 층 내에 주입된 버블층이 확장되도록 하여, InGaN 층의 나머지 부분 및 제1 호스트 기판으로부터 InGaN 층의 얇은 시드층 부분을 박리시켜서, 호스트 기판에 접합된 InGaN 시드층을 갖는 상술한 바와 같은 완성된 복합 기판을 제조한다."

[0014] 관련 기술분야에서 필요로 하는 것은, 반도체층이 덜 변형되어 성장될 수 있고, 적어도 일부가 완화된 III족-질화물 시드층을 갖는 복합 기판이다.

발명의 내용

과제의 해결 수단

[0015] <요약>

[0016] 본 발명의 목적은 복합 기판 상의 시드층 영역의 횡방향 길이보다 더 큰 횡방향 길이를 갖는 반도체층을 복합 기판상에 성장시키는 것이다.

[0017] 본 발명의 실시예에 따른 방법은, 호스트 및 호스트에 접합된 시드층을 포함하는 기판을 제공하는 단계를 포함한다. 시드층은 복수의 영역을 포함한다. n-형 영역과 p-형 영역 간에 배치된 발광층을 포함하는 반도체 구조를 기판 상에 성장시킨다. 시드층 상에 성장된 반도체층의 상부 표면의 횡방향 길이는 복수의 시드층 영역 각각보다 길다.

도면의 간단한 설명

[0018] 도 1은 호스트 기판, 접합층 및 시드층을 포함하는 복합 성장 기판 상에 성장시킨 III족-질화물 반도체 구조를 도시하는 도면.

도 2는 기판 상에 성장된 시드층을 도시하는 도면.

도 3은 시드층을 임시 기판에 접합시키고 성장 기판을 제거하는 것을 도시하는 도면.

도 4는 패터닝 후의 시드층을 도시하는 도면.

도 5는 호스트 기판에 접합된, 완화 후의 시드층을 도시하는 도면.

도 6은 시드층, 접합층 및 호스트 기판을 포함하는 복합 기판을 도시하는 도면.

도 7은 도 6의 복합 기판 상에 성장시킨 III족-질화물 장치층을 도시하는 도면.

도 8, 9 및 10은 시드층 재료 영역 및 트랜치의 배열을 도시하는 도면.

도 11은 마운트에 부착된 LED를 도시하는 도면.

도 12 및 13은 3중 대칭을 갖는 시드층 재료 영역의 배열을 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

[0019] 발명의 명칭이 "복합 기판 상에 성장된 반도체 발광 장치"이고 본 명세서에 참고문헌으로 인용된 US 특허출원 12/236,853에 시드층 재료 아일랜드 간에 트랜치가 형성된 복합 기판 상에 성장된 일군의 III족-질화물 구조를 포함하는 III족-질화물 장치가 기재된다. 트랜치가 재료 아일랜드 간에 유지되도록, III족-질화물 구조는 수평 성장 보다는 수직 성장 우위의 조건하에서 성장된다. 개별 아일랜드는 임의로 크거나 작을 수 있지만, 보통은 길이가 수십 마이크로미터와 수 밀리미터 사이이다. 아일랜드를 분리하는 트랜치의 폭은 5 마이크로미터와 50

마이크로미터 사이일 수 있다.

- [0020] US 특허출원 12/236,853의 장치에서 각 아일랜드의 n- 및 p-형 영역에 대해 전기적 연결이 이루어져야 한다. 이러한 전기적 연결을 형성하기 위해서는 LED, LED가 장착되는 구조 또는 둘 모두의 제조시에 추가의 단계가 필요하며, 이는 장치의 제조 비용을 증가시킬 수 있다.
- [0021] 본 발명의 실시예에서, 장치의 발광 영역이 일련의 분리된 아일랜드보다는 병합된 연속 막(film)으로서 형성될 수 있도록, 복합 기관의 시드층 재료 내의 트렌치들이 형성한다. 도 2-6은 본 발명의 실시예에 따른 복합 기관의 형성을 도시한다. 하기 기재된 특정 재료 및 방법 이외에, US 2007/0072324에 기재된 재료 및 방법을 도 2-6에 도시한 구조 및 방법에 사용할 수 있다. 도 7은 본 발명의 실시예에 따라 도 6에 도시된 복합 기관 상에 성장된 III족-질화물 장치를 도시한다.
- [0022] 도 2에서, III족-질화물 시드층(24)을, 예를 들어 사파이어 또는 SiC일 수 있는 도너 기관(20) 상에 통상적으로 성장시킨다. 이후에 시드층(24)으로부터 도너 기관(20)의 분리를 용이하게 하는 H⁺와 같은 주입 종(26)을 주입한 희생 반도체층(22) 상에 시드층(24)을 성장시킬 수 있다. 일부 실시예에서, 희생층(22)은 GaN이고, 시드층(24)은 변형된 InGaN이다. 일부 실시예에서, InGaN 시드 층은 0보다 크고 6%까지인 InN 조성을 갖는다.
- [0023] 도 3에서, 임시 기관(32) 상에 선택적 접합층(30) 및 유연성층(compliant layer)(28)을 형성한다. 도 2에 도시한 구조의 시드층(24)은 유연성층(28)을 통해 임시 기관(32)에 접합된다. 일부 실시예에서 선택적 접합층(30)은 실리콘, 알루미늄, 붕소, 인, 아연, 갈륨, 게르마늄, 인듐, 주석, 안티몬, 납, 비스무트, 티타늄, 텅스텐, 마그네슘, 칼슘, 칼륨, 니켈, 이트륨, 지르코늄, 하프늄, 네오디뮴 및 탄탈륨의 하나 이상의 산화물, 질화물, 탄화물 또는 불화물이다. 일부 실시예에서, 유연성층(28)은, 예를 들어 증발(evaporation), 스퍼터링 및 침전(sedimentation)에 의해 증착되는 BPSG(borophosphosilicate glass) 또는 다른 상업적으로 시판되는 유리이다.
- [0024] 주입된 종(26)(도 2)을 활성화시켜 희생층(22)(도 2)을 분열시킴으로써 도너 기관(20)(도 2)으로부터 시드층(24)을 분리시킨다. 희생층에 주입하고 주입종을 활성화시킴으로써 시드층을 도너 기관으로부터 분리시키는 것은 본 명세서에 참고문헌으로 인용된 US 공개 2005/0026394 및 US 특허 5,374,564에 보다 상세히 기재되어 있다. 이와 달리, 희생층(22)(도 2)을 레이저 용융시킴으로써 도너 기관을 제거할 수도 있다.
- [0025] 도 4에서, 임의의 잔류하는 희생층(22)을 시드층(24)에서 제거하고, 유연성층(28)에 이르기까지 시드층(24) 내에 트렌치(34)를 형성한다. 이 구조를 처리함으로써 변형된 시드층 재료(24)의 영역을 완화시키며, 예를 들어, 가열함으로써, 시드층 영역이 유연성층(28)을 따라 활주(glide)하여 확장되도록 한다. 본 발명의 실시예에서, 시드층 재료(24)의 영역 및 트렌치(34)의 크기, 위치 및 간격은, 시드층 재료(24) 영역이 완화 동안 확장되어, 인접한 시드층 재료의 영역들 간의 갭(즉, 트렌치(34)의 폭)을 막거나 거의 막도록 선택된다. 일부 실시예에서, 도 5의 계면(36)으로 도시한 바와 같이, 시드층 재료의 인접한 아일랜드들의 측면은 완화 후에 맞닿는다. 그러나, 완화 후에, 시드층의 인접한 영역들은 트렌치에 의해 분리되므로, 시드층의 인접한 영역들 간의 계면에서 화학적 결합은 없다.
- [0026] 트렌치(34)의 최소폭은 InGaN 시드층의 조성 및 시드층 완화 동안 이루어진 완화량에 의해 결정될 수 있다. 예를 들어, InN 조성함량이 더 높은 시드층은 더 많이 완화될 수 있고, InN 조성함량이 더 낮은 시드층보다 트렌치 폭이 더 넓은 필요가 있을 수 있다. 결정층에서의 변형은 다음과 같이 정의될 수 있다: 주어진 층은, 그 층과 동일한 조성을 갖는 프리 스탠딩 재료의 격자 상수에 상응하는 벌크 격자 상수(a_{bulk}), 및 그 층의 성장시의 격자 상수에 상응하는 면내(in-plane) 격자 상수($a_{in-plane}$)를 갖는다. 층에서의 변형량은, 특정 층을 형성하는 재료의 면내 격자 상수와 장치 내 층의 벌크 격자 상수 간의 차이를 벌크 격자 상수로 나눈 것이다. InGaN 층의 변형은 10% InN 을 포함하는 InGaN의 경우에 ~1%이므로, 완전히 완화된 10% InN 막에 있어서, 완화 전의 최소 트렌치 폭은 시드 영역 크기의 ~1% 가 될 것이다. 트렌치(34)의 폭이 최소폭보다 작을 경우, 시드 영역은 완화 동안 충돌하여 차후 성장되는 층들 상에서 재료 품질 문제를 야기할 수 있다. 트렌치(34) 폭은, 일부 실시예에서는 1 마이크로미터 미만, 일부 실시예에서는 500 nm 미만, 일부 실시예에서는 200 nm 미만이다. 불연속적인 시드 영역을 위해서는, 하기 도 8 및 10에 도시한 바와 같이, 인접한 시드 영역들 상의 임의의 두 점 간의 최소 거리가 하기와 같을 수 있다: GaN인 시드층(0% InN)에서 최소 트렌치폭(34)은, 일부 실시예에서는 영역들에 대해서 0 nm, 길이가 1 마이크로미터일 수 있고, 일부 실시예에서는 영역들에 대해서 0 nm, 길이가 5 마이크로미터일 수 있고, 및 일부 실시예에서는 영역들에 대해서 0 nm, 길이가 10 마이크로미터 일 수 있으며; 5% InN을 포함하는 InGaN인 시드층에서 최소 트렌치폭(34)은, 일부 실시예에서는 영역들에 대해서 5 nm, 길이가 1 마이크로미터일 수 있고, 일부 실시예에서는 영역들에 대해서 25 nm, 길이가 5 마이크로미터일 수 있고, 및 일부 실시

예에서는 영역들에 대해서 50 nm, 길이가 10 마이크로미터일 수 있으며; 10% InN을 포함하는 InGaN인 시드층에서 최소 트랜치폭(34)은, 일부 실시예에서는 영역들에 대해서 10 nm, 길이가 1 마이크로미터일 수 있고, 일부 실시예에서는 영역들에 대해서 50 nm, 길이가 5 마이크로미터일 수 있고, 및 일부 실시예에서는 영역들에 대해서 100 nm, 길이가 10 마이크로미터일 수 있다.

- [0027] 완화 후의 인접한 시드층 영역들 간의 갭은 일부 실시예에서 최대한 대략 수(1-2) 마이크로미터일 수 있다. 시드층 내의 갭들 상에서 병합되는 층의 성장은, 횡방향 과성장이 필요하며, 상대적으로 느린 공정이다. 시드층 영역들 간의 큰 갭(예: 10 마이크로미터 대)을 과성장 시키는 것은 기술적으로 실행 불가능하지는 않지만, 도 7 과 관련하여 후술하는 바와 같이, 장치층을 성장시키기 전에 층을 병합하는 데 많은 싸이클 시간이 필요하므로 비용이 많이 든다. 병합층의 성장조건이, 수직 배향면 상에서의 성장은 억제하면서 횡방향 결정 표면 상에서의 성장을 촉진하도록 조절될 수 있을 경우, 이로 인해 전반적인 막 두께를 상대적으로 얇게 유지하면서 막을 병합시키는 것이 가능하므로, 보다 더 큰 갭(예를 들어 5와 20 사이의 마이크로미터의 갭)이 허용될 수 있다. 예를 들어, 수직 성장보다 수평 성장을 선호하도록 GaN의 성장 조건을 조절하는 것이 가능할 수 있다. 갭 내 비결정질 또는 다결정질 유연성층(28)상에서 응집하는 III족-질화물 재료는, 시드 영역 상에서 성장된 재료와 결정학적으로 맞지 않아서, 차후 성장되는 층에서 재료 품질 문제를 야기할 수 있으므로, 완화 후에 갭이 시드층 재료 영역들 간에 유지되는 경우에는, 보통 비결정질 또는 다결정 재료인 유연성층(28)은 III족-질화물 재료가 응집하지 않을 재료로 선택될 수 있다.
- [0028] 도 8, 9 및 10은 시드층 재료의 영역들(24) 및 트랜치들(34)의 배열의 세가지 실시예를 도시한다. 도 8 에 도시된 배열에서, 시드층 재료 아일랜드(24)는 트랜치(34)에 의해 완전히 둘러싸여 형성된다.
- [0029] 도 9에 도시된 배열에서, 시드층 재료 영역은 연속적인 재료 망(web) 내에서 연결되어, 시드층 상에 성장된 반도체층의 성장 동안 결정 배향성에 조력한다. 시드층 재료(24) 내에 폭이 0.2와 1 사이의 마이크로미터인 개구부를 형성한다.
- [0030] 도 10 에 도시된 배열은 도 9의 배열의 거울상이다 - 시드층 재료는 도 9의 배열에서 시드층 재료가 제거된 부분인 도 10 배열의 영역 내에 유지되며, 그 반대도 가능함.
- [0031] 삼각형 및 다른 트랜치 격자, 그리드 및 임의의 적절한 배열과 같은, 다른 형태의 시드층 재료 영역, 및 시드층 재료 영역 및 트랜치의 배열을 사용할 수 있다. 일부 실시예에서, 시드층 재료 영역(24)의 길이는 특정 시드층 재료의 좌굴(buckling) 길이보다 더 작도록 유지되며, 이는 좌굴없이 완화될 수 있는 가장 긴 시드층 영역 길이이다. 좌굴 길이는 시드층의 조성에 따라 좌우되며, 예를 들어 수십 마이크로미터 이상일 수 있다.
- [0032] 일부 실시예에서는, 시드층 재료 영역의 형태는 시드층을 형성하는 재료와 동일한 회전 대칭을 갖도록 성형된다. 예를 들어, 일부 실시예에서, 시드층(24)은 GaN 또는 InGaN과 같은 III족-질화물 재료이다. 사파이어 및 SiC와 같은 기판 상에 성장된 III족-질화물 재료는 보통, III족-질화물 재료의 상부 표면이 c-면이 되도록 배향된, 육방정계 단위 셀을 갖는 결정인 우르차이트이다. 일부 실시예에서, c-면 영역, 우르차이트, III족-질화물 시드층 재료는, 도 12에 도시한 삼각형 또는 도 13에 도시한 육각형과 같은 3중 대칭을 갖는 형태이다. 일부 실시예에서, 도 12 및 13에 도시한 바와 같이, 아일랜드 에지는 우르차이트의 결정학적 면(예: 우르차이트의 a- 및 m-면)과 평행하다. 아일랜드 에지를 우르차이트의 결정학적 면에 정렬시킴으로써, 인접한 아일랜드 에지들이 잘 병합될 수 있도록 촉진시킬 수 있다.
- [0033] 일부 실시예에서, 시드층은 비극성 또는 반극성 III족-질화물 우르차이트 재료이다. 예를 들어, 상부면이, 2중 대칭을 갖는 a-면 또는 m-면이 되도록 시드층을 배향시킬 수 있다. 따라서, 시드층이, 예를 들어 a-면 또는 m-면 우르차이트와 같은 비극성 또는 반극성 재료일 경우에 정사각형 또는 직사각형 시드 영역을 결정 대칭에 정렬시킨다.
- [0034] 우르차이트 III-질화물 시드층은 일부 결정학적 방향에서는 좌굴되기 더 쉬울 수 있다. 일부 실시예에서, 시드층 영역의 길이는, 시드층이 좀더 좌굴되기 쉬운 방향에 비교하여, 시드층 재료가 덜 좌굴되기 쉬운 방향을 따라 더 길 수 있다.
- [0035] 확장되는 시드층 재료 영역 거리, 및 이에 따른 트랜치 폭(34)은, 시드층 재료 영역의 크기 및 시드층 재료 내의 InN 조성에 따라 달라질 수 있다. 작은 시드층 재료 영역은 큰 시드층 재료 영역보다 덜 확장할 것이다. InN 조성 함량이 더 높은 시드층은 더 많이 변형되고, 따라서 InN 조성 함량이 더 낮은 시드층보다 더 확장될 것이다.
- [0036] 도 5에서, 완화된 시드층(24)을, 선택적 접합층(38)이 형성되는 호스트 기판(40)에 접합시킨다. 호스트 기판

(40)은, 예를 들어, 사파이어 또는 임의의 적절한 재료일 수 있다. 접합층(38)은, 예를 들어, 실리콘, 알루미늄, 붕소, 인, 아연, 갈륨, 게르마늄, 인듐, 주석, 안티몬, 납, 비스무트, 티타늄, 텅스텐, 마그네슘, 칼슘, 칼륨, 니켈, 이트륨, 지르코늄, hafnium, 네오디뮴 및 탄탈륨의 하나 이상의 산화물, 질화물, 탄화물 또는 불화물일 수 있다.

[0037] 도 6에서 임시 기관(32), 접합층(30) 및 유연성층(28)을 제거한다.

[0038] 도 7에 도시한 구조에서, 장치층(18)을 완화된 시드층(24) 상에 성장시킨다. 시드층(24)에 인접한 층의 조성은 격자 상수 또는 다른 특성, 및/또는 시드층(24) 재료 상에서 응집할 수 있는 능력을 고려하여 선택될 수 있다. 시드층(24) 상에서 성장되는 층은, 그 층이 시드층 재료(24) 영역들 간의 임의의 잔류 갭들 상에서 병합되어, 실질적으로 평평한 연속층을 형성하도록 하는 조건 하에서 성장될 수 있다.

[0039] 장치층(18)은 n-형 영역(42), 발광 또는 활성 영역(44), 및 p-형 영역(46)을 포함한다. n-형 영역(42)을 먼저 성장된다. n-형 영역은, 예를 들어, n-형이거나 또는 의도적으로 도핑되지 않을 수 있는 버퍼층 또는 응집층과 같은 준비층, 이후 복합 기관의 분리 또는 기관 제거 후 반도체 구조의 씨닝(thinning)을 용이하게 하도록 설계된 분리층, 및 발광 영역이 효율적으로 발광하기 위해 바람직한 특정 광학 또는 전기적 특성을 갖도록 설계된 n-형이나 심지어는 p-형 장치층을 포함하여, 상이한 조성 및 도펀트 농도를 갖는 복수의 층들을 포함할 수 있다. 일부 실시예에서, n-형 영역(42)은 InGaN 이거나, 하나 이상의 InGaN 층을 포함한다. 확장된 격자상수를 갖는 시드층 상에 성장된 GaN에는 장력이 작용할 수 있으므로, 장치내에서의 모든 GaN 층 두께는 균열이 생기지 않도록 제한될 수 있다.

[0040] 발광 또는 활성 영역(44)은 n-형 영역(42) 상에서 성장된다. 적합한 발광 영역의 예로는 단일의 후막 또는 박막 발광층, 또는 베리어층에 의해 분리되는 다중 박막 또는 후막 양자 우물(quantum well) 발광층을 포함하는 다중 양자 우물 발광 영역이 포함된다. 예를 들어, 다중 양자 우물 발광 영역은, 두께가 각각 100 Å 이하인 베리어 층에 의해 분리되는, 두께가 각각 25 Å 이하인 복수의 발광층을 포함할 수 있다. 일부 실시예에서, 장치 내의 각각의 발광층의 두께는 50 Å 보다 더 두껍다.

[0041] p-형 영역(46)을 발광 영역(44) 상에 성장시킨다. n-형 영역처럼, p-형 영역은 의도적으로 도핑하지 않은 층 또는 n-형층을 포함하여, 상이한 조성, 두께 및 도펀트 농도를 갖는 복수의 층들을 포함할 수 있다. 일부 실시예에서, p-형 영역(46)은 InGaN이거나 하나 이상의 InGaN 층들을 포함한다.

[0042] 도 11 은 마운트(54)에 부착된 III족-질화물 LED를 도시한다. 반사형 금속 p-콘택(50)을 p-형 영역 상에 형성한다. p-콘택(50), p-형 영역(24) 및 반도체 구조(48)의 발광 영역의 일부를 식각 제거하여 n-형 영역의 일부를 노출시킨다. n-콘택(52)을 노출된 n-형 영역 부분 상에 형성한다.

[0043] n- 및 p-인터커넥트(56, 58)에 의해 LED를 마운트(54)에 접합시킨다. 인터커넥트(56, 58)는 땀납, 금, 금-주석 또는 다른 금속과 같은 임의의 적절한 재료일 수 있으며, 복수의 재료층을 포함할 수 있다. 일부 실시예에서, 인터커넥트는 적어도 하나의 금층을 포함하며, LED와 마운트(54) 간의 접합은 초음파 본딩에 의해 형성된다.

[0044] 초음파 본딩을 위해서, LED 다이를 마운트(54) 상에 위치시킨다. 본드 헤드를, 보통 복합 기관의 상부 표면인, LED 다이의 상부 표면 상에 위치시킨다. 본드 헤드를 초음파 트랜스듀서에 연결한다. 초음파 트랜스듀서는, 예를 들어 지르콘 티탄산 납(lead zirconate titanate, PZT)층의 스택일 수 있다. 시스템을 조화롭게 공명시킬 수 있는 주파수(보통 대략 수십 또는 수백 kHz)로 트랜스듀서에 전압을 인가하면, 트랜스듀서는 진동하기 시작하고, 결국 본드 헤드 및 LED 다이가, 보통 대략 마이크로진폭으로 진동하게 된다. 이러한 진동으로 인해, n- 및 p-콘택 또는 n- 및 p-콘택 상에 형성된 금속층과 같은, LED 상 구조의 금속 격자 내의 원자가 마운트(54) 상의 구조와 잘 섞이게 되어, 도 11에서 인터커넥트(56, 58)로 나타낸, 야금학적으로 연속적인 조인트(joint)가 형성된다. 접합 동안 열 및/또는 압력을 가할 수 있다.

[0045] LED 다이를 마운트(54)에 접합시킨 후, 반도체층(48)이 성장된 기관의 전부 또는 일부를 제거할 수 있다. 예를 들어, 레이저 리프트오프(lift-off)에 의해, 또는 도 6에 도시한 호스트(40) 및 시드층(24) 간의 접합층(38)을 식각함으로써 사파이어 호스트 기관을 제거할 수 있다. 접합층은 제거되거나 장치의 일부로 유지될 수 있다. 호스트 기관 제거 후에 남아있는 반도체 구조는, 예를 들어 광전기 화학적 식각법에 의해 얇게(thinned) 될 수 있다. 예를 들어, 시드층(24)의 전부 또는 일부는 제거되거나, 장치의 일부로 유지될 수 있다. 시드층(24) 영역들 간의 계면(36) 상에서 병합되는, 시드층 상에 성장된 제1 층은 제거되거나, 장치의 일부로 유지될 수 있다. 노출된 반도체 표면을, 예를 들어 광결정 구조를 갖도록 조면화(roughened) 또는 패터닝하여, 장치로부터의 광 추출을 증가시킬 수 있다.

[0046] 발광 영역에서 방출된 광을 흡수하고 하나 이상의 상이한 피크 파장을 갖는 광을 방출하는, 선택적 파장 변환 재료(60)를 LED 상에 배치시킬 수 있다. 파장 변환 재료(60)는, 예를 들어, 실리콘 또는 에폭시와 같은 투명 재료 내에 배치되고 스크린 프린팅 또는 스텐실링(stenciling)에 의해 LED 상에 증착된 하나 이상의 분말 인광체, 전기영동 증착에 의해 형성된 하나 이상의 분말 인광체, 또는 LED에 접착 또는 집합된 하나 이상의 세라믹 인광체, 하나 이상의 염료, 또는 상술한 파장 변환층들의 임의의 조합일 수 있다. 세라믹 인광체는 본 명세서에 참고문헌으로 인용된 US 7,361,938에 보다 상세히 기재된다. 파장 변환 재료(60)는 발광 영역에서 방출된 광의 일부가 파장 변환 재료에 의해 변환되지 않도록 형성될 수 있다. 일부 예에서, 장치로부터 방출된 비변환광 및 변환광의 조합이 백색을 나타내도록, 비변환광은 청색이고, 변환광은 황색, 녹색, 및/또는 적색이다.

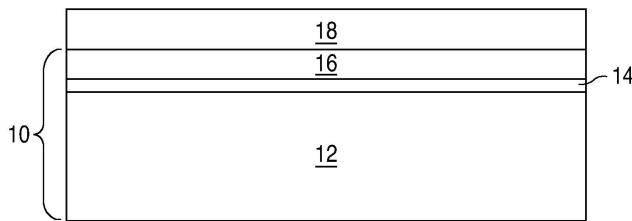
[0047] 일부 실시예에서, 편광자, 색선별 필터(dichroic filters) 또는 당업자에게 알려진 다른 광학장치를 LED 또는 파장 변환 재료(60) 상에 형성한다.

[0048] 비록 도 11은 박막 플립칩 장치를 도시하지만, 도 7에 도시한 구조를, 반도체 구조의 대향하는 측면들에 콘택이 형성되는 수직 장치, 기판이 장치에 부착된 채로 유지되는 플립칩 장치, 또는 반도체 구조와 같은 측면 또는 반대 측면 상에 형성된 투명 콘택을 통해 광을 추출하는 구조와 같은, 임의의 다른 적절한 장치 구조로 가공 처리될 수 있다.

[0049] 지금까지 본 발명을 상세히 설명하였으며, 본 발명의 개시내용이 제시되었다 하더라도, 당업자라면 본 발명은 본 명세서에 기재된 발명 개념의 사상으로부터 벗어남이 없이 변형될 수 있음을 이해할 것이다. 예컨대 전술한 실시예들은 III족-질화물 장치에 관한 것이지만, 다른 III족-V족 재료와 같은 다른 재료 시스템으로 제조된 장치, III족-As 또는 III족-P 장치, 또는 II족-VI족 장치를 본 발명의 실시예에 사용할 수 있다. 따라서, 본 발명의 범위는 도시 및 기재한 특정 실시예에 제한되는 것은 아니다.

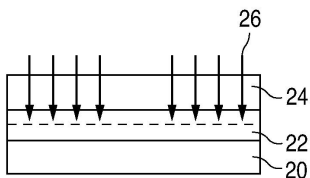
도면

도면1

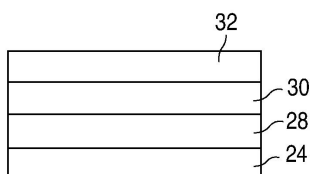


(종래 기술)

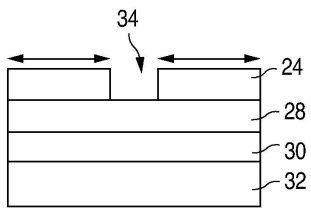
도면2



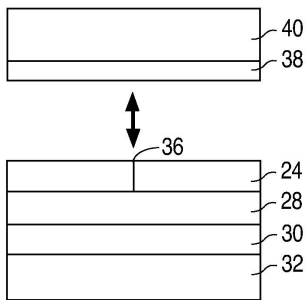
도면3



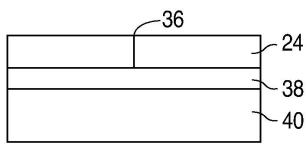
도면4



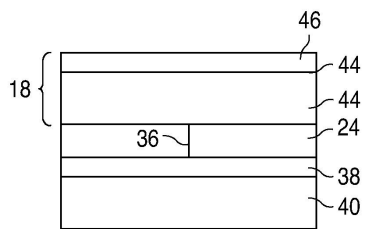
도면5



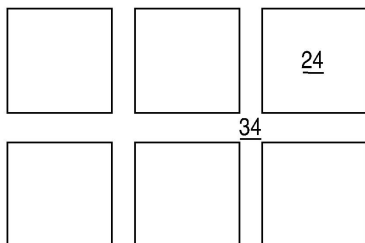
도면6



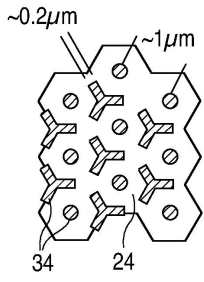
도면7



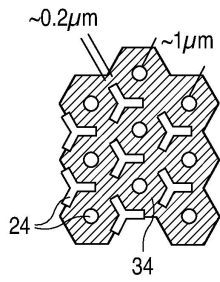
도면8



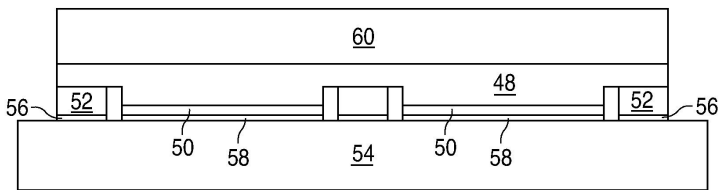
도면9



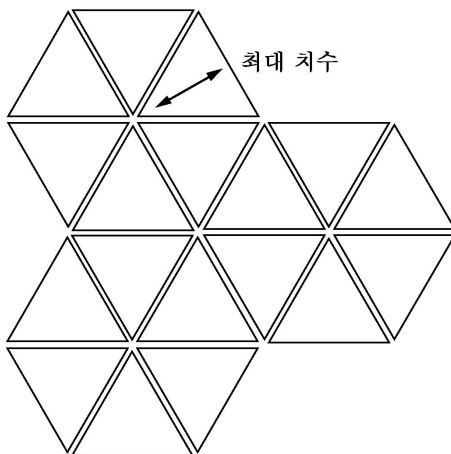
도면10



도면11



도면12



도면13

