

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年8月25日(25.08.2016)



(10) 国際公開番号
WO 2016/132552 A1

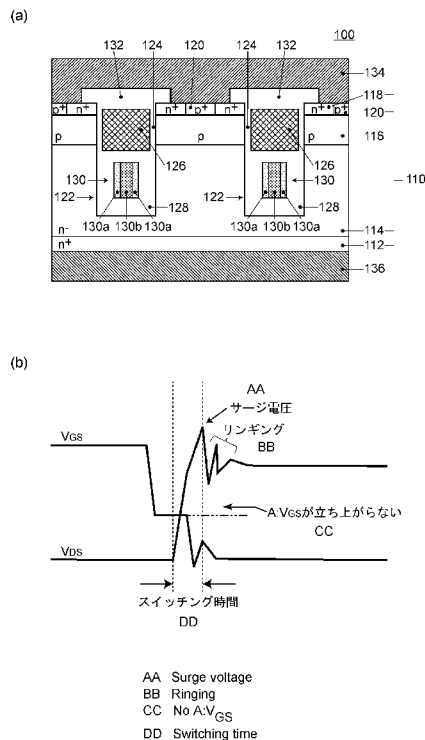
- (51) 国際特許分類:
H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2015/054880
- (22) 国際出願日: 2015年2月20日(20.02.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 新電元工業株式会社 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 Tokyo (JP).
- (72) 発明者: 岸 雅人 (KISHI, Masato); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 渡辺 祐司 (WATANABE, Yuji); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 竹森 俊之 (TAKEMORI, Toshiyuki); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP).
- (74) 代理人: 松尾 誠剛 (MATSUO, Nobutaka); 〒3990214 長野県諏訪郡富士見町落合9862番地60 めぶき特許事務所 Nagano (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1]



(57) Abstract: A semiconductor device 100 comprising: gate electrodes 126 arranged inside trenches 122 and facing a p-type base region 116, via gate insulating films 124, in a side wall section; shield electrodes 130 arranged inside the trenches 122 and positioned between the gate electrodes 126 and the bottom of the trenches 122; electrical insulation regions 128 inside the trenches 122, spreading between the gate electrodes 126 and the shield electrodes 130 and spreading along the side walls and bottom of the trenches 122 and isolating the shield electrodes 130 from the side walls and bottom; and a source electrode 134 electrically connected to n+ source regions 118 and the shield electrodes 130. The shield electrodes 130 have high-resistance regions 130a positioned facing the side walls of the trenches 122 and a low-resistance region 130b provided in a position whereby same is sandwiched by the high-resistance regions 130a. As a result, ringing and surge voltage can be suppressed, malfunctions can be suppressed, and increase in switching loss can be prevented.

(57) 要約: トレンチ122内に配設され、かつ、側壁の部分でゲート絶縁膜124を介してp型ベース領域116と対向するゲート電極126と、トレンチ内122に配設され、かつ、ゲート電極126とトレンチ122の底との間に位置するシールド電極130と、ゲート電極126とシールド電極130との間に拡がり、さらに、トレンチ122の側壁及び底に沿って拡がって側壁及び底からシールド電極130を隔離させる、トレンチ122内における電氣的絶縁領域128と、n+型ソース領域118とシールド電極130とに電氣的に接続されたソース電極134とを備え、シールド電極130は、トレンチ122の側壁に対向する位置に設けられた高抵抗領域130a、及び、高抵抗領域130aに挟まれた位置に設けられた低抵抗領域130bを有する半導体装置100。リングング及びサージ電圧の抑制、誤動作の抑制及びスイッチング損失の増加防止ができる。

WO 2016/132552 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 従来より、いわゆるシールドゲート構造を有する半導体装置が知られている（例えば、特許文献１参照。）。従来の半導体装置９００は、図２１（ａ）に示すように、 n ＋型ドレイン領域９１２、 n －型ドリフト領域９１４、 p 型ベース領域９１６及び n ＋型ソース領域９１８を含む半導体基体９１０と、半導体基体９１０内に形成され、 n －型ドリフト領域９１４に隣接した底、及び、 p 型ベース領域９１６及び n －型ドリフト領域９１４に隣接した側壁を有し、平面的に見てストライプ状に形成されたトレンチ９２２と、トレンチ９２２内に配設され、かつ、側壁の部分でゲート絶縁膜９２４を介して p 型ベース領域９１６と対向するゲート電極９２６と、トレンチ９２２内に配設され、かつ、ゲート電極９２６とトレンチ９２２の底との間に位置するシールド電極９３０と、ゲート電極９２６とシールド電極９３０との間に拡がり、さらに、トレンチ９２２の側壁及び底に沿って拡がって側壁及び底からシールド電極９３０を離隔させる、トレンチ９２２内における電氣的絶縁領域９２８と、半導体基体９１０の上方に形成され、ソース領域９１８とシールド電極９３０とに電氣的に接続されたソース電極９３４と、 n ＋型ドレイン領域９１２に隣接して形成されたドレイン電極９３６とを備える。

[0003] 従来の半導体装置９００によれば、トレンチ９２２内に配設され、かつ、ゲート電極９２６とトレンチ９２２の底との間に位置するシールド電極９３０を備えることから、ゲート・ドレイン間容量 C_{GD} （図２１（ｂ）参照。）が低減し、その結果、ゲート充電電流量及びゲート放電電流量が低減し、スイッチング速度を速くできる。また、電界集中が起こり易いトレンチ９２２の角部からゲート電極９２６までの距離を長くでき、さらには、電氣的絶縁

領域 9 2 8 で電界を緩和することができる結果、耐圧を高くできる。

先行技術文献

特許文献

[0004] 特許文献1：特許第4 7 9 0 9 0 8号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、本発明者の研究により、従来の半導体装置 9 0 0 において、スイッチオフ時にリングングが発生したり高いサージ電圧が発生したりする場合があることが分かった。そこで、本発明者は、シールド電極として高抵抗のシールド電極（例えば、ソース電極やゲート電極よりも高抵抗のシールド電極）を用いることを考えた（図 2（a）参照。）。このようにすれば、シールド電極の高い内部抵抗により、スイッチオフ時にドレイン電極の電位変化を緩やかにすることができ、もって、スイッチオフ時に発生するリングングを抑制するとともにサージ電圧を低減することが可能となる。

[0006] しかしながら、上記したようにシールド電極として高抵抗のシールド電極を用いると、スイッチング期間の後半において、シールド電極の配線に沿って電位差が生じるために、ゲート・ソース間の容量 C_{GS} （図 2 1 参照。図 2 においても同様。）を介してゲート電圧 V_{GS} が立ち上がってしまい、誤動作（セルフ・ターンオン）が発生し易くなるという問題（図 2（b）符号 A 参照。）が発生する。また、スイッチング速度が遅くなることで（図 2（b）参照。）、スイッチング損失が増加するという問題が発生する。

[0007] 一方、シールド電極として低抵抗のシールド電極を用いた場合には（図 3（a）参照。）、スイッチオフ時にドレイン電極の電位変化を緩やかにすることができないことから、リングングを抑制するとともにサージ電圧を低減するという効果を享受しづらくなる（図 3（b）参照。）。

[0008] そこで、本発明は、これらの問題を解決するためになされたもので、スイッチオフ時に発生するリングングを抑制するとともにサージ電圧を低減する

ことが可能で、かつ、スイッチオフ時にゲート電圧 V_{GS} が立ち上がることに起因して発生する誤動作（セルフ・ターンオン）を抑制することが可能で、かつ、スイッチング損失が増加するという問題を低減することが可能な半導体装置を提供することを目的とする。

課題を解決するための手段

[0009] [1] 本発明の半導体装置は、第1導電型のドレイン領域、前記ドレイン領域に隣接した第1導電型のドリフト領域、前記ドリフト領域に隣接した第2導電型のベース領域、及び、前記ベース領域に隣接した第1導電型のソース領域を含む半導体基体と、前記半導体基体内に形成され、前記ドリフト領域に隣接した底、及び、前記ベース領域及び前記ドリフト領域に隣接した側壁を有し、平面的に見てストライプ状に形成されたトレンチと、前記トレンチ内に配設され、かつ、前記側壁の部分でゲート絶縁膜を介して前記ベース領域と対向するゲート電極と、前記トレンチ内に配設され、かつ、前記ゲート電極と前記トレンチの前記底との間に位置するシールド電極と、前記ゲート電極と前記シールド電極との間に拡がり、さらに、前記トレンチの前記側壁及び前記底に沿って拡がって前記側壁及び前記底から前記シールド電極を隔離させる、前記トレンチ内における電氣的絶縁領域と、前記半導体基体の上方に形成され、前記ソース領域と前記シールド電極とに電氣的に接続されたソース電極と、前記ドレイン領域に隣接して形成されたドレイン電極とを備える半導体装置であって、前記シールド電極は、前記側壁に対向する位置に設けられた高抵抗領域、及び、前記高抵抗領域に挟まれた位置に設けられた低抵抗領域を有することを特徴とする。

[0010] なお、上記した高抵抗領域を、前記側壁に対向する位置に設けられ、前記シールド電極の長手方向に沿って第1の抵抗を有する第1領域と言い、上記した低抵抗領域を、前記高抵抗領域に挟まれた位置に設けられ、前記シールド電極の長手方向に沿って前記第1の抵抗よりも高い第2の抵抗を有する第2領域と言うこともできる。

[0011] [2] 本発明の半導体装置においては、前記高抵抗領域及び前記低抵抗領域

はともに不純物を含有する同一の半導体材料からなり、前記低抵抗領域の不純物濃度は前記高抵抗領域の不純物濃度よりも高いことが好ましい。

[0012] [3] 本発明の半導体装置においては、前記高抵抗領域及び前記低抵抗領域はそれぞれ異なる材料からなり、前記低抵抗領域を構成する材料の電気抵抗率は前記高抵抗領域を構成する材料の電気抵抗率よりも低いことが好ましい。

[0013] [4] 本発明の半導体装置においては、前記高抵抗領域及び前記低抵抗領域はそれぞれ同一の材料からなり、前記シールド電極のストライプ長手方向に直交する平面で切断したときの前記低抵抗領域の断面積は、前記シールド電極の長手方向に直交する平面で切断したときの前記高抵抗領域の断面積よりも大きいことが好ましい。

[0014] [5] 本発明の半導体装置においては、前記高抵抗領域及び前記低抵抗領域は、互いに接する位置に位置することが好ましい。

[0015] [6] 本発明の半導体装置においては、前記高抵抗領域及び前記低抵抗領域は、前記電氣的絶縁領域を介して互いに離隔する位置に位置することが好ましい。

[0016] [7] 本発明の半導体装置においては、前記電氣的絶縁領域のうち前記高抵抗領域と前記低抵抗領域との間に挟まれている電氣的絶縁領域は部分的に開口部を有し、前記高抵抗領域及び前記低抵抗領域は、前記開口部を介して部分的に接していることが好ましい。

[0017] [8] 本発明の半導体装置においては、前記低抵抗領域は前記高抵抗領域よりも薄いことが好ましい。

[0018] [9] 本発明の半導体装置においては、前記高抵抗領域は前記低抵抗領域よりも薄いことが好ましい。

発明の効果

[0019] 本発明の半導体装置によれば、シールド電極として、トレンチの側壁に対向する位置に設けられた高抵抗領域、及び、高抵抗領域に挟まれた位置に設けられた低抵抗領域を有するシールド電極を備えることから（図1（a）参

照。)、高抵抗領域においては、当該領域における抵抗 R_a (図4参照。)の抵抗値が抵抗 R_b (図4参照。)の抵抗値よりも高いため、スイッチオフ時のドレイン電極の電位変化を緩やかにすることができ、もって、スイッチオフ時に発生するリングングを抑制するとともにサージ電圧を低減することができる(図1(b)参照。)。また、低抵抗領域においては、当該領域における抵抗 R_b (図4参照。)の抵抗値が抵抗 R_a (図4参照。)の抵抗値よりも低いため、シールド電極の配線に沿って生じる電位差を低減することができ、もって、スイッチング期間の後半にゲート電圧 V_{GS} が立ち上がることに起因して発生する誤動作(セルフ・ターンオン)を抑制できる(図1(b)符号A参照。)。また、低抵抗領域の存在により、スイッチング速度を速くすることができ(図1(b)参照。)、もって、スイッチング損失の増加を防止することができる。

図面の簡単な説明

[0020] [図1]実施形態1に係る半導体装置100を説明するために示す図である。図1(a)は半導体装置100の断面図であり、図1(b)は半導体装置100のスイッチオフ時の応答波形を示す図である。

[図2]比較例1に係る半導体装置100aを説明するために示す図である。図2(a)は半導体装置100aの断面図であり、図2(b)は半導体装置100aのスイッチオフ時の応答波形を示す図である。

[図3]比較例2に係る半導体装置100bを説明するために示す図である。図3(a)は半導体装置100bの断面図であり、図3(b)は半導体装置100bのスイッチオフ時の応答波形を示す図である。

[図4]実施形態1に係る半導体装置100の作用・効果を説明するために示す図である。図4(a)は半導体装置100の断面図に寄生抵抗及び寄生容量を追記した図であり、図4(b)は半導体装置100の等価回路図である。

[図5]実施形態1に係る半導体装置100を製造する方法を説明するために示す図である。図5(a)～図5(d)は各工程図である。

[図6]実施形態1に係る半導体装置100を製造する方法を説明するために示

す図である。図 6 (a) ～図 6 (d) は各工程図である。

[図7]実施形態 1 に係る半導体装置 100 を製造する方法を説明するために示す図である。図 7 (a) ～図 7 (d) は各工程図である。

[図8]実施形態 1 に係る半導体装置 100 を製造する方法を説明するために示す図である。図 8 (a) ～図 8 (d) は各工程図である。

[図9]実施形態 2 に係る半導体装置 101 の断面図である。

[図10]実施形態 3 に係る半導体装置 102 の断面図である。

[図11]変形例 1 に係る半導体装置 103 を説明するために示す図である。図 11 (a) は半導体装置 103 の断面図であり、図 11 (b) は図 11 (a) の B-B 断面図である。

[図12]変形例 2 に係る半導体装置 104 の断面図である。

[図13]変形例 2 に係る 104 とは別の半導体装置 105 の断面図である。

[図14]変形例 3 に係る半導体装置 106 の断面図である。

[図15]変形例 3 に係る 106 とは別の半導体装置 107 の断面図である。

[図16]変形例 4 に係る半導体装置 108 の断面図である。

[図17]実施形態 1 に係る半導体装置 100 を製造する別の方法を説明するために示す図である。

[図18]実施形態 1 に係る半導体装置 100 を製造する別の方法を説明するために示す図である。図 17 (a) ～図 17 (d) 及び図 18 (a) ～図 18 (c) は各工程図である。なお、図 17 及び図 18 においては、図 5 ～図 8 に示す工程と同様の工程については図示を省略している。

[図19]実施形態 1 に係る半導体装置 100 を製造するさらに別の方法を説明するために示す図である。

[図20]実施形態 1 に係る半導体装置 100 を製造するさらに別の方法を説明するために示す図である。図 19 (a) ～図 19 (d) 及び図 20 (a) ～図 20 (d) は各工程図である。なお、図 19 及び図 20 においては、図 5 ～図 8 に示す工程と同様の工程については図示を省略している。

[図21]従来の半導体装置 900 の断面図である。図 21 (a) は半導体装置

900の断面図に寄生抵抗及び寄生容量を追記した図であり、図21(b)は半導体装置900の等価回路である。

発明を実施するための形態

[0021] 以下、本発明の半導体装置について、図に示す実施形態に基づいて説明する。

[0022] [実施形態1]

1. 半導体装置

実施形態1に係る半導体装置は、図1(a)に示すように、n+型ドレイン領域(第1導電型のドレイン領域)112、n+型ドレイン領域112に隣接したn-型ドリフト領域(第1導電型のドリフト領域)114、n-型ドリフト領域114に隣接したp型ベース領域(第2導電型のベース領域)116、及び、p型ベース領域116に隣接したn+型ソース領域(第1導電型のソース領域)118を含む半導体基体110と、半導体基体110内に形成され、n-型ドリフト領域114に隣接した底、及び、p型ベース領域116及びn-型ドリフト領域114に隣接した側壁を有し、平面的に見てストライプ状に形成されたトレンチ122と、トレンチ122内に配設され、かつ、側壁の部分でゲート絶縁膜124を介してp型ベース領域116と対向するゲート電極126と、トレンチ122内に配設され、かつ、ゲート電極126とトレンチ122の底との間に位置するシールド電極130と、ゲート電極126とシールド電極130との間に拡がり、さらに、トレンチ122の側壁及び底に沿って拡がって側壁及び底からシールド電極130を離隔させる、トレンチ122内における電氣的絶縁領域128と、半導体基体110の上方に形成され、ソース領域118とシールド電極130とに電氣的に接続されたソース電極134と、ドレイン領域112に隣接して形成されたドレイン電極136とを備える。

実施形態1に係る半導体装置100は、パワーMOSFETである。

[0023] そして、実施形態1に係る半導体装置100においては、シールド電極130は、トレンチの側壁に対向する位置に設けられた高抵抗領域130a、

及び、高抵抗領域 130a に挟まれた位置に設けられた低抵抗領域 130b を有する。また、高抵抗領域 130a 及び低抵抗領域 130b はともに不純物を含有する同一の半導体材料からなり、低抵抗領域 130b の不純物濃度は高抵抗領域 130a の不純物濃度よりも高い。また、高抵抗領域 130a 及び低抵抗領域 130b は、互いに接する位置に位置する。

[0024] n+型ドレイン領域 112 の厚さは $50\mu\text{m} \sim 500\mu\text{m}$ (例えば $350\mu\text{m}$) であり、n+型ドレイン領域 112 の不純物濃度は $1 \times 10^{18}\text{cm}^{-3} \sim 1 \times 10^{20}\text{cm}^{-3}$ (例えば $1 \times 10^{19}\text{cm}^{-3}$) である。n-型ドリフト領域 114 の厚さは $10\mu\text{m} \sim 50\mu\text{m}$ (例えば $15\mu\text{m}$) であり、n-型ドリフト領域 114 の不純物濃度は $1 \times 10^{14}\text{cm}^{-3} \sim 1 \times 10^{17}\text{cm}^{-3}$ (例えば $1 \times 10^{15}\text{cm}^{-3}$) である。p型ベース領域 116 の厚さは $2\mu\text{m} \sim 10\mu\text{m}$ (例えば $5\mu\text{m}$) であり、p型ベース領域 116 の不純物濃度は $1 \times 10^{16}\text{cm}^{-3} \sim 1 \times 10^{18}\text{cm}^{-3}$ (例えば $1 \times 10^{17}\text{cm}^{-3}$) である。

[0025] トレンチ 122 の深さ方向を上下方向と定義し、それと直交しトレンチ 122 の一方の側壁と他方の側壁を結ぶ方向を左右方向 (図 1 等参照) と定義すると、トレンチ 122 の上下方向の深さは $4\mu\text{m} \sim 20\mu\text{m}$ (例えば $10\mu\text{m}$) であり、トレンチ 122 の左右方向の幅は $1.5\mu\text{m} \sim 7.5\mu\text{m}$ (例えば $5\mu\text{m}$)、トレンチ 122 のピッチは $3\mu\text{m} \sim 15\mu\text{m}$ (例えば $10\mu\text{m}$) である。

ゲート絶縁膜 124 は例えば熱酸化法により形成された二酸化珪素膜からなり、ゲート絶縁膜 124 の厚さは $20\text{nm} \sim 200\text{nm}$ (例えば 100nm) である。

ゲート電極 126 は例えば CVD 法により形成された低抵抗のポリシリコンからなり、ゲート電極 126 の厚さは $2\mu\text{m} \sim 10\mu\text{m}$ (例えば $5\mu\text{m}$) である。

[0026] シールド電極 130 は、上記したように、トレンチ 122 内に配設され、かつ、ゲート電極 126 とトレンチ 122 の底との間に位置する。シールド電極 130 の上下方向の厚さは $1.5\mu\text{m} \sim 6\mu\text{m}$ (例えば $4\mu\text{m}$) であり

、左右方向の厚さは $1\ \mu\text{m}\sim 5\ \mu\text{m}$ （例えば $2.5\ \mu\text{m}$ ）である。

高抵抗領域130aは例えばCVD法により形成された高抵抗のポリシリコンからなり、高抵抗領域130aの左右方向の厚さは $0.4\ \mu\text{m}\sim 2\ \mu\text{m}$ （例えば $1\ \mu\text{m}$ ）である。低抵抗領域130bは例えばCVD法、及び、不純物のドーピングにより形成された低抵抗のポリシリコンからなり、低抵抗領域130bの左右方向の厚さは $0.2\ \mu\text{m}\sim 1\ \mu\text{m}$ （例えば $0.5\ \mu\text{m}$ ）である。

[0027] シールド電極130とゲート電極126との間隔は $1\ \mu\text{m}\sim 3\ \mu\text{m}$ （例えば $2\ \mu\text{m}$ ）であり、シールド電極130とトレンチ122の底との間隔は $1\ \mu\text{m}\sim 3\ \mu\text{m}$ （例えば $2\ \mu\text{m}$ ）であり、シールド電極130とトレンチ122の側壁との間隔は $1\ \mu\text{m}\sim 3\ \mu\text{m}$ （例えば $2\ \mu\text{m}$ ）である。

[0028] $n+$ 型ソース領域118の深さは $1\ \mu\text{m}\sim 3\ \mu\text{m}$ （例えば $2\ \mu\text{m}$ ）であり、 $n+$ 型ソース領域118の不純物濃度は $1\times 10^{18}\text{ cm}^{-3}\sim 1\times 10^{20}\text{ cm}^{-3}$ （例えば $2\times 10^{19}\text{ cm}^{-3}$ ）である。

$p+$ 型コンタクト領域120の深さは $1\ \mu\text{m}\sim 3\ \mu\text{m}$ （例えば $2\ \mu\text{m}$ ）であり、 p 型コンタクト領域126の不純物濃度は $1\times 10^{18}\text{ cm}^{-3}\sim 1\times 10^{20}\text{ cm}^{-3}$ （例えば $2\times 10^{19}\text{ cm}^{-3}$ ）である。

層間絶縁膜132は例えばCVD法により形成された二酸化珪素膜からなり、層間絶縁膜132の厚さは $0.5\ \mu\text{m}\sim 3\ \mu\text{m}$ （例えば $1\ \mu\text{m}$ ）である。

[0029] ソース電極134は例えばAl膜又はAl合金膜（例えばAlSi膜）からなり、ソース電極130の厚さは $1\ \mu\text{m}\sim 10\ \mu\text{m}$ （例えば $3\ \mu\text{m}$ ）である。

ドレイン電極136はTi、Ni、Auがこの順序で積層された積層膜からなり、ドレイン電極136の厚さは $0.2\ \mu\text{m}\sim 1.5\ \mu\text{m}$ （例えば $1\ \mu\text{m}$ ）である。

[0030] 2. 半導体装置の効果

実施形態1に係る半導体装置100によれば、シールド電極として、トレ

ンチの側壁に対向する位置に設けられた高抵抗領域 130 a、及び、高抵抗領域 130 a に挟まれた位置に設けられた低抵抗領域 130 b を有するシールド電極 130 を備えることから（図 1（a）参照。）、高抵抗領域 130 a においては、当該領域における抵抗 R_a （図 4 参照。）の抵抗値が抵抗 R_b （図 4 参照。）の抵抗値よりも高いため、スイッチオフ時のドレイン電極の電位変化を緩やかにすることができる。特に本発明の高抵抗領域 130 a は、トレンチの内壁（側壁及び底）のうち、対向面積が底よりも大きい側壁に主として面しているため、スイッチオフの際のドリフト領域（あるいはトレンチの内壁）からの影響を効果的に抑え、スイッチオフ時のドレイン電極の電位変化を効果的に緩やかにすることができる。このようにして、スイッチオフ時に発生するリングングを抑制するとともにサージ電圧を低減することができる（図 1（b）参照。）また、低抵抗領域 130 b においては、当該領域における抵抗 R_b （図 4 参照。）の抵抗値が抵抗 R_a （図 4 参照。）の抵抗値よりも低いため、シールド電極 130 の配線に沿って生じる電位差を低減することができ、もって、スイッチング期間の後半にゲート電圧 V_{GS} が立ち上がることに起因して発生する誤動作（セルフ・ターンオン）を抑制できる（図 1（b）符号 A 参照。）。また、低抵抗領域 130 b の存在により、スイッチング速度を速くすることができ（図 1（b）参照。）、スイッチング損失の増加を防止することができる。

[0031] また、実施形態 1 に係る半導体装置 100 によれば、シールド電極 130 として、高抵抗領域 130 a 及び低抵抗領域 130 b がともに不純物を含有する同一の半導体材料からなり、低抵抗領域 130 b の不純物濃度が高抵抗領域 130 a の不純物濃度よりも高いシールド電極を備えることから、不純物のドーピング量を適宜の値に設定することにより、高抵抗領域 130 a 及び低抵抗領域 130 b の電気抵抗率を比較的容易に所望の値に設定することができる。

[0032] また、実施形態 1 に係る半導体装置 100 によれば、シールド電極 130 として、高抵抗領域 130 a 及び低抵抗領域 130 b が互いに接する位置に

位置するシールド電極を備えることから、後述する半導体装置の製造方法からも分かるように、シールド電極構造を比較的容易に形成することができる。

[0033] 3. 半導体装置の製造方法

実施形態1に係る半導体装置100は、以下に示す製造工程を有する製造方法（実施形態1に係る半導体装置の製造方法）により製造することができる。

[0034] (1) 半導体基体準備工程

図5(a)～図5(c)に示すように、n+型ドレイン領域112、n+型ドレイン領域112に隣接したn-型ドリフト領域114、n-型ドリフト領域114に隣接したp型ベース領域116、p型ベース領域116に隣接したn+型ソース領域118及びp+型コンタクト領域120を含む半導体基体110を準備する。

[0035] (2) トレンチ形成工程

その後、図5(d)に示すように、半導体基体110の表面にマスクM3を形成し、当該マスクM3をマスクとしてp型ベース領域116の表面からn-型ドリフト層114に達するようにトレンチ122を形成する。トレンチ122の深さは例えば11 μ mとする。

[0036] (3) 第1の電氣的絶縁領域形成工程

その後、図6(a)に示すように、熱酸化法により、トレンチ122の内面及び半導体基体110の表面にシリコン酸化膜128'を形成し、これを電氣的絶縁領域128の底部及び側壁部とする。なお、第1の電氣的絶縁領域形成工程においては、CVD法により底の部分のシリコン酸化膜128'を厚く形成し、その後、熱酸化法により側壁の部分のシリコン酸化膜128'を形成することとしてもよい。

[0037] (4) 高抵抗領域及び低抵抗領域形成工程

その後、図6(b)に示すように、CVD法により、トレンチ122の内面及び半導体基体110の表面に高抵抗ポリシリコン膜130a'を形成し

、その後、図6（c）に示すように、高抵抗ポリシリコン膜130a'のエッチバックを行い、トレンチ122内部の電氣的絶縁領域128の底部上に所定厚さの高抵抗ポリシリコン膜130a'を残した状態で高抵抗ポリシリコン膜130a'を除去する。これにより、トレンチ122内部の電氣的絶縁領域128の底部上に高抵抗領域130aの基礎部分が形成される。下記するとおり、この高抵抗領域130aの基礎部分のうち、側壁側の部分はそのまま維持されて高抵抗領域130aとなり、高抵抗領域130aに挟まれた部分は、下記の所定の工程により低抵抗領域130bとなる。

[0038] その後、図6（d）に示すように、熱酸化法により、トレンチ122内部の高抵抗領域130aの基礎部分の上及び半導体基体110の表面に所定厚さのシリコン酸化膜128'を形成する。

[0039] その後、図7（a）に示すように、シリコン酸化膜128'に対し、低抵抗領域130bに対応する部分に所定幅の開口部を設ける。その後、図7（b）に示すように、当該開口部をマスクとして、所望の抵抗率に応じたドーピング濃度により不純物ドーピングを行う。これにより、トレンチ122内部に低抵抗領域130bが形成され、全体として、高抵抗領域130a及び当該高抵抗領域130aに挟まれた位置に設けられた低抵抗領域130bを有するシールド電極130が形成される。なお、シールド電極130は、当該シールド電極130の一部又は全部が、P型ベース領域116の底部よりも深い位置に位置されるよう形成される。

その後、図7（c）に示すように、エッチングにより、シリコン酸化膜128'を除去する。

[0040] （5）第2の電氣的絶縁領域形成工程

その後、CVD法により、トレンチ122内部を覆うように半導体基体110の全面に、シリコン酸化膜を形成する。次いで、下記するゲート電極126の下側であって所定の深さの位置まで、当該シリコン酸化膜をエッチバックする。エッチバックの結果残された所定厚さの当該シリコン酸化膜を、電氣的絶縁領域128の頂部とする。

[0041] (6) ゲート絶縁膜形成工程

その後、図7(d)に示すように、熱酸化法により、トレンチ122の内面における絶縁膜124を形成する部位及び半導体基体110の表面にシリコン酸化膜124'を形成し、これをゲート絶縁膜124とする。

[0042] (7) ゲート電極形成工程

その後、図8(a)に示すように、半導体基体110の表面側から、トレンチ122を埋めるように低抵抗のポリシリコン膜126'を形成する。その後、図8(b)に示すように、低抵抗のポリシリコン膜126'のエッチバックを行い、トレンチ122の内部にのみ低抵抗のポリシリコン膜126'を残した状態で低抵抗のポリシリコン膜126'を除去する。これにより、トレンチ122の内周面にゲート電極126が形成される。

[0043] (8) 層間絶縁膜形成工程

その後、半導体基体110の表面におけるシリコン酸化膜124'を除去し、その後、半導体基体110の表面側から気相法によりPSG膜を形成し、さらにその後、ゲート電極126の上部所定部分を残してシリコンの熱酸化膜及びPSG膜をエッチングにより除去する。これにより、図8(c)に示すように、ゲート電極126の上部に層間絶縁膜132が形成される。

[0044] (9) ソース電極及びドレイン電極形成工程

その後、図8(d)に示すように、半導体基体110及び層間絶縁膜132を覆うようにソース電極134を形成し、n+型ドレイン層112の表面にドレイン電極136を形成する。

[0045] 以上の工程を実施することにより、実施形態1に係る半導体装置100を製造することができる。

[0046] [実施形態2]

実施形態2に係る半導体装置101は、基本的には実施形態1に係る半導体装置100と同様の構成を有するが、シールド電極の構成が実施形態1に係る半導体装置100の場合とは異なる。すなわち、図9に示すように、実施形態2に係る半導体装置101においては、高抵抗領域130a及び低抵抗

領域 130b はそれぞれ異なる材料からなり、低抵抗領域 130b を構成する材料の電気抵抗率は高抵抗領域 130a を構成する材料の電気抵抗率よりも低い（図 9 参照。）。

[0047] 高抵抗領域 130a を構成する材料としては、例えば CVD 法により形成された高抵抗のポリシリコンを用いることができる。また、低抵抗領域 130b としては、高融点金属（例えば、W、Mo、Ta、Nb など。）やその他の金属（例えば、Cu など。）を用いることができる。

[0048] このように、実施形態 2 に係る半導体装置 101 は、シールド電極の構成が実施形態 1 に係る半導体装置 100 の場合とは異なるが、シールド電極として、トレンチの側壁に対向する位置に設けられた高抵抗領域 130a、及び、高抵抗領域 130a に挟まれた位置に設けられた低抵抗領域 130b を有するシールド電極 130 を備えることから（図 9 参照。）、実施形態 1 に係る半導体装置 100 の場合と同様に、高抵抗領域 130a においては、当該領域における抵抗 R_a （図 4 参照。）の抵抗値が抵抗 R_b （図 4 参照。）の抵抗値よりも高いため、スイッチオフ時のドレイン電極の電位変化を緩やかにすることができ、もって、スイッチオフ時に発生するリングングを抑制するとともにサージ電圧を低減することができる。また、低抵抗領域 130b においては、当該領域における抵抗 R_b （図 4 参照。）の抵抗値が抵抗 R_a （図 4 参照。）の抵抗値よりも低いため、シールド電極の配線に沿って生じる電位差を低減することができ、もって、スイッチング期間の後半にゲート電圧 V_{GS} が立ち上がることに起因して発生する誤動作（セルフ・ターンオン）を抑制できる。また、低抵抗領域の存在により、スイッチング速度を速くすることができ、もって、スイッチング損失の増加を防止することができる。

[0049] また、実施形態 2 に係る半導体装置 101 によれば、シールド電極 130 として、高抵抗領域 130a 及び低抵抗領域 130b がそれぞれ異なる材料からなり、低抵抗領域 130b を構成する材料の電気抵抗率が高抵抗領域 130a を構成する材料の電気抵抗率よりも低いシールド電極を備えることが

ら、高抵抗領域 130a 及び低抵抗領域 130b の材料を適宜選択することにより、高抵抗領域 130a 及び低抵抗領域 130b の電気抵抗率を幅広い範囲から選択することができる。

[0050] [実施形態 3]

実施形態 3 に係る半導体装置は、基本的には実施形態 1 に係る半導体装置 100 と同様の構成を有するが、シールド電極の構成が実施形態 1 に係る半導体装置 100 の場合とは異なる。すなわち、図 10 に示すように、実施形態 3 に係る半導体装置 102 においては、高抵抗領域 130a 及び低抵抗領域 130b は、電氣的絶縁領域 128 を介して互いに離隔する位置に位置する。

[0051] 高抵抗領域 130a と低抵抗領域 130b との間隔は適宜設定可能であるが、例えば、 $0.5\mu\text{m}$ とすることができる。

[0052] このように、実施形態 3 に係る半導体装置 102 は、シールド電極の構成が実施形態 1 に係る半導体装置 100 の場合とは異なるが、シールド電極として、トレンチの側壁に対向する位置に設けられた高抵抗領域 130a、及び、高抵抗領域 130a に挟まれた位置に設けられた低抵抗領域 130b を有するシールド電極 130 を備えることから（図 10 参照。）、実施形態 1 に係る半導体装置 100 の場合と同様に、高抵抗領域 130a においては、当該領域における抵抗 R_a （図 4 参照。）の抵抗値が抵抗 R_b （図 4 参照。）の抵抗値よりも高いため、スイッチオフ時のドレイン電極の電位変化を緩やかにすることができ、もって、スイッチオフ時に発生するリングングを抑制するとともにサージ電圧を低減することができる。また、低抵抗領域 130b（図 4 参照。）における抵抗値が高抵抗領域 130a における抵抗値よりも低いため、シールド電極の配線に沿って生じる電位差を低減することができ、スイッチング期間の後半にゲート電圧 V_{gs} が立ち上がることに起因して発生する誤動作（セルフ・ターンオン）を抑制できる。また、低抵抗領域 130b の存在により、スイッチング速度を速くすることができ、もって、スイッチング損失の増加を防止することができる。

[0053] また、実施形態3に係る半導体装置102によれば、シールド電極130として、高抵抗領域130a及び低抵抗領域130bが電氣的絶縁領域128を介して互いに離隔する位置に位置するシールド電極を備えることから、高抵抗領域130aにおいては、低抵抗領域130bの影響を受け難くなるため、スイッチオフ時のドレイン電極の電位変化をより一層緩やかにすることができ、もって、スイッチオフ時に発生するリングングをより一層抑制するとともにサージ電圧をより一層低減することができる。

[0054] 以上、本発明を上記の実施形態に基づいて説明したが、本発明は上記の実施形態に限定されるものではない。その趣旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば、次のような変形も可能である。

[0055] (1) 上記実施形態1においては、高抵抗領域130aとして、例えばCVD法により形成された高抵抗のポリシリコンを用い、低抵抗領域130bとして例えばCVD法により形成された低抵抗のポリシリコンを用いたが、本発明はこれに限定されるものではない。これら以外の材料を用いてもよい。

[0056] (2) 上記実施形態2においては、高抵抗領域130aとして、例えばCVD法により形成された高抵抗のポリシリコンを用い、低抵抗領域130bとして高融点金属（例えば、W、Mo、Ta、Nbなど。）やその他の金属（例えば、Cuなど。）を用いたが、本発明はこれに限定されるものではない。これら以外の材料を用いてもよい。

[0057] (3) 上記実施形態3においては、シールド電極として、高抵抗領域130a及び低抵抗領域130bが電氣的絶縁領域128を介して互いに離隔する位置に位置する構造のシールド電極130を用いた。これに加えて、図11(b)に示すように、電氣的絶縁領域128のうち高抵抗領域130aと低抵抗領域130bとの間に挟まれている電氣的絶縁領域128が部分的に開口部138を有し、シールド電極として、高抵抗領域130a及び低抵抗領域130bが当該開口部138を介して部分的に接している構造のシールド電極を用いてもよい（変形例1）。

[0058] (4) 上記実施形態1においては、シールド電極として、高抵抗領域130a及び低抵抗領域130bがともに不純物を含有する同一の半導体材料からなり、低抵抗領域130bの不純物濃度が高抵抗領域130aの不純物濃度よりも高いシールド電極を用い、上記実施形態2においては、シールド電極として、高抵抗領域130a及び低抵抗領域130bがそれぞれ異なる材料からなり、低抵抗領域130bを構成する材料の電気抵抗率が高抵抗領域130aを構成する材料の電気抵抗率よりも低いシールド電極を用いたが、本発明はこれに限定されるものではない。例えば、図12～図15に示すように、高抵抗領域130a及び低抵抗領域130bがそれぞれ同一の材料からなり、シールド電極130のストライプ長手方向（ストライプ状に形成されたトレンチの長手方向と略平行となっているシールド電極の長手方向）に直交する平面で切断したときの低抵抗領域130bの断面積が、同平面で切断したときの高抵抗領域130aの断面積よりも大きい形状となっているシールド電極を用いてもよい（変形例2及び変形例3、図12～図15参照。）。

。なお、変形例2（図12及び図13）は、高抵抗領域130a及び低抵抗領域130bを構成する不純物を含有する半導体材料が連続的に構成されている例である。また、変形例3（図14及び図15）は、高抵抗領域130a及び低抵抗領域130bを構成する前記材料が離れて構成されている例である。

[0059] このような構成とすることによっても、ドレイン領域112側に位置する高抵抗領域（高抵抗領域130a）、及び、ゲート電極126側に位置する低抵抗領域（低抵抗領域130b）を有するシールド電極を備えることから、実施形態1に係る半導体装置100が有する効果を有する。なお、この場合、シールド電極130の断面形状は、逆三角形、逆五角形、野球のホームベース形状、押しピン形状などの諸形状、及び、それらの形状をゲート電極の中心を通過する中心線を軸に左右対称に展開した形状など、種々のものが可能である。

[0060] (5) 上記実施形態1においては、半導体装置100として、パワーMOS

F E T を例にして説明したが、本発明はこれに限定されるものではない。本発明は、パワー M O S F E T 以外の他のデバイスにも本発明の趣旨を逸脱しない範囲で種々に適用可能である。

[0061] (6) 上記実施形態 1 においては、高抵抗領域 1 3 0 a の厚みは、低抵抗領域 1 3 0 b の厚みよりも薄く設定した例を示したが (図 1 (a) 参照。)、本発明はこれに限定されるものではない。低抵抗領域 1 3 0 b の厚みを高抵抗領域 1 3 0 a の厚みより薄くしてもよいし (変形例 4、図 1 6 参照。)、低抵抗領域 1 3 0 b と高抵抗領域 1 3 0 a とで厚みを同程度としてもよい。

[0062] 変形例 4 の場合には、スイッチオフ時に発生するリングングやサージ電圧を低減できる効果を大きくすることができる。実施形態 1 の場合には、スイッチング期間の後半にゲート電圧 V_{gs} が立ち上がることに起因して発生する誤動作 (セルフ・ターンオン) やスイッチング損失の増加を防止できるという効果を大きくすることができる。

[0063] (7) 実施形態 1 に係る半導体装置 1 0 0 は、実施形態 1 に記載した方法とは別の方法によっても製造することができる。例えば、図 1 7 及び図 1 8 に示すように、シールド電極 1 3 0 やゲート電極 1 2 6 を形成した後に、n + 型ソース電極 1 1 8 及び p + 型コンタクト領域 1 2 0 を形成するようにしてもよい。また、例えば、図 1 9 及び図 2 0 に示すように、シールド電極 1 3 0 やゲート電極 1 2 6 を形成した後に、n + 型ソース電極 1 1 8、p 型ベース領域 1 1 6 及び p + 型コンタクト領域 1 2 0 を形成するようにしてもよい。

符号の説明

[0064] 1 0 0, 1 0 0 a, 1 0 0 b, 1 0 1, 1 0 2, 1 0 3, 1 0 4, 1 0 5, 1 0 6, 1 0 7, 1 0 8…半導体装置、1 1 0…半導体基体、1 1 2…n + 型ドレイン領域、1 1 4…n - 型ドリフト領域、1 1 6…p 型ベース領域、1 1 8…n + 型ソース領域、1 2 0…p + 型コンタクト領域、1 2 2…トレンチ、1 2 4…ゲート絶縁膜、1 2 6…ゲート電極、1 2 8…電氣的絶縁領域、1 3 0…シールド電極、1 3 0 a…高抵抗領域、1 3 0 b…低抵抗領域

域、132…層間絶縁膜、134…ソース電極、136…ドレイン電極、138…開口部、M1, M2, M3, M4, M5, M6, M7, M8, M9, M10…マスク

請求の範囲

[請求項1] 第1導電型のドレイン領域、前記ドレイン領域に隣接した第1導電型のドリフト領域、前記ドリフト領域に隣接した第2導電型のベース領域、及び、前記ベース領域に隣接した第1導電型のソース領域を含む半導体基体と、

前記半導体基体内に形成され、前記ドリフト領域に隣接した底、及び、前記ベース領域及び前記ドリフト領域に隣接した側壁を有し、平面的に見てストライプ状に形成されたトレンチと、

前記トレンチ内に配設され、かつ、前記側壁の部分でゲート絶縁膜を介して前記ベース領域と対向するゲート電極と、

前記トレンチ内に配設され、かつ、前記ゲート電極と前記トレンチの前記底との間に位置するシールド電極と、

前記ゲート電極と前記シールド電極との間に拡がり、さらに、前記トレンチの前記側壁及び前記底に沿って拡がって前記側壁及び前記底から前記シールド電極を離隔させる、前記トレンチ内における電氣的絶縁領域と、

前記半導体基体の上方に形成され、前記ソース領域と前記シールド電極とに電氣的に接続されたソース電極と、

前記ドレイン領域に隣接して形成されたドレイン電極と、を備える半導体装置であって、

前記シールド電極は、前記側壁に対向する位置に設けられた高抵抗領域、及び、前記高抵抗領域に挟まれた位置に設けられた低抵抗領域を有することを特徴とする半導体装置。

[請求項2] 請求項1に記載の半導体装置において、

前記高抵抗領域及び前記低抵抗領域はともに不純物を含有する同一の半導体材料からなり、前記低抵抗領域の不純物濃度は前記高抵抗領域の不純物濃度よりも高いことを特徴とする半導体装置。

[請求項3] 請求項1に記載の半導体装置において、

前記高抵抗領域及び前記低抵抗領域はそれぞれ異なる材料からなり、前記低抵抗領域を構成する材料の電気抵抗率は前記高抵抗領域を構成する材料の電気抵抗率よりも低いことを特徴とする半導体装置。

[請求項4] 請求項1に記載の半導体装置において、

前記高抵抗領域及び前記低抵抗領域はそれぞれ同一の材料からなり、前記シールド電極のストライプ長手方向に直交する平面で切断したときの前記低抵抗領域の断面積は、前記シールド電極の長手方向に直交する平面で切断したときの前記高抵抗領域の断面積よりも大きいことを特徴とする半導体装置。

[請求項5] 請求項1～4のいずれかに記載の半導体装置において、

前記高抵抗領域及び前記低抵抗領域は、互いに接する位置に位置することを特徴とする半導体装置。

[請求項6] 請求項1～4のいずれかに記載の半導体装置において、

前記高抵抗領域及び前記低抵抗領域は、前記電氣的絶縁領域を介して互いに離隔する位置に位置することを特徴とする半導体装置。

[請求項7] 請求項6に記載の半導体装置において、

前記電氣的絶縁領域のうち前記高抵抗領域と前記低抵抗領域との間に挟まれている電氣的絶縁領域は部分的に開口部を有し、

前記高抵抗領域及び前記低抵抗領域は、前記開口部を介して部分的に接していることを特徴とする半導体装置。

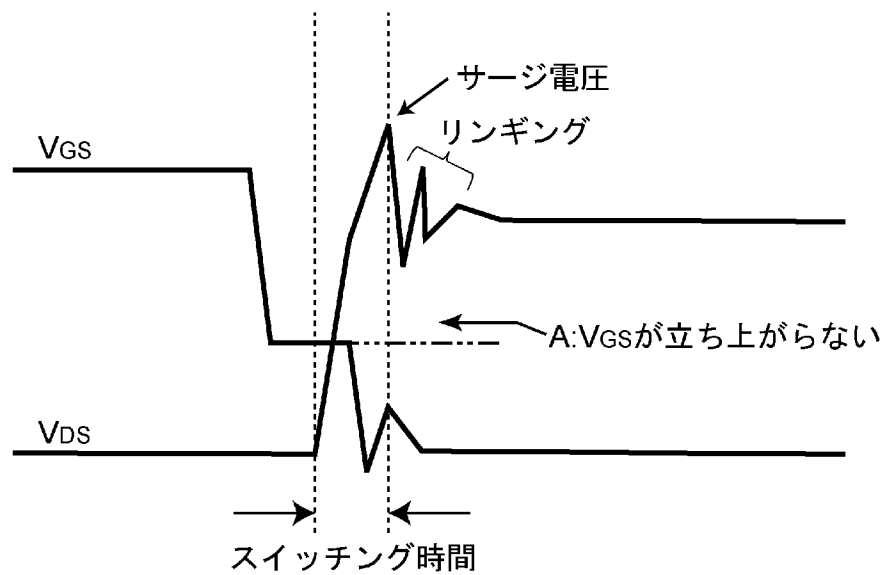
[請求項8] 請求項2又は3に記載の半導体装置において、

前記低抵抗領域は前記高抵抗領域よりも薄いことを特徴とする半導体装置。

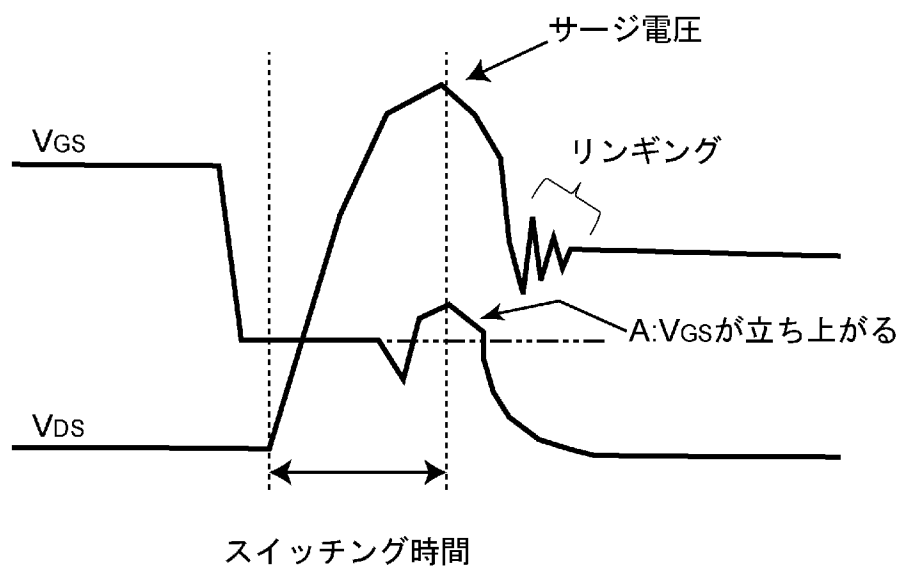
[請求項9] 請求項2又は3に記載の半導体装置において、

前記高抵抗領域は前記低抵抗領域よりも薄いことを特徴とする半導体装置。

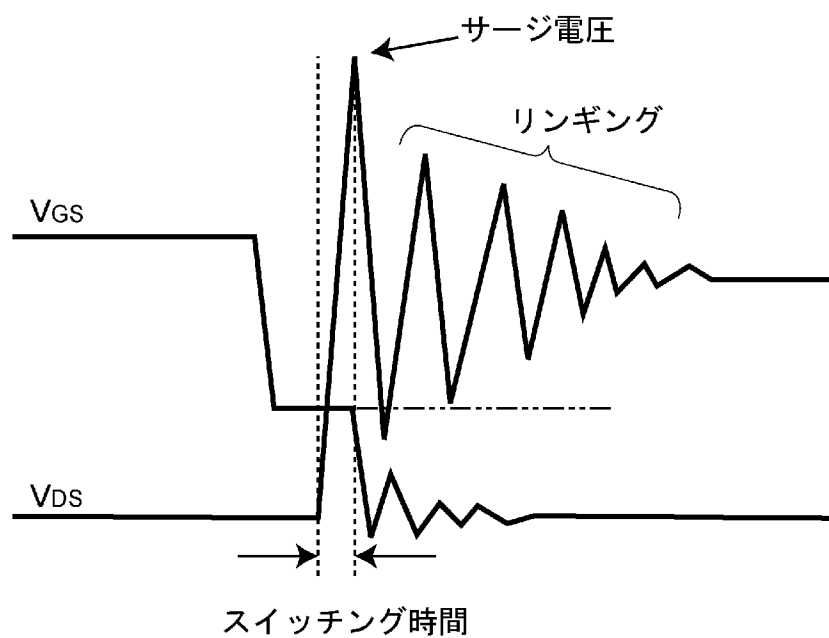
(a)



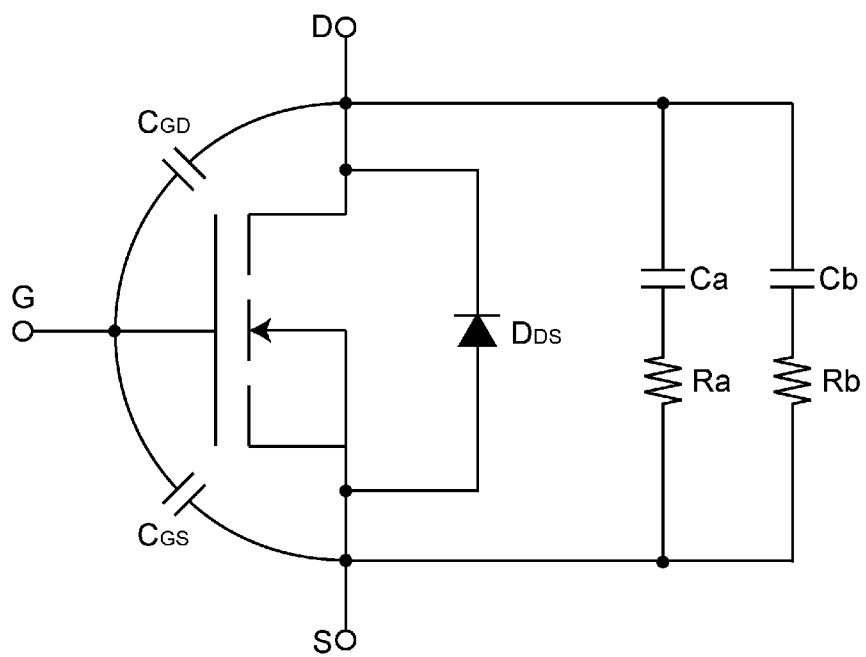
(a)



(a)

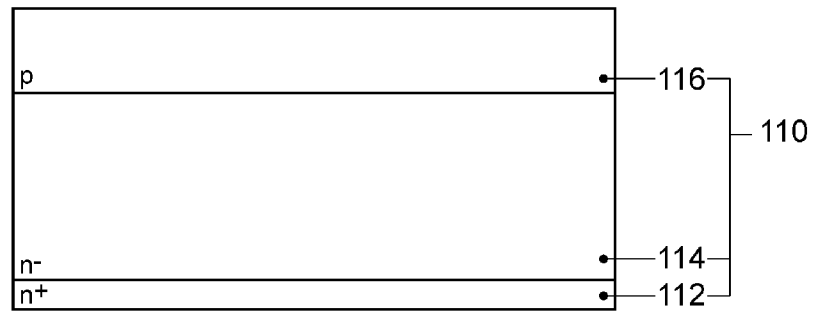


(a)

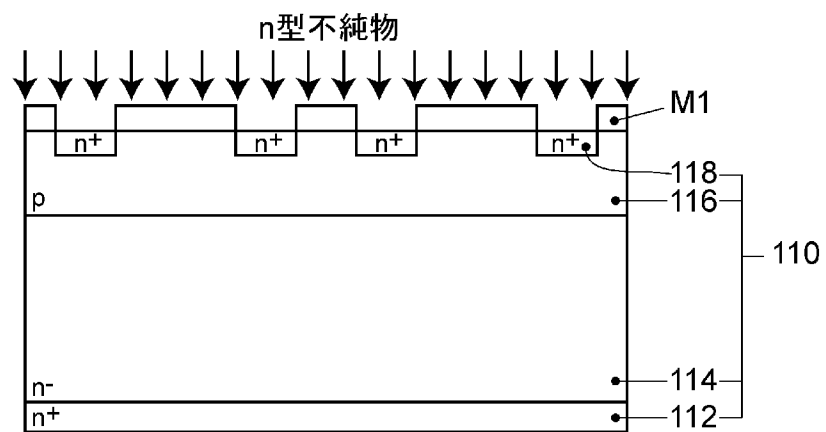


[図5]

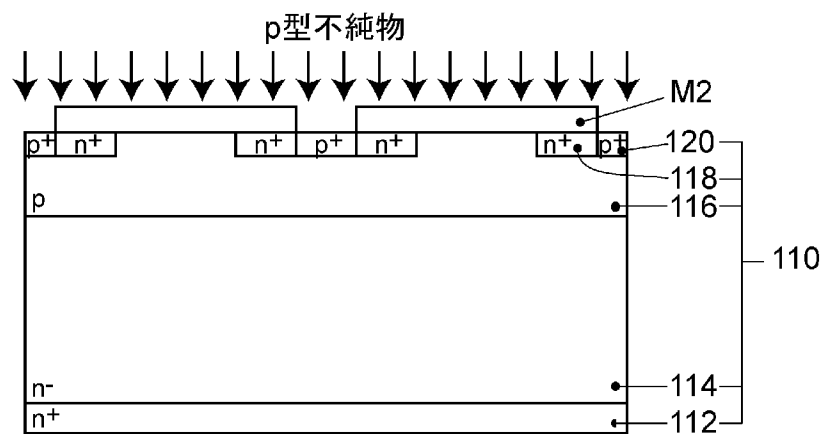
(a)



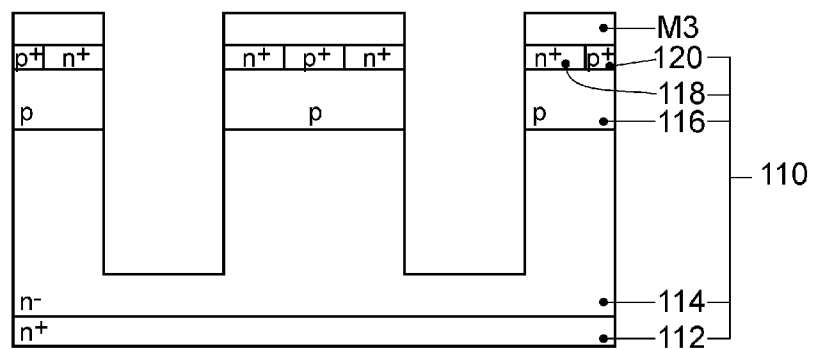
(b)



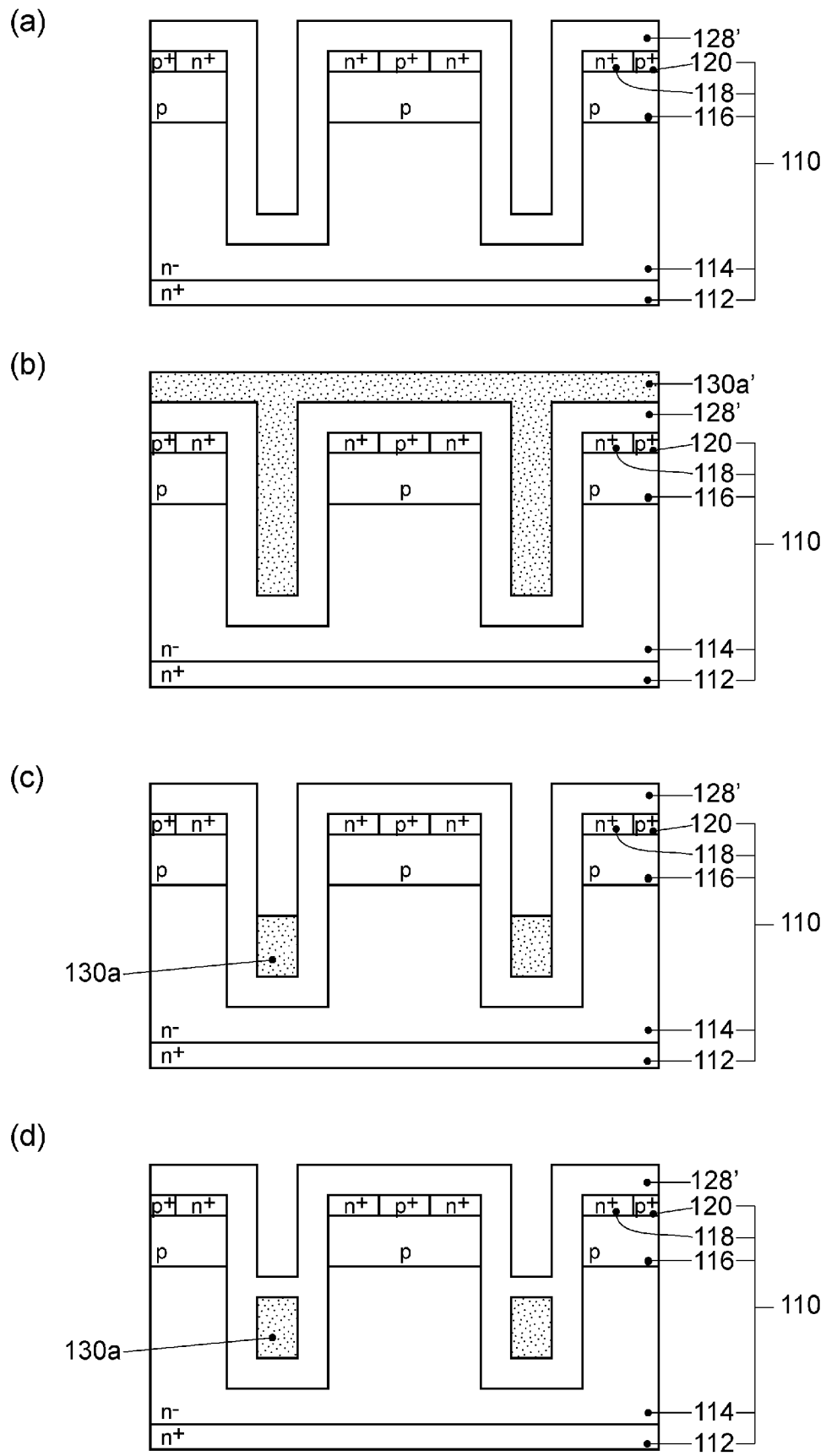
(c)



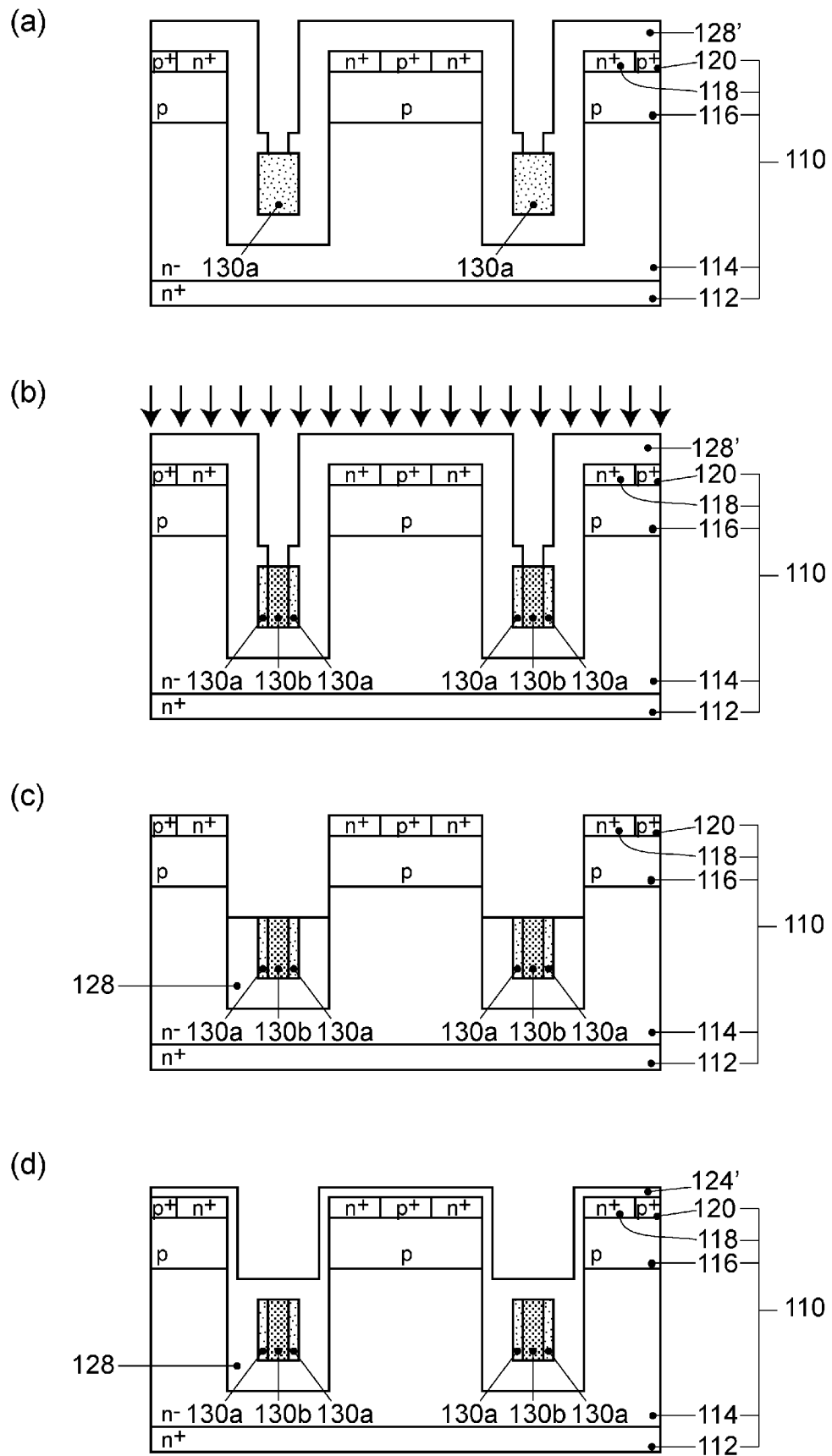
(d)

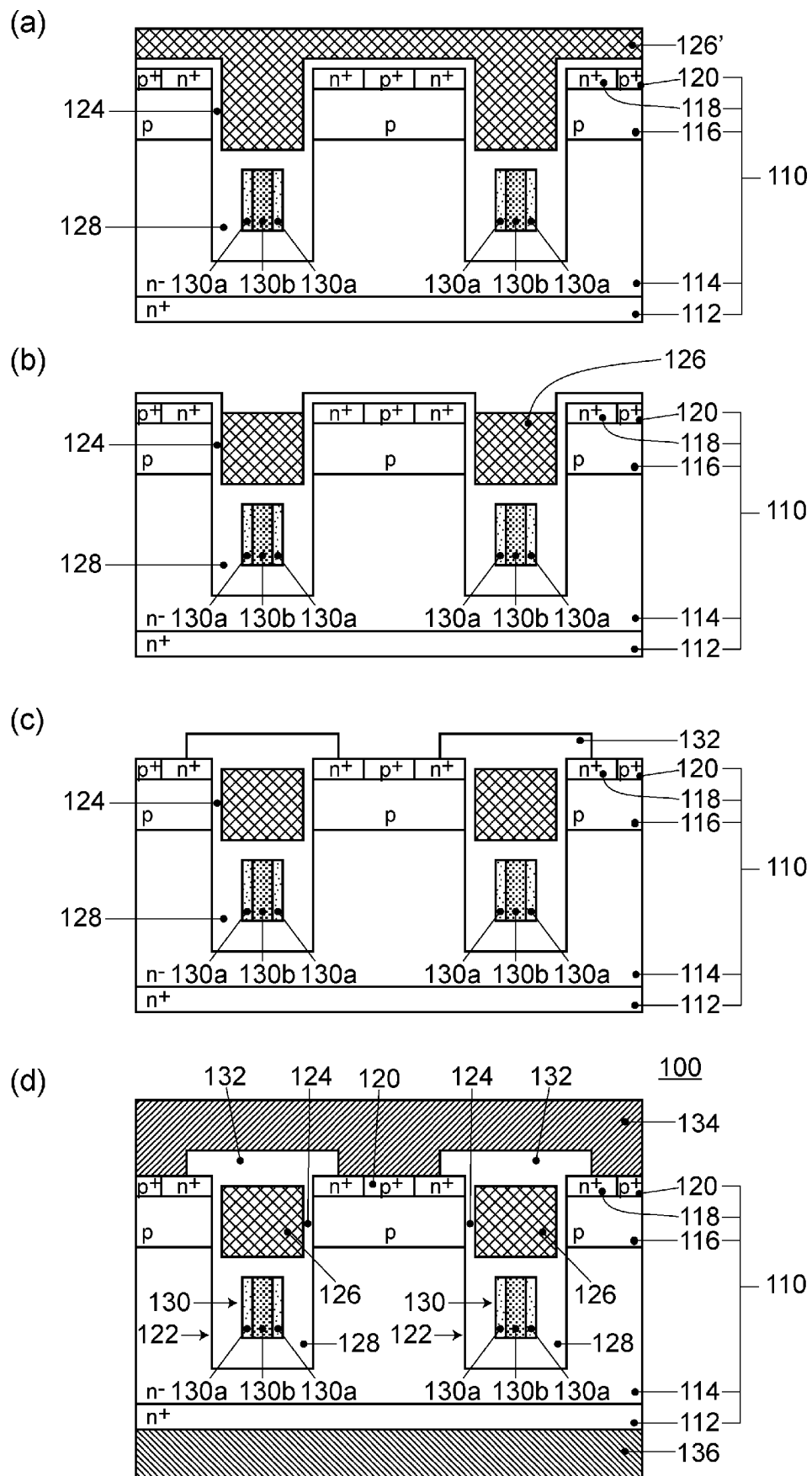


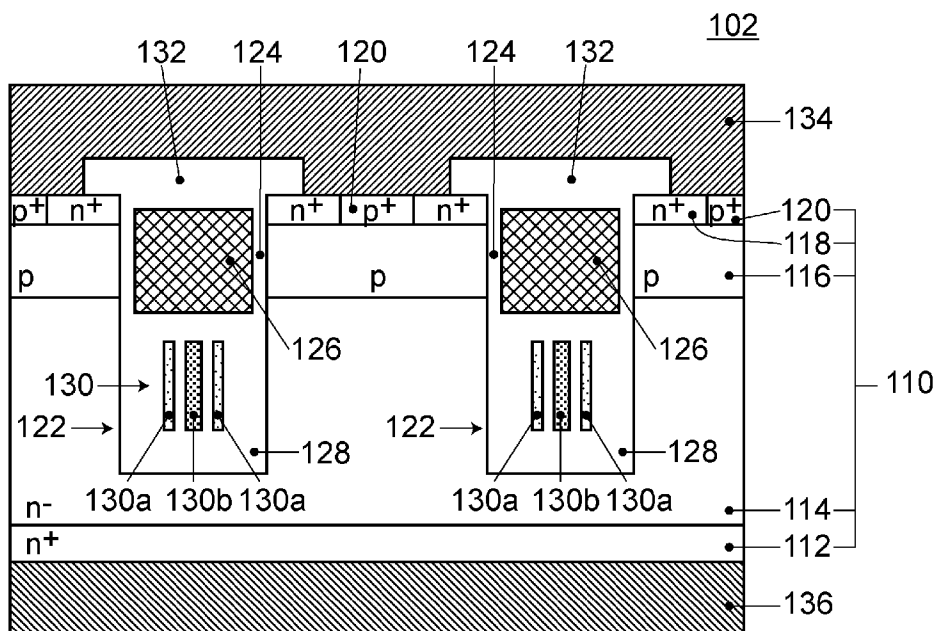
[図6]



[図7]







[illegible]

(b)

103

138

138

128

128

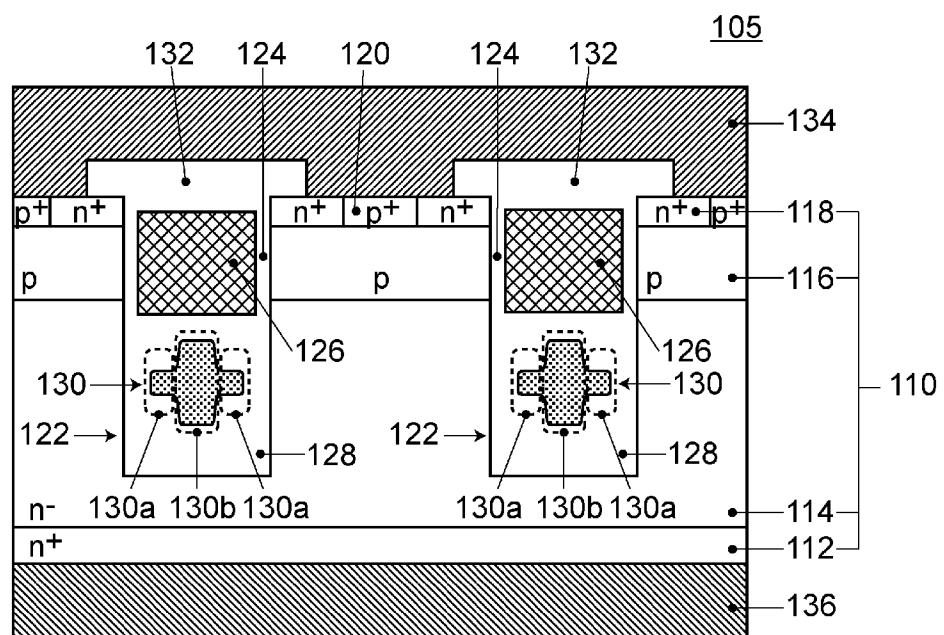
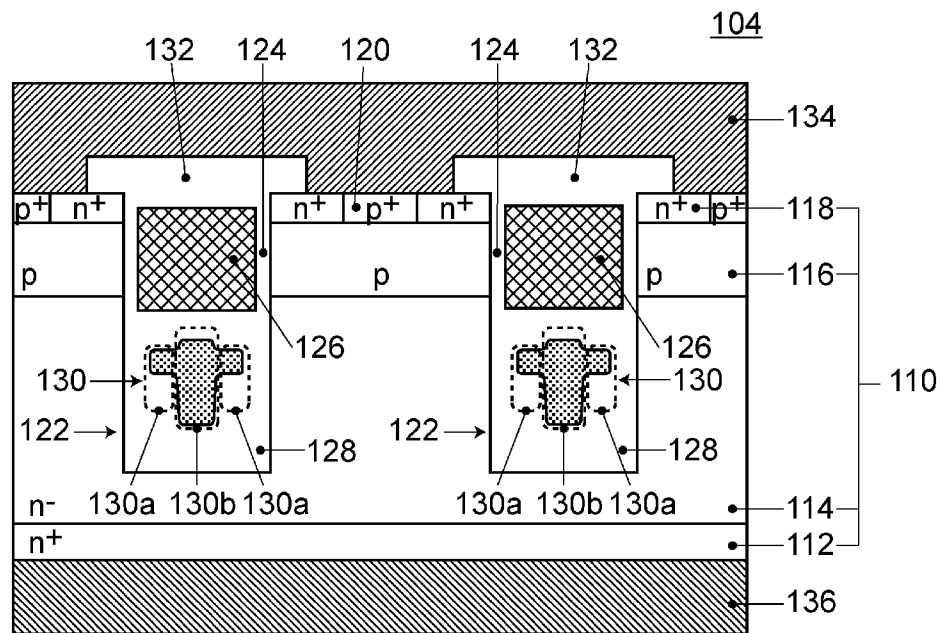
114

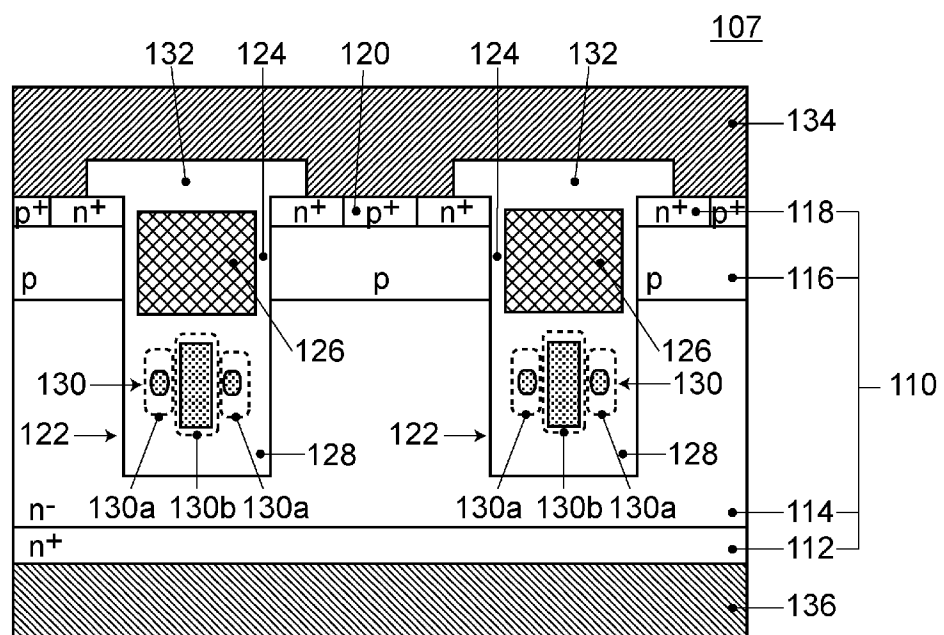
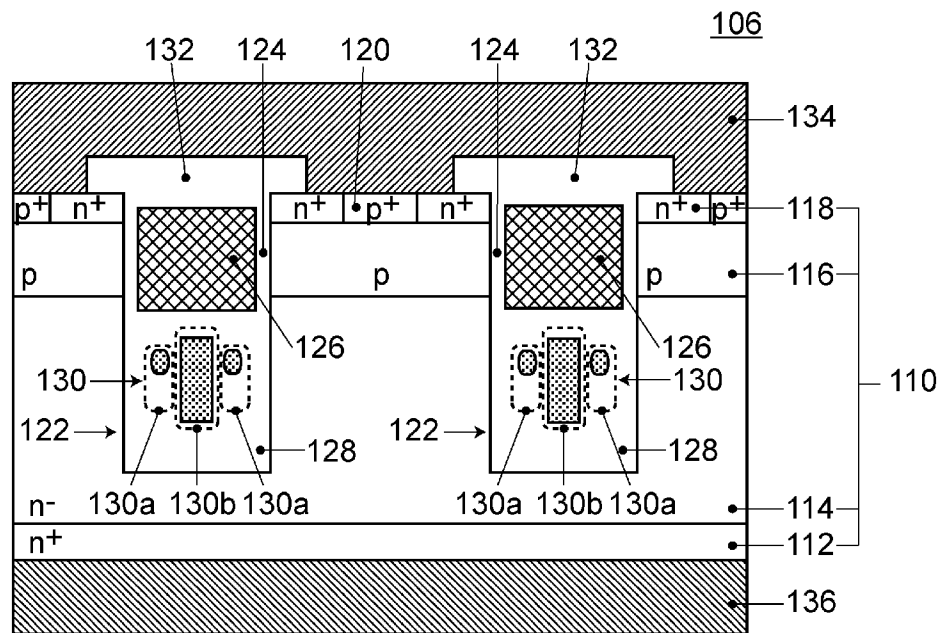
114

130a 130b 130a

130a 130b 130a

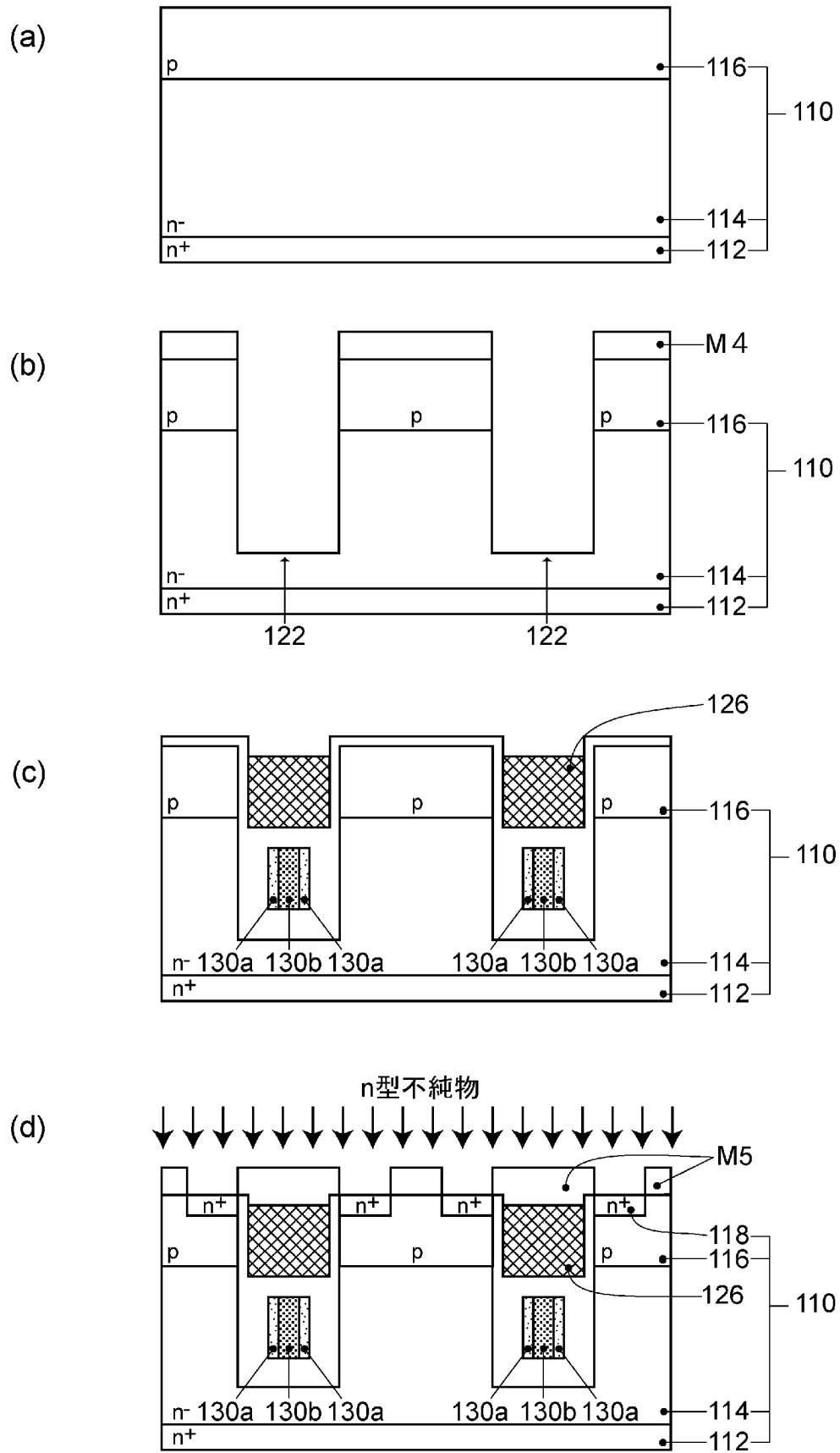
Detailed description: This diagram shows a cross-sectional view of a semiconductor device with two vertical structures. Each structure consists of a central core (130b) flanked by side regions (130a). The core is filled with a stippled pattern, while the side regions have a different pattern. A dashed line (138) indicates a boundary or interface. A horizontal line (128) is positioned between the two structures. A vertical line (114) is located at the bottom of each structure. The entire device is labeled 103 in the top right corner.



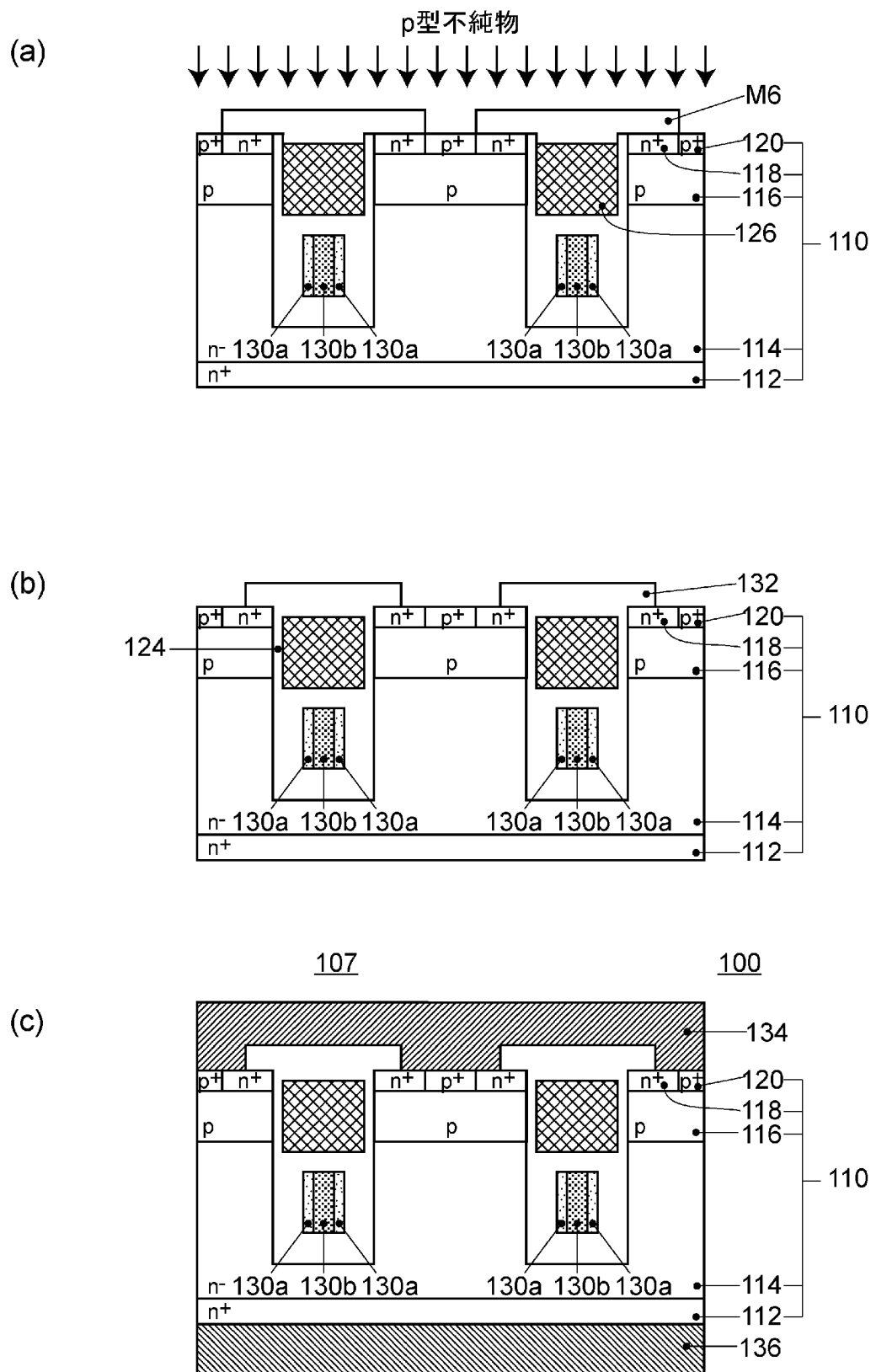


[illegible]

[図17]

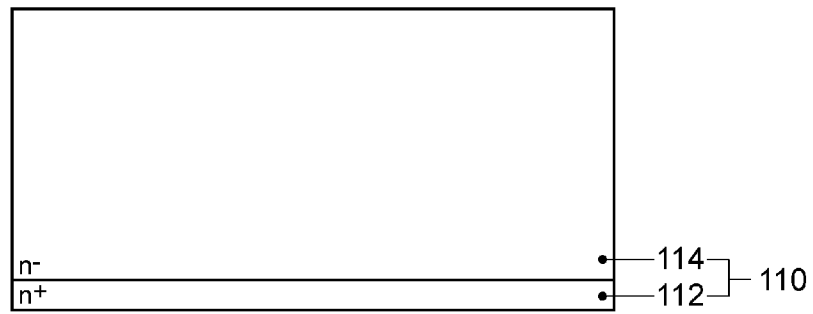


[図18]

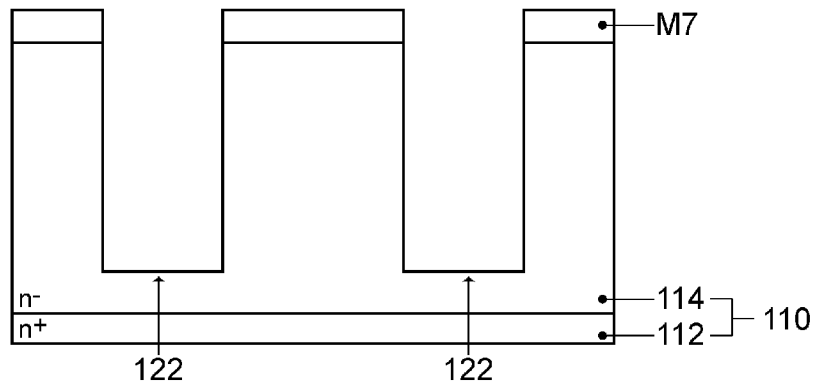


[図19]

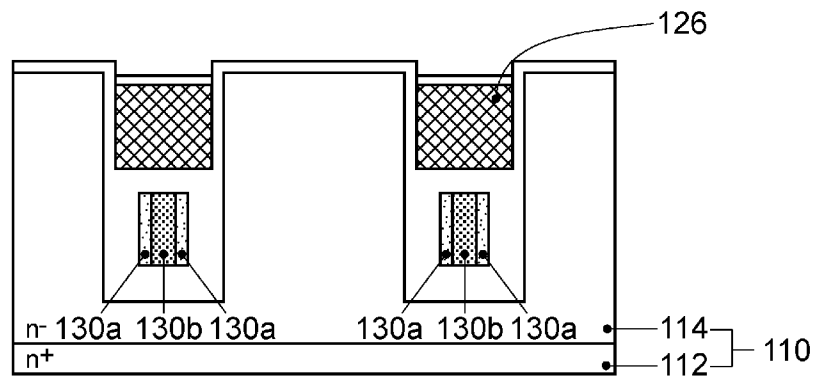
(a)



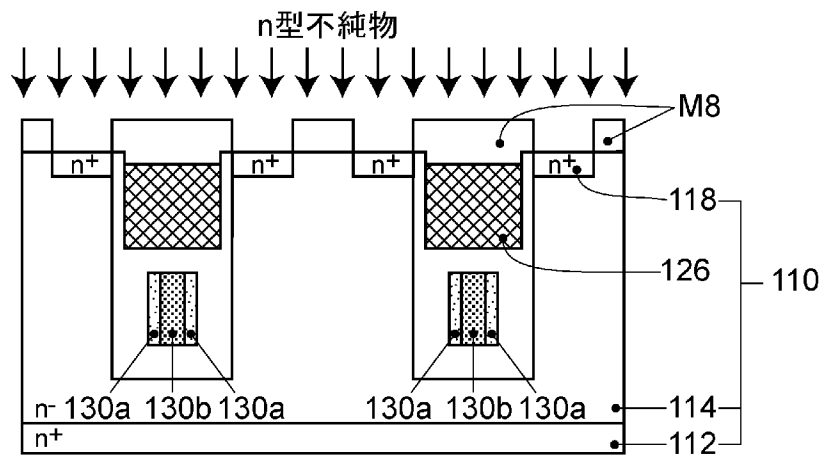
(b)



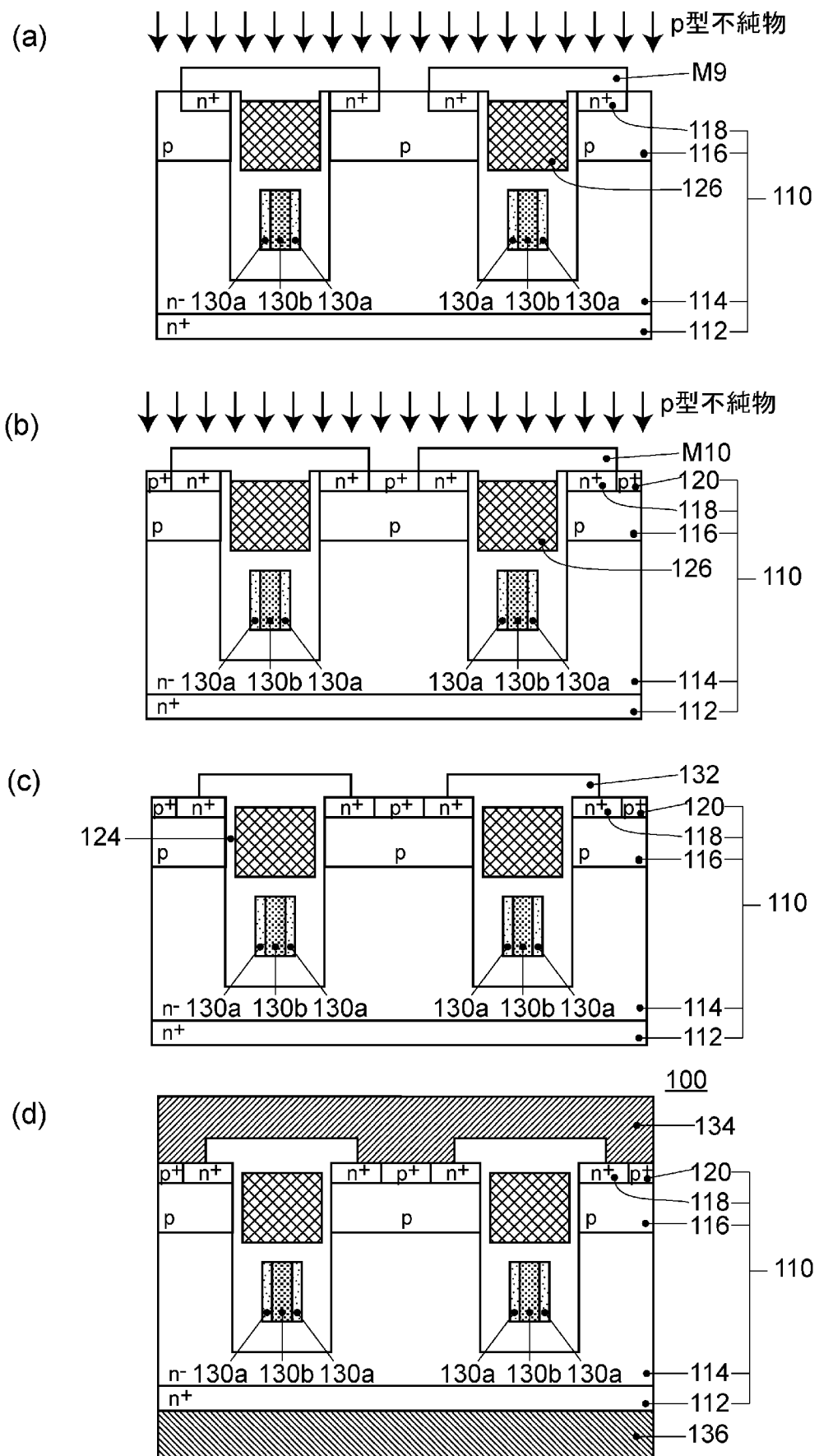
(c)



(d)

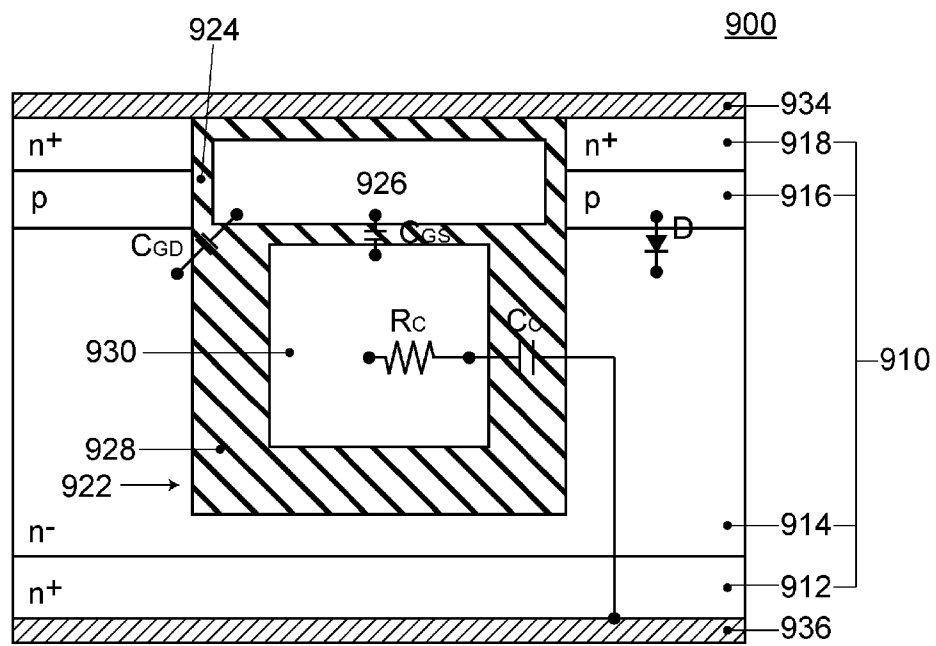


[図20]

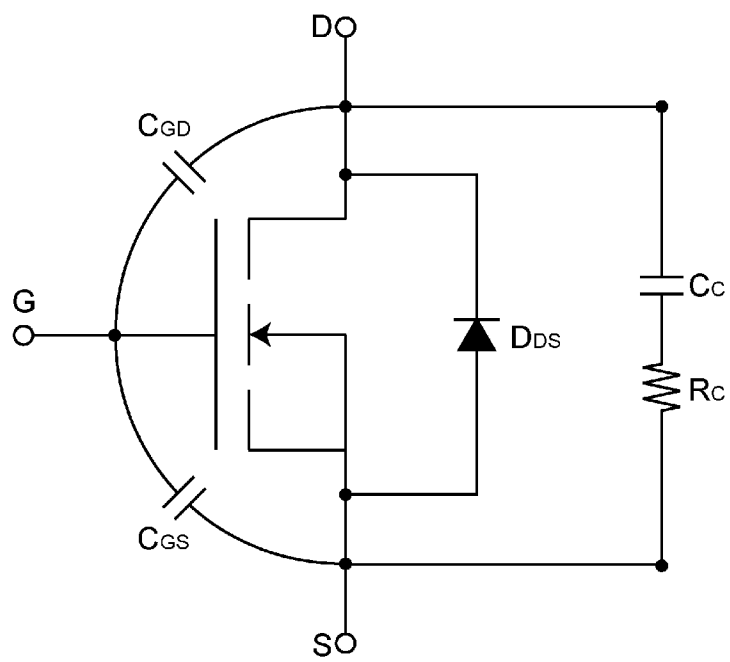


[図21]

(a)



(b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/054880

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2012-204529 A (Toshiba Corp.), 22 October 2012 (22.10.2012), paragraphs [0009] to [0025], [0042], [0045], [0057] to [0059]; fig. 1, 9 & US 8541834 B2 & CN 102694014 A	1, 4-6 2-3, 7-9
X A	JP 2012-204636 A (Toshiba Corp.), 22 October 2012 (22.10.2012), paragraphs [0010] to [0020]; fig. 1 & US 8643095 B2 & US 2014/0103427 A1 & CN 102694022 A	1, 4-5 2-3, 6-9
A	US 2010/0044785 A1 (James J. MURPHY), 25 February 2010 (25.02.2010), paragraphs [0041] to [0065]; fig. 7 & US 2012/0142155 A1	2

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 March 2015 (05.03.15)

Date of mailing of the international search report
17 March 2015 (17.03.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2012-204529 A（株式会社東芝）2012.10.22, 段落 [0009]-[0025], [0042], [0045], [0057]-[0059], 図 1, 9 & US 8541834 B2 & CN 102694014 A	1, 4-6 2-3, 7-9
X A	JP 2012-204636 A（株式会社東芝）2012.10.22, 段落[0010]-[0020], 図 1 & US 8643095 B2 & US 2014/0103427 A1 & CN 102694022 A	1, 4-5 2-3, 6-9
A	US 2010/0044785 A1（James J. MURPHY）2010.02.25, 段落 [0041]-[0065], 図 7 & US 2012/0142155 A1	2

☐ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 0 3 . 2 0 1 5

国際調査報告の発送日

1 7 . 0 3 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

大橋 達也

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

4 6 8 8