

公告本

申請日期	P0.3.20
案 號	P0106482
類 別	H01K 25/065

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書 I222205 新 型

一、發明 名稱	中 文	多晶片式球格陣列之IC封裝件
	英 文	"MULTI-CHIP BALL GRID ARRAY IC PACKAGES"
二、發明 創作人	姓 名	1.依諾恩 迪卡尼 YINON DEGANI 2.湯瑪士 D 杜德拉 THOMAS D DUDDERAR 3.金 L 泰 KING L TAI
	國 籍	1.以色列 2.3.美國
	住、居所	1.美國紐澤西州高地公園市克萊菲蘭大道10號 2.美國紐澤西州恰沙市學校大道30號 3.美國紐澤西州柏克萊海茲市高地圓園95號
三、申請人	姓 名 (名稱)	美商朗訊科技公司 LUCENT TECHNOLOGIES INC.
	國 籍	美國
	住、居所 (事務所)	美國新澤西州摩里山丘市山脈大道600號
	代 表 人 姓 名	查爾斯 L. 衛倫 CHARLES L. WARREN

經濟部智慧財產局員工消費合作社印製

裝 訂 線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

美國 2000年03月20日 09/528,882 有無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

本發明之範圍

本發明係關於具有用於高互連密度之多數晶片之球格陣列(BGA)積體電路(IC)封裝件。

本發明之背景

多晶片IC封裝件由於增加之裝置封裝密度已在IC工業中變得更為普遍，此可解釋為減低成本之更小封裝件，典型之多晶片封裝件具有由一印刷配線板承載之眾多晶片或多晶片模組。在增加裝置封裝密度之努力中，IC封裝件已計劃與安裝於印刷配線板兩側之多數晶片合用。此一方法使整個組合中之互連策略變得複雜，但可減少幾乎一半之IC封裝件尺寸。

多晶片IC裝置件技藝通常係用倒裝片銲接點(solder bump)工業技術互連，在增加應用之數量時，倒裝片工業技術已取代從IC封裝最早時期經已廣泛使用之導線接合互連技藝。不過導線接合仍有引人注目之優點，導線接合技術及導線接合機經已改善至導線接合乃係較便宜及高度可靠。然而，導線接合被認為在較前進之封裝方法中使用上有所限制，部份由於導線接合需要較許多封裝技藝中可用之更大節距之故。因此就小節距之互連應用而言，工業技術上之傾向已趨於銲接點互連方法。不過，大部份由於高I/O密度，使用前進封裝技術之封裝產量受損，及封裝方法之複雜性為之增加。結果每一接合之總成本可能較高。如若能找出方法使導線接合適應封裝高密度I/O(輸入/輸出)晶片，則導線接合之低成本與高度可靠性使其具有吸

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(2)

引力。

本發明之概述

吾人已發展出一種多晶片球格陣列包裝件，其中I/O密度係藉將各有效晶片安裝於該球格陣列(BGA)內部之基體底面上之隔離空間(本文中稱為BGA間隙)中而予以增加。通常係空出或經由連接以供電及接地之此空間乃有效用作晶片位置以增加封裝件I/O封裝密度。在此較佳實例中，一或更之邏輯晶片係導線接合於BGA基體之頂面以及兩個或更多之記憶晶片係置於底面上之BGA間隙中。關於本文中之"晶片"一詞意指配置供倒裝片互連用之單一裸模，或已從經作在一多晶片IC陣列或一晶片規模封裝(CSP)中倒裝片互連處理之一圓片鋸出之一群或一個以上之此種模。上述邏輯與記憶晶片間之互連乃使用經由BGA基體之通道達成。如若需要，在BGA間隙中IC晶片之有效散熱可在BGA之再熔接期間將各晶片之背面附著於該基體而實現之。在BGA頂面之晶片或各晶片之散熱可由設置一散熱片作為蓋子而達成。在該底面上之各晶片通常乃使其變薄以裝入BGA之習用隔離中為容納較薄之各晶片起見，基體板可形成一空穴以將部份隱藏該晶片於該基體中。

本發明之配置允許邏輯晶片之大量I/O互連在BGA基體上，以扇形散開(fan out)至以導線接合於控制晶片之周邊位置。此等在基體頂部上之周邊位置然後使用至該基體底面上各晶片之通道予以互連。此種拼合方法以簡單有效之方式使導線接合之低成本與高度可靠性與倒裝片工藝技術

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(3)

之高I/O密度相結合。

圖式之簡單說明

圖1為一傳統之BGA封裝件之簡要圖示；

圖2為本發明之雙邊拼合BGA封裝件之一具體實例簡要圖示；

圖3為圖2中基體之一部份之平面視圖；

圖4為本發明之雙邊拼合BGA封裝件之第二實例簡要圖示。

詳細說明

一傳統之BGA封裝件係顯示於圖1中，IC晶片11係模鑄接合於互連基體12。該互連基體通常為由標準之環氧或其他適合材料製成之設有電路之疊片。在IC晶片上之結合墊片13係以導線接合15與互連基體上之結合墊片14互連。基體12則以錫料球17之陣列與次一板位準通常為一母板16者互連，各錫接球通常係附加於BGA結合墊片18。圖1顯示安裝於基體12上之單一晶片，但為本技藝中所瞭解者，可有以相似方式安裝之數個或許多晶片。在此圖示中之導線接合提出單列之並列導線，但多列之平行或交錯之導線接合乃係普遍使用，此種封裝設計，具有對IC晶片之導線接合及對次一互連位準之大型球接合者係堅固及便宜，不過，如同精熟本技藝者所承認者，在此種封裝件中

之晶體密度及I/O互連之密度係適中而已。

吾人已認可IC晶片技藝能製得足夠之薄使各晶片可安裝於板16及基體12之間。為便於此項說明起見，此一空間

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

設計。然而原則上IC晶片可變薄至更小之尺寸，及藉具有較平坦外型之精細導線接合技術之現時發展，一或更多導線接合之IC晶片可安裝於BGA間隙中。另一非常實用之可採取方法為將IC晶片以倒裝片結合於基體之頂面。是以除上述較佳選擇外，且封裝件設計之互換乃如下列：

1. 在基體頂部之倒裝片結合或表面安裝晶片，與在BGA間隙中之倒裝片結晶片。
2. 在基體頂部之導線接合晶片，與在BGA間隙中之導線接合晶片。
3. 在BGA間隙中之導線接合晶片，與在基體頂部之倒裝片或表面安裝晶片。

在上列之每一狀況中，將一或更多之IC晶片安裝於BGA間隙中符合本發明之主要標準。

本發明之拼合BGA封裝件之重要特色為提供在基體22頂部之導線接合之邏輯/控制晶片21與在底面上之記憶晶體31-34間之穿孔互連或通道。為簡明起見，各通道並不顯示於圖2中，但係在圖3中舉例說明。在圖3中，顯示IC晶片21之一部份以及其所安裝之基體22之一部份。IC晶片21可用模壓結合或其他方式附加於基體22。導線結合墊片35之一行列被顯示為沿IC晶片21之邊緣。導線結合墊片36之一相當行列係形成於基體22上。導線結合互連乃顯示於37處。在此圖中，基體22上之各導線結合墊片被顯示成爲兩列，以說明可使用於導線結合位置之若干可替用配置。在IC晶片21上各墊片亦可配置成一系列以上及交

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

之表示法係屬適當。不過，在若干結構中，結合位置可退藏，如熟諳本技藝人士所明瞭在可放鬆尺寸之規定。

如本文所使用者，銲接點墊片一詞乃意指與另一基體成球或銲點結合之墊片，且係用以與導線接合之結合墊片有所區別。如上文所述，在IC晶片上之銲接點墊片通常包含接點下面之金屬噴鍍。典型者，在IC晶片上之導線接合墊片係鋁墊片，而在印刷電路板上之導線接合墊片則通常為鍍以鎳及金之銅墊片，以及導線結合通常用金線製成，互連墊片一詞在本文中係用作敘述銲接點墊片及導線接合墊片之一般名詞。

印刷配線板一詞在本文中係指標準之環氧板，例如FR4，球格陣列互連基體及任何其他之適合之互連基體。

對於熟諳本技藝者可有本發明之各種另增之修正。所有對基本上本技藝賴以進展之原理及其相等者之本說明書特殊教導之偏離，均應認為乃在如本文所述及申請專利之本發明範圍之內。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱：多晶片式球格陣列之IC封裝件)

本說明書敘述一種高密度IC球格陣列(BGA) IC封裝件，其中一或更多之IC晶片係以習用方式用導線接合於一BGA基體及該BGA基體係用銲接球與一印刷配線板結合。該BGA基體與其所加附之印刷配線板間之間隔提供一BGA間隙，根據本發明，該間隙容納與BGA基體下面成倒裝片結合之一或更多IC晶片。對於此種技藝之認可即IC晶片特別是已變薄之晶片能容易裝入於BGA間隙，使BGA間隙之此一有效使用成爲實用本發明之方法亦使導線搭接技藝與高封裝密度倒裝片組合作結合以產生低成本，高度可靠之IC封裝技藝。

英文發明摘要 (發明之名稱： "MULTI-CHIP BALL GRID ARRAY IC PACKAGES")

The specification describes a high density IC BGA package in which one or more IC chips are wire bonded to a BGA substrate in a conventional fashion and the BGA substrate is solder ball bonded to a printed wiring board. The standoff between the BGA substrate and the printed wiring board to which it is attached provides a BGA gap which, according to the invention, accommodates one or more IC chips flip-chip bonded to the underside of the BGA substrate. The recognition that state of the art IC chips, especially chips that are thinned, can easily fit into the BGA gap makes practical this efficient use of the BGA gap. The approach of the invention also marries wire bond technology with high packing density flip-chip assembly to produce a low cost, high reliability, state of the art IC package.

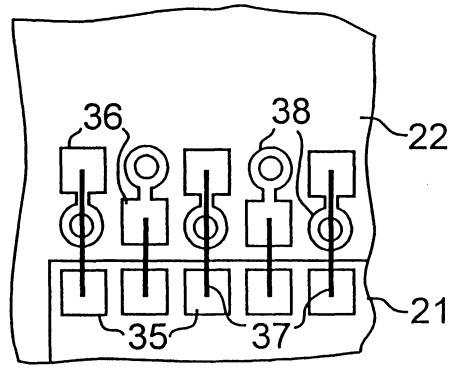


圖 3

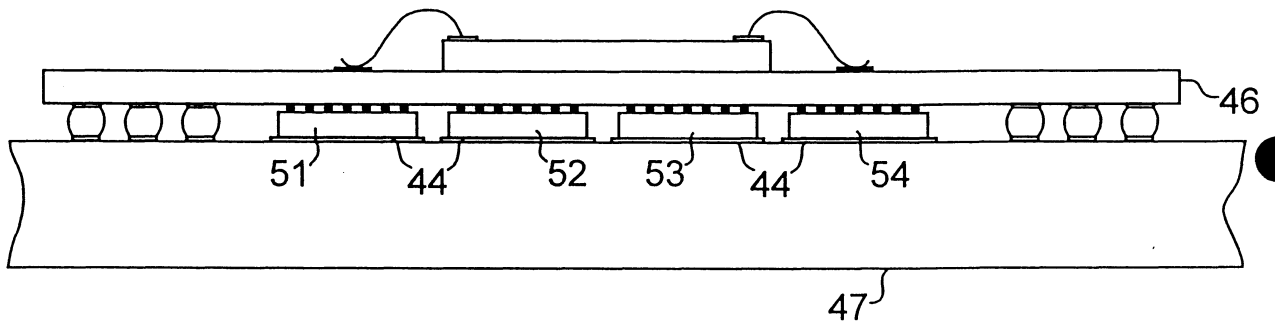


圖 4

五、發明說明 (4)

將在本文中稱為 "BGA間隙"。根據本發明設計之BGA封裝件乃顯示於圖2中，其中IC晶片被指定為21並係如圖1中所示與互連基體22成模壓結合。在IC晶片上之結合墊片23係以導線接合25與互連基體上之結合墊片24互連。基體22則以銲接球27與BGA結合墊片28，29與母板26互連。附加於基體22之底面，在BGA間隙中者為IC晶片31-34之陣列。每一IC晶片陣列係用銲接點30與基體22之底面成倒裝片結合。銲接點30通常設有下面之接點金屬噴鍍(未圖示)。因此基體22支持導線接合晶片與銲料接合倒裝片之拼合。

在本發明之較佳實例中，導線接合之IC晶片21係一邏輯控制IC晶片，及在基體22底面上陣列中之IC晶片31-34係記憶IC晶片。如所顯示者，母板26與基體22間之間隔即BGA間隙之厚度乃足以容納IC晶片31-34之厚度。在一典型之BGA封裝件中，此間隔之距離約為15-25密爾。用於IC裝置之常用晶片厚度為26-30密爾。因此建議在切成小方塊之前應將各圓片削薄而使IC晶片之厚度減少至BGA間隔尺寸以下。削薄之步驟係屬慣例，以及在IC技藝中乃以例行方式付諸實施，IC晶片通常被變薄至10-15密爾本技藝之此種狀態及其對封裝含意之新認識導致本發明之付諸實施而不致對晶片製作之處理與成本有重大增加。

上文所述回及圖2中所示之配置，即一或更多之IC晶片以導線接合於該基體之頂表面及一或更多之IC晶片在BGA間隙中成倒裝片接合，表示根據本發明之一種較佳封裝件

五、發明說明 (6)

錯或重疊，故例如200墊片，每片具有50 μm 之正方形，可沿實際上少於10,000 μm 之一晶體側面容納之。

與結合墊片位置36結合者為將導線結合墊片36互連於基體22底面之通道38。雖然未予顯示，熟諳本技藝人士可瞭解各印刷電路係設於基體22上。各印刷電路將IC晶片31-34，IC晶片21及BGA鉚接球27互連。亦可瞭解者，各種不同之互連電路可用於本發明。此等電路可將若干導線結合墊片36互連在一起，在此狀況中，每一導線結合墊片將不需要一配合之通道各通道被顯示為沿IC晶片21之邊緣配置但可代以佔據在基體22頂面上之任何基體區域。同樣，在基體22之上面或底面上之各印刷電路可延伸於整個可利用之表面上。此一大表面面積大為增加互連圖型之設計彈性。亦屬實用者為將各互連電路加於基體26上。此外，應瞭解基體22與母板26之一或更者可為多層之印刷電路板。

就堅固之IC封裝件而言，如若需要，可對IC晶片31-34所佔之孔穴不用環氧充滿，以及IC晶片21用塑料加重模塑或按應用所需以他法密封。

在圖2之配置中，基體22與印刷電路板26間之空間係呈以容納IC晶片31-34而具有各IC晶片與板26間之餘隙。圖4顯示一可選之配置，其中各IC晶片接觸印刷電路板。就此法而言，各IC晶片之背面乃施以適當之鉚料可潤溼金屬噴鍍及如所示在鉚接墊片44係設於印刷配線板47上，對印刷配線板47之組合，係用傳統之表面安裝技藝(SMT)

五、發明說明 (7)

完成，亦即印以錫膏之所要圖型，將各組件置於錫膏上及用回流錫接附加各組件。在SMT錫膏及BGA球之回流加熱期間，將基體46及IC晶片51-54附加於印刷電路板47，此種封裝件設計係堅固且使組合作業可有多方面適用性。並使從IC晶片51-54之背面供電/接地連接得以直達印刷電路板47至於組合方面，各IC晶片可在圓片位準行使錫料接合。然後各晶片可首先附加於印刷電路板47，並在回流加熱期間附加於基體46。或另一方式可首先以錫接點與基體46結合，然後在回流加熱期間附加於印刷電路板47。

I/O互連之有效節距，即在IC記憶晶片上各互連(墊片，通路)間之空隙可在20-40 μm 範圍。在邏輯晶片上各導線結合之典型節距為55-70 μm 。

用於基體底面上晶體陣列之錫接點結構可為一區域陣列，即充填全部晶片區域之各互連位置之陣列。其他配置係相等地有用。區域陣列一詞通常係用以與邊緣陣列或周邊陣列有所區別錫接點陣列可包含能作倒裝片接合之任何組態。倒裝片接合乃係將半導體IC基體"顛倒"附加在例如矽圓片，陶瓷基體或印刷電路板之互連基體上。附加用之設備通常為球形，墊片或凸點(本文中一般稱為錫接點)料。錫接點可施加於半導體晶片或互連基體或兩者。在接合作業中，晶片被置於與基體接觸並將錫料加熱以使錫料回熔而將晶片附加該基體。就成功之接合而言，錫料所接合之位置必須可為錫料所溼潤。此在實作上係用鋁質IC金屬噴鍍之一金屬塗層及將錫接點或墊片加於該塗層而達

五、發明說明 (8)

成。該塗層通常稱為鍍接點下面之金屬噴鍍(UBM, U_nder B_ump Metallization)。上文所述本發明各具體實例中之間隔，其中一鍍料接合之IC晶片係安裝於BGA間隙中者包括至少一層UBM以及IC晶片之厚度。典型之UBM為鉻與銅之複合物。先將鉻澱積以黏附於鋁並將銅施加於鉻上以提供一鍍料可潤溼之表面。為確保鍍料與UBM間之介面完整性通常在鉻與銅之各層間使用鉻與銅之一複合或合金層。UBM之適合厚度範圍為7000-15000埃。微鍍接點(例如圖2中30)之典型高度範圍為20-50 μm 。因此，BGA間隙G之厚度應至少為IC晶片，微鍍接點及UBM之厚度，即：

$$G \geq T + M + U$$

其中T係安裝於BGA間隙中之IC晶片之厚度，M係微鍍接點之高度，及U係UBM層之厚度。

如圖2中實例所例示者，BGA間隙大小G係由BGA球27之高度H及BGA接合墊片28之厚度B決定之，因此：

$$G = H + B$$

及

$$H + B \geq T + M + 2U$$

式中B係BGA接合墊片之厚度，典型者，但並非必要，在基體22上BGA接合墊片之厚度乃與在印刷電路板26上BGA接合墊片上之厚度相同。因此，為簡化起見，此處之B係BGA接合墊片之合併厚度。

UBM通常係突出於IC晶片之聚亞胺表面上，及BGA接合墊片通常乃離開印刷配線板之表面，在此種情況下，上文

六、申請專利範圍

1. 一種 IC BGA 封裝件，包含：
 - a. 一第一印刷配線板(第一PWB)，具有一上表面及一下表面，位於上表面之一第一陣列BGA結合墊片，及位於上表面之一第二陣列BGA結合墊片，該第二陣列BGA結合墊片與該第一陣列BGA結合墊片間留有間隔，且該BGA結合墊片具有厚度 B_1 ，
 - b. 一第二印刷配線板(第二PWB)，具有一上表面及一下表面，並包含：
 - i. 位於下表面上之具有厚度 B_2 之一第一陣列BGA結合墊片，
 - ii. 位於下表面上之具有厚度 B_2 之一第二陣列BGA結合墊片，該第二陣列BGA結合墊片與該第一陣列BGA結合墊片之間留有間隔，藉此在其間形成間隙，
 - iii. 附加於第二PWB之上表面之一IC晶片，
 - iv. 位於IC晶片上之一陣列IC晶片導線結合墊片，
 - v. 在第二PWB上表面上之一第一陣列PWB導線結合墊片，其至少部份包圍該IC晶片，
 - vi. 在第二PWB上表面上之一第二陣列PWB導線結合墊片，其至少部份包圍該IC晶片，
 - vii. 在第二PWB上表面上之一第三陣列PWB導線結合墊片，其至少部份包圍該IC晶片，

六、申請專利範圍

- viii. 在第二PWB之下表面上之一陣列銲接點墊片，該銲接點墊片具有厚度 U_1 ，
- ix. 一第一複數導線結合，將該第一陣列IC晶片導線結合墊片與該上表面之第一陣列PWB導線結合墊片互相連接在一起，
- x. 一第二複數導線結合，將該第二陣列IC晶片導線結合墊片與該上表面之第二陣列PWB導線結合墊片互相連接在一起，
- xi. 一第三複數導線結合，將該第三陣列IC晶片導線結合墊片與該上表面之第三陣列PWB導線結合墊片互相連接在一起，
- xii. 貫穿該第二PWB之一第一複數BGA互連通道，
- xiii. 貫穿該第二PWB之一第二複數BGA互連通道，
- xiv. 貫穿該第二PWB之一複數晶片互連通道，
- xv. 第一上表面金屬噴鍍裝置，用以將該第一複數BGA互連通道與該上表面之第一陣列PWB導線結合墊片互相連接，
- xvi. 第二上表面金屬噴鍍裝置，用以將該第二複數BGA互連通道與該上表面之第二陣列PWB導線結合墊片互相連接，
- xvii. 第三上表面金屬噴鍍裝置，用以將該複數晶片互連通道與該上表面之第三陣列PWB導線

六、申請專利範圍

結合墊片互相連接，

xviii. 第一下表面金屬噴鍍裝置，用於將該複數晶片互連通道與該銲接點墊片連接，

xix. 至少二IC晶片，該各IC晶片具有小於T之厚度，且該各IC晶片具有一陣列銲接點墊片，該銲接點墊片具有厚度 U_2 ，

c. 一第一陣列BGA銲接球，將位於第一PWB上之該第一陣列BGA結合墊片與位於第二PWB上之該第一陣列BGA結合墊片接合，且一第二陣列銲接球，將位於第一PWB上之第二陣列BGA結合墊片與位於第二PWB上之該第二陣列BGA結合墊片結合，該第一陣列BGA銲接球及該第二陣列BGA銲接球之高度為H，

d. 高度為M之一陣列銲接點，將該IC晶片上之該陣列銲接點墊片與在第二PWB之下表面上之該陣列銲接點墊片結合，

其中之 U_1 ， U_2 ，M，T， B_1 ， B_2 及H有下列之關係

$$H + B_1 + B_2 \geq T + M + U_1 + U_2$$

2. 根據申請專利範圍第1項之IC BGA封裝件，其中該IC晶片之厚度T已處理成為15密爾(mils)。
3. 根據申請專利範圍第1項之IC BGA封裝件，其中在第二PWB上表面之IC晶片係一邏輯晶片。
4. 根據申請專利範圍第3項之IC BGA封裝件，其中在

六、申請專利範圍

BGA間隙中各IC晶片之至少一晶片係一記憶晶片。

5. 根據申請專利範圍第2項之IC BGA封裝件，其中在該BGA間隙中之該複數IC晶片係至少三片IC晶片。
6. 根據申請專利範圍第5項之IC BGA封裝件，其中在該BGA間隙中之IC晶片數量大於在該上表面之IC晶片數量。
7. 根據申請專利範圍第6項之IC BGA封裝件，其中一單一之IC晶片係附著在該第二PWB之上表面。

裝
訂
線

第 090106482 號專利申請案
中文專利圖式替換頁(92年3月)

圖 1

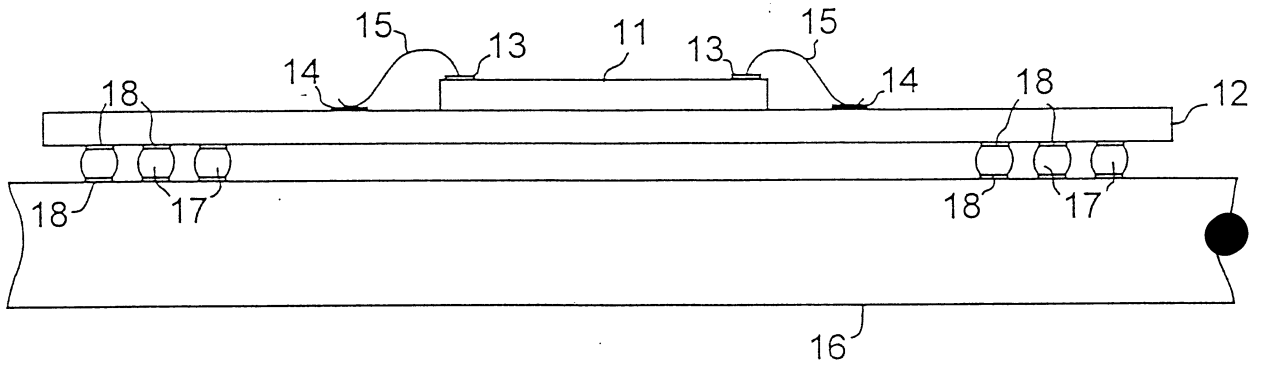


圖 2

