

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5152741号
(P5152741)

(45) 発行日 平成25年2月27日(2013.2.27)

(24) 登録日 平成24年12月14日(2012.12.14)

(51) Int.Cl.
H03K 7/08 (2006.01)

F I
H03K 7/08 C

請求項の数 2 (全 10 頁)

(21) 出願番号	特願2007-97406 (P2007-97406)	(73) 特許権者	504199127
(22) 出願日	平成19年4月3日(2007.4.3)		フリースケール セミコンダクター イン
(65) 公開番号	特開2008-258819 (P2008-258819A)		コーポレイテッド
(43) 公開日	平成20年10月23日(2008.10.23)		アメリカ合衆国 テキサス州 78735
審査請求日	平成22年4月2日(2010.4.2)		オースティン ウィリアム キャノン
			ドライブ ウェスト 6501
		(74) 代理人	100116322
			弁理士 桑垣 衛
		(72) 発明者	江川 貫治
			東京都目黒区下目黒1丁目8番1号 アル
			コタワー15階 フリースケール・セミコ
			ンダクタ・ジャパン株式会社社内
最終頁に続く			

(54) 【発明の名称】 パルス幅変調波出力回路

(57) 【特許請求の範囲】

【請求項 1】

パルス幅変調波出力回路であって、
第1のランプ電圧を負入力端子において受信する第1の電圧比較手段と、
前記第1のランプ電圧の位相をずらした第2のランプ電圧を負入力端子において受信する第2の電圧比較手段とを備え、
前記第1、第2の電圧比較手段はそれらの正入力端子において基準電圧を受信し、この基準電圧との比較に基づいて第1および第2パルス幅変調信号の生成に使用される第1および第2の比較信号を出力し、前記パルス幅変調波出力回路は更に、
前記第1及び第2の電圧比較手段から出力される比較信号を入力する第1及び第2の信号選択手段を備え、
前記第1の信号選択手段は、第1のクロック信号を取得し、この第1のクロック信号のオンオフに対応して前記第1及び第2の電圧比較手段から出力される比較信号を相互に選択して第1パルス幅変調信号を生成し、
前記第2の信号選択手段は、前記第1のクロック信号に対してオン期間の重複がある第2のクロック信号を取得し、この第2のクロック信号のオンオフに対応して前記第1、第2の電圧比較手段から出力される比較信号を相互に選択して第2パルス幅変調信号を生成することを特徴とするパルス幅変調波出力回路。

【請求項 2】

前記第1、第2のランプ電圧はのこぎり波形であることを特徴とする請求項1に記載の

パルス幅変調波出力回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ランプ電圧を用いてPWM信号を出力するパルス幅変調波出力回路に関するものである。

【背景技術】

【0002】

一般に、交流から安定した直流電圧を供給するための電源装置には、リニアレギュレータやスイッチングレギュレータがある（例えば、特許文献1、2を参照。）。スイッチングレギュレータは、リニアレギュレータに比べ軽くて小さく、効率が高い。このスイッチングレギュレータは、スイッチング方式で制御する直流安定化電源の一つであり、パワーMOSFETなどの半導体スイッチをオンオフすることで入力電力をスイッチングして、出力電圧を制御する。半導体スイッチのオンオフの時間の比率（デューティ比）を変えることで、出力電圧を制御する。

10

【0003】

例えば、特許文献1に記載のスイッチングレギュレータでは、入力電圧の変化に応じて生ずる出力電圧の変動を小さくするため、スイッチングレギュレータの制御回路に、入力電圧の微分回路とレベルシフト回路とを付加し、入力電圧の変化に応じて制御回路におけるのこぎり波レベルを変化させている。

20

【0004】

また、特許文献2に記載のスイッチングレギュレータでは、効率のよいスイッチング動作を実現するために、出力電位を平滑化するためのインダクタの後段の電位に基づいて、三角波発生回路からの出力を切り替える。

【0005】

更に、2つの同じ波高のランプ電圧を用いて、二つのパルス幅変調（PWM）波を出力するデュアルPWM波出力回路10に関する技術も検討されている。このデュアルPWM波出力回路10を、図7～図9を用いて説明する。このデュアルPWM波出力回路10では、図7に示すように、2つのコンパレータ（11、12）を用いる。そして、このコンパレータ11には、電圧発生器SG1のランプ電圧RMP11と基準電圧Vcとが入力されて変調波PWM1が出力される。一方、電圧発生器SG1のコンパレータ12には、ランプ電圧RMP12と基準電圧Vcとが入力されて変調波PWM2が出力される。

30

【0006】

ここで、図8（a）に示すように、電圧発生器SG1のランプ電圧（RMP11、RMP12）は、のこぎり波形の電圧であり、ランプ電圧RMP12は、ランプ電圧RMP11の最低電圧をレベルシフトさせて生成する。この結果、図8（b）に示すように、デュアルPWM波出力回路10から変調波（PWM1、PWM2）が出力される。ここで、ランプ電圧（RMP11、RMP12）の重ね合わせの領域を制御することにより、基準電圧Vcに対する変調波（PWM11、PWM12）のパルス幅を制御することができる。そして、図9に示すように、基準電圧Vcに対して、変調波（PWM1、PWM2）のオンオフ比（デューティ）を制御することができる。

40

【特許文献1】特開平5-68372号公報（第1頁）

【特許文献2】特開2006-17462号公報（第1頁）

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかし、特許文献1、2においては、昇降圧型（Buck Boost）用の2重のランプ電圧波形を用いる構成は考慮されていない。そして、一方の最低電圧を単純にレベルシフトして他方のランプ電圧を生成する方式では、電源電圧が低いアプリケーションでは十分な振幅を確保することが困難である。そして、ランプ電圧波高のばらつきと電圧シフト量のばら

50

つきとが独立であるため、ランプ電圧の最大値のばらつきが大きくなる。これは低電圧化を行なう場合にダイナミックレンジを制限する要因となる。また、この電圧のバラツキにより、重ねあわせ量のばらつきも大きくなる。このため、的確なパルス幅変調波を出力することができない。

【 0 0 0 8 】

本発明は、上記課題を解決するために、的確なデュアル P W M 波を効率的に出力することができるパルス幅変調波出力回路を提供することにある。

【課題を解決するための手段】

【 0 0 0 9 】

本発明のパルス幅変調波出力回路では、第 1 のランプ電圧を入力する第 1 の電圧比較手段と、前記第 1 のランプ電圧の位相をずらした第 2 のランプ電圧を入力する第 2 の電圧比較手段とを備え、前記第 1、第 2 の電圧比較手段は基準電圧を取得し、この基準電圧との比較に基づいて出力される比較信号を利用してオンオフ比が異なるパルス幅変調信号を生成することを要旨とする。通常、ランプ電圧をレベルシフトする場合には、高い電圧精度が必要であり、また電源電圧に律則されることになる。本発明では、位相をずらしたランプ電圧を利用することにより、電源電圧に律則されることなく的確なデュアル P W M 波を効率的に出力することができる。

【 0 0 1 0 】

本発明のパルス幅変調波出力回路では、前記第 1、第 2 のランプ電圧はのこぎり波形であることを要旨とする。これにより、デュアル P W M 波を効率的に出力することができる。

【 0 0 1 1 】

本発明のパルス幅変調波出力回路では、前記第 1、第 2 の電圧比較手段から出力される比較信号を入力する論理和手段と論理積手段とを更に備え、前記論理和手段及び論理積手段から、オンオフ比が異なるパルス幅変調信号を生成することを要旨とする。従って、論理和手段及び論理積手段からの出力を用いてデュアル P W M 波を出力することができる。

【 0 0 1 2 】

本発明のパルス幅変調波出力回路では、前記第 1、第 2 の電圧比較手段から出力される比較信号を入力する第 1、第 2 の信号選択手段を更に備え、前記第 1 の信号選択手段は、第 1 のクロック信号を取得し、この第 1 のクロック信号のオンオフに対応して前記第 1、第 2 の電圧比較手段から出力される比較信号を相互に選択してパルス幅変調信号を生成し、前記第 2 の信号選択手段は、前記第 1 のクロック信号に対してオン期間の重複がある第 2 のクロック信号を取得し、この第 2 のクロック信号のオンオフに対応して前記第 1、第 2 の電圧比較手段から出力される比較信号を相互に選択してパルス幅変調信号を生成することを要旨とする。これにより、位相のずれた第 1、第 2 のクロック信号（マルチクロック）を利用して、周期が安定したデュアル P W M 波を出力することができる。この結果、低電圧化を行なう場合にもより広いダイナミックレンジを確保することができる。更に、クロック信号の 2 倍の周波数のデュアル P W M 波を生成するとともに、オン期間の重複量に応じてオンオフ比（デューティ）を制御することができる。

【 0 0 1 3 】

本発明のパルス幅変調波出力回路では、位相をずらした第 3、第 4 のランプ電圧を入力する第 1、第 2 のアナログ信号選択手段を更に備え、前記第 1 のアナログ信号選択手段は、第 1 のクロック信号を取得し、この第 1 のクロック信号のオンオフに対応して前記第 3、第 4 のランプ電圧を相互に選択して前記第 1 のランプ電圧を生成し、前記第 2 のアナログ信号選択手段は、前記第 1 のクロック信号に対してオン期間の重複がある第 2 のクロック信号を取得し、この第 2 のクロック信号のオンオフに対応して前記第 3、第 4 のランプ電圧を相互に選択して前記第 2 のランプ電圧を生成することを要旨とする。第 1、第 2 のアナログ信号選択手段を用いて、位相とレベルとが異なる第 1、第 2 のランプ電圧を生成し、周期が安定したデュアル P W M 波を出力することができる。この結果、低電圧化を行なう場合にもより広いダイナミックレンジを確保することができる。更に、クロック信号

の２倍の周波数のデュアルPWM波を生成するとともに、オン期間の重複量に応じてオンオフ比（デューティ）を制御することができる。

【発明の効果】

【００１４】

本発明によれば、簡易な回路構成により、的確なデュアルPWM波を効率的に出力することができる。

【発明を実施するための最良の形態】

【００１５】

（第１の実施形態）

以下、本発明を具体化したパルス幅変調波出力回路の一実施形態を図１、２に従って説明する。本実施形態のパルス幅変調波出力回路としてのデュアルPWM波出力回路２０は、図１に示すように、２つのコンパレータ（２１、２２）、論理和手段としての論理和演算回路２３、論理積手段としての論理積演算回路２４を備えている。ここで、コンパレータ２１は第１の電圧比較手段、コンパレータ２２は第２の電圧比較手段として機能する。

【００１６】

そして、このコンパレータ２１の負入力端子には電圧発生器SG２のランプ電圧RMP２１（第１のランプ電圧）が入力され、正入力端子には基準電圧Vcが入力されて電圧V２１が出力される。一方、コンパレータ２２の負入力端子には電圧発生器SG２のランプ電圧RMP２２（第２のランプ電圧）が入力され、正入力端子には基準電圧Vcが入力されて電圧V２２が出力される。

【００１７】

そして、電圧V２１及び電圧V２２は、論理和演算回路２３及び論理積演算回路２４に入力される。そして、論理和演算回路２３からは変調波PWM１が出力され、論理積演算回路２４からは変調波PWM２が出力される。

【００１８】

ここで、電圧発生器SG２において生成され、コンパレータ（２１、２２）に入力されるランプ電圧（RMP２１、RMP２２）の波形を図２（a）に示す。図２（a）に示すように、電圧発生器SG２のランプ電圧（RMP２１、RMP２２）は、のこぎり波形の電圧であり、ランプ電圧RMP２２は、ランプ電圧RMP２１と同じ波高が維持しながら、時間軸上でシフト（位相をシフト）させて生成する。この場合、ランプ電圧（RMP２１、RMP２２）に、電圧（V２１、V２２）にオーバーラップ領域が生じるようにシフト量を制御しておく。

【００１９】

この場合、コンパレータ（２１、２２）から出力される電圧（V２１、V２２）は、図２（b）に示すように、位相がシフトした矩形波となる。そして、このような電圧（V２１、V２２）の論理積、論理和を算出する。これにより、図２（c）に示すように、デュアルPWM波出力回路２０から、デューティ（オンオフ比）が異なる変調波（PWM１、PWM２）が出力される。

【００２０】

上記実施形態のパルス幅変調波出力回路によれば、以下のような効果を得ることができる。

（１） 上記実施形態では、デュアルPWM波出力回路２０には、同じ波高で時間軸上において位相をシフトさせたランプ電圧（RMP２１、RMP２２）を入力する。これらのランプ電圧を用いてデューティが異なる変調波（PWM１、PWM２）を出力する。これにより、ランプ電圧の波高や電圧シフトによるばらつきを抑えることにより、低電圧化を行なう場合にもより広いダイナミックレンジを確保し、的確なパルス幅変調波を出力することができる。従って、電源電圧が低いアプリケーションでも十分なスイングを確保することが可能になる。

【００２１】

（２） 上記実施形態では、ランプ電圧（RMP２１、RMP２２）に、電圧（V２１

10

20

30

40

50

、V22)にオーバーラップ領域が生じるようにシフト量を制御しておく。そして、このシフト量により、デューティが異なる変調波(PWM1、PWM2)を出力する。電圧方向にシフトさせる場合は、ランプ電圧の傾きをコンパレータで比較して時間信号に変換することになるが、上記実施形態のように時間軸でシフトさせた場合には直接時間信号として扱うため、誤差要因がすくなくなり、精度を上げることが可能となる。

【0022】

(第2の実施形態)

次に、本発明を具体化したパルス幅変調波出力回路の第2の実施形態を図3、4に従って説明する。なお、第2の実施形態は、第1の実施形態の論理和演算回路23及び論理積演算回路24に対して、マルチプレクサ(33、34)を用いた構成になっている。本実施形態においても、第1の実施形態と同様に、時間軸上で位相をシフトさせた二つのランプ電圧を用いる。

【0023】

本実施形態のパルス幅変調波出力回路としてのデュアルPWM波出力回路30は、図3に示すように、2つのコンパレータ(31、32)、マルチプレクサ(33、34)を備えている。ここで、コンパレータ31は第1の電圧比較手段、コンパレータ32は第2の電圧比較手段として機能する。コンパレータ31の負入力端子には電圧発生器SG3のランプ電圧RMP31が入力され、正入力端子には基準電圧Vcが入力される。また、コンパレータ32の負入力端子には電圧発生器SG3のランプ電圧RMP32が入力され、正入力端子には基準電圧Vcが入力される。そして、コンパレータ31からは電圧V31が出力され、コンパレータ32からは電圧V32が出力される。

【0024】

また、マルチプレクサ(33、34)は第1、第2の信号選択手段として機能し、入力された複数の信号の中から、クロック信号に応じて、所定の入力信号を選択する。

そして、電圧V31及び電圧V32は、マルチプレクサ(33、34)に入力される。このマルチプレクサ33にはクロック信号CLK1(第1のクロック信号)、マルチプレクサ34にはクロック信号CLK2(第2のクロック信号)が入力される。そして、マルチプレクサ33からは変調波PWM1が出力され、マルチプレクサ34からは変調波PWM2が出力される。

【0025】

ここで、電圧発生器SG3において生成され、コンパレータ(31、32)に入力されるランプ電圧(RMP31、RMP32)の波形を図4(a)に示す。図4(a)に示すように、電圧発生器SG3のランプ電圧(RMP31、RMP32)は、のこぎり波形の電圧である。そして、ランプ電圧RMP32は、ランプ電圧RMP31と同じ波高が維持しながら、位相を180度、シフトさせて生成する。この場合、コンパレータ(31、32)から出力される電圧(V31、V32)は、図4(b)に示すように、位相がシフトした矩形波が出力される。

【0026】

更に、マルチプレクサ(33、34)には、図4(c)に示すように、同じクロック周波数であって、時間軸上でシフト(位相をシフト)させたクロック信号(CLK1、CLK2)を入力する。このクロック信号(CLK1、CLK2)には、オンレベルを重ね合わせたオーバーラップ領域(オン期間の重複)を設けておく。

【0027】

ここで、マルチプレクサ33は、クロック信号CLK1がオンレベルの場合は電圧V32を選択し、クロック信号CLK1がオフレベルの場合は電圧V31を選択する。マルチプレクサ34は、クロック信号CLK2がオンレベルの場合は電圧V31を選択し、クロック信号CLK2がオフレベルの場合は電圧V32を選択する。この結果、マルチプレクサ(33、34)からは、図4(d)に示すように、デューティが異なる変調波(PWM1、PWM2)が出力される。ここで、変調波PWM2は、クロック信号のタイミングによって2倍の周波数とすることができる。

【 0 0 2 8 】

上記実施形態のパルス幅変調波出力回路によれば、第 1 の実施形態の (1) に記載の効果に加えて以下のような効果を得ることができる。

(3) 上記実施形態では、デュアル P W M 波出力回路 3 0 は、2 つのコンパレータ (3 1、3 2)、複数の信号を合成するマルチプレクサ (3 3、3 4) を備えている。マルチプレクサ (3 3、3 4) には、同じクロック周波数であって、位相をシフトさせたクロック信号 (C L K 1、C L K 2) を入力する。このクロック信号 (C L K 1、C L K 2) は同じクロック周期であり、更にオンレベルを重ね合わせたオーバーラップ領域を設けておく。第 1 の実施形態のデュアル P W M 波出力回路 2 0 では、時間軸上でシフトさせた 2 つのランプ電圧 (R M P 2 1、R M P 2 2) と比較した上でパルス幅変調波を重ね合わせるため、生成された P W M のデューティはランプ電圧の基点によって、1 周期おきに変調波は異なるものとなる。また、2 つの異なるコンパレータ (2 1、2 2) を用いて 1 つのパルス幅変調波を生成するため、コンパレータのオフセットの差による影響も受けることがある。上記実施形態では、重ね合わせをクロック信号 (C L K 1、C L K 2) より時間的に作るので、重ね合わせ量のばらつきを低減させることができる。

10

【 0 0 2 9 】

(第 3 の実施形態)

次に、本発明を具体化したパルス幅変調波出力回路の第 3 の実施形態を図 5、6 に従って説明する。なお、第 2 の実施形態は、第 1 の実施形態の論理和演算回路 2 3 及び論理積演算回路 2 4 に対して、アナログマルチプレクサ (4 3、4 4) を用いた構成になっている。本実施形態においても、第 1、第 2 の実施形態と同様に、時間軸上で位相をシフトさせた二つのランプ電圧を用いる。

20

【 0 0 3 0 】

本実施形態のパルス幅変調波出力回路としてのデュアル P W M 波出力回路 4 0 は、図 5 に示すように、2 つのコンパレータ (4 1、4 2)、アナログマルチプレクサ (4 3、4 4) を備えている。ここで、コンパレータ 4 1 は第 1 の電圧比較手段、コンパレータ 4 2 は第 2 の電圧比較手段として機能する。

【 0 0 3 1 】

アナログマルチプレクサ (4 3、4 4) は、第 1、第 2 のアナログ信号選択手段、入力された複数のアナログ信号 (第 3、第 4 のランプ電圧) の中から、クロック信号に応じて、所定の信号を選択する。このアナログマルチプレクサ (4 3、4 4) には、電圧発生器 S G 4 のランプ電圧 (R M P 4 1、R M P 4 2) が入力される。そして、アナログマルチプレクサ 4 3 にはクロック信号 C L K 1、アナログマルチプレクサ 4 4 にはクロック信号 C L K 2 が入力される。そして、アナログマルチプレクサ 4 3 からは電圧 V 4 1 が出力され、アナログマルチプレクサ 4 4 からは電圧 V 4 2 が出力される。

30

【 0 0 3 2 】

そして、各コンパレータ (4 1、4 2) の正入力端子には基準電圧 V c が入力されるとともに、電圧 V 4 1 はコンパレータ 4 1 の負入力端子、電圧 V 4 2 はコンパレータ 4 2 の負入力端子に、それぞれ入力される。そして、コンパレータ 4 1 からは変調波 P W M 1 が出力され、コンパレータ 4 2 からは変調波 P W M 2 が出力される。

40

【 0 0 3 3 】

ここで、電圧発生器 S G 4 において生成され、アナログマルチプレクサ (4 3、4 4) に入力されるランプ電圧 (R M P 4 1、R M P 4 2) の波形を図 6 (a) に示す。図 6 (a) に示すように、電圧発生器 S G 4 のランプ電圧 (R M P 4 1、R M P 4 2) は、のこぎり波形の電圧であり、ランプ電圧 R M P 4 2 は、ランプ電圧 R M P 4 1 と同じ波高が維持しながら、位相を 1 8 0 度、シフトさせて生成する。

【 0 0 3 4 】

更に、アナログマルチプレクサ (4 3、4 4) には、図 6 (b) に示すように、同じクロック周波数であって、位相をシフトさせたクロック信号 (C L K 1、C L K 2) を入力する。このクロック信号 (C L K 1、C L K 2) には、オンレベルを重ね合わせたオーバ

50

ーラップ領域を設けておく。

【 0 0 3 5 】

ここで、アナログマルチプレクサ 4 3 は、クロック信号 C L K 1 がオンレベルの場合はランプ電圧 R M P 4 2 を選択し、クロック信号 C L K 1 がオフレベルの場合はランプ電圧 R M P 4 1 を選択する。アナログマルチプレクサ 4 4 は、クロック信号 C L K 2 がオンレベルの場合はランプ電圧 R M P 4 1 を選択し、クロック信号 C L K 2 がオフレベルの場合はランプ電圧 R M P 4 2 を選択する。この結果、アナログマルチプレクサ (4 3 、 4 4) からは、図 6 (c) に示すように、電圧レベルとともに位相がシフトした電圧 (V 4 1 、 V 4 2) が出力される。

【 0 0 3 6 】

そして、電圧 V 4 1 が入力されたコンパレータ 4 1 は、電圧 V 4 1 と基準電圧 V c とを比較して、変調波 P W M 1 を出力する。また、電圧 V 4 2 が入力されたコンパレータ 4 2 は、電圧 V 4 2 と基準電圧 V c とを比較して、変調波 P W M 2 を出力する。この結果、デュアル P W M 波出力回路 3 0 から、図 6 (d) に示すように、デューティが異なる変調波 (P W M 1 、 P W M 2) が出力される。

【 0 0 3 7 】

上記実施形態のパルス幅変調波出力回路によれば、第 1 の実施形態の (1) 、第 2 の実施形態の (3) に記載の効果に加えて以下のような効果を得ることができる。

(4) 上記実施形態では、デュアル P W M 波出力回路 4 0 は、2 つのコンパレータ (4 1 、 4 2) 、クロック信号に応じて複数の信号から任意の信号を選択するアナログマルチプレクサ (4 3 、 4 4) を備えている。従来の 2 つのコンパレータによる構成の前段に、アナログマルチプレクサ (4 3 、 4 4) を設けることにより、的確なデュアル P W M 波を効率的に出力することができる。

【 0 0 3 8 】

なお、上記実施形態は以下のように変更してもよい。

上記第 1 の実施形態のデュアル P W M 波出力回路 2 0 では、時間軸上でシフトさせた 2 つのランプ電圧 (R M P 2 1 、 R M P 2 2) と比較した上でパルス幅変調波を重ね合わせるため、生成された P W M のデューティはランプ電圧の基点によって、1 周期おきに変調波は異なるものとなる。この場合、ランプ電圧 (R M P 2 1 、 R M P 2 2) の位相のずれを 1 8 0 度にするにより、均一な周期の変調波 (P W M 1 、 P W M 2) を出力させることができる。

【 0 0 3 9 】

上記第 2 、第 3 の実施形態では、デュアル P W M 波出力回路に入力する 2 つのランプ電圧 R M P において、位相を 1 8 0 度シフトさせたが、ランプ電圧の位相のずれは 1 8 0 度に限定されるものではない。

【 0 0 4 0 】

上記実施形態では、デュアル P W M 波出力回路 (2 0 、 3 0 、 4 0) のコンパレータ 2 2 の正入力端子に基準電圧 V c を入力するように構成したが、負入力端子に入力するように構成することも可能である。

【図面の簡単な説明】

【 0 0 4 1 】

【図 1】本実施形態のパルス幅変調波出力回路の説明図。

【図 2】動作時のタイミングチャートであり、(a) は入力するランプ電圧、(b) はコンパレータからの出力電圧、(c) は出力される P W M 波の説明図。

【図 3】他の実施形態のパルス幅変調波出力回路の説明図。

【図 4】動作時のタイミングチャートであり、(a) は入力するランプ電圧、(b) はコンパレータからの出力電圧、(c) はマルチプレクサに入力されるクロック信号、(d) は出力される P W M 波の説明図。

【図 5】他の実施形態のパルス幅変調波出力回路の説明図。

【図 6】動作時のタイミングチャートであり、(a) は入力するランプ電圧、(b) はア

10

20

30

40

50

ナログマルチプレクサに入力されるクロック信号、(c)はコンパレータからの出力電圧、(d)は出力されるPWM波の説明図。

【図7】従来のパルス幅変調出力回路の説明図。

【図8】動作時のタイミングチャートであり、(a)は入力するランプ電圧、(b)は出力されるPWM波の説明図。

【図9】デュアルPWM波における基準電圧とデューティの関係の説明図。

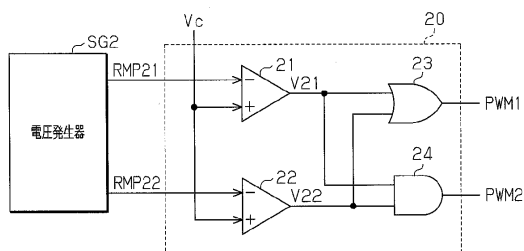
【符号の説明】

【0042】

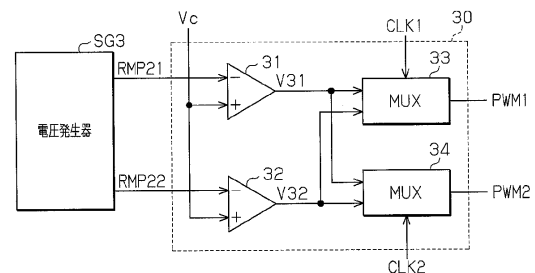
SG1, SG2, SG3, SG4... 出電圧発生器、10, 20, 30, 40... デュアルPWM波出力回路、21, 22, 31, 32, 41, 42... コンパレータ、23... 論理和演算回路、24... 論理積演算回路、33, 34... マルチプレクサ、43, 44... アナログマルチプレクサ、RMP11, RMP12, RMP21, RMP22, RMP31, RMP32, RMP41, RMP42... ランプ電圧、PWM1, PWM2... 変調波、Vc... 基準電圧。

10

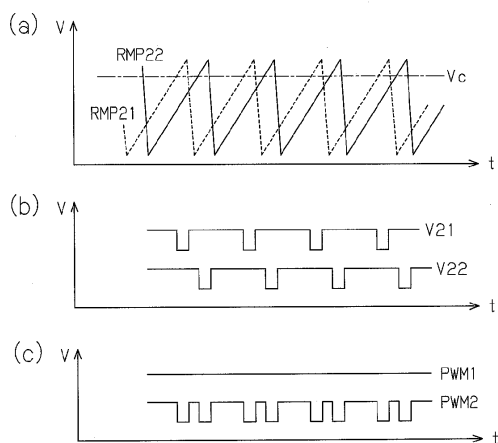
【図1】



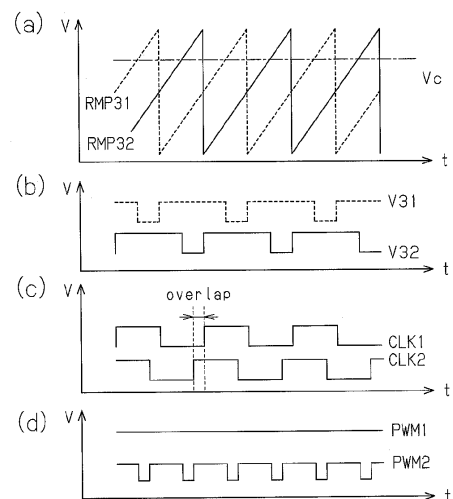
【図3】



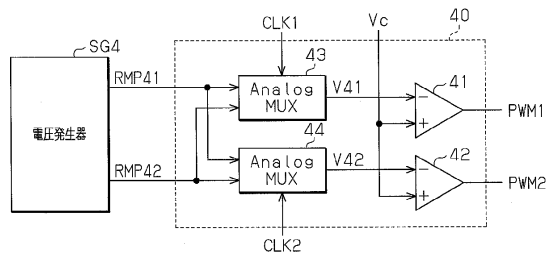
【図2】



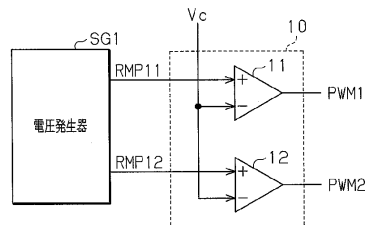
【図4】



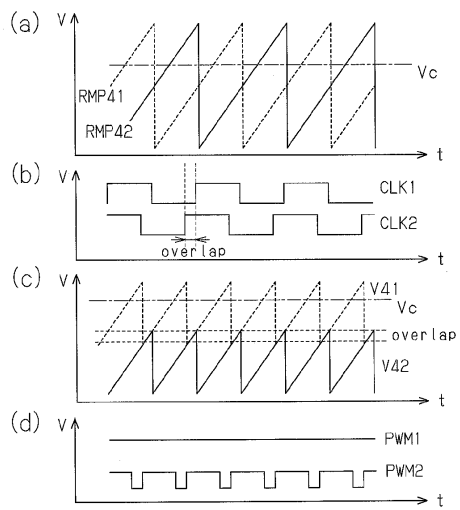
【図 5】



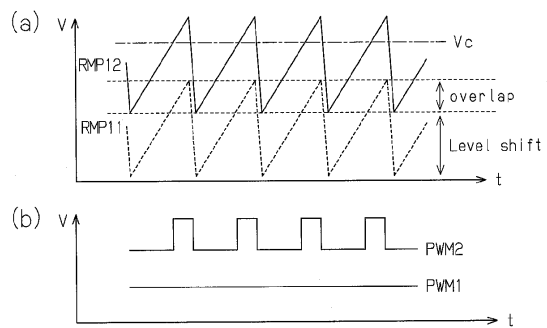
【図 7】



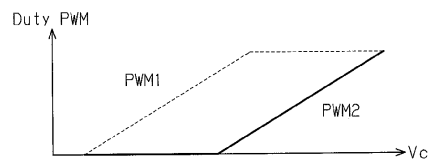
【図 6】



【図 8】



【図 9】



フロントページの続き

(72)発明者 村上 晋太郎

東京都目黒区下目黒1丁目8番1号 アルコタワー15階 フリースケール・セミコンダクタ・ジ
ャパン株式会社内

審査官 吉田 隆之

(56)参考文献 特開昭62-6524(JP,A)

特開昭62-130016(JP,A)

特開昭62-194728(JP,A)

特開2006-6016(JP,A)

特開2000-92851(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K