

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年12月19日(19.12.2019)



(10) 国際公開番号

WO 2019/239752 A1

(51) 国際特許分類:
H03F 1/34 (2006.01) *H03F 3/345* (2006.01)

(21) 国際出願番号: PCT/JP2019/018640

(22) 国際出願日: 2019年5月9日(09.05.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-111252 2018年6月11日(11.06.2018) JP

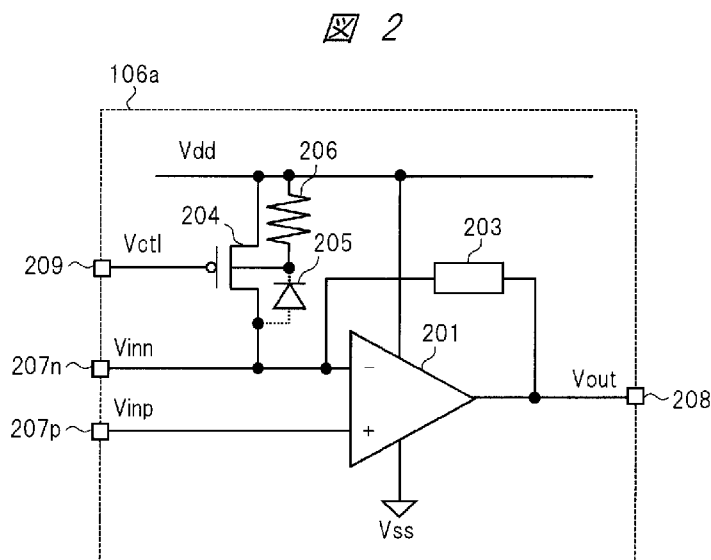
(71) 出願人: 日立オートモティブシステムズ株式会社(HITACHI AUTOMOTIVE SYSTEMS, LTD.) [JP/JP]; 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 Ibaraki (JP).

(72) 発明者: 中川 樹生 (NAKAGAWA, Tatsuo); 〒1008280 東京都千代田区丸の内一丁目 6 番 6 号 株式会社日立製作所内 Tokyo (JP). 佐藤 堯生(SATO, Akeo); 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP). 小田部 晃(KOTABE, Akira); 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP). 松本 昌大(MATSUMOTO, Masahiro); 〒1008280 東京都千代田区丸の内一丁目 6 番 6 号 株式会社日立製作所内 Tokyo (JP).

(74) 代理人: 特許業務法人筒井国際特許事務所(TSUTSUI & ASSOCIATES); 〒1600022 東京

(54) Title: SEMICONDUCTOR DEVICE AND SENSOR SYSTEM

(54) 発明の名称: 半導体装置およびセンサシステム



(57) Abstract: Provided are a semiconductor device and a sensor system capable of achieving an improvement in noise immunity. An output circuit 106a in the semiconductor device includes: input terminals 207n, 207p and an output terminal 208; an output amplifier 201 connecting the input terminals 207n, 207p to the output terminal 208; a feedback element 203 returning the output terminal 208 to the input terminal 207n; a switching transistor 204; and a resistance element 206. The drain of the switching transistor 204 is connected to the input terminal 207n. The resistance element 206 is provided

都新宿区新宿2丁目3番10号 新宿
御苑ビル3階 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

between the back gate of the switching transistor 204 and a power supply Vdd, and also has an impedance, of at least a prescribed value, for suppressing noise of a prescribed frequency generated at the input terminal 207n.

(57) 要約: ノイズ耐性の向上を実現可能な半導体装置およびセンサシステムを提供する。そこで、半導体装置内の出力回路106aは、入力端子207n, 207pおよび出力端子208と、入力端子207n, 207pを出力端子208に接続する出力アンプ201と、出力端子208を入力端子207nに帰還するフィードバック素子203と、スイッチ用トランジスタ204と、抵抗素子206とを有する。スイッチ用トランジスタ204のドレインは、入力端子207nに接続される。抵抗素子206は、スイッチ用トランジスタ204のバックゲートと電源Vddとの間に設けられ、入力端子207nに生じる所定の周波数のノイズを抑制するための所定の値以上のインピーダンスを備える。

明 細 書

発明の名称：半導体装置およびセンサシステム

技術分野

[0001] 本発明は、半導体装置およびセンサシステムに関し、例えば、車載用の半導体装置およびセンサシステムに関する。

背景技術

[0002] 特許文献1には、オペアンプの入力端子と接地端子との間にMOSFETを設けた構成が開示されている。当該MOSFETは、ゲートとバックゲートにバイアス電圧が印加されることでオフ状態を維持し、ドレインーバックゲート間の寄生ダイオードを用いてドレイン電位をバイアス電圧にクランプする。また、特許文献2には、負荷がオンオフするときのスパイクノイズを抑圧することを目的とし、負荷電流を計測して台形波形となるように制御して電圧を緩やかに変化させる回路が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2005-204297号公報

特許文献2：米国特許第6184663号明細書

発明の概要

発明が解決しようとする課題

[0004] アナログ電圧を出力する出力回路を搭載した半導体装置が広く用いられている。例えば、車載用の半導体装置内の出力回路は、アナログ電圧を比較的長い出力配線を介してECU（Engine Control Unit）等に伝送する場合がある。しかし、この出力配線には、他の機器や他の配線等から誘導ノイズが印加され得る。これにより、出力回路の誤動作が生じる恐れがある。

[0005] 本発明は、このようなことに鑑みてなされたものであり、その目的の一つは、ノイズ耐性の向上を実現可能な半導体装置およびセンサシステムを提供することにある。

[0006] 本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

課題を解決するための手段

[0007] 本願において開示される実施の形態のうち代表的なものの概要を簡単に説明すれば下記の通りである。

[0008] 本発明の代表的な実施の形態による半導体装置は、入力端子および出力端子と、入力端子を出力端子に接続する第1の回路と、出力端子を入力端子に帰還するフィードバック経路と、トランジスタと、第2の回路とを有する。トランジスタは、ゲートと、バックゲートと、ソースと、入力端子に接続されるドレインとを備える。第2の回路は、バックゲートと電源との間に設けられ、入力端子に生じる所定の周波数のノイズを抑制するための所定の値以上のインピーダンスを備える。

発明の効果

[0009] 本願において開示される発明のうち、代表的な実施の形態によって得られる効果を簡単に説明すると、ノイズ耐性の向上が実現可能になる。

図面の簡単な説明

[0010] [図1]本発明の実施の形態1によるセンサシステムの構成例を示す概略図である。

[図2]本発明の実施の形態1による半導体装置において、出力回路の主要部の概略構成例を示す回路図である。

[図3]図2の出力回路において、スイッチ用トランジスタ周りの模式的な構造例を示す断面図である。

[図4]本発明の実施の形態2による半導体装置において、出力回路の主要部の概略構成例を示す回路図である。

[図5]本発明の実施の形態3による半導体装置において、出力回路の主要部の概略構成例を示す回路図である。

[図6]本発明の実施の形態4による半導体装置において、出力回路の主要部の概略構成例を示す回路図である。

[図7]本発明の実施の形態5による半導体装置において、出力回路の主要部の詳細な構成例を示す回路図である。

[図8]本発明の実施の形態6による半導体装置において、出力回路の主要部の詳細な構成例を示す回路図である。

[図9]本発明の実施の形態7による半導体装置において、出力回路の主要部の概略構成例を示す回路図である。

[図10]本発明の実施の形態8による半導体装置において、出力回路の主要部の概略構成例を示す回路図である。

[図11]本発明の比較例となる半導体装置において、出力回路の主要部の概略構成例を示す回路図である。

[図12]図11の出力回路に誘導ノイズが印加された場合の各部の電圧状態の一例を示す波形図である。

発明を実施するための形態

[0011] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

[0012] さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

[0013] また、実施の形態の各機能ブロックを構成する回路素子は、特に制限され

ないが、公知のCMOS（相補型MOS）トランジスタ等の集積回路技術によって、単結晶シリコンのような半導体基板上に形成される。以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

[0014] （実施の形態１）

《センサシステムの概略》

図１は、本発明の実施の形態１によるセンサシステムの構成例を示す概略図である。図１に示すセンサシステムは、例えば、車載用のセンサシステムであり、センサエレメント１０１と、半導体装置１０２と、ECU１０７とを備える。センサエレメント１０１は、物理量に応じて電気的特性が変化する素子であり、検出対象の変化に応じた電気信号を出力する。センサエレメント１０１は、例えば、エンジンが吸入する空気量を測定する素子であるエアフローセンサ等であるが、特に、これに限定されない。すなわち、センサエレメント１０１は、空気流量、温度、湿度、圧力等の物理量を電気信号に変換して出力する。

[0015] 半導体装置１０２は、電源回路１０３と、アナログ回路１０４と、プロセッサ１０５と、出力回路１０６とを有し、例えば、一つの半導体チップで構成される。半導体装置１０２は、主に、センサエレメント１０１からの電気信号を処理し、当該処理結果を出力回路１０６を介してアナログ信号等で出力する。アナログ回路１０４は、センサエレメント１０１からの電気信号に対し、増幅、フィルタリング、アナログ／デジタル変換、デジタル／アナログ変換等の処理を行う。プロセッサ１０５は、デジタルデータの処理や周辺回路のコントロール等を行う。電源回路１０３は、外部電源から内部電源を生成し、各回路へ分配する。出力回路１０６は、アナログ回路１０４からの処理結果を受け、出力端子２０８および出力配線１０８を介してECU１０７へ出力信号（例えばアナログ信号） V_{out} を出力する。

[0016] このような車載用の半導体装置１０２は、強いノイズにさらされる場合が

ある。具体的には、出力配線108には、他の機器や他の配線などから誘導ノイズが印加される。出力配線108は、例えば、数メートルから最大で10メートル程度の配線長を備える。この出力配線108と並走する他の配線は、例えば、数100V以上の振幅で、数100kHzから数10MHzの周波数で振動する電気信号を伝送する場合がある。これに伴い、出力配線108には、配線間の誘導結合によって誘導ノイズが印加され、当該誘導ノイズによって出力回路106の誤動作が生じる恐れがある。

[0017] 《出力回路（比較例）の構成および問題点》

ここで、実施の形態1による半導体装置（具体的には出力回路）の説明に先立ち、比較例となる出力回路について説明する。図11は、本発明の比較例となる半導体装置において、出力回路の主要部の概略構成例を示す回路図である。図11に示す出力回路106'は、図1の出力回路106に対応し、入力端子207n、207pと、制御入力端子209と、出力端子208と、出力アンプ1101と、出力トランジスタ1102と、容量素子1103と、スイッチ用トランジスタ1104とを備える。

[0018] この例では、出力トランジスタ1102は、nチャネル型MOSトランジスタ（nMOSトランジスタ）であり、スイッチ用トランジスタ1104は、pチャネル型MOSトランジスタ（pMOSトランジスタ）である。入力端子207n、207pは、差動対を構成する。出力アンプ1101および出力トランジスタ1102は、出力アンプ1101を前段アンプ、出力トランジスタ1102を後段アンプとして、入力端子207n、207pを出力端子208に接続する回路（第1の回路）となる。

[0019] 出力アンプ1101は、低電位側の電源Vss（例えば0V）を基準に高電位側の電源Vdd（例えば、3.3V等）で動作する差動オペアンプである。出力アンプ1101は、入力端子207n、207pからの入力信号（差動入力信号）Vinn、Vinpに応じて出力トランジスタ1102のゲートを制御する。出力トランジスタ1102は、出力アンプ1101からの制御に応じて、出力端子208に接続されるドレインに出力信号Voutを

出力する。容量素子1103は、出力端子208を入力端子207nに帰還（負帰還）するフィードバック経路に設けられる。

[0020] スイッチ用トランジスタ1104のソースおよびドレインは、それぞれ、電源V_{dd}および入力端子207nに接続される。スイッチ用トランジスタ1104のゲートには、制御入力端子209からの制御信号V_{ctl}が入力される。制御信号V_{ctl}は、出力アンプ1101の動作時とスタンバイ時とで異なるレベルに制御される。なお、図示は省略されているが、スイッチ用トランジスタ1104は、実際には、入力端子207pに対しても同様に設けられる。

[0021] 例えば、図1のプロセッサ105は、出力アンプ1101を動作させる際には制御信号V_{ctl}を高電位側の電源V_{dd}の電圧レベルに制御することで、スイッチ用トランジスタ1104をオフに制御する。その結果、出力アンプ1101は、入力端子207n, 207p（入力信号V_{inn}, V_{inp}）を同電位に保つような出力動作を行う。一方、プロセッサ105は、出力アンプ1101をスタンバイに遷移させる際には制御信号V_{ctl}を低電位側の電源V_{ss}の電圧レベルに制御することで、スイッチ用トランジスタ1104をオンに制御する。その結果、入力信号V_{inn}, V_{inp}は、共に電源V_{dd}の電圧レベルに固定され、出力アンプ1101は、スタンバイ（非活性状態）となる。

[0022] ここで、スイッチ用トランジスタ1104は、詳細には、ドレインとバックゲートの間に、ドレイン側をアノード、バックゲート側をカソードとする寄生ダイオード1105を有する。スイッチ用トランジスタ1104のバックゲートは、図11に示されるように、通常、ソース（すなわち電源V_{dd}）に接続される。

[0023] 図12は、図11の出力回路に誘導ノイズが印加された場合の各部の電圧状態の一例を示す波形図である。図1で述べたように、出力端子208に接続される出力配線108には、誘導ノイズが印加される場合がある。この場合、図12に示されるように、出力信号V_{out}に、パルス状の誘導ノイズ

が重畳する。

[0024] ここで、誘導ノイズが重畳すること自体は、特に問題とならない。これは、本来の出力信号 V_{out} の電圧レベル 1201 に誘導ノイズが重畳したとしても、本来の電圧レベル 1201 自体は変わらないためである。言い換えれば、誘導ノイズを除去した後の電圧レベルや、または、誘導ノイズが収まった後の電圧レベルは、通常、誘導ノイズが重畳する前の電圧レベル 1201 に等しくなるためである。しかし、実際には、誘導ノイズに起因して、図 12 の符号 1202 に示されるように、出力信号 V_{out} の電圧レベルに、ある程度長い期間、本来の電圧レベル 1201 を基準とした誤差が生じ得ることが、本発明者等の検討によって見出された。

[0025] この出力信号 V_{out} の電圧レベルの誤差は、次のようにして生じる。まず、出力信号 V_{out} に重畳されたノイズは、容量素子 1103 を介して出力アンプ 1101 の入力端子 207n（入力信号 V_{inn} ）にカップリングする。入力端子 207n とスイッチ用トランジスタ 1104 のバックゲートの間には寄生ダイオード 1105 が存在する。このため、入力信号 V_{inn} の電位が、電源 V_{dd} よりも寄生ダイオード 1105 の順方向電圧 V_f 分だけ高い電位になると、寄生ダイオード 1105 がオンし、順方向電流が流れる。

[0026] すなわち、入力信号 V_{inn} の電位は、誘導ノイズの伝播によって高周波で振動し、その電位が " $V_{dd} + V_f$ " よりも高くなった際に、入力端子 207n から電源 V_{dd} へ電流が流れる。言い換えると、入力信号 V_{inn} の電位は、" $V_{dd} + V_f$ " の電位でクリップされる。このような電流が流れると（クリップが生じると）、実効的に、電源 V_{dd} から入力端子 207n へ電荷が注入されることになり、入力端子 207n とは別の経路（ここでは電源 V_{dd} の経路）で入力信号 V_{inn} が生成されることになる。

[0027] 入力端子 207n に電荷が供給されると、入力信号 V_{inn} の電圧レベルに本来の電圧レベルを基準とした誤差が生じるため、出力信号 V_{out} の電圧レベルにも本来の電圧レベル 1201 を基準とした誤差が生じる。出力信

号 V_{out} の電圧レベルが本来の電圧レベル 1201 に戻るためには、電源 V_{dd} から入力端子 207n に注入された電荷を消滅させる必要がある。しかし、入力端子 207n が高インピーダンスであるような場合には、電荷が抜け難く、注入された電荷を消滅させるのにある程度長い時間を要する。

[0028] このように、出力信号 V_{out} の誤差は、出力端子 208 に印加された誘導ノイズが容量素子 1103 を介して入力端子 207n に伝わり、これに伴い寄生ダイオード 1105 経由で入力端子 207n に電荷が注入される結果として生じることが判明した。出力信号 V_{out} の誤差が生じる条件は、式 (1) で近似的に表現することができる。式 (1) において、“ V_{in_cm} ” は、誘導ノイズが印加されていない場合の入力端子 207n (入力信号 V_{inn}) の電位である。“ G ” は、出力端子 208 から入力端子 207n への誘導ノイズのゲインである。“ V_{np0} ” は、誘導ノイズが印加されていない場合の出力端子 208 (出力信号 V_{out}) の電位 “ V_{out_cm} ” を基準に、出力端子 208 に印加される誘導ノイズの正極側の振幅である。

[0029] $G \times V_{np0} + V_{in_cm} > V_{dd} + V_f \quad \dots (1)$

式 (1) に示されるように、入力端子 207n に結合した誘導ノイズの最大値が、“ $V_{dd} + V_f$ ” よりも高くなった場合に、出力信号 V_{out} の誤差が生じる。出力信号 V_{out} の誤差が生じるということは、出力回路 106' が誤動作していることと等価である。特に、図 1 に示したような車載用の半導体装置 102 は、自動車の状態監視や制御など、重要な機能を担うものであり、ノイズによって誤動作しないように民生用と比較して高いノイズ耐性（言い換えれば信頼性）が要求される。そこで、以下に示す実施の形態 1 の出力回路を用いることが有益となる。

[0030] 《出力回路（実施の形態 1）の構成》

図 2 は、本発明の実施の形態 1 による半導体装置において、出力回路の主要部の概略構成例を示す回路図である。図 2 に示す出力回路 106a は、図 1 の出力回路 106 に対応し、入力端子 207n、207p と、制御入力端

子209と、出力端子208と、出力アンプ201と、フィードバック素子203と、スイッチ用トランジスタ204と、抵抗素子206とを備える。この例では、スイッチ用トランジスタ204は、pMOSトランジスタである。

[0031] 出力アンプ201は、入力端子207n, 207pを出力端子208に接続する回路（第1の回路）であり、例えば、低電位側の電源Vss（例えば0V）を基準に高電位側の電源Vdd（例えば、3.3V等）で動作する差動オペアンプである。この例では、図11の場合と異なり、出力アンプ201は、出力トランジスタを介さずに出力端子208に出力信号Voutを出力する。ただし、図11の場合と同様に、出力トランジスタを介する構成であってもよい。

[0032] フィードバック素子203は、出力端子208を入力端子207nに帰還（負帰還）するフィードバック経路に設けられる。フィードバック素子203は、代表的には、図11に示したような容量素子1103であるが、これに限定されず、抵抗素子や、寄生容量等であってもよい。すなわち、何らかのフィードバック経路が存在すればよい。抵抗素子や寄生容量等のフィードバック経路が存在する場合であっても、図12で述べたような出力端子208から入力端子207nへの誘導ノイズの結合が生じ得るため、図12の場合と同様の問題が生じ得る。ただし、この誘導ノイズの結合は、特にフィードバック素子203が容量素子の場合に大きくなり得るため、この場合に、図12の述べたような問題はより顕著になり得る。

[0033] スイッチ用トランジスタ204は、図11の場合と同様に、ソースおよびドレインが、それぞれ、電源Vddおよび入力端子207nに接続され、ゲートが制御入力端子209に接続される。また、図11の場合と同様に、スイッチ用トランジスタ204のドレイン（入力端子207n）とバックゲートの間には、寄生ダイオード205が存在する。ただし、ここでは、図11の場合と異なり、電源Vddとスイッチ用トランジスタ204のバックゲートの間に、抵抗素子206が設けられる。抵抗素子206は、入力端子20

7 nに生じる所定の周波数のノイズを抑制するための所定の値以上のインピーダンスを備える回路（第2の回路）の一例である。

[0034] なお、抵抗素子206の接続先は、必ずしも、出力アンプ201の電源V_{dd}である必要はなく、スイッチ用トランジスタ204が正常に動作可能な何らかの電源であればよい。また、スイッチ用トランジスタ204のソースも、必ずしも、出力アンプ201の電源V_{dd}に接続される必要はなく、出力アンプ201をスタンバイに設定でき、かつ、制御信号V_{ctrl}によって正常にオン・オフ制御が行える何らかの電源であればよい。

[0035] このような構成において、出力端子208に印加された誘導ノイズは、フィードバック素子203を介して入力端子207n（入力信号V_{inn}）に結合し、入力信号V_{inn}の振動を引き起こす。図11の場合には、入力信号V_{inn}の振動に伴って寄生ダイオードがオンし、電源V_{dd}から入力端子207nへの電荷注入が生じていた。一方、図2の場合には、十分に高いインピーダンスを備える抵抗素子206が設けられる。

[0036] このため、入力信号V_{inn}の電位が振動に伴い“V_{dd}+V_f”を超えた場合であっても、電源V_{dd}から入力端子207nへの電荷注入は生じ難い。具体的には、入力端子207nの電位が上昇すると、これに伴いスイッチ用トランジスタ204のバックゲートの電位も上昇するため、寄生ダイオード205は、オンになり難い。その結果、入力端子207nの電荷は一定に保たれるため、出力信号V_{out}における本来の電圧レベルを基準とした誤差は抑制される。

[0037] このように、図2の構成例では、スイッチ用トランジスタ204のバックゲートのインピーダンスを高くすることにより、誘導ノイズが入力端子207nに結合した場合であっても、寄生ダイオード205経由で電荷が注入される事態を防ぐことができる。これにより、誘導ノイズに起因する出力信号V_{out}の誤差を抑制することが可能になる。その結果、誘導ノイズに起因する出力回路106aの誤動作を防止でき、図1のセンサシステムおよび半導体装置102において、ノイズ耐性の向上が実現可能となる。

[0038] なお、図2の構成例では、電源V_{dd}とスイッチ用トランジスタ204のバックゲートの間に設けられる回路（第2の回路）は、抵抗素子206であったが、これに限らず、誘導ノイズを抑制（または遮断）可能な所定の値以上のインピーダンスを備える回路であればよい。具体例として、インダクタンスや容量を組み合わせることでバックゲートのインピーダンスを高めるような回路や、または、ローパスフィルタ回路等であってもよい。さらに、別の形態として、図2の構成例に対し、スイッチ用トランジスタ204のドレインとバックゲートの間に、寄生ダイオード205の両端を同電位に保つための容量素子を更に設けてもよい。

[0039] 第2の回路をローパスフィルタ回路で構成する場合、当該ローパスフィルタ回路は、誘導ノイズのような所定の周波数よりも高い周波数の信号を遮断する。その結果、スイッチ用トランジスタ204のバックゲートとドレインは同相で動くため、寄生ダイオード205はオンしない。一方、当該ローパスフィルタ回路は、所定の周波数よりも低い周波数の信号を通過させる。その結果、スイッチ用トランジスタ204のバックゲートは、等価的に、電源V_{dd}に短絡されるため、スイッチ用トランジスタ204は、制御信号V_{ctrl}によって正常にオンまたはオフに制御される。

[0040] また、図2の構成例のように、第2の回路を抵抗素子206で構成する場合、そのインピーダンスの値（抵抗値）は、例えば、100Ω以上であり、望ましくは、10kΩ以上に設定される。すなわち、図11に示されるように、スイッチ用トランジスタ1104のバックゲートは、通常、各種寄生抵抗を介して電源V_{dd}に接続される。この寄生抵抗は、小さい方が望ましく、例えば数10Ω以下となる。これに対して、実施の形態1の方式では、例えば、10kΩ以上といった抵抗素子206が設けられる。この場合、当該抵抗素子206と電源V_{dd}の電源容量とのRC回路によって数100kHzから数10MHzといった誘導ノイズを十分に抑制（遮断）することができる。

[0041] ここで、仮に、誘導ノイズに起因する出力信号V_{out}の誤差を抑制する

このみを目的とすると、スイッチ用トランジスタ 204 自体を設けないことでも達成できる。しかし、特に、図 1 のような車載用の半導体装置 102 は、バッテリー電源で動作するため、省電力化が要求される。このため、入力端子 207 n に（実際には入力端子 207 p にも）スイッチ用トランジスタ 204 を設けることで、入力端子 207 n, 207 p を共に電源電圧 V_{dd} に固定し、出力アンプ 201 をスタンバイに設定できるように構成することが望ましい。

[0042] 《スイッチ用トランジスタ周りの構造》

図 3 は、図 2 の出力回路において、スイッチ用トランジスタ周りの模式的な構造例を示す断面図である。図 3 において、例えば、p 型の半導体基板（シリコン基板）SB の主面側には、n 型ウエル NW が形成される。n 型ウエル NW 内には、スイッチ用トランジスタ 204 のソースとなる p⁺型の拡散層 DF s と、スイッチ用トランジスタ 204 のドレインとなる p⁺型の拡散層 DF d とが形成される。2 個の拡散層 DF s, DF d の間の領域の上部には、ゲート絶縁膜を挟んで、例えばポリシリコンやシリサイド等を材料とするゲート電極 GE が形成される。ここで、図 2 の寄生ダイオード 205 は、p⁺型の拡散層 DF d と n 型ウエル NW との pn 接合によって生じる。

[0043] 拡散層 DF s は、コンタクト層 CT を介して、電源 V_{dd} が印加されるメタル配線層 ML に接続される。また、n 型ウエル NW 内には、スイッチ用トランジスタ 204 のバックゲートとなる n⁺型の拡散層 DF b が形成される。拡散層 DF b は、コンタクト層 CT を介して、抵抗層 RL の一端に接続される。抵抗層 RL の他端は、コンタクト層 CT を介して、電源 V_{dd} が印加されるメタル配線層 ML に接続される。抵抗層 RL は、図 2 の抵抗素子 206 に該当し、例えば、ゲート電極 GE と同じ材料（例えばポリシリコンやシリサイド等）で形成される。このように、抵抗素子 206 をゲート電極 GE と同じ材料で形成することで、ある程度高い抵抗値を有する抵抗素子 206 を効率的に形成することが可能になる。

[0044] 《実施の形態 1 の主要な効果》

以上、実施の形態１の半導体装置およびセンサシステムを用いることで、代表的には、ノイズ耐性の向上が実現可能になる。具体的には、半導体装置１０２内の出力回路１０６の出力信号 V_{out} に誘導ノイズが重畳する場合であっても、出力信号 V_{out} の誤差を抑制可能になる。言い換えれば、出力回路１０６の誤動作を防止できる。その結果、特に、誘導ノイズが重畳しやすい車載用の半導体装置１０２およびセンサシステムにおいて信頼性の向上等が図れる。

[0045] なお、ここでは、誤動作の発生箇所としてスイッチ用トランジスタ２０４を例に説明を行ったが、これに限定されない。例えば、入力端子２０７_nに前段回路（例えば図１のアナログ回路１０４）内の出力段のＭＯＳトランジスタが接続されるような場合であっても、当該出力段のＭＯＳトランジスタの寄生ダイオードによって同様の問題が生じ得る。そこで、当該出力段のＭＯＳトランジスタに対しても、同様にしてバックゲートのインピーダンスを高くすることで、同様の効果が得られる。

[0046] （実施の形態２）

《出力回路（実施の形態２）の構成》

図４は、本発明の実施の形態２による半導体装置において、出力回路の主要部の概略構成例を示す回路図である。図４に示す出力回路１０６_bは、入力端子２０７_n、２０７_pと、制御入力端子２０９と、出力端子２０８と、出力アンプ４０１と、フィードバック素子４０３と、スイッチ用トランジスタ４０４と、抵抗素子４０６とを備える。この例では、スイッチ用トランジスタ４０４は、 n ＭＯＳトランジスタである。

[0047] 図４に示す出力回路１０６_bは、図２の出力回路１０６_aと比較して、スイッチ用トランジスタ４０４が p ＭＯＳトランジスタから n ＭＯＳトランジスタに変更されている。また、図示は省略するが、出力アンプ４０１の内部構成も異なっている。具体的には、例えば、図２の出力アンプ２０１では、入力端子２０７_n、２０７_pに差動入力対となる p ＭＯＳトランジスタが接続されるのに対して、図４の出力アンプ４０１では、入力端子２０７_n、２

07 p に差動入力対となる nMOS トランジスタが接続される。

[0048] スイッチ用トランジスタ 404 は、ソースおよびドレインが、それぞれ、電源 V_{ss} および入力端子 207 n に接続され、ゲートが制御入力端子 209 に接続される。実際には、スイッチ用トランジスタ 404 は、入力端子 207 p に対しても同様に設けられる。スイッチ用トランジスタ 404 がオンに制御された場合、入力端子 207 n（および入力端子 207 p）は、電源 V_{ss} のレベルに制御され、出力アンプ 401 はスタンバイとなる。

[0049] また、スイッチ用トランジスタ 404 のドレイン（入力端子 207 n）とバックゲートの間には、寄生ダイオード 405 が存在する。そこで、図 2 の場合と同様に、電源 V_{ss} とスイッチ用トランジスタ 404 のバックゲートの間に、抵抗素子 406 が設けられる。抵抗素子 406 は、図 2 の場合と同様に、入力端子 207 n に生じる所定の周波数のノイズを抑制するための所定の値以上のインピーダンスを備える回路（第 2 の回路）の一例である。

[0050] このような構成例において、出力信号 V_{out} に重畳した誘導ノイズは、フィードバック素子 403 を介して入力端子 207 n に結合する。ここで、仮に、スイッチ用トランジスタ 404 のバックゲートのインピーダンスが低い場合、誘導ノイズに伴いスイッチ用トランジスタ 404 のドレインの電位が " $V_{ss} - V_f$ " よりも低下すると、寄生ダイオード 405 がオンとなる。その結果、電源 V_{ss} から入力端子 207 n に電荷が注入される。

[0051] 一方、図 4 の構成例では、抵抗素子 406 によってスイッチ用トランジスタ 404 のバックゲートのインピーダンスは高いため、寄生ダイオード 405 はオンになり難い。これにより、誘導ノイズが入力端子 207 n に結合した場合であっても、寄生ダイオード 405 経由で電荷が注入される事態を防ぐことができ、誘導ノイズに起因する出力信号 V_{out} の誤差を抑制することが可能になる。その結果、誘導ノイズに起因する出力回路 106 b の誤動作を防止でき、図 1 のセンサシステムおよび半導体装置 102 において、ノイズ耐性の向上が実現可能となる。

[0052] 《実施の形態 2 の主要な効果》

以上、実施の形態３の半導体装置およびセンサシステムを用いることでも、実施の形態１で述べた各種効果と同様の効果が得られる。

[0053] (実施の形態３)

《出力回路（実施の形態３）の構成》

図５は、本発明の実施の形態３による半導体装置において、出力回路の主要部の概略構成例を示す回路図である。図５に示す出力回路１０６ｃは、図２の構成例と比較して、第２の回路（例えば抵抗素子２０６）が設けられない。その代わりに、スイッチ用トランジスタ２０４のバックゲートは、出力アンプ（第１の回路）２０１の高電位側の電源（第１の電源） V_{dd} よりも高い電位を有する電源（第２の電源） V_{dc1} に接続される。

[0054] このような構成例を用いると、誘導ノイズが入力端子２０７_nに結合した場合でも、スイッチ用トランジスタ２０４のバックゲートの電位が高いため、寄生ダイオード２０５はオンになり難い。これにより、寄生ダイオード２０５経由で電荷が注入される事態を防ぐことができ、誘導ノイズに起因する出力信号 V_{out} の誤差を抑制することが可能になる。その結果、誘導ノイズに起因する出力回路１０６ｃの誤動作を防止でき、図１のセンサシステムおよび半導体装置１０２において、ノイズ耐性の向上が実現可能となる。

[0055] なお、寄生ダイオード２０５経由で電荷が注入されない条件は、式（２）で与えられる。式（２）における各パラメータ（“ V_{in_cm} ”，“ G ”，“ V_{np0} ”）は、式（１）の場合と同様であり、図１２に示される。電源 V_{dc1} の電圧レベルは、式（２）を満たすような値に設定される。

[0056] $(V_{in_cm} + G \times V_{np0}) - V_{dc1} < V_f \quad \dots (2)$

具体例として、電源 V_{dd} は３．３Ｖ等であり、電源 V_{dc1} は５．０Ｖ等である。例えば、図１の電源回路１０３が、５．０Ｖの外部電源を受けて３．３Ｖの内部電源を生成するような場合、電源 V_{dc1} を生成するための新たな回路は不要となる。なお、５．０Ｖの外部電源は、例えば、別途設けられる電源レギュレータがバッテリー電源を降圧することで生成される。また、制御信号 V_{ctl} は、電源 V_{dc1} の電圧レベルと電源 V_{ss} の電圧レベ

ルとの間で推移することが望ましい。このため、例えば、図1のプロセッサ105と出力回路106の間に、電源V_{dd}の電圧レベルを電源V_{dc1}の電圧レベルにシフトするレベルシフト回路を設けてもよい。

[0057] 《実施の形態3の主要な効果》

以上、実施の形態3の半導体装置およびセンサシステムを用いることでも、実施の形態1で述べた各種効果と同様の効果が得られる。また、図2の場合のような第2の回路（抵抗素子206）が不要となるため、電源V_{dc1}を新たに生成する必要が無い場合には、回路面積の低減が図れる。ただし、入力端子207_nに結合する誘導ノイズの振幅が大きくなるほど電源V_{dc1}の電位を高くする必要があり、電位を高くすると耐圧設計等に影響を及ぼす恐れがある。したがって、例えば、誘導ノイズの振幅が大きいような場合には、図2の構成例の方が望ましい。

[0058] （実施の形態4）

《出力回路（実施の形態4）の構成》

図6は、本発明の実施の形態4による半導体装置において、出力回路の主要部の概略構成例を示す回路図である。図6に示す出力回路106_dは、図5の場合と同様に、図4の構成例と比較して、第2の回路（例えば抵抗素子406）が設けられない。その代わりに、スイッチ用トランジスタ404のバックゲートは、出力アンプ（第1の回路）401の低電位側の電源（第1の電源）V_{ss}よりも低い電位を有する電源（第2の電源）V_{dc2}に接続される。

[0059] このような構成例を用いると、図5の場合と同様に、誘導ノイズが入力端子207_nに結合した場合でも、スイッチ用トランジスタ404のバックゲートの電位が低いため、寄生ダイオード405はオンになり難い。これにより、寄生ダイオード405経由で電荷が注入される事態を防ぐことができ、誘導ノイズに起因する出力信号V_{out}の誤差を抑制することが可能になる。その結果、誘導ノイズに起因する出力回路106_dの誤動作を防止でき、図1のセンサシステムおよび半導体装置102において、ノイズ耐性の向上

が実現可能となる。

[0060] なお、寄生ダイオード405経由で電荷が注入されない条件は、式(3)で与えられる。式(3)における各パラメータ(“ V_{in_cm} ”, “ G ”)は、式(1)の場合と同様であり、“ V_{nn0} ”は、誘導ノイズが印加されていない場合の出力端子208(出力信号 V_{out})の電位“ V_{out_cm} ”を基準に、出力端子208に印加される誘導ノイズの負極側の振幅である。これらのパラメータは、図12に示される。電源 V_{dc2} の電圧レベルは、式(3)を満たすような値に設定される。

[0061] $V_{dc2} - (V_{in_cm} - G \times V_{nn0}) < V_f \quad \dots (3)$

《実施の形態4の主要な効果》

以上、実施の形態4の半導体装置およびセンサシステムを用いることで、実施の形態3で述べた各種効果と同様の効果が得られる。

[0062] (実施の形態5)

《出力回路(実施の形態5)の詳細》

図7は、本発明の実施の形態5による半導体装置において、出力回路の主要部の詳細な構成例を示す回路図である。図7には、図2の出力回路106aに対応する詳細な構成例が示される。図7に示す出力回路は、図2の出力アンプ201に対応する差動増幅回路と、その後段に設けられる出力トランジスタ704と、スイッチ用トランジスタ707a, 707bと、容量素子705, 706と、抵抗素子709とを備える。出力トランジスタ704は、nMOSトランジスタで構成され、出力信号 V_{out} を出力する。

[0063] 差動増幅回路は、pMOSトランジスタの差動入力対となる入力トランジスタ701a, 701bと、pMOSトランジスタで構成されるテールトランジスタ703と、nMOSトランジスタで構成される負荷トランジスタ702a, 702bとを有する。入力トランジスタ701a, 701bは、入力信号(差動入力信号) V_{inn} , V_{inp} を受け、負荷トランジスタ702a, 702bを負荷として増幅動作を行う。テールトランジスタ703は、テール電流源として機能し、差動増幅回路に定電流を供給する。

[0064] スイッチ用トランジスタ707aは、入力端子207nに対応して設けられ、図2のスイッチ用トランジスタ204に対応する。同様に、スイッチ用トランジスタ707bは、入力端子207nと差動対を構成する入力端子207pに対応して設けられ、図2のスイッチ用トランジスタ204に対応する。スイッチ用トランジスタ707a、707bは、それぞれ、寄生ダイオード708a、708bを有する。このため、第2の回路となる抵抗素子709が設けられる。ここで、抵抗素子709は、スイッチ用トランジスタ707a、707bのバックゲートに対して共通に設けられる。なお、容量素子705は、出力トランジスタ704のゲート・ドレイン間を接続する位相補償容量である。容量素子706は、図2のフィードバック素子203に対応する。

[0065] 差動増幅回路は、この例では、pMOSトランジスタの差動入力対を備えるため、スタンバイ時には入力端子207n、207pを共に電源Vddに接続することで、電流が流れないように制御される必要がある。このため、スイッチ用トランジスタ707a、707bは、pMOSトランジスタで構成され、差動増幅回路のスタンバイ時にはオンに制御される。

[0066] ここで、入力端子207p（入力信号Vinp）では、出力端子208（出力信号Vout）からの明示的なフィードバック経路がないため、誘導ノイズに起因する振動は生じない。このため、スイッチ用トランジスタ707bのバックゲートは、必ずしも高インピーダンスで電源Vddに接続される必要はない。ただし、スイッチ用トランジスタ707bのバックゲートに対しても抵抗素子709を設けることで、差動増幅回路の対称性を高めることができる。さらに、抵抗素子709をスイッチ用トランジスタ707a、707bで共通化することで、個別に設ける場合と比較して、回路面積を低減でき、また、差動増幅回路の対称性を高めることができる。

[0067] このような半導体装置を用いることで、実施の形態1で述べた各種効果と同様な効果が得られる。ここでは、図2の出力回路106aを例としたが、図4の出力回路106bも図7と同様にして構成可能である。この場合、例

例えば、差動増幅回路をnMOSトランジスタの差動入力対で構成し、出力トランジスタをpMOSトランジスタで構成すればよい。

[0068] (実施の形態6)

《出力回路（実施の形態6）の詳細》

図8は、本発明の実施の形態6による半導体装置において、出力回路の主要部の詳細な構成例を示す回路図である。図8には、図5の出力回路106cに対応する詳細な構成例が示される。図8に示す出力回路は、図7の構成例と比較して、抵抗素子709を有しない点と、スイッチ用トランジスタ707a, 707bのバックゲートが共に電源Vdc1に接続される点とが異なっている。

[0069] このような半導体装置を用いることで、実施の形態3で述べた各種効果と同様な効果が得られる。

[0070] (実施の形態7)

《出力回路（実施の形態7）の構成》

図9は、本発明の実施の形態7による半導体装置において、出力回路の主要部の概略構成例を示す回路図である。図9に示す出力回路は、オペアンプ901と、出力トランジスタ902と、抵抗素子903, 904, 909, 912と、容量素子905, 906, 907と、スイッチ908, 913, 915と、スイッチ用トランジスタ911a, 911bと、定電圧源916とを備える。スイッチ用トランジスタ911a, 911bは、それぞれ、寄生ダイオード910a, 910bを有する。抵抗素子909は、第2の回路であり、スイッチ用トランジスタ911a, 911bのバックゲートに対して共通に設けられる。

[0071] 図9の出力回路は、スイッチ908, 913, 915のスイッチングによって積分動作を行うスイッチトキャパシタ回路を構成する。一般に、スイッチトキャパシタ回路を用いると、比較的小さい面積でインピーダンスの高い回路をつくることが可能である。このようなスイッチトキャパシタ回路に対して前述した各実施の形態の方式（この例では実施の形態1の方式）を適用

すると、有益な効果が得られる。すなわち、スイッチトキャパシタ回路では、電荷の蓄積によって積分動作を行うため、誘導ノイズに伴う寄生ダイオード910bのオンによって電荷が注入されると、積分結果が大きく異なってしまう。前述した各実施の形態の方式を適用することで、このような事態を抑制することが可能になる。

[0072] なお、前述した各実施の形態の方式を適用する場合、入力端子207nに拡散抵抗（半導体基板上の拡散層で形成した抵抗）が接続されないように構成することが望ましい。拡散抵抗は、図3の拡散層DFdの場合と同様に、寄生ダイオードを有し得る。入力端子207nに誘導ノイズが結合すると、当該寄生ダイオードを介して電荷の注入が生じる恐れがある。このため、例えば、図9において、入力端子207nに接続される抵抗素子912は、ポリシリコン等によって形成されることが望ましい。

[0073] （実施の形態8）

《出力回路（実施の形態8）の構成》

図10は、本発明の実施の形態8による半導体装置において、出力回路の主要部の概略構成例を示す回路図である。図10に示す出力回路106eは、図2の構成例と比較して、第2の回路が抵抗素子206の代わりにダイオード1001で構成される点が異なっている。ダイオード1001は、電源Vdd側をアノード、スイッチ用トランジスタ204のバックゲート側をカソードとして設けられる。具体的には、例えば、図3の拡散層DFbをp型で構成し、当該拡散層DFbをコンタクト層CTを介してメタル配線層MLに接続したような構造となる。

[0074] このような構成例を用いると、誘導ノイズに伴い入力端子207n（入力信号Vinn）の電位が上がった場合、ダイオード1001は逆方向電圧となり、バックゲートと電源Vddと間のインピーダンスが高くなるため、寄生ダイオード205を介した電荷の注入は生じない。これにより、誘導ノイズに起因する出力信号Voutの誤差を抑制することが可能になる。その結果、誘導ノイズに起因する出力回路106eの誤動作を防止でき、図1のセ

ンサシステムおよび半導体装置 102 において、ノイズ耐性の向上が実現可能となる。

[0075] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。例えば、前述した実施の形態は、本発明を分かり易く説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施の形態の構成の一部を他の実施の形態の構成に置き換えることが可能であり、また、ある実施の形態の構成に他の実施の形態の構成を加えることも可能である。また、各実施の形態の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

符号の説明

[0076] 101 センサエレメント
102 半導体装置
106, 106a~106e 出力回路
201 出力アンプ
203, 403 フィードバック素子
204, 404, 707a, 707b, 911a, 911b スイッチ用
トランジスタ
205, 405, 708a, 708b, 910a, 910b 寄生ダイオード
206, 406, 709, 909 抵抗素子
207n, 207p 入力端子
208 出力端子
706 容量素子
1001 ダイオード
DF 拡散層
GE ゲート電極

R L 抵抗層

V c t l 制御信号

V d d, V s s, V d c 1, V d c 2 電源

V i n n, V i n p 入力信号

請求の範囲

- [請求項1] 入力端子および出力端子と、
前記入力端子を前記出力端子に接続する第1の回路と、
前記出力端子を前記入力端子に帰還するフィードバック経路と、
ゲートと、バックゲートと、ソースと、前記入力端子に接続される
ドレインとを備えるトランジスタと、
前記バックゲートと電源との間に設けられ、前記入力端子に生じる
所定の周波数のノイズを抑制するための所定の値以上のインピーダン
スを備える第2の回路と、
を有する半導体装置。
- [請求項2] 請求項1記載の半導体装置において、
前記第2の回路は、抵抗素子である、
半導体装置。
- [請求項3] 請求項2記載の半導体装置において、
前記抵抗素子の抵抗値は、 $10\text{ k}\Omega$ 以上である、
半導体装置。
- [請求項4] 請求項2記載の半導体装置において、
前記抵抗素子は、前記トランジスタのゲート電極と同じ材料で形成
される、
半導体装置。
- [請求項5] 請求項1記載の半導体装置において、
前記トランジスタは、pチャネル型MOSトランジスタであり、
前記トランジスタの前記バックゲートは、前記第2の回路を介して
前記第1の回路の高電位側の電源に接続される、
半導体装置。
- [請求項6] 請求項1記載の半導体装置において、
前記トランジスタは、nチャネル型MOSトランジスタであり、
前記トランジスタの前記バックゲートは、前記第2の回路を介して

前記第 1 の回路の低電位側の電源に接続される、
半導体装置。

[請求項7] 請求項 1 記載の半導体装置において、
前記トランジスタの前記ゲートには、前記第 1 の回路の動作時とスタンバイ時とで異なるレベルの制御信号が入力される、
半導体装置。

[請求項8] 請求項 1 記載の半導体装置において、
前記フィードバック経路には、容量素子が設けられる、
半導体装置。

[請求項9] 請求項 1 記載の半導体装置において、
前記入力端子の一つである第 1 の入力端子と、
前記入力端子の他の一つであり、前記第 1 の入力端子と差動対を構成する第 2 の入力端子と、
前記トランジスタの一つであり、前記第 1 の入力端子に対応する第 1 のトランジスタと、
前記トランジスタの他の一つであり、前記第 2 の入力端子に対応する第 2 のトランジスタと、
を有し、
前記第 2 の回路は、前記第 1 のトランジスタと前記第 2 のトランジスタの前記バックゲートに対して共通に設けられる、
半導体装置。

[請求項10] 入力端子および出力端子と、
前記入力端子を前記出力端子に接続する第 1 の回路と、
前記出力端子を前記入力端子に帰還するフィードバック経路と、
ソース、ドレイン、ゲートおよびバックゲートを備え、前記ドレインが前記入力端子に接続されるトランジスタと、
を有する半導体装置であって、
前記第 1 の回路は、第 1 の電源に接続され、

前記バックゲートは、高電位側の前記第 1 の電源よりも高い電位か、または、低電位側の前記第 1 の電源よりも低い電位を有する第 2 の電源に接続される、
半導体装置。

[請求項11] 請求項 10 記載の半導体装置において、
前記トランジスタは、pチャネル型MOSトランジスタであり、
前記第 2 の電源は、高電位側の前記第 1 の電源よりも高い電位を有する、
半導体装置。

[請求項12] 請求項 11 記載の半導体装置において、
前記トランジスタの前記ソースは、前記高電位側の前記第 1 の電源に接続され、
前記トランジスタのゲートは、高電位側の前記第 2 の電源と、低電位側の前記第 1 の電源とで制御される、
半導体装置。

[請求項13] 請求項 10 記載の半導体装置において、
前記トランジスタは、nチャネル型MOSトランジスタであり、
前記第 2 の電源は、低電位側の前記第 1 の電源よりも低い電位を有する、
半導体装置。

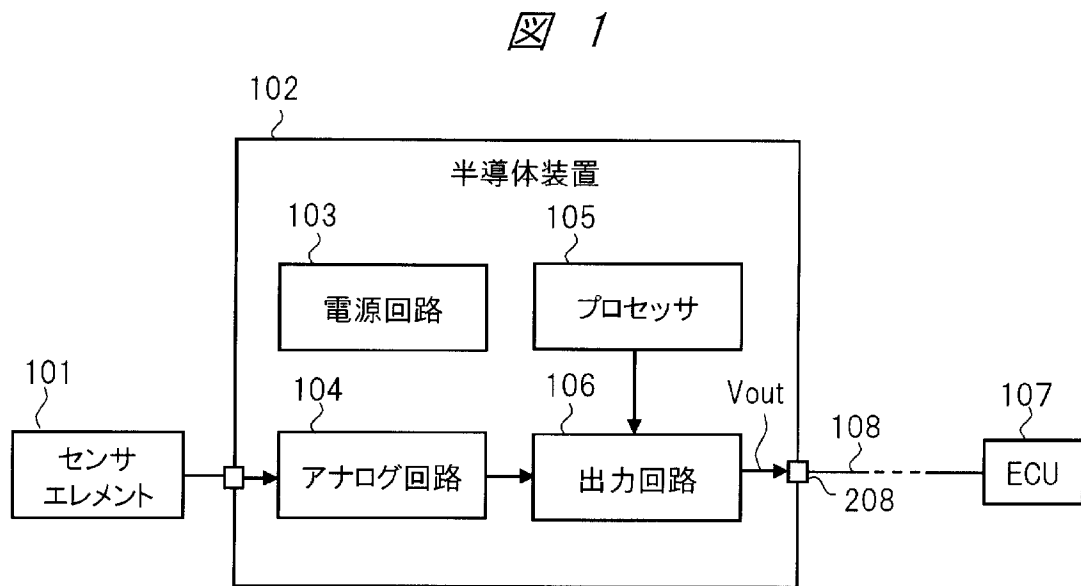
[請求項14] 検出対象の変化に応じた電気信号を出力するセンサエレメントと、
前記電気信号を処理し、当該処理結果を出力回路を介してアナログ信号で出力する半導体装置と、
を有するセンサシステムであって、
前記出力回路は、
入力端子と、
前記アナログ信号が出力される出力端子と、
前記入力端子を前記出力端子に接続する第 1 の回路と、

前記出力端子を前記入力端子に帰還するフィードバック経路と、
ゲートと、バックゲートと、ソースと、前記入力端子に接続される
ドレインとを備えるトランジスタと、

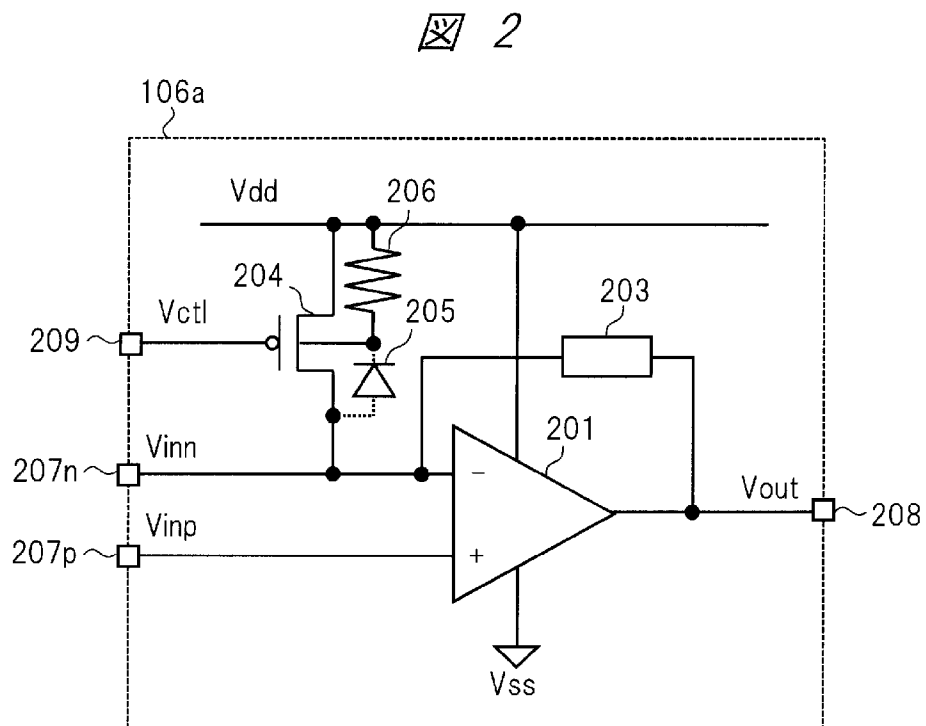
前記バックゲートと電源との間に設けられ、前記入力端子に生じる
所定の周波数のノイズを抑制するための所定の値以上のインピーダン
スを備える第2の回路と、
を有するセンサシステム。

[請求項15] 請求項14記載のセンサシステムにおいて、
前記第2の回路は、抵抗素子である、
センサシステム。

[図1]

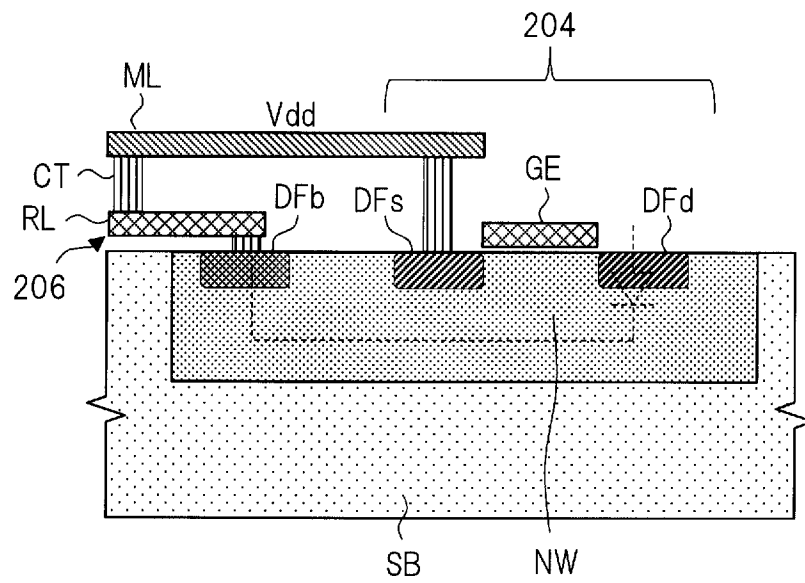


[図2]



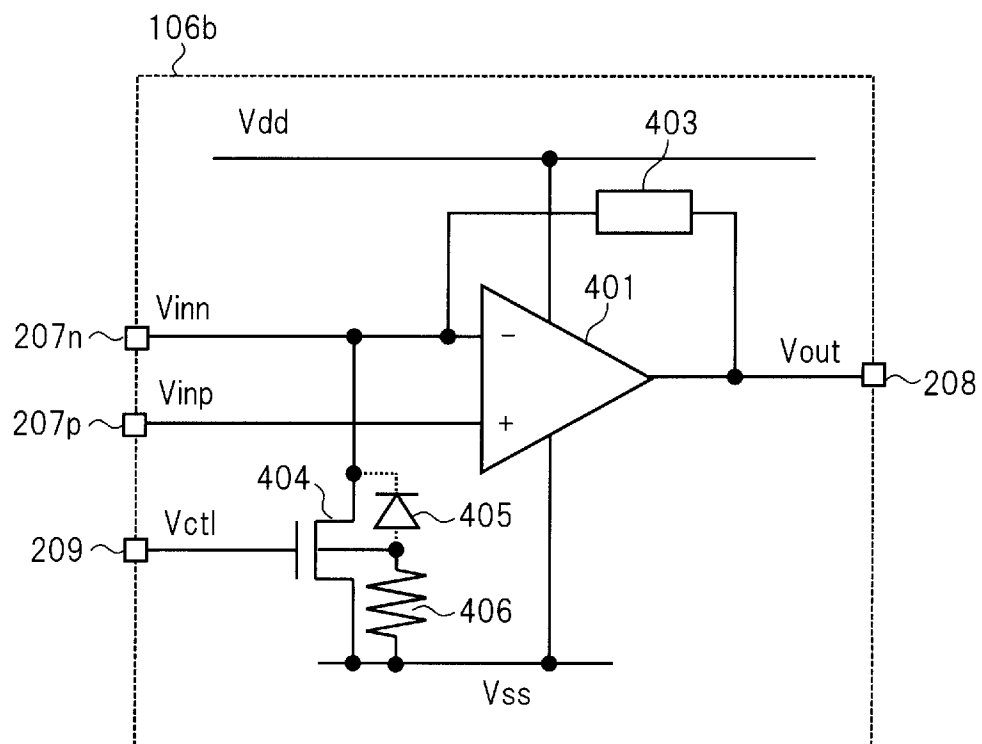
[図3]

図 3



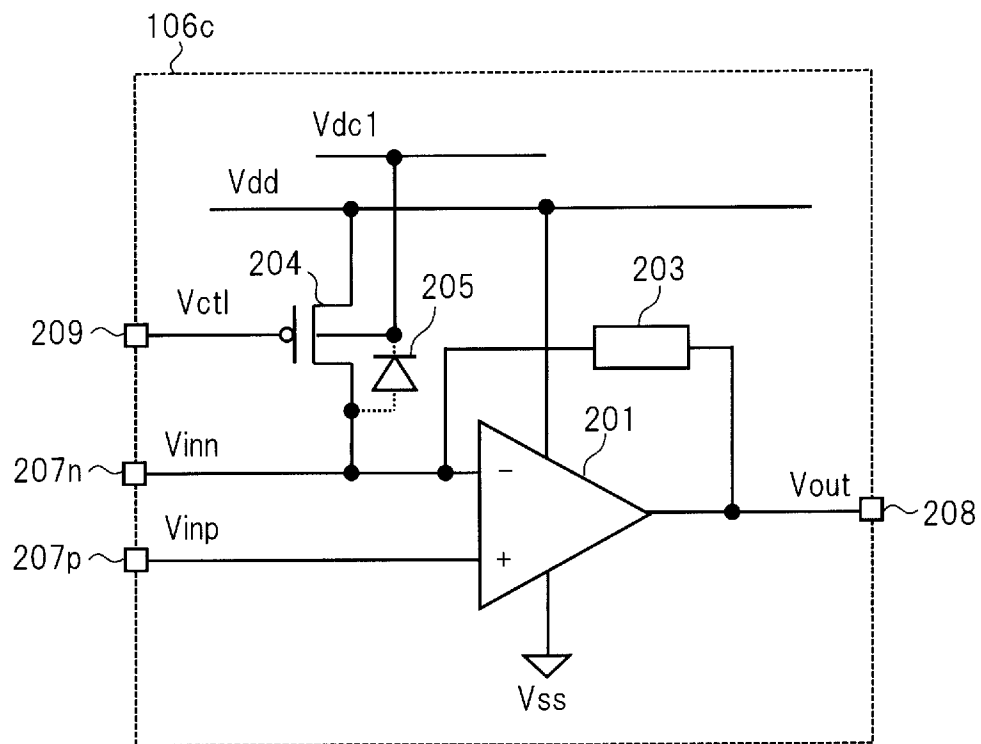
[図4]

図 4



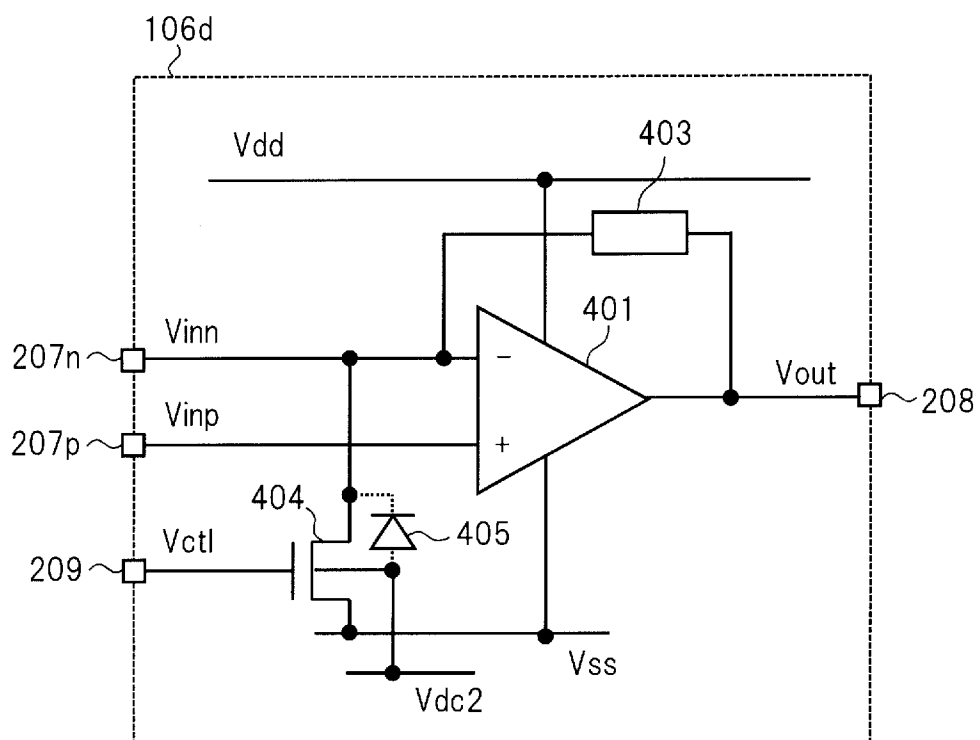
[図5]

図 5



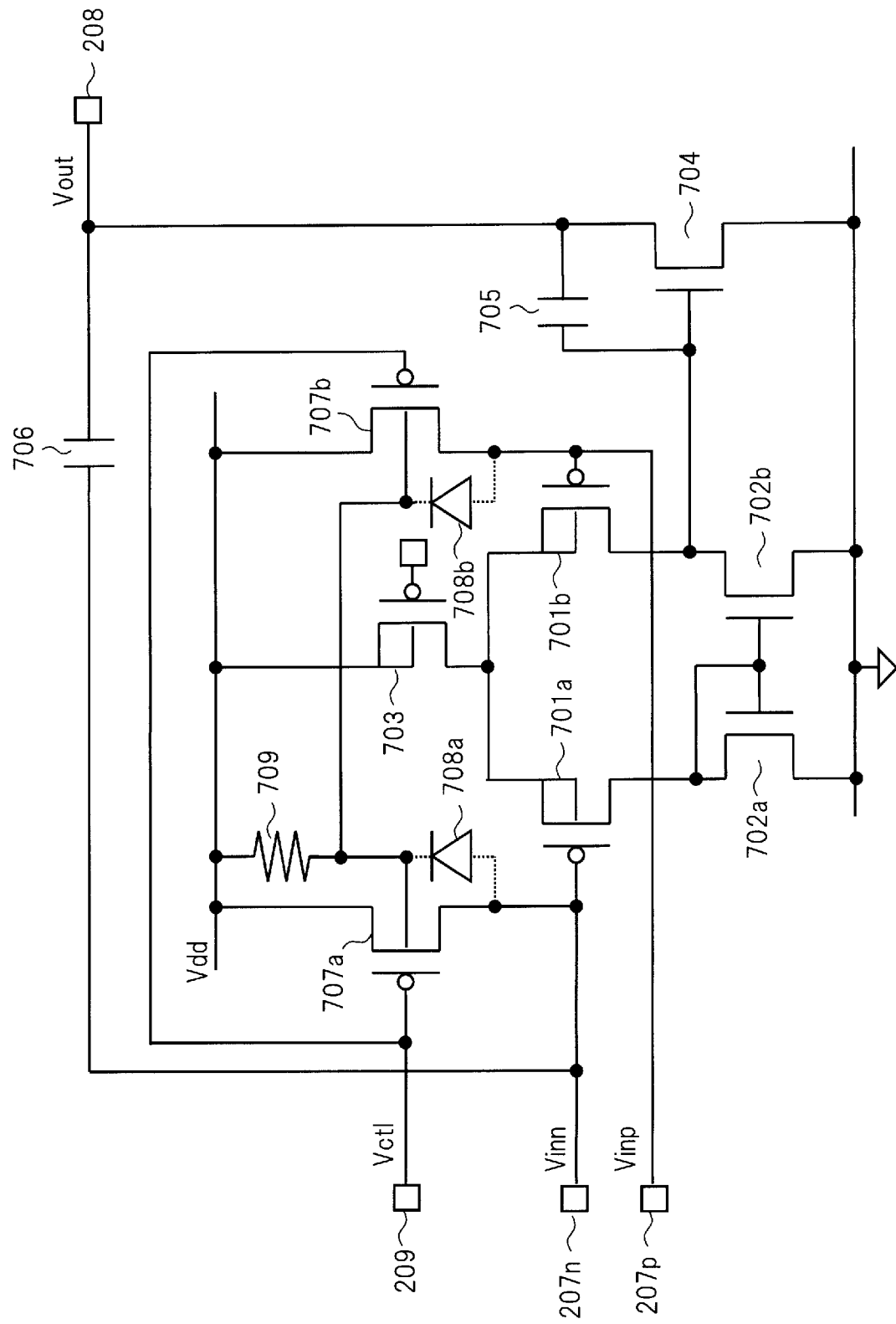
[図6]

図 6

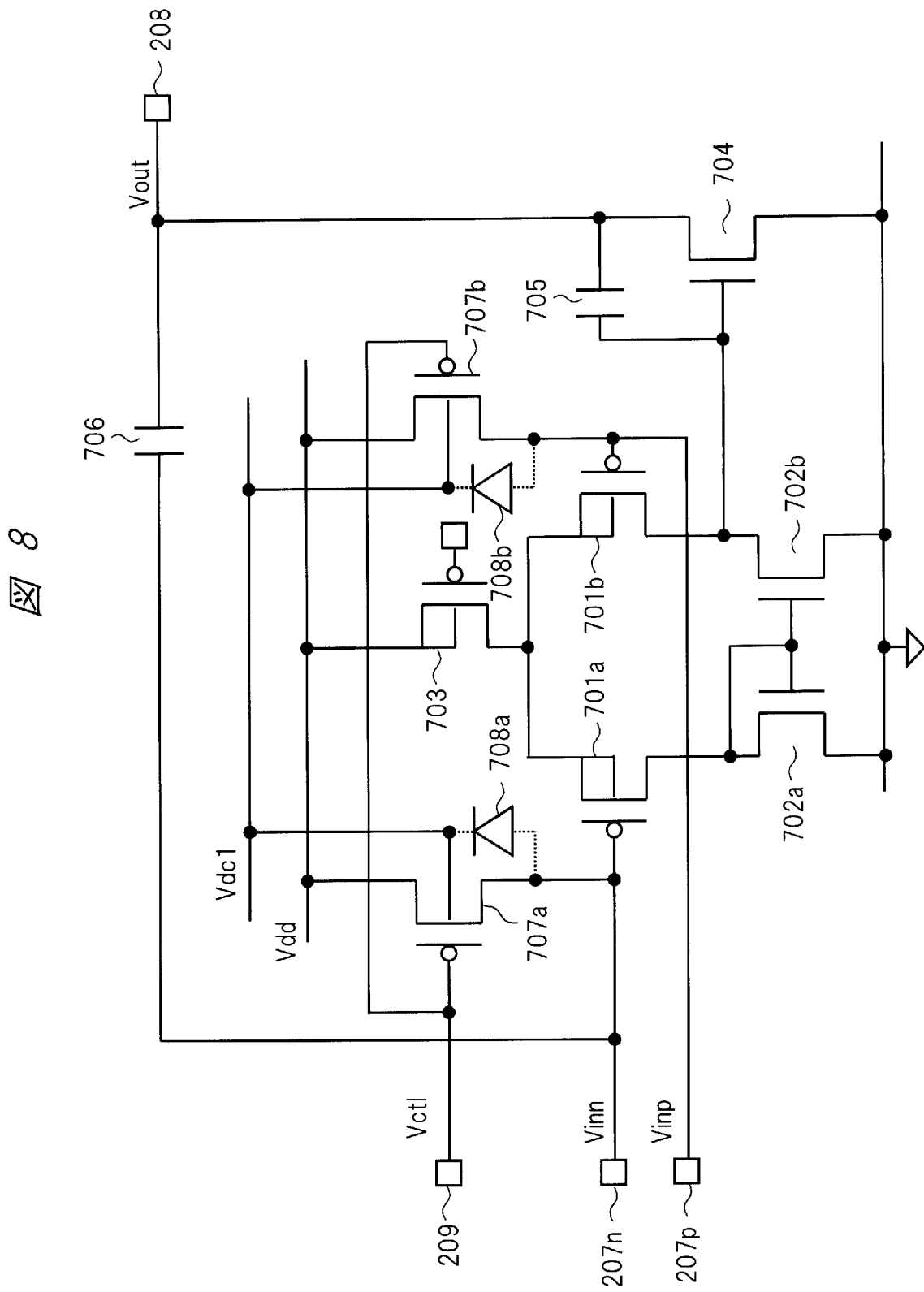


[図7]

7

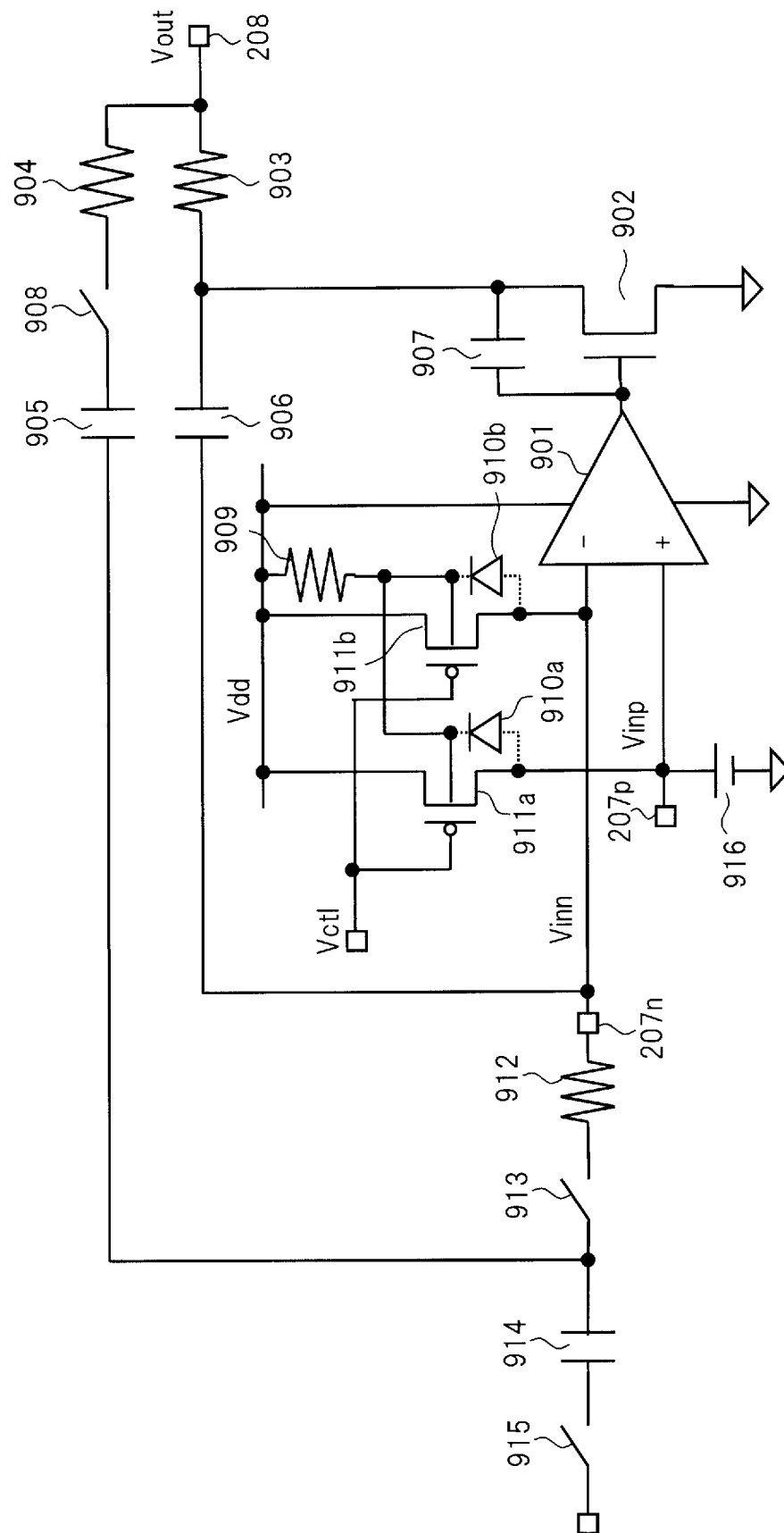


[図8]



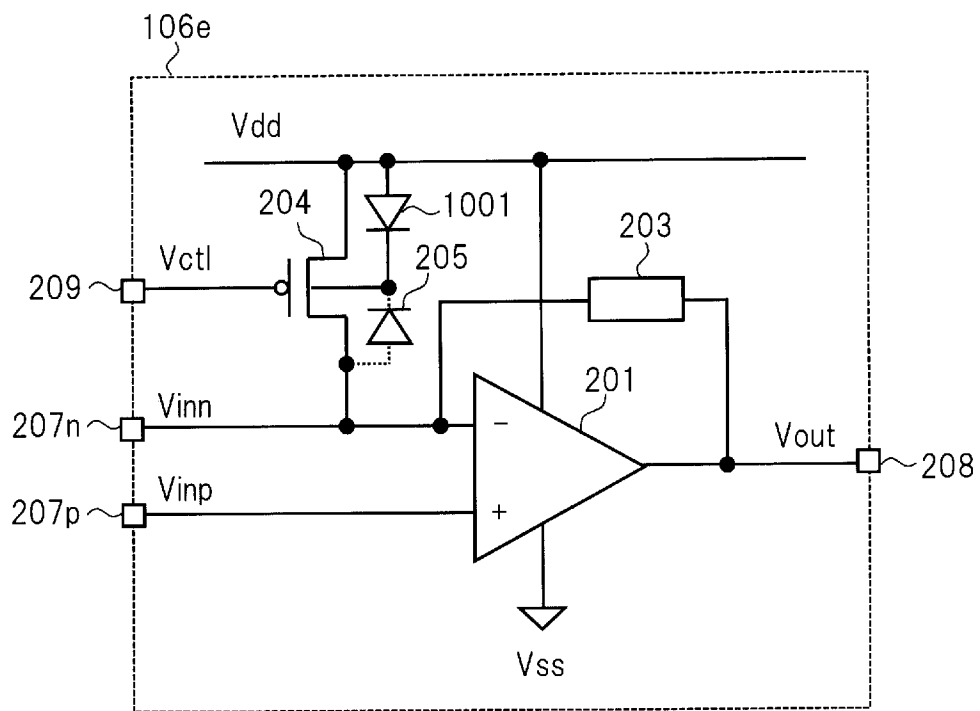
[図9]

図 9



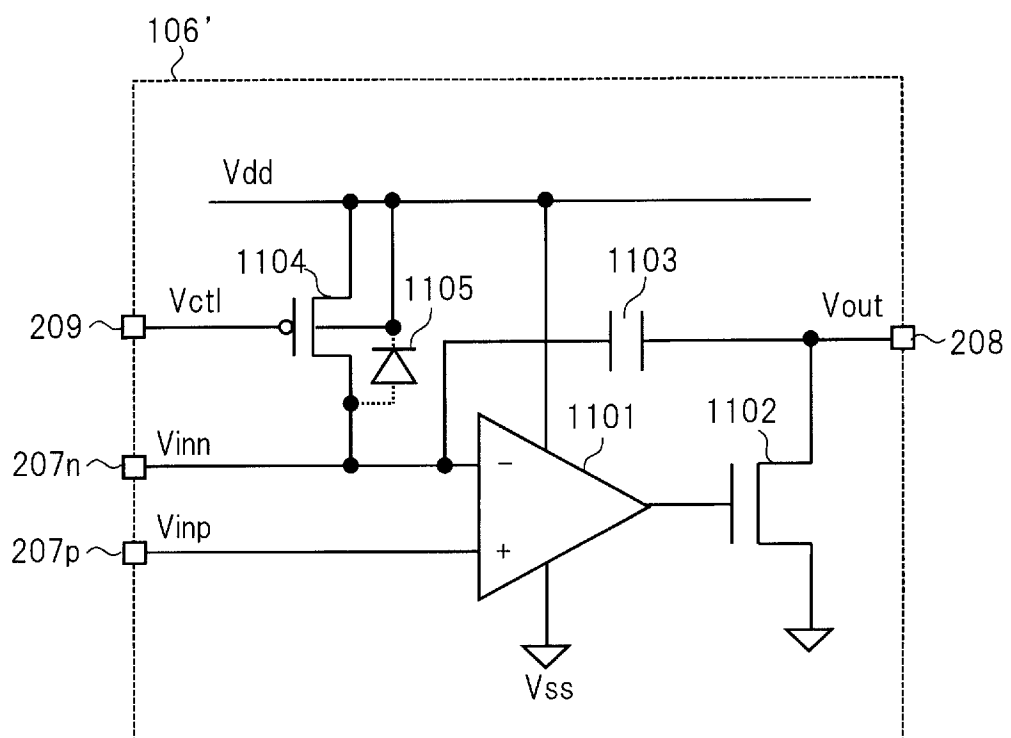
[図10]

図 10



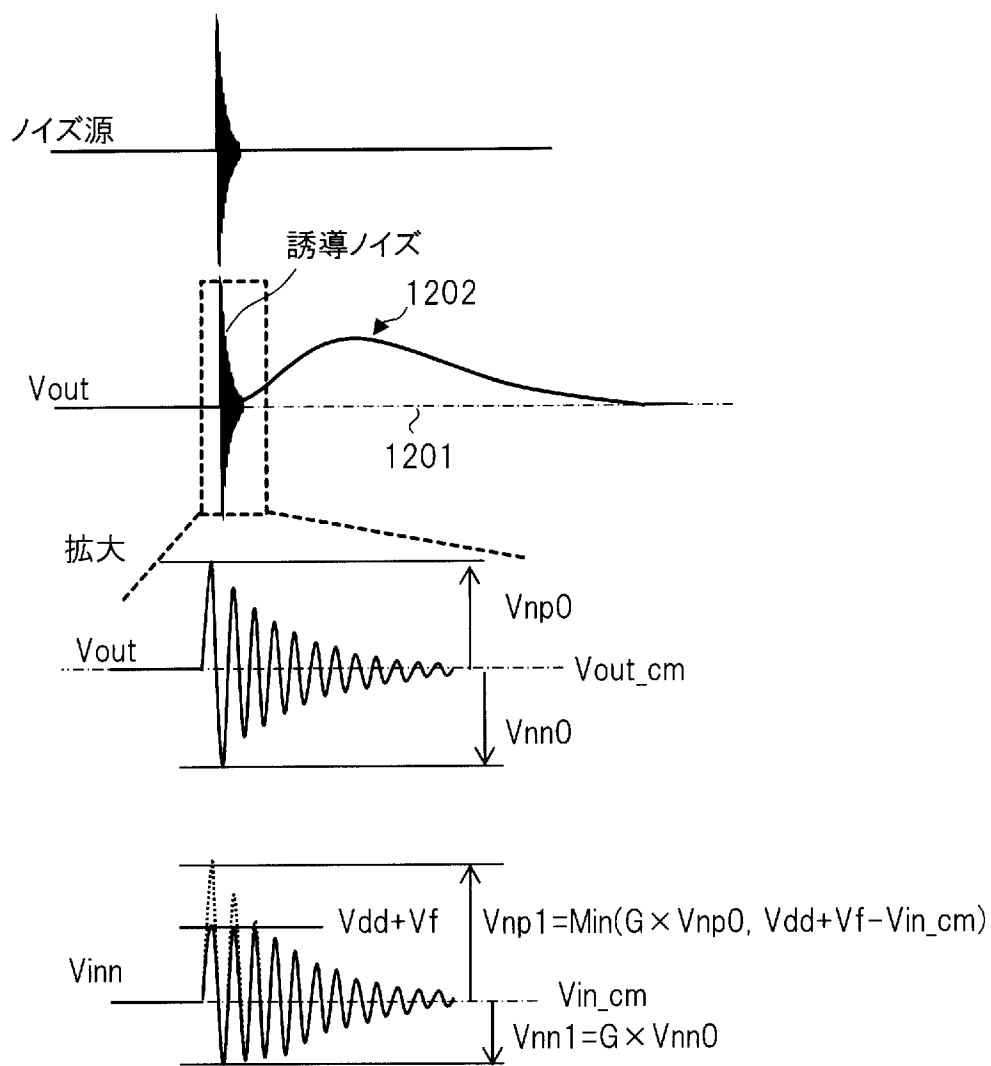
[図11]

図 11



[図12]

図 12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/018640

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03F1/34 (2006.01) i, H03F3/345 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03F1/00-3/72

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2011/104800 A1 (PANASONIC CORP.) 01 September 2011, paragraphs [0077]-[0091], [0109], fig. 6-7 & JP 2013-85008 A	1-8, 10-15 9
Y A	JP 2008-54075 A (RENESAS TECHNOLOGY CORP.) 06 March 2008, paragraph [0105] (Family: none)	1-8, 10-15 9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 July 2019 (19.07.2019)

Date of mailing of the international search report
30 July 2019 (30.07.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/018640

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-500710 A (TEXAS ADVANCED OPTOELECTRONICS SOLUTIONS, INC.) 08 January 2004, paragraphs [0001]-[0003] & US 2001/0050410 A1, paragraphs [0002]-[0004] & WO 2001/047117 A1 & CN 1435007 A	4
Y	JP 2016-32295 A (MIE FUJITSU SEMICONDUCTOR LIMITED) 07 March 2016, paragraphs [0001]-[0003], fig. 2B & US 2016/0026207 A1, paragraphs [0002]-[0004], fig. 2B & CN 105429618 A	5-6, 10-13
Y	JP 61-189718 A (N.V. PHILIPS' GLOEILAMPENFABRIEKEN) 23 August 1986, page 9, lower right column, line 2 to page 10, upper left column, line 12, fig. 1, 6 & US 4791379 A, column 11, line 44 to column 12, line 7 & GB 2170969 A & EP 191529 A2	8
Y	JP 2015-119304 A (YAMAHA CORP.) 25 June 2015, paragraphs [0001]-[0003], [0016]-[0019], fig. 1b (Family: none)	14-15
A	JP 2005-204297 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 28 July 2005 & US 2005/0134384 A1 & CN 1630185 A	1-15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/018640

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/018640

<Continuation of Box No. III>

Document 1: WO 2011/104800 A1 (PANASONIC CORP.) 01 September 2011, paragraphs [0077]-[0091], [0109], fig. 6-7

The claims are classified into the following two inventions.

(Invention 1) Claims 1-9 and 14-15

Claims 1-9 and 14-15 have a special technical feature of a "semiconductor device having: an input terminal and an output terminal; a first circuit, which connects the input terminal to the output terminal; a feedback path for feeding the output terminal back to the input terminal; a transistor provided with a gate, a back gate, a source, and a drain connected to the input terminal; and a second circuit provided between the back gate and a power source and having at least a prescribed value of impedance for suppressing noise of a prescribed frequency". Thus, claims 1-9 and 14-15 are classified as invention 1.

(Invention 2) Claims 10-13

Claims 10-13 share, with claim 1 classified as invention 1, a common technical feature of a "semiconductor device having: an input terminal and an output terminal; a first circuit, which connects the input terminal to the output terminal; a feedback path for feeding the output terminal back to the input terminal; a transistor provided with a source, a drain, a gate, and a back gate, the drain being connected to the input terminal". However, this technical feature does not make a contribution over the prior art in light of the disclosure of document 1, and is thus not considered to be a special technical feature. Furthermore, these inventions share no other identical or corresponding special technical features.

Furthermore, claims 10-13 are not dependent on claim 1. Furthermore, claims 10-13 are not substantially identical or equivalent to any of the claims classified as invention 1.

Therefore, claims 10-13 cannot be classified as invention 1.

Claims 10-13 have a special technical feature in which "the first circuit is connected to a first power source, and the back gate is connected to a second power source having a potential higher than the first power source of a high potential side or a potential lower than the first power source of a low potential side". Thus, claims 10-13 are classified as invention 2.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03F1/34(2006.01)i, H03F3/345(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03F1/00-3/72

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2011/104800 A1（パナソニック株式会社）2011.09.01, 段落[0077]-[0091], [0109], 図 6-7 & JP 2013-85008 A	1-8, 10-15 9
Y A	JP 2008-54075 A（株式会社ルネサステクノロジ）2008.03.06, 段落[0105]（ファミリーなし）	1-8, 10-15 9

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

19.07.2019

国際調査報告の発送日

30.07.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

及川 尚人

5W

5888

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-500710 A (テキサス・アドヴァンスト・オプトエレクトロニクス・ソリューションズ・インコーポレーテッド) 2004.01.08, 段落[0001]-[0003] & US 2001/0050410 A1, 段落[0002]-[0004] & WO 2001/047117 A1 & CN 1435007 A	4
Y	JP 2016-32295 A (三重富士通セミコンダクター株式会社) 2016.03.07, 段落[0001]-[0003], 図 2B & US 2016/0026207 A1, 段落[0002]-[0004], 図 2B & CN 105429618 A	5-6, 10-13
Y	JP 61-189718 A (エヌ・ベー・フィリップス・フルーイランペンフ アプリケン) 1986.08.23, 第 9 頁右下欄第 2 行-第 10 頁左上欄第 12 行, 図 1, 6 & US 4791379 A, 第 11 欄第 44 行-第 12 欄第 7 行 & GB 2170969 A & EP 191529 A2	8
Y	JP 2015-119304 A (ヤマハ株式会社) 2015.06.25, 段落[0001]-[0003], [0016]-[0019], 図 1b (ファミリーなし)	14-15
A	JP 2005-204297 A (松下電器産業株式会社) 2005.07.28, & US 2005/0134384 A1 & CN 1630185 A	1-15

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
特別ページ参照

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

文献１：W O 2011/104800 A1（パナソニック株式会社）2011.09.01,
段落[0077]-[0091], [0109], 図6-7

請求の範囲は、以下の２つの発明に区分される。

（発明１）請求項１－９、１４－１５

請求項１－９、１４－１５は、「入力端子および出力端子と、前記入力端子を前記出力端子に接続する第１の回路と、前記出力端子を前記入力端子に帰還するフィードバック経路と、ゲートと、バックゲートと、ソースと、前記入力端子に接続されるドレインとを備えるトランジスタと、前記バックゲートと電源との間に設けられ、前記入力端子に生じる所定の周波数のノイズを抑制するための所定の値以上のインピーダンスを備える第２の回路と、を有する半導体装置」という特別な技術的特徴を有しているので、発明１に区分する。

（発明２）請求項１０－１３

請求項１０－１３は、発明１に区分された請求項１と、「入力端子および出力端子と、前記入力端子を前記出力端子に接続する第１の回路と、前記出力端子を前記入力端子に帰還するフィードバック経路と、ソース、ドレイン、ゲートおよびバックゲートを備え、前記ドレインが前記入力端子に接続されるトランジスタと、を有する半導体装置」という共通の技術的特徴を有している。しかしながら、当該技術的特徴は、文献１の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、当該技術的特徴は、特別な技術的特徴であるとはいえない。また、これらの発明の間には、他に同一の又は対応する特別な技術的特徴は存在しない。

さらに、請求項１０－１３は、請求項１の従属請求項ではない。また、請求項１０－１３は、発明１に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項１０－１３は発明１に区分できない。

そして、請求項１０－１３は、「前記第１の回路は、第１の電源に接続され、前記バックゲートは、高電位側の前記第１の電源よりも高い電位か、または、低電位側の前記第１の電源よりも低い電位を有する第２の電源に接続される」という特別な技術的特徴を有しているので、発明２に区分する。