

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3571067号  
(P3571067)

(45) 発行日 平成16年9月29日(2004.9.29)

(24) 登録日 平成16年7月2日(2004.7.2)

(51) Int. Cl.<sup>7</sup>

F I

H O 1 L 29/744

H O 1 L 29/74

C

H O 1 L 29/74

H O 1 L 29/74

J

請求項の数 1 (全 5 頁)

<p>(21) 出願番号 特願平5-280601                  (22) 出願日 平成5年10月13日(1993.10.13)                  (65) 公開番号 特開平6-204460                  (43) 公開日 平成6年7月22日(1994.7.22)                  審査請求日 平成12年10月5日(2000.10.5)                  (31) 優先権主張番号 P4234829.3                  (32) 優先日 平成4年10月15日(1992.10.15)                  (33) 優先権主張国 ドイツ(DE)</p>	<p>(73) 特許権者 390039413                  シーメンス アクチエンゲゼルシャフト                  Siemens Aktiengesellschaft                  ドイツ連邦共和国 D-80333 ミュンヘン ヴィッテルスバッハープラッツ 2                  (74) 代理人 100075166                  弁理士 山口 巖                  (72) 発明者 アルミン ウイルメロート                  ドイツ連邦共和国 86163 アウグスブルク シュワンガウシュトラッセ 25                  審査官 小野田 誠</p>
---	---

最終頁に続く

(54) 【発明の名称】 GTOサイリスタ

(57) 【特許請求の範囲】

【請求項1】

円形の半導体ブロック(1)と、その陰極側に互いに同心のリング(3、4、5、6)の形で長軸が半導体ブロック(1)に放射状に位置するように配置されている多数のストリップ状のエミッタ領域(8)と、エミッタ領域に隣接する陰極側のベース領域と、エミッタ領域を囲んでおり電氣的に陰極側のベース領域と接続されているゲート電極(2)と、2つの同心のリングの間でゲート電極(2)と接続されているリング状のゲート接触部(7)とを有するGTOサイリスタにおいて、ターンオフの際に最も外側のエミッタリング(3)の外縁とゲート接触部(7)との間の電圧降下を最も内側のエミッタリング(6)の内縁とゲート接触部(7)との間の電圧降下よりも少なくとも20%だけ大きくすることを特徴とするGTOサイリスタ。

10

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、円形の半導体ブロックと、その陰極側に互いに同心のリングの形で長軸が半導体ブロックに放射状に位置するように配置されている多数のストリップ状のエミッタ領域と、エミッタ領域に隣接する陰極側のベース領域と、エミッタ領域を囲んでおり電氣的に陰極側のベース領域と接続されているゲート電極と、2つの同心のリングの間でゲート電極と接続されているリング状のゲート接触部とを有するGTOサイリスタに関する。

【0002】

20

【従来の技術】

このようなGTOサイリスタはたとえばヨーロッパ特許第 0 1 1 1 1 6 6 号明細書に記載されている。そこに記載されている実施例の1つは、陰極側のエミッタ領域が5つの互いに同心リングの形で配置されているGTOサイリスタを示している。リング状のゲート接触部は内側から見て第3のリングと第4のリングとの間に位置している。それによってゲート電極の内側と外側との間の電位差は互いにほぼ等しくなる。この措置の目的は、ターンオフ電流を高めることにある。

【0003】

GTOサイリスタの作動の際にしばしばターンオフ電流は内側のエミッタリングに集中する。ここでは利用されるエミッタ面積が全エミッタ面積にくらべて小さいので、このようなGTOサイリスタは特に内側リングの1つにおける過負荷により破壊されるおそれがある。

10

【0004】

【発明が解決しようとする課題】

本発明の課題は、前記の形式のGTOサイリスタを、ターンオフの際の電流がリング状のゲート接触部の外側に位置するエミッタリングに集中するように構成することにある。

【0005】

【課題を解決するための手段】

この課題は、ターンオフの際に最も外側のエミッタリングの外縁とゲート接触部との間の電圧降下を最も内側のエミッタリングの内縁とゲート接触部との間の電圧降下よりも少なくとも20%だけ大きくすることにより解決される。

20

【0006】

【実施例】

以下、図1および図2を参照して本発明の実施例を詳細に説明する。

【0007】

図1によるGTOサイリスタは円形の半導体ブロック1を有する。この半導体ブロックの陰極側にストリップ状のエミッタ領域8が配置されている。ストリップ状のエミッタ領域8の長軸は半導体ブロック1に放射状に配置されている。エミッタ領域8はそれぞれまとめられて互いに同心のリングの形で半導体ブロック1の上に配置されている。同心のエミッタリングは外側から内側へ符号3、4、5、6を付されている。GTOサイリスタの陰極側の表面はゲート電極2により覆われており、これはエミッタ領域8を囲んでいるが、これと接触していない。その詳細は図2に示されている。

30

【0008】

図2には、図1に示すエミッタリング4を含む部分の一部が示されている。ゲート電極2は、エミッタ領域8がゲート電極2により接触されないように切欠部9を有する。

【0009】

図1による実施例では2つの内側リング5および6と2つの外側リング3および4との間にリング状のゲート接触部7が配置されている。これは電氣的にゲート電極2と接続されている。

【0010】

陰極側のエミッタ領域8およびリング状のゲート接触部7は、最も外側のリング3(半径 $r_o$ )の外縁における電位が最も内側のリング6(半径 $r_i$ )の内縁における電位よりも少なくとも20%だけ大きくなるように配置されている。この電位の調整はゲート接触部より内側のリングの数、ゲート接触部より外側のリングの数およびリングの直径の選定により抵抗を介して行われる。別の調整方法はゲート電極2のなかの個々の切欠部9の間のゲート電極2の中央幅 $b$ (図2)の選定により行われる。幅 $b$ の選定により、さらに外側に位置するリング3のターンオフ電流に影響を与える抵抗が調整される。

40

【0011】

しかし前記の電位比は、ストリップ状のエミッタ領域8の電流を導く面積がリング状のゲート接触部7の両側で相互に調整させられることによっても設定され得る。個々のストリ

50

ップ状エミッタ領域 8 の幅  $a$  は電氣的な理由から可能なかぎり小さく、たとえば数  $100 \mu\text{m}$  の幅にしなければならないので、面積はストリップ状エミッタ領域 8 の長さ  $l$  によってのみ設定し得る。以下には、陰極側のエミッタ領域が 8 つの互いに同心のリングの形で配置されている GTO サイリスタに対する具体的な例をあげる。表中の寸法は上から下へ最も内側のものから順次外側に位置するリングに関するものである。

【0012】

【表 1】

内径 (mm)	エミッタ領域	中央幅 $b$ (mm)
5.05	84	0.187
7.9	132	0.16
11.1	180	0.159
14.65	232	0.156
23.65	288	0.267
27.2	372	0.202
30.75	464	0.154
34.3	516	0.153

10

20

【0013】

ストリップ状のエミッタ領域 8 の長さ  $l$  は両内側リング 6 および 5 に対しては  $2.5$  または  $2.85 \text{ mm}$ 、その他のリングに対しては  $3.2 \text{ mm}$  である。幅はそれぞれ  $0.21 \text{ mm}$  である。この配置に対して、外側リング 3 の外縁 (半径  $r_o$ ) とゲート接触部 7 との間で測定して、 $137 \text{ mV}$  の電圧降下が生じた。内側のリングに対しては、最も内側のリング 6 の内縁 (半径  $r_i$ ) とゲート接触部 7 との間で測定して、 $86 \text{ mV}$  の電圧降下が生じた。両値は約  $700 \text{ A}$  のゲート電流において測定された。ここで外側の電圧降下は内側の電圧降下よりも約  $60\%$  だけ大きい。しかし  $20\%$  の差があれば、所望の結果を得るためには既に十分であろう。

30

【0014】

【発明の効果】

本発明の利点は、ターンオフの際の電流がリング状のゲート接触部の外側に位置するエミッタリングに集中することにある。ここではゲート接触部の内側のエミッタリングにおける面積よりもかなり大きい面積が利用されるので、ターンオフの際の個々のエミッタの過負荷が確実に回避される。

【図面の簡単な説明】

【図 1】本発明の一実施例による GTO サイリスタの概略平面図。

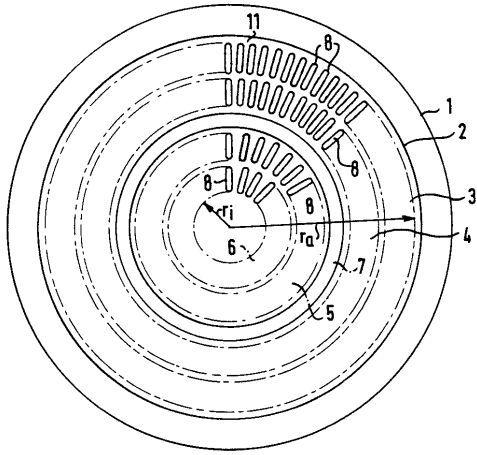
【図 2】図 1 の一部詳細図。

【符号の説明】

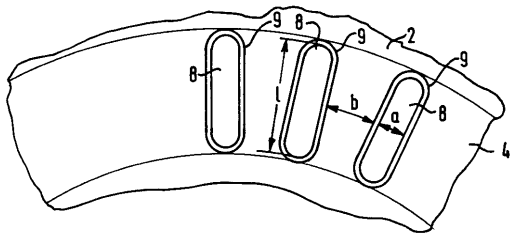
- 1 半導体ブロック
- 2 ゲート電極
- 3 ~ 6 エミッタリング
- 7 ゲート接触部
- 8 エミッタ領域
- 9 切欠部

40

【 図 1 】



【 図 2 】



---

フロントページの続き

(56)参考文献 特開昭62-54465(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
H01L 29/74