

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 4 区分  
 【発行日】平成 19 年 10 月 25 日 (2007.10.25)

【公開番号】特開 2002-83493 (P2002-83493A)  
 【公開日】平成 14 年 3 月 22 日 (2002.3.22)  
 【出願番号】特願 2000-269223 (P2000-269223)  
 【国際特許分類】

**G 1 1 C 11/22 (2006.01)**

**G 1 1 C 14/00 (2006.01)**

【F I】

G 1 1 C 11/22

G 1 1 C 11/34 3 5 2 A

【手続補正書】  
 【提出日】平成 19 年 9 月 5 日 (2007.9.5)  
 【手続補正 1】  
 【補正対象書類名】明細書  
 【補正対象項目名】特許請求の範囲  
 【補正方法】変更  
 【補正の内容】  
 【特許請求の範囲】  
 【請求項 1】

セルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタとから構成されるメモリセルを少なくとも複数個直列接続したもののからなる、複数のメモリセルブロックと、

前記トランジスタに接続される複数のワード線と、

前記メモリセルブロックに接続される複数のビット線対と、

前記ビット線対に接続され、前記各ビット線対のビット線間の信号差を増幅する複数の増幅回路と、

前記ビット線対の内、メモリセルのデータが読み出されない参照ビット線の電位を発生し、少なくとも 1 個の常誘電体キャパシタを有するダミーセル回路と、を有する半導体記憶装置において、

スタンバイ時には、前記常誘電体キャパシタの第 1 の端子は Vss より高い第 1 の電位にプリチャージされ、前記常誘電体キャパシタの第 2 の端子は Vss にプリチャージされ、

アクティブ時には前記第 1 の端子は、前記参照ビット線に接続され、前記第 2 の端子は Vss からそれより高い第 2 の電位に引き上げられることを特徴とする半導体記憶装置。

【請求項 2】

セルトランジスタと強誘電体キャパシタの直列接続からなる複数のメモリセルと、

前記セルトランジスタに接続される複数のワード線と、

前記メモリセルに接続される複数のビット線対からなるメモリセルアレイと、

前記ビット線対に接続され、前記ビット線対の信号差を増幅する複数の増幅回路と、

前記ビット線対の 1 つに、メモリセルのデータが読み出されない参照ビット線の電位を発生し、少なくとも 1 個の常誘電体キャパシタを有するダミーセル回路と、を有する半導体記憶装置において、

スタンバイ時には、前記常誘電体キャパシタの第 1 の端子は、Vss より高い第 1 の電位にプリチャージされ、前記常誘電体キャパシタの第 2 の端子は Vss にプリチャージされ、

、

アクティブ時には、前記第 1 の端子は前記参照ビット線に接続され、前記第 2 の端子は、Vss からそれより高い第 2 の電位に引き上げられることを特徴とする半導体記憶装置

。

【請求項 3】

セルトランジスタと強誘電体キャパシタの直列接続をそれぞれが含む複数のメモリセルと、

前記セルトランジスタに接続される複数のワード線と、

前記セルトランジスタに接続される複数のビット線対と、

前記ビット線対に接続され、前記各ビット線対のビット線間の信号差を増幅する複数の増幅回路と、

前記ビット線対の 1 つに、メモリセルのデータが読み出されない参照ビット線の電位を発生し、少なくとも 1 個の常誘電体キャパシタを有するダミーセル回路と、を有する半導体記憶装置において、

スタンバイ時には、前記常誘電体キャパシタの第 1 の端子は  $V_{ss}$  より高い第 1 の電位にプリチャージされ、前記常誘電体キャパシタの第 2 の端子は  $V_{ss}$  にプリチャージされ、

アクティブ時には前記第 1 の端子は、前記参照ビット線に接続され、前記第 2 の端子は  $V_{ss}$  からそれより高い第 2 の電位に引き上げられることを特徴とする半導体記憶装置。

【請求項 4】

前記第 1 の端子は、第 1 のトランジスタを介して、ビット線対の 1 つのビット線に接続され、第 2 のトランジスタを介して、前記ビット線対の他の 1 つのビット線に接続され、第 3 のトランジスタを介して、前記第 1 の電位に接続されることを特徴とする請求項 1 ないし 3 のいずれかに記載の半導体装置。

【請求項 5】

前記第 3 のトランジスタは前記第 1 および第 2 のトランジスタとは逆の位相で動作することを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記第 1 の端子は、第 1 のトランジスタを介して、各ビット線対の 1 つのビット線に接続され、第 3 のトランジスタを介して、第 1 の電位に接続されることを特徴とする請求項 1 ないし 3 のいずれかに記載の半導体装置。

【請求項 7】

前記第 3 のトランジスタは前記第 1 のトランジスタとは逆の位相で動作することを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

第 1 の電位と第 2 の電位は等しいことを特徴とする請求項 1 ないし 3 のいずれかに記載の半導体装置。

【請求項 9】

前記第 1 の端子が前記参照ビット線に接続された後に、前記第 2 の端子が  $V_{ss}$  から、 $V_{ss}$  より高い第 2 の電位に引き上げられることを特徴とする請求項 1 ないし 3 のいずれかに記載の半導体記憶装置。

【請求項 10】

セルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタとから構成されるメモリセルを少なくとも複数個直列接続したものからなる、複数のメモリセルブロックと、

前記セルトランジスタに接続される複数のワード線と、

前記メモリセルブロックに接続される複数のビット線対と、

前記ビット線対に接続され、前記各ビット線対のビット線間の信号差を増幅する複数の増幅回路と、

前記ビット線対の第 1 のビット線の第 1 の電位を生じる第 1 の常誘電体キャパシタを有する第 1 のダミーセル部および前記ビット線対の第 2 のビット線の第 2 の電位を生ずる第 2 の常誘電体キャパシタを有する第 2 のダミーセル部を含むダミーセル回路と、を備えた半導体記憶装置において、

前記第 1 の常誘電体キャパシタの前記第 1 の端子は、第 1 のトランジスタを介して前

記第 1 のビット線に接続されるとともに第 2 のトランジスタを介して第 1 のダミーセルの電源電圧に接続され、前記第 1 の常誘電体キャパシタの前記第 2 の端子は、第 1 のダミープレートラインに接続され、前記第 2 の常誘電体キャパシタの前記第 1 の端子は、第 3 のトランジスタを介して前記第 2 のビット線に接続されるとともに第 4 のトランジスタを介して第 2 のダミーセルの電源電圧に接続され、前記第 2 の常誘電体キャパシタの前記第 2 の端子は、第 2 のダミープレートラインに接続されることを特徴とする半導体記憶装置。

【請求項 1 1】

それぞれセルトランジスタと強誘電体キャパシタとを直列接続したものからなる、複数のメモリセルと、

前記セルトランジスタに接続される複数のワード線と、

前記メモリセルブロックに接続される複数のビット線対と、

前記ビット線対に接続され、前記各ビット線対のビット線間の信号差を増幅する複数の増幅回路と、

前記ビット線対の第 1 のビット線の第 1 の電位を生じる第 1 の常誘電体キャパシタを有する第 1 のダミーセル部および前記ビット線対の第 2 のビット線の第 2 の電位を生ずる第 2 の常誘電体キャパシタを有する第 2 のダミーセル部を含むダミーセル回路と、を備えた半導体記憶装置において、

前記第 1 の常誘電体キャパシタの前記第 1 の端子は、第 1 のトランジスタを介して前記第 1 のビット線に接続されるとともに第 2 のトランジスタを介して第 1 のダミーセルの電源電圧に接続され、前記第 1 の常誘電体キャパシタの前記第 2 の端子は、第 1 のダミープレートラインに接続され、

前記第 2 の常誘電体キャパシタの前記第 1 の端子は、第 3 のトランジスタを介して前記第 2 のビット線に接続されるとともに第 4 のトランジスタを介して第 2 のダミーセルの電源電圧に接続され、前記第 2 の常誘電体キャパシタの前記第 2 の端子は、第 2 のダミープレートラインに接続されることを特徴とする半導体記憶装置。

【請求項 1 2】

前記第 1 のビット線が参照ビット線である場合、前記第 1 及び第 2 のトランジスタが制御され、前記第 2 のビット線が参照ビット線である場合、前記第 3 及び第 4 のトランジスタが制御されることを特徴とする請求項 1 0 または 1 1 に記載の半導体記憶装置。

【請求項 1 3】

スタンバイ時には、前記第 1 及び第 2 の常誘電体キャパシタの第 1 の端子は、 $V_{ss}$  より高い第 1 の電位にプリチャージされ、前記選択された常誘電体キャパシタの第 2 の端子は  $V_{ss}$  にプリチャージされ、

アクティブ時には、選択された常誘電体キャパシタの前記第 1 の端子は前記参照ビット線に接続され、選択された常誘電体キャパシタの前記第 2 の端子は、 $V_{ss}$  からそれより高い第 2 の電位に引き上げられることを特徴とする請求項 1 2 に記載の半導体記憶装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 9

【補正方法】変更

【補正の内容】

【0 0 2 9】

本願発明にかかる半導体記憶装置の第 1 の態様では、セルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタとから構成されるメモリセルを少なくとも複数個直列接続したものからなる、複数のメモリセルブロックと、

前記トランジスタに接続される複数のワード線と、

前記メモリセルブロックに接続される複数のビット線対と、

前記ビット線対に接続され、前記各ビット線対のビット線間の信号差を増幅する複数の増幅回路と、

前記ビット線対の内、メモリセルのデータが読み出されない参照ビット線の電位を発生し、少なくとも１個の常誘電体キャパシタを有するダミーセル回路と、を有する半導体記憶装置において、

スタンバイ時には、前記常誘電体キャパシタの第１の端子は $V_{ss}$ より高い第１の電位にプリチャージされ、前記常誘電体キャパシタの第２の端子は $V_{ss}$ にプリチャージされ、

アクティブ時には前記第１の端子は、前記参照ビット線に接続され、前記第２の端子は $V_{ss}$ からそれより高い第２の電位に引き上げられることを特徴とする。

【手続補正３】

【補正対象書類名】明細書

【補正対象項目名】００３０

【補正方法】変更

【補正の内容】

【００３０】

本発明にかかる半導体記憶装置の第２の態様によれば、セルトランジスタと強誘電体キャパシタの直列接続からなる複数のメモリセルと、

前記セルトランジスタに接続される複数のワード線と、

前記メモリセルに接続される複数のビット線対からなるメモリセルアレイと、

前記ビット線対に接続され、前記ビット線対の信号差を増幅する複数の増幅回路と、

前記ビット線対の１つに、メモリセルのデータが読み出されない参照ビット線の電位を発生し、少なくとも１個の常誘電体キャパシタを有するダミーセル回路と、を有する半導体記憶装置において、

スタンバイ時には、前記常誘電体キャパシタの第１の端子は、 $V_{ss}$ より高い第１の電位にプリチャージされ、前記常誘電体キャパシタの第２の端子は $V_{ss}$ にプリチャージされ、

アクティブ時には、前記第１の端子は前記参照ビット線に接続され、前記第２の端子は、 $V_{ss}$ からそれより高い第２の電位に引き上げられることを特徴とする。

【手続補正４】

【補正対象書類名】明細書

【補正対象項目名】００３１

【補正方法】変更

【補正の内容】

【００３１】

セルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタとから構成されるメモリセルを少なくとも複数個直列接続したものである、複数のメモリセルブロックと、

前記セルトランジスタに接続される複数のワード線と、

前記メモリセルブロックに接続される複数のビット線対と、

前記ビット線対に接続され、前記各ビット線対のビット線間の信号差を増幅する複数の増幅回路と、

前記ビット線対の第１のビット線の第１の電位を生じる第１の常誘電体キャパシタを有する第１のダミーセル部および前記ビット線対の第２のビット線の第２の電位を生ずる第２の常誘電体キャパシタを有する第２のダミーセル部を含むダミーセル回路と、を備えた半導体記憶装置において、

前記第１の常誘電体キャパシタの前記第１の端子は、第１のトランジスタを介して前記第１のビット線に接続されるとともに第２のトランジスタを介して第１のダミーセルの電源電圧に接続され、前記第１の常誘電体キャパシタの前記第２の端子は、第１のダミープレートラインに接続され、前記第２の常誘電体キャパシタの前記第１の端子は、第３のトランジスタを介して前記第２のビット線に接続されるとともに第４のトランジスタを介して第２のダミーセルの電源電圧に接続され、前記第２の常誘電体キャパシタの前記第２の端子は、第２のダミープレートラインに接続されることを特徴とする半導体記憶装置。

## 【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正の内容】

【0032】

それぞれセルトランジスタと強誘電体キャパシタとを直列接続したものからなる、複数のメモリセルと、

前記セルトランジスタに接続される複数のワード線と、

前記メモリセルブロックに接続される複数のビット線対と、

前記ビット線対に接続され、前記各ビット線対のビット線間の信号差を増幅する複数の増幅回路と、

前記ビット線対の第1のビット線の第1の電位を生じる第1の常誘電体キャパシタを有する第1のダミーセル部および前記ビット線対の第2のビット線の第2の電位を生ずる第2の常誘電体キャパシタを有する第2のダミーセル部を含むダミーセル回路と、を備えた半導体記憶装置において、

前記第1の常誘電体キャパシタの前記第1の端子は、第1のトランジスタを介して前記第1のビット線に接続されるとともに第2のトランジスタを介して第1のダミーセルの電源電圧に接続され、前記第1の常誘電体キャパシタの前記第2の端子は、第1のダミープレートラインに接続され、

前記第2の常誘電体キャパシタの前記第1の端子は、第3のトランジスタを介して前記第2のビット線に接続されるとともに第4のトランジスタを介して第2のダミーセルの電源電圧に接続され、前記第2の常誘電体キャパシタの前記第2の端子は、第2のダミープレートラインに接続されることを特徴とする半導体記憶装置。

## 【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】削除

【補正の内容】

## 【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】削除

【補正の内容】

## 【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

本発明によれば、スタンバイ時、ダミーセルの常誘電体キャパシタ（容量 $C_D$ ）の第1の端子に $V_{DC}$ （ $> V_{SS}$ ）電位を与え、第2の端子に $V_{SS}$ を与え、即ち、常誘電体キャパシタ両端に電圧 $V_{DC}$ を印加して、 $C_D \times V_{DC}$ の電荷を保持させる。動作時、 $V_{SS}$ にプリチャージしておいた参照ビット線（容量 $C_B$ ）と第1の端子を接続して、常誘電体キャパシタに蓄えておいた電荷を参照ビット線側に放出する。その後、第2の端子の電位を $V_{SS}$ から $V_{DC}'$ に上げることにより、キャパシタカップリングにより、 $C_D \times V_{DC}'$ の電荷分が発生し、この電荷を参照ビット線と常誘電体キャパシタで分配する動作となる。結果として、参照ビット線電位は総電荷 $= (C_D \times V_{DC}' + C_D \times V_{DC})$ を負荷容量 $(C_D + C_B)$ で割った値となり、 $V_{DC} = V_{DC}'$ の場合 $V_{ref}' = (2 C_D \times V_{DC}) / (C_D + C_B) = 2 V_{ref} = 2 \times (C_D \times V_{DC}) / (C_D + C_B)$ と

なり、従来のダミーセル方式の  $V_{ref} = (C_D \times V_{DC}) / (C_D + C_B)$  に比べ、同じ常誘電体キャパシタ容量で2倍の参照ビット線電位が発生出来る。逆の目で見ると、 $1/2 V_{aa} = 1/2 V_{DC}$  の参照ビット線電位を発生させるのに、従来方式では、 $C_D = C_B$  時、 $V_{ref} = 1/2 V_{DC}$  になり大きな  $C_D$  値が必要であったが、本発明では、 $C_D = 1/3 C_B$  時、 $V_{ref}' = 1/2 V_{DC}$  となり、従来方式の僅か  $1/3$  の面積のダミーキャパシタで済み、大幅なチップサイズの縮小が可能となる。また、従来方式では  $1/2 V_{DC}$  より大きな電位を発生するには、 $C_B < C_D$  な為、負荷容量として  $C_D$  自身が影響を与えるため、電位を発生するのが困難であったが、本発明においては、 $C_D = C_B$  時、 $V_{ref}' = V_{DC} = V_{aa}$  と大きな電位を発生出来る。本方式により、バラツキ、変形等が起こり動作マージンの減る強誘電体キャパシタを用いること無く、強誘電体メモリが実現できるし、プレートを2度上下させること無く、小さなダミーキャパシタ面積で、強誘電体メモリが実現できるため、高速動作が可能となる。勿論本発明は、従来型の強誘電体メモリにも適用出来るし、先願の強誘電体メモリにも適用できる。