

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-133502

(P2015-133502A)

(43) 公開日 平成27年7月23日(2015.7.23)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 E	5 F 0 8 3
HO 1 L 21/477 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 1 0
HO 1 L 21/336 (2006.01)	HO 1 L 21/477	5 F 1 5 2
HO 1 L 21/20 (2006.01)	HO 1 L 29/78 6 2 6 C	
HO 1 L 21/8242 (2006.01)	HO 1 L 29/78 6 1 8 C	

審査請求 有 請求項の数 6 O L (全 43 頁) 最終頁に続く

(21) 出願番号 特願2015-30277 (P2015-30277)
 (22) 出願日 平成27年2月19日 (2015. 2. 19)
 (62) 分割の表示 特願2010-241251 (P2010-241251) の分割
 原出願日 平成22年10月27日 (2010. 10. 27)
 (31) 優先権主張番号 特願2009-249815 (P2009-249815)
 (32) 優先日 平成21年10月30日 (2009. 10. 30)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 三宅 博之
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 高橋 圭
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

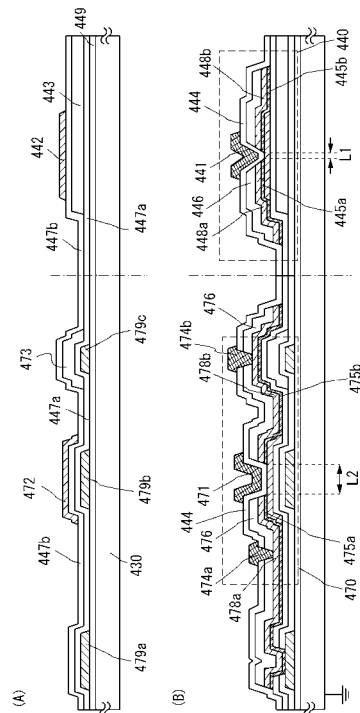
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 L S I や C P U やメモリに用いるトランジスタのリーク電流及び寄生容量を低減することを課題の一とする。

【解決手段】 半導体基板上において、酸化物半導体中で電子供与体（ドナー）となる不純物を除去することで、真性又は実質的に真性な半導体であって、シリコン半導体よりもエネルギーギャップが大きい酸化物半導体でチャネル領域が形成されるトランジスタを用い、L S I や C P U やメモリなどの半導体集積回路を作製する。半導体基板上に形成され、水素濃度が十分に低減されて高純度化された酸化物半導体層を用いるトランジスタは、リーク電流による消費電力の少ない半導体装置を実現できる。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

基板と、
前記基板上的絶縁層と、
前記基板上的第 1 のトランジスタと、
前記絶縁層上の第 2 のトランジスタと、を有し、
前記第 1 のトランジスタは、第 1 のゲート電極と、前記第 1 のゲート絶縁層と、前記第 1 のゲート絶縁層を介して前記第 1 のゲート電極と重なる領域を有する第 1 の酸化物半導体層と、前記第 1 の酸化物半導体層と電気的に接続された第 1 のソース電極と、前記第 1 の酸化物半導体層と電気的に接続された第 1 のドレイン電極と、を有し、
前記第 2 のトランジスタは、第 2 のゲート電極と、前記第 2 のゲート絶縁層と、前記第 2 のゲート絶縁層を介して前記第 2 のゲート電極と重なる領域を有する第 2 の酸化物半導体層と、前記第 2 の酸化物半導体層と電気的に接続された第 2 のソース電極と、前記第 2 の酸化物半導体層と電気的に接続された第 2 のドレイン電極と、を有し、
前記絶縁層は、前記第 1 の酸化物半導体層と重なる領域を有さず、且つ前記第 2 の酸化物半導体層と重なる領域を有し、
前記第 1 の酸化物半導体層及び前記第 2 の酸化物半導体層の各々は、真性又は実質的に真性な酸化物半導体を有し、
前記第 1 の酸化物半導体層及び前記第 2 の酸化物半導体層の各々は、微結晶部を有することを特徴とする半導体装置。

10

20

【請求項 2】

請求項 1 において、
前記第 1 のドレイン電極は、前記第 2 のソース電極と電気的に接続され、
前記第 2 のゲート電極は、前記第 2 のソース電極と電気的に接続されていることを特徴とする半導体装置。

【請求項 3】

請求項 1 又は 2 において、
前記第 1 のトランジスタは、第 3 のゲート絶縁層と、前記第 3 のゲート絶縁層を介して前記第 1 の酸化物半導体層と重なる領域を有する第 3 のゲート電極と、を有することを特徴とする半導体装置。

30

【請求項 4】

請求項 1 乃至 3 のいずれか一において、
前記第 1 のトランジスタのチャネル長は、前記第 2 のトランジスタのチャネル長よりも大きいことを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一において、
前記第 1 の酸化物半導体層の厚さは、前記第 2 の酸化物半導体層の厚さよりも小さいことを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一において、
前記第 1 の酸化物半導体層及び前記第 2 の酸化物半導体層の各々は、In、Ga、及びZnを有することを特徴とする半導体装置。

40

【発明の詳細な説明】**【技術分野】****【0001】**

トランジスタで構成された集積回路を有する半導体装置およびその作製方法に関する。例えば、半導体集積回路を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路、電子部品、および電子機器は全て半導体装置で

50

ある。

【背景技術】

【0003】

近年、半導体装置の開発が進められ、LSIやCPUやメモリとして用いられている。CPUは、半導体ウェハから切り離された半導体集積回路（少なくともトランジスタ及びメモリを含む）を有し、接続端子である電極が形成された半導体素子の集合体である。

【0004】

LSIやCPUやメモリなどの半導体回路（ICチップ）は、回路基板、例えばプリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

【0005】

また、データの送受信が可能な半導体装置の開発が進められており、このような半導体装置は、無線タグ、RFIDタグなどと呼ばれる。実用化されているものは、アンテナと半導体基板を用いて形成された半導体回路（ICチップ）とを有しているものが多い。

【0006】

また、トランジスタに適用可能な半導体材料としてシリコン系半導体材料が公知であるが、その他の材料として酸化物半導体が注目されている。酸化物半導体の材料としては、酸化亜鉛又は酸化亜鉛を成分とするものが知られている。そして、電子キャリア濃度が $10^{18}/\text{cm}^3$ 未満である非晶質酸化物（酸化物半導体）なるもので形成された薄膜トランジスタが開示されている（特許文献1乃至3）。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2006-165527号公報

【特許文献2】特開2006-165528号公報

【特許文献3】特開2006-165529号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

電子機器は、動作時の消費電力だけでなく、スタンバイ時の消費電力も重要視されている。特に携帯型の電気機器は、バッテリーを電源としており、限られた電力量での使用可能時間が制限される。また、車載の電気機器は、スタンバイ時のリーク電流が大きいと、バッテリーの寿命の低下を招く恐れがあり、また電気自動車においては、車載の電気機器のリーク電流に起因して一定の充電量あたりの走行距離が短縮してしまう。

【0009】

消費電力を低減するためには、動作時の消費電力だけでなくスタンバイ時のリーク電流を低減することが効果的である。個々のトランジスタのリーク電流は大きなものではないが、LSIは数百万のトランジスタが設けられており、それらのリーク電流を足しあわせると、決して小さなものにはならない。このようなリーク電流は待機時の半導体装置の消費電力を増加させるものになっている。リーク電流の要因は種々存在するが、スタンバイ時のリーク電流を低減することができれば、電気機器で消費される駆動回路などの省電力化を図ることができる。

【0010】

そこで、LSIやCPUやメモリに用いるトランジスタのリーク電流を低減することを課題の一とする。

【0011】

また、寄生容量を小さくすることも動作時の消費電力を低減する上で有効であり、寄生容量を小さくして消費電力の低減を図ることも課題の一とする。

【0012】

また、LSIやCPUやメモリなどの半導体集積回路に用いるトランジスタのチャンネル長Lを短くすることによって回路の動作速度を高速化し、さらには消費電力の低減を図るこ

10

20

30

40

50

とも課題の一とする。

【課題を解決するための手段】

【0013】

酸化物半導体中で電子供与体（ドナー）となる不純物を除去することで、真性又は実質的に真性な半導体であって、シリコン半導体よりもエネルギーギャップが大きい酸化物半導体で形成される、半導体基板上に形成されたトランジスタを用い、LSIやCPUやメモリなどの半導体集積回路を作製する。

【0014】

酸化物半導体に含まれる水素若しくは水酸基などの不純物を除去し、具体的には酸化物半導体に含まれる水素が $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下として、水素濃度が十分に低減されて高純度化された酸化物半導体層を用いることによりトランジスタのオフ電流を下げる。なお、酸化物半導体層中の水素濃度測定は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectroscopy）で行う。

10

【0015】

ゲート電圧 V_g が正の領域において、ドレイン電流 I_d は十分大きいことが望ましく、ゲート電圧 V_g が0又は負の領域において、ドレイン電流 I_d は0であることが望ましい。水素濃度が十分に低減されて高純度化された酸化物半導体層を用いるトランジスタは、ドレイン電圧 V_d が+1Vまたは+10Vの場合、ゲート電圧 V_g が-5Vから-20Vの範囲において、ドレイン電流 I_d は、 $1 \times 10^{-13} \text{ [A]}$ 以下とすることができる。

20

【0016】

半導体基板上に形成され、水素濃度が十分に低減されて高純度化された酸化物半導体層を有するトランジスタは、リーク電流による消費電力の少ない半導体装置を実現できる。

【0017】

水素濃度が十分に低減されて高純度化された酸化物半導体層を用いるトランジスタを形成する基板として半導体基板を用いると、静電気を遮蔽することができるため、絶縁性基板を用いるときに比べ、トランジスタが受ける静電気の影響を低減することができる。また、熱伝導性の高い半導体基板は、半導体回路の放熱のために用いると好適である。また、半導体基板はバックゲートとして機能させることが可能であり、寄生チャネルの発生を抑えることができる。

30

【0018】

本明細書で開示する発明の構成の一つは、半導体基板上に絶縁膜と、絶縁膜上に二次イオン質量分析法で検出される水素濃度が $5 \times 10^{19} \text{ atoms/cm}^3$ 以下であり、キャリア濃度が $5 \times 10^{14} / \text{cm}^3$ 以下である酸化物半導体層と、酸化物半導体層上にソース電極層及びドレイン電極層と、該酸化物半導体層、該ソース電極層、及び該ドレイン電極層上にゲート絶縁層と、ゲート絶縁層上にゲート電極層と、を有するトランジスタを複数有する半導体集積回路を備えた半導体装置である。

【0019】

上記構成は、上記課題の少なくとも一つを解決する。

40

【0020】

また、酸化物半導体層の下方に導電層を形成してもよく、他の発明の構成の一つは、半導体基板上に絶縁膜と、絶縁膜上に導電層と、導電層上に絶縁層と、絶縁層上に二次イオン質量分析法で検出される水素濃度が $5 \times 10^{19} \text{ atoms/cm}^3$ 以下であり、キャリア濃度が $5 \times 10^{14} / \text{cm}^3$ 以下である酸化物半導体層と、酸化物半導体層上にソース電極層及びドレイン電極層と、酸化物半導体層、ソース電極層、及びドレイン電極層上にゲート絶縁層と、ゲート絶縁層上にゲート電極層とを有するトランジスタを複数有し、導電層は、絶縁層を介して酸化物半導体層と重なる半導体装置である。

【0021】

また、上記各構成において、半導体基板上に形成する絶縁膜としては、熱酸化膜が好まし

50

い。熱酸化処理によって熱酸化膜を形成すると緻密で良質な膜を形成することができる。

【0022】

また、上記各構成において、寄生容量を低減するため、さらにソース電極層またはドレイン電極層上に接する絶縁層を有し、ソース電極層またはドレイン電極層は、ゲート絶縁層及び該絶縁層を介してゲート電極層の一部と重なることが好ましい。ソース電極層またはドレイン電極層上に接する絶縁層を設けることによって、ゲート電極層とソース電極層との間、またはゲート電極層とドレイン電極層との間の寄生容量を小さくすることができる。

【0023】

また、配線交差部において、寄生容量を低減するため、ゲート配線層とソース配線層との間には、ゲート絶縁層及び絶縁層を積層する構成としている。ゲート配線層とソース配線層との間隔を広くすることにより、寄生容量による消費電力を低減し、配線間の短絡防止も可能となる。

10

【0024】

また、半導体基板上に形成された、水素濃度が十分に低減された酸化物半導体層を用いたトランジスタを複数組み合わせることでEDMOS回路を形成することもでき、その構成は、半導体基板上に、第1の酸化物半導体層を有する第1のトランジスタと、第2の酸化物半導体層を有する第2のトランジスタとを有するEDMOS回路を有し、第1の酸化物半導体層及び第2の酸化物半導体層は、二次イオン質量分析法で検出される水素濃度が $5 \times 10^{19} \text{ atoms/cm}^3$ 以下であり、キャリア濃度が $5 \times 10^{14} / \text{cm}^3$ 以下である。

20

【0025】

また、水素濃度が十分に低減された酸化物半導体層を用いて抵抗、コンデンサ、インダクタなども同一基板上に形成することができる。例えば、抵抗は、水素濃度が十分に低減された酸化物半導体層を上下の電極層で挟むことで形成することができる。上記各構成において、さらに同一基板上に抵抗体である酸化物半導体層が、第1の導電層と、該第1の導電層と重なる第2の導電層との間に設けられる。

【0026】

また、LSIやCPUやメモリの他に、電源回路、送受信回路、又は音声処理回路のアンプ、表示部の駆動回路、コントローラ、又は音声処理回路のコンバータなどを水素濃度が十分に低減された酸化物半導体層を用いるトランジスタを用いて構成することもできる。

30

【0027】

また、複数の半導体集積回路を一つのパッケージに搭載し半導体装置の集積を高めたもの、所謂MCP(Multi Chip Package)としてもよい。

【0028】

また、回路基板に半導体集積回路を実装する場合には、フェイスアップ形態であってもよいし、フリップチップ形態(フェイスダウン形態)としてもよい。

【発明の効果】

【0029】

半導体基板上に設けられ、水素濃度が十分に低減された酸化物半導体層を用いるトランジスタは、寄生チャネルの発生を抑え、リーク電流を極めて小さくすることができ、寄生容量を低減することができる。そのトランジスタを半導体集積回路に用いることで消費電力の少ない半導体装置を実現できる。

40

【図面の簡単な説明】

【0030】

【図1】本発明の一態様を示す断面図。

【図2】本発明の一態様を示す等価回路図。

【図3】本発明の一態様を示す断面図。

【図4】本発明の一態様を示す上面図及び断面図。

【図5】本発明の一態様を示すブロック図。

【図6】半導体装置を説明する図。

50

【図 7】半導体装置を説明する図。

【図 8】半導体装置を説明する図。

【図 9】半導体装置を説明する図。

【図 10】半導体装置を説明する図。

【図 11】本発明の一態様を示す等価回路図。

【図 12】酸化物半導体を用いたトップゲート型のトランジスタの断面図。

【図 13】図 12 に示す A - A' 断面におけるエネルギーバンド図。

【図 14】図 12 における B - B' 間のエネルギーバンド図。

【図 15】真空準位と金属の仕事関数 (M)、酸化物半導体の電子親和力 () の関係を示す図。

10

【図 16】本発明の一態様を示す等価回路図。

【図 17】本発明の一態様を示す等価回路図。

【図 18】電子機器の一例を示す図。

【図 19】本発明の一態様を示す断面図。

【発明を実施するための形態】

【0031】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

20

【0032】

(実施の形態 1)

本実施の形態では、半導体集積回路の断面構造の一例について説明する。

【0033】

本実施の形態の半導体集積回路及び半導体集積回路の作製方法の一形態を、図 1、図 2、図 3、及び図 4 を用いて説明する。

【0034】

図 1 (A)、図 1 (B) に半導体集積回路の断面構造の一例を示す。図 1 (B) に示すトランジスタ 440 は、トップゲート構造のトランジスタの一つである。

【0035】

トランジスタ 440 は、半導体基板 430 上に、絶縁膜 449、第 1 の絶縁層 447 a、第 2 の絶縁層 443、第 3 の絶縁層 447 b、酸化物半導体層 442、第 1 のソース電極層 445 a、第 2 のソース電極層 448 a、第 1 のドレイン電極層 445 b、第 2 のドレイン電極層 448 b、第 4 の絶縁層 446、ゲート絶縁層 444、及びゲート電極層 441 を含む。

30

【0036】

ゲート電極層 441 と重なる酸化物半導体層 442 の一部がチャネル形成領域であり、酸化物半導体層 442 上で隣り合う第 1 のソース電極層 445 a の下端部と第 1 のドレイン電極層 445 b の下端部との間隔幅でチャネル長 L_1 が決定される。

【0037】

また、トランジスタ 440 はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造のトランジスタも形成することができる。

40

【0038】

以下、図 1 (A) を用い、半導体基板 430 上にトランジスタ 440 及びトランジスタ 470 を作製する工程を説明する。

【0039】

半導体基板 430 に用いる材料としては、例えば、ボロンやリン等の不純物元素をドーピングした、多結晶シリコン、微結晶シリコン、単結晶シリコンを用いることができる。また、シリコンカーバイド (SiC) を用いても良い。

50

【0040】

半導体基板430は、バックゲートとして機能させることができる。バックゲートの電位は、固定電位、例えば0Vや、接地電位とすることができ、実施者が適宜決定すればよい。半導体基板がバックゲートとして機能する構成を採用することで、外部の電界を遮蔽し、半導体装置における外部電界の影響を緩和することができる。これにより、酸化物半導体層の基板側に電荷が蓄積されることに起因する寄生チャネルの発生や、しきい値電圧の変動を防ぐことができる。

【0041】

また、酸化物半導体層の上下にゲート電極を設けることによって、トランジスタの信頼性を調べるためのバイアス-熱ストレス試験(以下、BT試験という)において、BT試験前後におけるトランジスタのしきい値電圧の変化量を低減することができる。即ち、酸化物半導体層の上下にゲート電極を設けることによって、信頼性を向上することができる。

10

【0042】

水素濃度が十分に低減されて高純度化された酸化物半導体層を用いるトランジスタを形成する基板として半導体基板を用いると、静電気を遮蔽することができるため、絶縁性基板を用いるときに比べ、トランジスタが受ける静電気の影響を低減することができる。具体的には、静電気が誘起するキャリアの量を低減することができる。

【0043】

まず、半導体基板430上に絶縁膜449を形成する。絶縁膜449としては、例えば、プラズマCVD法又はスパッタ法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層又は窒化酸化珪素層を単層で又は積層して形成する。

20

【0044】

次に絶縁膜449上に導電膜を形成した後、第1のフォトリソグラフィ工程により電極層479a、479b、479cを形成する。電極層479a、479b、479cの材料は、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金等を用いることができる。本実施の形態では、電極層479a、479b、479cは窒化タングステン層と、タングステン層の積層構造とする。

【0045】

次いで、電極層479a、479b、479cを覆う第1の絶縁層447aを形成する。第1の絶縁層447aは、プラズマCVD法又はスパッタ法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層又は窒化酸化珪素層を単層で又は積層して形成する。

30

【0046】

次いで、第1の絶縁層447a上にスペーサ絶縁層を形成した後、第2のフォトリソグラフィ工程により選択的に除去して第2の絶縁層443を形成する。スペーサ絶縁層は、プラズマCVD法又はスパッタ法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層又は窒化酸化珪素層を単層で又は積層して形成する。スペーサ絶縁層の膜厚は、500nm以上2 μ m以下とする。また、同一工程で、スペーサ絶縁層となる第4の絶縁層473を電極層479cと重なる位置に形成する。こうして、部分的に厚い積層領域と薄い単層領域を形成する。寄生容量を低減するため、厚い膜厚とする領域にはスペーサ絶縁層である第4の絶縁層と第1の絶縁層を積層する構成とし、保持容量などを形成するため、薄い膜厚とする領域には、第1の絶縁層を設ける構成とする。

40

【0047】

次いで、電極層479a、479b、479cを覆う第3の絶縁層447bを形成する。酸化物半導体層と接する第3の絶縁層447bは、酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウムなどの酸化物絶縁層を用いると好ましい。第3の絶縁層447bの形成方法としては、プラズマCVD法又はスパッタリング法等を用いることができるが、第3の絶縁層447b中に水素が多量に含まれないようにするためには、スパッタリング法で第3の絶縁層447bを成膜することが好ましい。

【0048】

50

本実施の形態では、第3の絶縁層447bとして、スパッタリング法により酸化シリコン層を形成する。半導体基板430を処理室へ搬送し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入しシリコンのターゲットを用いて、半導体基板430に第3の絶縁層447bとして、酸化シリコン層を成膜する。また半導体基板430は室温でもよいし、加熱されていてもよい。

【0049】

例えば、石英（好ましくは合成石英）を用い、基板温度108℃、基板とターゲットの間との距離（T-S間距離）を60mm、圧力0.4Pa、高周波電源1.5kW、酸素及びアルゴン（酸素流量25sccm：アルゴン流量25sccm=1：1）雰囲気下でRFスパッタリング法により酸化シリコン層を成膜する。膜厚は100nmとする。なお、石英（好ましくは合成石英）に代えてシリコンターゲットを、酸化シリコン層を成膜するためのターゲットとして用いることができる。なお、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いる。

10

【0050】

この場合において、処理室内の残留水分を除去しつつ第3の絶縁層447bを成膜することが好ましい。第3の絶縁層447bに水素、水酸基又は水分が含まれないようにするためである。

【0051】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水（H₂O）など水素原子を含む化合物等が排気されるため、当該成膜室で成膜し第3の絶縁層447bに含まれる不純物の濃度を低減できる。

20

【0052】

スパッタリング法にはスパッタ用電源に高周波電源を用いるRFスパッタリング法、直流電源を用いるDCスパッタリング法、さらにパルス的にバイアスを与えるパルスDCスパッタリング法がある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属膜を成膜する場合に用いられる。

【0053】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

30

【0054】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを使用するECRスパッタリング法を用いるスパッタ装置がある。

【0055】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアスパッタリング法もある。

40

【0056】

また、第3の絶縁層447bは積層構造でもよく、例えば、半導体基板430側から窒化シリコン層、窒化酸化シリコン層、又は窒化アルミニウム層などの窒化物絶縁層と、上記窒化物絶縁層との積層構造としてもよい。

【0057】

例えば、酸化シリコン層と基板との間に水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコンターゲットを用いて窒化シリコン層を成膜する。この場合においても、酸化シリコン層と同様に、処理室内の残留水分を除去しつつ窒化シリコン層を成膜することが好ましい。

50

【0058】

窒化シリコン層を形成する場合も、成膜時に基板を加熱してもよい。

【0059】

第3の絶縁層447bとして窒化シリコン層と酸化シリコン層とを積層する場合、窒化シリコン層と酸化シリコン層を同じ処理室において、共通のシリコンターゲットを用いて成膜することができる。先に窒素を含むスパッタガスを導入して、処理室内に装着されたシリコンターゲットを用いて窒化シリコン層を形成し、次にスパッタガスを、酸素を含むスパッタガスに切り替えて、同じシリコンターゲットを用いて酸化シリコン層を成膜する。窒化シリコン層と酸化シリコン層とを大気に曝露せずに連続して形成することができるため、窒化シリコン層表面に水素や水分などの不純物が吸着することを防止することができる。

10

【0060】

次いで、第3の絶縁層447b上に、膜厚2nm以上200nm以下の酸化物半導体膜を形成する。

【0061】

また、酸化物半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で第3の絶縁層447bが形成された半導体基板430を予備加熱し、半導体基板430に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。

20

【0062】

なお、酸化物半導体膜をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、第3の絶縁層447bの表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に高周波電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0063】

酸化物半導体膜はスパッタリング法により成膜する。酸化物半導体膜は、In-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いる。本実施の形態では、酸化物半導体膜をIn-Ga-Zn-O系酸化物半導体成膜用ターゲットを用いてスパッタリング法により成膜する。また、酸化物半導体膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素混合雰囲気下においてスパッタリング法により形成することができる。また、スパッタリング法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行ってもよい。

30

【0064】

酸化物半導体膜をスパッタリング法で作製するためのターゲットとして、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。また、金属酸化物のターゲットの他の例としては、In、Ga、及びZnを含む酸化物半導体成膜用ターゲット（組成比として、In₂O₃:Ga₂O₃:ZnO=1:1:1[mol数比]）を用いることができる。また、In、Ga、及びZnを含む酸化物半導体成膜用ターゲットとして、In₂O₃:Ga₂O₃:ZnO=1:1:2[mol数比]、又はIn₂O₃:Ga₂O₃:ZnO=1:1:4[mol数比]の組成比を有するターゲットを用いることもできる。酸化物半導体成膜用ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い酸化物半導体成膜用ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

40

【0065】

50

酸化物半導体膜は、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして半導体基板430上に酸化物半導体膜を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水など水素原子を含む化合物（より好ましくは水素原子及び炭素原子を含む化合物）等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。また、酸化物半導体膜成膜時に基板を加熱してもよい。

10

【0066】

成膜条件の一例としては、基板温度室温、基板とターゲットの間との距離を60mm、圧力0.4Pa、直流(DC)電源0.5kW、酸素及びアルゴン(酸素流量15sccm:アルゴン流量30sccm)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜の膜厚は好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

【0067】

次いで、酸化物半導体膜を第3のフォトリソグラフィ工程により島状の酸化物半導体層442、472に加工する(図1(A)参照)。また、島状の酸化物半導体層442、472を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

20

【0068】

なお、ここでの酸化物半導体膜のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

【0069】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl_2)、塩化硼素(BCl_3)、塩化珪素($SiCl_4$)、四塩化炭素(CCl_4)など)が好ましい。

30

【0070】

また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF_4)、弗化硫黄(SF_6)、弗化窒素(NF_3)、トリフルオロメタン(CHF_3)など)、臭化水素(HBr)、酸素(O_2)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

【0071】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。

40

【0072】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

【0073】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

【0074】

50

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件（エッチング液、エッチング時間、温度等）を適宜調節する。

【0075】

本実施の形態では、エッチング液として燐酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチング法により、酸化物半導体膜を島状の酸化物半導体層442、472に加工する。

【0076】

本実施の形態では、酸化物半導体層442、472に、第1の加熱処理を行う。第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行う。加熱処理を行った後は、酸化物半導体層への水や水素の再混入を防ぐため、大気に触れることなく次の工程を行うことが好ましい。この第1の加熱処理によって酸化物半導体層442、472の脱水化または脱水素化を行うことができる。

10

【0077】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

20

【0078】

例えば、第1の加熱処理として、650～700の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

30

【0079】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

【0080】

また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶膜または多結晶膜となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体層となる場合もある。また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体層となる場合もある。また、非晶質の酸化物半導体の中に微結晶部（粒径1nm以上20nm以下（代表的には2nm以上4nm以下））が混在する酸化物半導体層となる場合もある。

40

【0081】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0082】

酸化物半導体層に対する脱水化、脱水素化の効果を奏する加熱処理は、酸化物半導体層成

50

膜後、酸化物半導体層上にソース電極及びドレイン電極を積層させた後、ソース電極及びドレイン電極上にゲート絶縁層を形成した後、のいずれで行っても良い。

【0083】

ただし、成膜時に水素や水分が十分低減され、高純度化された酸化物半導体層を得ることができれば、第1の加熱処理は特に行わなくともよい。成膜時に水素や水分が十分低減され、高純度化された酸化物半導体層を得る場合は、減圧状態に保持された処理室内に基板を保持し、基板を室温又は400未満の温度に加熱する。そして、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板上に酸化物半導体層を成膜する。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水など水素原子を含む化合物（より好ましくは水素原子及び炭素原子を含む化合物）等が排気されるため、当該成膜室で成膜した酸化物半導体層に含まれる不純物の濃度を低減できる。クライオポンプにより処理室内に残留する水分を除去しながらスパッタ成膜を行うことで、酸化物半導体層を成膜する際の基板温度は室温から400未満とすることができる。

10

【0084】

次いで、第4のフォトリソグラフィ工程により第3の絶縁層447b上にレジストマスクを形成し、選択的にエッチングを行って電極層479aに達する開口を形成する。

【0085】

次いで、第3の絶縁層447b及び酸化物半導体層442、472上に、導電膜を形成する。導電膜をスパッタリング法や真空蒸着法で形成すればよい。導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択された材料を用いてもよい。また、金属導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を成膜する3層構造などが挙げられる。また、Alに、Ti、Ta、W、Mo、Cr、Nd、Scから選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。本実施の形態では、導電膜としてチタン膜（膜厚10nm以上100nm以下）とアルミニウム膜（膜厚20nm以上500nm以下）の積層膜を形成する。

20

30

【0086】

次いで、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、または窒化酸化シリコン層を単層又は積層して導電膜上に膜厚200nm以上2000nm以下の絶縁膜を形成する。

【0087】

次いで、第5のフォトリソグラフィ工程により絶縁膜上にレジストマスクを形成し、選択的にエッチングを行って第4の絶縁層446、第5の絶縁層476、第1のソース電極層445a、第2のソース電極層448a、第1のドレイン電極層445b、第2のドレイン電極層448bを形成した後、レジストマスクを除去する。また、第4の絶縁層446、第5の絶縁層476は、後に形成されるゲート電極層との寄生容量を低減するために設けられている。なお、形成されたソース電極層、ドレイン電極層の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。

40

【0088】

なお、導電膜のエッチングの際に、酸化物半導体層442、472が除去されて、その下の第3の絶縁層447bが露出しないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0089】

本実施の形態では、第1のソース電極層445a及び第1のドレイン電極層445bとしてチタン膜を用いて、第2のソース電極層448a及び第2のドレイン電極層448bに

50

はアルミニウム膜を用いて、酸化物半導体層 442 には In - Ga - Zn - O 系膜を用いる。

【0090】

なお、第5のフォトリソグラフィ工程では、酸化物半導体層 442 は一部のみがエッチングされ、溝部（凹部）を有する酸化物半導体層となることもある。また、第1のソース電極層 445 a 及び第1のドレイン電極層 445 b を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0091】

第5のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線や KrF レーザ光や ArF レーザ光を用いる。酸化物半導体層 442 上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成されるトランジスタ 440 のチャンネル長 L_1 が決定される。なお、チャンネル長 $L_1 = 25 \text{ nm}$ 未満となるように露光を行う場合には、数 nm ~ 数 10 nm と極めて波長が短い超紫外線（Extreme Ultraviolet）を用いて第5のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタ 440 のチャンネル長 L_1 を 10 nm 以上 1000 nm 以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、低消費電力化も図ることができる。

【0092】

次いで、第4の絶縁層 446、第5の絶縁層 476、酸化物半導体層 442、472、第1のソース電極層 445 a、第2のソース電極層 448 a、第1のドレイン電極層 445 b、及び第2のドレイン電極層 448 b 上にゲート絶縁層 444 を形成する。

【0093】

ゲート絶縁層 444 は、プラズマ CVD 法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化ハフニウム層、又は酸化アルミニウム層を単層で又は積層して形成することができる。なお、ゲート絶縁層 444 中に水素が多量に含まれないようにするためには、スパッタリング法でゲート絶縁層 444 を成膜することが好ましい。スパッタリング法により酸化シリコン層を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素ガス又は、酸素及びアルゴンの混合ガスを用いて行う。

【0094】

ゲート絶縁層 444 は、第2のソース電極層 448 a 及び第2のドレイン電極層 448 b 側から酸化シリコン層と窒化シリコン層を積層した構造とすることもできる。例えば、第1のゲート絶縁層として膜厚 5 nm 以上 300 nm 以下の酸化シリコン層（ SiO_x （ $x > 0$ ））を形成し、第1のゲート絶縁層上に第2のゲート絶縁層としてスパッタリング法により膜厚 50 nm 以上 200 nm 以下の窒化シリコン層（ SiN_y （ $y > 0$ ））を積層して、膜厚 100 nm のゲート絶縁層としてもよい。本実施の形態では、圧力 0.4 Pa、高周波電源 1.5 kW、酸素及びアルゴン（酸素流量 25 sccm：アルゴン流量 25 sccm = 1：1）雰囲気下で RF スパッタリング法により膜厚 100 nm の酸化シリコン層を形成する。

【0095】

次いで、第6のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってゲート絶縁層 444 及び第5の絶縁層 476 の一部を除去して、トランジスタ 470 のソース電極層又はドレイン電極層に達する開口を形成する。

【0096】

次に、ゲート絶縁層 444、及び開口上に導電膜を形成した後、第7のフォトリソグラフィ工程によりゲート電極層 441、471、配線層 474 a、474 b を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

10

20

30

40

50

【0097】

また、ゲート電極層441、471、配線層474a、474bの材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0098】

例えば、ゲート電極層441、471、配線層474a、474bの2層の積層構造としては、アルミニウム層上にモリブデン層が積層された2層の積層構造、または銅層上にモリブデン層を積層した2層構造、または銅層上に窒化チタン層若しくは窒化タンタル層を積層した2層構造、窒化チタン層とモリブデン層とを積層した2層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムとシリコンの合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とを積層した3層構造とすることが好ましい。なお、透光性を有する導電膜を用いてゲート電極層を形成することもできる。透光性を有する導電膜としては、透光性導電性酸化物等をその例に挙げることができる。

10

【0099】

本実施の形態ではゲート電極層441、471、配線層474a、474bとしてスパッタリング法により膜厚150nmのタングステン膜を形成する。

【0100】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う。本実施の形態では、窒素雰囲気下で250、1時間の第2の加熱処理を行う。また、第2の加熱処理は、トランジスタ440、470上に保護絶縁層や平坦化絶縁層を形成してから行ってもよい。

20

【0101】

さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、第3の絶縁層447bの形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。

30

【0102】

以上の工程で、水素、水分、水素化物、水酸化物の濃度が低減された酸化物半導体層442、472を有するトランジスタ440、470を形成することができる（図1(B)参照）。

【0103】

第4の絶縁層473により電極層479cとの寄生容量の低減されたトランジスタ470は、第3のソース電極層475a、第4のソース電極層478a、第3のドレイン電極層475b、及び第4のドレイン電極層478bを有している。なお、第4の絶縁層473と重なる電極層479cは、他の信号線であるため、配線交差部の構成を示している。また、第3のソース電極層475aは、電極層479aと電氣的に接続している。また、第4のソース電極層478aは、配線層474aと電氣的に接続している。また、トランジスタ470のチャンネル長L2は、トランジスタ440のチャンネル長L1よりも長く、トランジスタ470はオフ電流値が小さいトランジスタである。

40

【0104】

また、トランジスタ440、470上に保護絶縁層や、平坦化のための平坦化絶縁層を設けてもよい。例えば、保護絶縁層として酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。

【0105】

また、平坦化絶縁層としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド

50

、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層を形成してもよい。

【0106】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0107】

平坦化絶縁層の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）等の方法、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等のツールを用いることができる。

【0108】

また、トランジスタ470の酸化物半導体層472の下方に設けられている電極層479bはバックゲートとして機能させることができる。バックゲートの電位は、固定電位、例えば0Vや、接地電位とすることができ、実施者が適宜決定すればよい。また、酸化物半導体層の上下にゲート電極を設けることによって、トランジスタの信頼性を調べるためのバイアス-熱ストレス試験（以下、BT試験という）において、BT試験前後におけるトランジスタのしきい値電圧の変化量を低減することができる。即ち、酸化物半導体層の上下にゲート電極を設けることによって、信頼性を向上することができる。

【0109】

また、電極層479bに加えるゲート電圧を制御することによって、しきい値電圧を制御することができる。また、しきい値電圧を正としてエンハンスメント型トランジスタとして機能させることができる。また、しきい値電圧を負としてデプレッション型トランジスタとして機能させることもできる。

【0110】

例えば、エンハンスメント型トランジスタとデプレッション型トランジスタを組み合わせることでインバータ回路（以下、EDMOS回路という）を構成し、駆動回路に用いることができる。駆動回路は、論理回路部と、スイッチ部またはバッファ部を少なくとも有する。論理回路部は上記EDMOS回路を含む回路構成とする。また、スイッチ部またはバッファ部は、オン電流を多く流すことができるトランジスタを用いることが好ましく、デプレッション型トランジスタ、または酸化物半導体層の上下にゲート電極を有するトランジスタを用いる。

【0111】

大幅に工程数を増やすことなく、同一基板上に異なる構造のトランジスタを作製することもできる。例えば、高速駆動させる集積回路には、酸化物半導体層の上下にゲート電極を有するトランジスタを用いてEDMOS回路を構成し、酸化物半導体層の上にゲート電極を有するトランジスタを他の領域に形成することもできる。

【0112】

なお、nチャネル型TFTのしきい値電圧が正の場合は、エンハンスメント型トランジスタと定義し、nチャネル型TFTのしきい値電圧が負の場合は、デプレッション型トランジスタと定義し、本明細書を通してこの定義に従うものとする。

【0113】

また、トランジスタ470及びトランジスタ440は、ゲート絶縁層444と第1の絶縁層447aとの両方に窒化シリコン膜を用いると、酸化物半導体層442、472の上下を窒化シリコン膜で挟むことができ、水素や水分が侵入することを効果的にブロックすることができる。このような構成とすることで、酸化物半導体層442、472に含まれる水素濃度を極めて低くし、再び侵入しないようにすることができる。

10

20

30

40

50

【0114】

以上のように、半導体基板上に形成され、水素濃度が十分に低減された酸化物半導体層を有するトランジスタを用いることで、寄生チャネルの発生を抑え、リーク電流を極めて小さくすることができ、寄生容量を低減することができる。また、本実施の形態のトランジスタは、半導体基板上に設けられているため、絶縁性基板を用いるときに比べ、トランジスタを静電気から遮蔽することができる。トランジスタを静電気から遮蔽することにより、静電気が誘起するキャリアの量を低減することができる。本実施の形態に記載の半導体集積回路は、このトランジスタを用いているため、消費電力の少ない半導体装置を実現できる。

【0115】

10

(実施の形態2)

本実施の形態では、2つのnチャネル型のトランジスタを用いて集積回路のインバータ回路を構成する例を基に以下に説明する。なお、実施の形態1とトランジスタの作製工程はほとんど同一であるため、異なる点のみを詳細に説明することとする。

【0116】

また、集積回路は、インバータ回路、容量、抵抗などを用いて構成するため、インバータ回路に加えて、同一基板上に容量と、2種類の抵抗も形成する工程も説明する。

【0117】

また、2つのnチャネル型TFTを組み合わせる場合、エンハンスメント型トランジスタとデプレッション型トランジスタとを組み合わせる場合(以下、EEMOS回路という)がある。

20

【0118】

本実施の形態では、EDMOS回路の例を示す。EDMOS回路の等価回路を図2に示す。また、インバータ回路の断面構造を図3に示す。

【0119】

図3に示す回路接続は、図2に相当し、第1のトランジスタ480をエンハンスメント型のnチャネル型トランジスタとし、第2のトランジスタ490をデプレッション型のnチャネル型トランジスタとする例である。

【0120】

30

図3において、半導体基板430上には絶縁膜449、電極層479d、479e、479f、479g、479hを有する。電極層479d、479e、479f、479g、479hは実施の形態1の電極層479a、479b、479cと同じ工程、同じ材料で形成することができる。

【0121】

電極層479dに電圧を印加し、しきい値電圧を正としてエンハンスメント型トランジスタとして機能させる。また、電極層479eには電圧を印加し、しきい値電圧を負としてデプレッション型のトランジスタとして機能させる。

【0122】

また、電極層479fは容量を形成する一方の電極である。また、電極層479gは第1の抵抗と接続する一方の電極である。また、電極層479hは第2の抵抗と接続する一方の電極である。

40

【0123】

また、電極層479d、479e、479f、479g、479hを覆う第1の絶縁層487a、第3の絶縁層487bが形成される。なお、図示しないが、寄生容量を小さくしたい領域には実施の形態1に示すようにスペーサ絶縁層となる第2の絶縁層を設ける。また、容量部においては、電極層479fと重なる第1の絶縁層487a、及び電極層479fと重なる第3の絶縁層487bが誘電体となる。

【0124】

本実施の形態では、実施の形態1と異なり、第2の酸化物半導体層482bの膜厚が第1

50

の酸化物半導体層 4 8 2 a よりも厚い構成となっている。厚くするために 2 回の成膜と 2 回のパターンニングを行う。また、膜厚を厚くすることでデプレッション型のトランジスタとして機能させることができ、特に電極層 4 7 9 e にしきい値電圧を負とするための電圧を印加しなくともよいため、電極層 4 7 9 e を省略することもできる。

【 0 1 2 5 】

また、第 1 の酸化物半導体層 4 8 2 a と同じ膜厚で形成される第 3 の酸化物半導体層 4 3 2 b は、第 1 の抵抗体として機能する。電極層 4 7 9 h と重なる第 1 の絶縁層 4 8 7 a、及び第 3 の絶縁層 4 8 7 b には開口が形成され、その開口を介して第 3 の酸化物半導体層 4 3 2 b と電極層 4 7 9 h とは電氣的に接続される。また、第 2 の酸化物半導体層 4 8 2 b と同じ膜厚で形成される第 4 の酸化物半導体層 4 3 2 a は、第 2 の抵抗体として機能し、第 1 の抵抗体とは抵抗値が異なる。また、電極層 4 7 9 g と重なる第 1 の絶縁層 4 8 7 a、及び第 3 の絶縁層 4 8 7 b には開口が形成され、その開口を介して第 4 の酸化物半導体層 4 3 2 a と電極層 4 7 9 g とは電氣的に接続される。

10

【 0 1 2 6 】

第 1 のトランジスタ 4 8 0 は、第 1 のゲート電極層 4 8 1 と、ゲート絶縁層 4 9 2 を介して第 1 のゲート電極層 4 8 1 と重なる第 1 の酸化物半導体層 4 8 2 a とを有し、第 1 の酸化物半導体層 4 8 2 a の一部と接する第 1 のソース電極層 4 8 5 b は、第 1 配線 4 8 4 b と電氣的に接続する。第 1 配線 4 8 4 b は、負の電圧 V D L が印加される電源線（負電源線）である。この電源線は、接地電位の電源線（接地電源線）としてもよい。

【 0 1 2 7 】

また、実施の形態 1 の第 1 のソース電極層 4 4 5 a と同じ材料で第 1 のソース電極層 4 8 5 b が形成され、その上に接して形成される第 2 のソース電極層 4 8 8 b も実施の形態 1 の第 2 のソース電極層 4 4 8 a と同じ材料で形成される。実施の形態 1 では絶縁層を形成した後、絶縁膜と同じマスクでパターンニングする例を示したが、本実施の形態では、導電層をパターンニングした後、絶縁膜を成膜する工程としている。そして選択的に絶縁膜を除去して絶縁層 4 8 6 を形成し、絶縁層 4 8 6 をマスクとして導電層を選択的にエッチングして、第 1 のソース電極層 4 8 5 b、第 2 のソース電極層 4 8 8 b、第 1 のドレイン電極層 4 8 5 a、第 2 のドレイン電極層 4 8 8 a を形成する。絶縁層 4 8 6 は、後に形成される第 2 のゲート電極層 4 9 1 と第 4 のドレイン電極層 4 9 8 b との間に形成される寄生容量を低減するために設けられている。

20

30

【 0 1 2 8 】

また、容量部においては、第 1 のソース電極層 4 8 5 b と同じ工程であり同じ材料で第 1 の容量電極層 4 3 3 が形成され、第 2 のソース電極層 4 8 8 b と同じ工程であり同じ材料で第 2 の容量電極層 4 3 4 が形成される。第 1 の容量電極層 4 3 3 及び第 2 の容量電極層 4 3 4 は、電極層 4 7 9 f と重なる。

【 0 1 2 9 】

また、第 1 のソース電極層 4 8 5 b と同じ工程であり同じ材料で第 1 の電極層 4 7 7 が第 1 の抵抗体である第 3 の酸化物半導体層 4 3 2 b 上に接して形成される。また、第 2 のソース電極層 4 8 8 b と同じ工程であり同じ材料で第 2 の電極層 4 3 8 が第 1 の電極層 4 7 7 上に接して形成される。

40

【 0 1 3 0 】

また、第 2 のトランジスタ 4 9 0 は、第 2 配線として機能する第 2 のゲート電極層 4 9 1 と、ゲート絶縁層 4 9 2 を介して第 2 のゲート電極層 4 9 1 と重なる第 2 の酸化物半導体層 4 8 2 b とを有し、第 3 配線 4 8 4 a は、正の電圧 V D H が印加される電源線（正電源線）である。

【 0 1 3 1 】

また、第 2 の酸化物半導体層 4 8 2 b に一部接して重なる第 3 のソース電極層 4 9 5 a、第 4 のソース電極層 4 9 8 a を有する。また、第 2 の酸化物半導体層 4 8 2 b に一部接して重なる第 3 のドレイン電極層 4 9 5 b、第 4 のドレイン電極層 4 9 8 b を有する。なお、第 1 のソース電極層 4 8 5 b と同じ工程であり同じ材料で第 3 のソース電極層 4 9 5 a

50

、及び第3のドレイン電極層495bが形成される。また、第2のソース電極層488bと同じ工程であり同じ材料で第4のソース電極層498a、及び第4のドレイン電極層498bが形成される。

【0132】

また、絶縁層486には第2のドレイン電極層488aに達する開口が設けられ、第2のドレイン電極層488aは、第2配線として機能する第2のゲート電極層491と電気的に接続して、第1のトランジスタ480と第2のトランジスタ490を接続し、EDMOS回路を構成する。

【0133】

また、電極層479fと重なる領域のゲート絶縁層492に開口を有し、第2の容量電極層434と接続する第4配線431は容量配線として機能する。

10

【0134】

また、第5配線435は、電極層479gと重なる領域のゲート絶縁層492に開口を有し、第2の抵抗体として機能する第4の酸化物半導体層432aと接する。

【0135】

本実施の形態では、同一基板上に、EDMOS回路と、容量部と、第1の抵抗体と、第2の抵抗体とを形成する例を示したが特に限定されず、実施の形態1のトランジスタも同一基板上に形成することができる。

【0136】

また、本実施の形態で同一基板上に形成することのできる配線の端子部の断面構造を図4に示す。図4(A)は図4(B)中のC1-C2線に沿った断面図に相当する。

20

【0137】

図4(A)において、絶縁層486とゲート絶縁層492の積層上に形成される導電層437は、入力端子として機能する接続用の端子電極である。また、図4(A1)において、端子部では、電極層479d、479e、479f、479g、479hと同じ材料で形成される電極層479iが、第1のソース電極層485bと電気的に接続される第1の端子電極層439の下方に第1の絶縁層487a、及び第3の絶縁層487bを介して重なる。電極層479iは第1の端子電極層439とは電気的に接続しておらず、電極層479iを第1の端子電極層439と異なる電位、例えばフローティング、GND、0Vなどに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第1の端子電極層439は、その上に第2の端子電極層489が設けられ、さらに絶縁層486及びゲート絶縁層492を介して導電層437と電気的に接続している。

30

【0138】

また、第1の端子電極層439は、第1のソース電極層485bと同じ材料、同じ工程で形成することができる。第2の端子電極層489は、第2のソース電極層488bと同じ材料、同じ工程で形成することができる。また、導電層437は、第1のゲート電極層481と同じ材料、同じ工程で形成することができる。

【0139】

本実施の形態は実施の形態1と自由に組み合わせることができる。

40

【0140】

(実施の形態3)

本実施の形態では、実施の形態2に示すEDMOS回路を用いてCPU(中央演算処理回路)を作製する例を示す。

【0141】

CPUのブロック図の一例を図5に示す。図5に示されるCPU1001は、タイミングコントロール回路1002、命令解析デコーダ1003、レジスタアレイ1004、アドレスロジックバッファ回路1005、データバスインターフェイス1006、ALU1007、命令レジスタ1008などより構成されている。

【0142】

50

これらの回路は、実施の形態 1 または実施の形態 2 に示したトランジスタ、インバータ回路、抵抗、容量などを用いて作製する。実施の形態 1 または実施の形態 2 に示すトランジスタは、半導体基板上に形成され、水素濃度が十分に低減された酸化物半導体層を用いているため、トランジスタのオフ電流を極めて小さい値とすることができる。したがって、CPU 1001 の少なくとも一部を水素濃度が十分に低減された酸化物半導体層を有する半導体基板上に形成されたトランジスタで構成することによって低消費電力を実現できる。

【0143】

ここで、それぞれの回路について簡単に説明する。タイミングコントロール回路 1002 は外部からの命令を受け取り、それを内部用の情報に変換し、他のブロックに送り出す。また、内部の動作に応じて、メモリデータの読み込み、書き込みなどの指示を外部に与える。命令解析デコーダ 1003 は外部の命令を内部用の命令に変換する役割を持つ。レジスタアレイ 1004 はデータを一時的に保管する揮発性メモリである。アドレスロジックバッファ回路 1005 は外部メモリのアドレスを指定する回路である。データバスインターフェイス 1006 は、外部のメモリまたはプリンタなどの機器にデータを出し入れする回路である。ALU 1007 は演算を行う回路である。命令レジスタ 1008 は命令を一時的に記憶しておく回路である。このような回路の組み合わせによって CPU は構成されている。

10

【0144】

CPU 1001 の少なくとも一部に実施の形態 1 または実施の形態 2 に示したトランジスタを用いてスタンバイ時のリーク電流を低減し、電気機器で使用される駆動回路などの省電力化を図ることができる。

20

【0145】

本実施の形態は実施の形態 1 または実施の形態 2 と自由に組み合わせることができる。

【0146】

(実施の形態 4)

本実施の形態では、上記実施の形態で示した半導体装置の使用形態の一例について説明する。具体的には、非接触でデータの入出力が可能である半導体装置の適用例に関して、図面を用いて以下に説明する。非接触でデータの入出力が可能である半導体装置は利用の形態によって、RFID タグ、ID タグ、IC タグ、RF タグ、無線タグ、電子タグまたは無線チップとも呼ばれる。

30

【0147】

本実施の形態で示す半導体装置の上面構造の一例について、図 8 (A) を参照して説明する。図 8 (A) に示す半導体装置は、アンテナ (オンチップアンテナとも記す) が設けられた半導体集積回路チップ 400 と、アンテナ 405 (プースターアンテナとも記す) が設けられた支持基板 406 とを含んでいる。半導体集積回路チップ 400 は、支持基板 406 及びアンテナ 405 上に形成された絶縁層 410 上に設けられている。絶縁層 410 により支持基板 406 及びアンテナ 405 上に半導体集積回路チップ 400 が固定することができる。

40

【0148】

なお、半導体集積回路チップ 400 表面には、静電気放電による静電気破壊 (回路の誤動作や半導体素子の損傷) を防止するために導電性遮蔽体が設けられており、導電性遮蔽体の抵抗が高く、アンテナ 405 のパターン間を導通させない場合には、アンテナ 405 と半導体集積回路チップ 400 表面に設けられる導電性遮蔽体とは接して設けられてもよい。

【0149】

半導体集積回路チップ 400 内に設けられる半導体集積回路にはメモリ部やロジック部を構成する複数のトランジスタ等の素子が設けられる。メモリ部やロジック部を構成するトランジスタとして、水素濃度が十分に低減されて高純度化された酸化物半導体層を用いるトランジスタを用いる。本実施の形態に係る半導体装置は、半導体素子として電界効果ト

50

ランジスタはもちろん、半導体層を用いる記憶素子なども適用することができ、多用途に渡って要求される機能を満たす半導体装置を作製し、提供することができる。

【0150】

図7(A)に、図8(A)に示した半導体集積回路チップ400に含まれるアンテナと半導体集積回路の拡大図を示す。図7(A)において、アンテナ101は巻き数が1である矩形のループアンテナであるが、この構成に限定されない。ループアンテナの形状は矩形を有することに限定されず、曲線を有する形状、例えば円形を有していても良い。そして巻き数は1に限定されず、複数であっても良い。ただしアンテナ101の巻き数が1の場合、半導体集積回路100とアンテナ101の間に生じる寄生容量を低減することができる。

10

【0151】

また、図8(A)、図7(A)において、アンテナ101は、半導体集積回路100の周囲を取り囲むように配置されており、破線で示す給電点408に相当する部分以外は、アンテナ101は半導体集積回路100とは異なる領域に配置されている。また、この構成に限定されず、図7(B)に示すように、破線で示す給電点408に相当する部分以外において、アンテナ101が半導体集積回路100と少なくとも一部重なるように配置されていても良い。ただし、図8(A)、図7(A)に示すように、アンテナ101が半導体集積回路100とは異なる領域に配置されていることで、半導体集積回路100とアンテナ101の間に生じる寄生容量を低減することができる。

20

【0152】

図8(A)において、アンテナ405は、主に破線407で囲まれたループ状の部分において、アンテナ101と電磁誘導により信号の授受または電力の供給を行うことができる。またアンテナ405は、主に、破線407で囲まれた部分以外の領域において、電波により質問器と信号の授受または電力の供給を行うことができる。質問器と半導体装置との間において、キャリア(搬送波)として用いられる電波の周波数は、30MHz以上5GHz以下程度が望ましく、例えば950MHz、2.45GHzなどの周波数帯を用いればよい。

【0153】

また、アンテナ405は、破線407で囲まれた部分において巻き数1の矩形のループ状になっているが、この構成に限定されない。ループ状の部分は矩形を有することに限定されず、曲線を有する形状、例えば円形を有していても良い。そして巻き数は1に限定されず、複数であっても良い。

30

【0154】

本実施の形態に示す半導体装置は、電磁誘導方式、電磁結合方式、マイクロ波方式を適用することも可能である。マイクロ波方式の場合は、用いる電磁波の波長によりアンテナ101、アンテナ405の形状を適宜決めればよい。

【0155】

例えば、半導体装置における信号の伝送方式として、マイクロ波方式(例えば、UHF帯(860MHz帯乃至960MHz帯)、2.45GHz帯等)を適用する場合には、信号の伝送に用いる電磁波の波長を考慮してアンテナの長さや形状等を適宜設定すればよい。例えば、アンテナを線状(例えば、ダイポールアンテナ)、平坦な形状(例えば、パッチアンテナまたはリボン型の形状)等に形成することができる。また、アンテナの形状は直線状に限られず、電磁波の波長を考慮して曲線状や蛇行形状またはこれらを組み合わせた形状で設けてもよい。

40

【0156】

図9にアンテナ101、アンテナ405をコイル状に設け、電磁誘導方式または電磁結合方式を適用する例を示す。

【0157】

図9においては、ブースターアンテナとしてコイル状のアンテナ405が設けられた支持基板406上に、コイル状のアンテナ101が設けられた半導体集積回路チップ400が

50

設けられている。なお、ブースターアンテナであるアンテナ 405 は支持基板 406 を挟んで、容量を形成している。

【0158】

次に、半導体集積回路チップ 400 とブースターアンテナの構造及びその配置について説明する。図 8 (B) は、図 8 (A) に示した半導体集積回路チップ 400 と支持基板 406 に形成されたアンテナ 405 が積層された半導体装置の斜視図に相当する。そして、図 8 (C) は、図 8 (B) の破線 X - Y における断面図に相当する。

【0159】

図 8 (C) に示す半導体集積回路チップ 400 は、実施の形態 1 または実施の形態 2 で示した半導体装置を用いることができ、ここでは、個々に分断しチップ状にしたものを半導体集積回路チップという。なお、図 8 (C) に示す半導体集積回路チップは、実施の形態 1 を用いる例であるが、本実施の形態は、他の実施の形態にも適用することができ、この構造に限定されない。

10

【0160】

図 8 (C) に示す半導体集積回路 100 は、第 1 の絶縁体 112、第 2 の絶縁体 102 で挟持され、その側面も封止されている。本実施の形態では、複数の半導体集積回路を挟持して第 1 の絶縁体、第 2 の絶縁体を貼り合わせた後、個々の半導体集積回路ごとの積層体に分断する。分断した積層体に導電性遮蔽体を形成し半導体集積回路チップ 400 を作製する。分断手段としては物理的に分断することができれば特に限定しないが、本実施の形態ではレーザ光を照射することによって分断する。

20

【0161】

図 8 (C) では、半導体集積回路 100 が、アンテナ 101 よりも、よりアンテナ 405 に近い位置に配置されているが、この構成に限定されない。アンテナ 101 が半導体集積回路 100 よりも、よりアンテナ 405 に近い位置に配置されていてもよい。また、半導体集積回路 100 とアンテナ 101 は、第 1 の絶縁体 112、第 2 の絶縁体 102 に直接固着していても良いし、接着剤として機能する接着層によって固着されていても良い。

【0162】

次に、本実施の形態に係る半導体装置の動作について説明する。図 6 は、本実施の形態に係る半導体装置の構成を示すブロック図の一例である。図 6 に示す半導体装置 420 は、ブースターアンテナとしてアンテナ 422 と、半導体集積回路 423 と、オンチップアンテナとしてアンテナ 424 とを有している。質問器 421 から電磁波が送信されると、アンテナ 422 が該電磁波を受信することで、アンテナ 422 内に交流の電流が生じ、アンテナ 422 の周囲に磁界が発生する。そして、アンテナ 422 が有するループ状の部分と、ループ状の形状を有するアンテナ 424 とが電磁結合することで、アンテナ 424 に誘導起電力が生じる。半導体集積回路 423 は上記誘導起電力を用いることで、信号または電力を質問器 421 から受け取る。一方、半導体集積回路 423 において生成された信号に従って、アンテナ 424 に電流を流してアンテナ 422 に誘導起電力を生じさせることで、質問器 421 から送られてくる電波の反射波にのせて、質問器 421 に信号を送信することができる。

30

【0163】

なお、アンテナ 422 は、主にアンテナ 424 との間において電磁結合するループ状の部分と、主に質問器 421 からの電波を受信する部分とに分けられる。質問器 421 からの電波を主に受信する部分における、アンテナ 422 の形状は、電波を受信できる形であればよい。例えば、ダイポールアンテナ、折り返しダイポールアンテナ、スロットアンテナ、メアングラインアンテナ、マイクロストリップアンテナ等の形状を用いればよい。

40

【0164】

また、図 8 では、アンテナを 1 つだけ有する半導体集積回路の構成について説明したが、この構成に限定されない。電力を受信するためのアンテナと、信号を受信するためのアンテナとの、2 つのアンテナを有していても良い。アンテナが 2 つあると、電力を供給する電波の周波数と、信号を送るための電波の周波数とを使い分けることができる。

50

【0165】

本実施の形態に係る半導体装置では、オンチップアンテナを用いており、なおかつ、ブースタアンテナとオンチップアンテナの間における信号または電力の授受を非接触で行うことができるので、外付けのアンテナを半導体集積回路に接続する場合とは異なり、外力によって半導体集積回路とアンテナとの接続が分断されにくく、該接続における初期不良の発生も抑えることができる。また本実施の形態ではブースタアンテナを用いているので、オンチップアンテナのみの場合とは異なり、オンチップアンテナの寸法または形状が半導体集積回路の面積の制約を受けにくく、受信可能な電波の周波数帯が限定されず、通信距離を伸ばすことができる、という外付けのアンテナが有するメリットを享受することができる。

10

【0166】

半導体基板上に形成され、水素濃度が十分に低減されて高純度化された酸化物半導体層を有するトランジスタはオフ電流が小さく、低消費電力を実現できる。また、半導体集積回路を覆う導電性遮蔽体により、半導体集積回路の静電気放電による静電気破壊（回路の誤動作や半導体素子の損傷）を防止することができる。

【0167】

（実施の形態5）

本実施の形態では、上述した実施の形態4のデバイスを用いて形成された非接触でデータの入出力が可能である半導体装置の適用例に関して図面を参照して以下に説明する。非接触でデータの入出力が可能である半導体装置は利用の形態によっては、RFIDタグ、ICタグ、ICチップ、RFタグ、無線タグ、電子タグまたは無線チップともよばれる。

20

【0168】

半導体装置800は、非接触でデータを交信する機能を有し、高周波回路810、電源回路820、リセット回路830、クロック発生回路840、データ復調回路850、データ変調回路860、他の回路の制御を行う制御回路870、記憶回路880およびアンテナ890を有している（図10（A）参照）。高周波回路810はアンテナ890より信号を受信して、データ変調回路860より受信した信号をアンテナ890に出力する回路であり、電源回路820は受信信号から電源電位を生成する回路であり、リセット回路830はリセット信号を生成する回路であり、クロック発生回路840はアンテナ890から入力された受信信号を基に各種クロック信号を生成する回路であり、データ復調回路850は受信信号を復調して制御回路870に出力する回路であり、データ変調回路860は制御回路870から受信した信号を変調する回路である。また、制御回路870としては、例えばコード抽出回路910、コード判定回路920、CRC判定回路930および出力ユニット回路940が設けられている。なお、コード抽出回路910は制御回路870に送られてきた命令に含まれる複数のコードをそれぞれ抽出する回路であり、コード判定回路920は抽出されたコードとリファレンスに相当するコードとを比較して命令の内容を判定する回路であり、CRC判定回路930は判定されたコードに基づいて送信エラー等の有無を検出する回路である。

30

【0169】

次に、上述した半導体装置の動作の一例について説明する。まず、アンテナ890により無線信号が受信される。無線信号は高周波回路810を介して電源回路820に送られ、高電源電位（以下、VDDと記す）が生成される。VDDは半導体装置800が有する各回路に供給される。また、高周波回路810を介してデータ復調回路850に送られた信号は復調される（以下、復調信号）。さらに、高周波回路810を介してリセット回路830およびクロック発生回路840を通った信号及び復調信号は制御回路870に送られる。制御回路870に送られた信号は、コード抽出回路910、コード判定回路920およびCRC判定回路930等によって解析される。そして、解析された信号にしたがって、記憶回路880内に記憶されている半導体装置の情報が出力される。出力された半導体装置の情報は出力ユニット回路940を通過して符号化される。さらに、符号化された半導

40

50

体装置 800 の情報はデータ変調回路 860 を通って、アンテナ 890 により無線信号に載せて送信される。なお、半導体装置 800 を構成する複数の回路においては、低電源電位（以下、VSS）は共通であり、VSS は GND とすることができる。

【0170】

このように、通信装置から半導体装置 800 に信号を送り、当該半導体装置 800 から送られてきた信号を通信装置で受信することによって、半導体装置のデータを読み取ることが可能となる。

【0171】

また、半導体装置 800 は、各回路への電源電圧の供給を電源（バッテリー）を搭載せず電磁波により行うタイプとしてもよいし、電源（バッテリー）を搭載して電磁波と電源（バッテリー）により各回路に電源電圧を供給するタイプとしてもよい。

10

【0172】

次に、非接触でデータの入出力が可能半導体装置の使用形態の一例について説明する。表示部 3210 を含む携帯端末の側面には、通信装置 3200 が設けられ、品物 3220 の側面には半導体装置 3230 が設けられる（図 10（B））。品物 3220 が含む半導体装置 3230 に通信装置 3200 をかざすと、表示部 3210 に品物の原材料や原産地、生産工程ごとの検査結果や流通過程の履歴等、更に商品の説明等の商品に関する情報が表示される。また、商品 3260 をベルトコンベアにより搬送する際に、通信装置 3240 と、商品 3260 に設けられた半導体装置 3250 を用いて、該商品 3260 の検品を行うことができる（図 10（C））。このように、システムに半導体装置を活用することで、情報の取得を簡単に行うことができ、高機能化と高付加価値化を実現する。

20

【0173】

以上の様に、半導体装置の適用範囲は極めて広く、広い分野の電子機器に用いることが可能である。

【0174】

（実施の形態 6）

実施の形態 1 または実施の形態 2 で得られるトランジスタは、高純度化された酸化物半導体を用いたトランジスタであり、そのトランジスタで回路を構成することで、低消費電力を実現し、メモリ回路の動作を安定化させることができる。

【0175】

本実施の形態では、実施の形態 1 のトランジスタを用いて構成することが可能なメモリ回路の一例を示す。

30

【0176】

図 11（A）は、メモリ回路の一例についてのブロック図を示す。図 11（A）に示すメモリ回路は、行デコーダと、書き込み回路およびリフレッシュ回路と、列デコーダと、マトリクス状に配置された記憶素子を有し、マトリクス状に配置された記憶素子 1100 に接続された信号線は、書き込み回路およびリフレッシュ回路を介して行デコーダに接続され、マトリクス状に配置された記憶素子に接続された走査線は、列デコーダに接続されている。行デコーダには、ビット信号が入力される。書き込み回路およびリフレッシュ回路には、リードイネーブル信号/ライトイネーブル信号（RE/WE）と、データ信号（data）と、出力信号（OUT）が入力される。

40

【0177】

各記憶素子 1100 は、容量素子とトランジスタを有し、該トランジスタのソースおよびドレインの一方は信号線に接続され、該トランジスタのソースおよびドレインの他方は容量素子の一方の電極に接続され、該容量素子の他方の電極は低電位側（好ましくは、基準電位 VSS）に接続されている。

【0178】

図 11（B）は、図 11（A）に示す書き込み回路およびリフレッシュ回路に設けられたリフレッシュ回路の具体的な一構成例を示す。

【0179】

50

図 1 1 (B) に示す書き込み回路およびリフレッシュ回路は、論理積回路 (A N D 回路) とセンスアンプを有する。第 1 の論理積回路 1 1 0 1、第 2 の論理積回路 1 1 0 2 および第 3 の論理積回路 1 1 0 3 の一方の入力には、行デコーダからの信号が入力される。第 1 の論理積回路 1 1 0 1 の他方の入力には P R C 信号が入力され、第 2 の論理積回路 1 1 0 2 の他方の入力にはライトイネーブル信号 (W E) が入力され、第 3 の論理積回路 1 1 0 3 の他方の入力にはリードイネーブル信号 (R E) が入力される。第 1 の論理積回路 1 1 0 1 の出力は、第 1 のスイッチ 1 1 0 4 のオン/オフを制御し、第 2 の論理積回路 1 1 0 2 の出力は、第 2 のスイッチ 1 1 0 5 のオン/オフを制御し、第 3 の論理積回路 1 1 0 3 の出力は、第 3 のスイッチ 1 1 0 6 のオン/オフを制御する。プリチャージ信号線 V p r c は第 1 のスイッチ 1 1 0 4 を介して信号線に接続され、データ信号線 d a t a は第 2 のスイッチ 1 1 0 5 を介して信号線に接続されている。 10

【 0 1 8 0 】

第 1 のスイッチ 1 1 0 4 および第 2 のスイッチ 1 1 0 5 を介して接続された信号線は、第 3 のスイッチ 1 1 0 6 を介してセンスアンプに接続されている。該センスアンプからは出力信号線 (O U T) に信号が出力される。

【 0 1 8 1 】

なお、上記した論理積回路は、一般的な構成のものを用いればよく、単純な構成とすることが好ましい。

【 0 1 8 2 】

なお、センスアンプとは、入力された信号を増幅する機能を有する回路をいう。 20

【 0 1 8 3 】

なお、ここで信号としては、例えば電圧、電流、抵抗、又は周波数などを用いたアナログ信号またはデジタル信号を用いることができる。例えば、電位を少なくとも第 1 の電位と第 2 の電位で設定し、第 1 の電位としてハイレベル (高電位、 V_H とも表記する。) の電位を用い、第 2 の電位としてローレベル (低電位、 V_L とも表記する。) の電位を用いることで、2 値のデジタル信号を設定することができる。また、 V_H と V_L は一定値であることが好ましいが、ノイズの影響を考慮して、 V_H と V_L に幅をもたせてもよい。

【 0 1 8 4 】

なお、ここで、第 1、第 2 などの序数を付した用語は、それぞれの要素の混同を避けるために便宜上付したものであり、数を限定するものではない。 30

【 0 1 8 5 】

以上、実施の形態 1 で説明したトランジスタを用い、実施の形態 2 で説明した容量を用いてメモリ回路を作製することができる。

【 0 1 8 6 】

メモリ回路のリフレッシュタイミングは、予め評価された記憶素子のリーク電流に基づいて、ある固定された時間間隔に設計段階で決められる。即ちチップ完成後のリーク電流の温度依存性や作製プロセス等を考慮して設定される。

【 0 1 8 7 】

実施の形態 1 または実施の形態 2 に示すトランジスタは、半導体基板上に形成され、水素濃度が十分に低減された酸化物半導体層を用いているため、トランジスタのオフ電流を極めて小さい値とすることができ、 -30 から 120 におけるオフ電流の温度特性もほとんど変化せず、極めて小さい値を維持できる。 40

【 0 1 8 8 】

従って、実施の形態 1 または実施の形態 2 に示すトランジスタを用いれば、シリコンを用いたトランジスタに比べてリフレッシュ間隔を長い時間間隔で設定することができ、スタンバイ時の消費電力を削減できる。

【 0 1 8 9 】

また、車載の電子機器に本実施の形態のメモリ回路は適している。半導体基板をバックゲートとして用いることにより、寄生チャネルの発生を抑えることができ、スタンバイ時のリーク電流が極めて小さく、電気自動車においては、長時間、スタンバイの状態において 50

も、一定の充電量あたりの走行距離がほとんど変化しない。

【0190】

実施の形態1または実施の形態2に示すトランジスタが有する酸化物半導体は、キャリアの供与体となり得る不純物を極めて少ないレベルにまで除去された、真性又は実質的に真性な半導体である。

【0191】

高純度化された酸化物半導体層を用いたトランジスタの特性について、図12乃至図15を用いて説明する。図12は、酸化物半導体を用いたトップゲート型のトランジスタの断面図を示す。半導体基板(Si)上に熱酸化膜を介して酸化物半導体層(OS)が設けられ、その上にソース電極(S)及びドレイン電極(D)が設けられ、その上にゲート絶縁膜(GI)を介してゲート電極(GE)が設けられている。

10

【0192】

図13は、図12に示すA-A'断面におけるエネルギーバンド図(模式図)を示す。図13(A)はソースとドレインの間の電圧を等電位($V_D = 0V$)とした場合を示し、図13(B)はソースに対しドレインに正の電位($V_D > 0$)を加えた場合を示す。

【0193】

図14は、図12におけるB-B'間のエネルギーバンド図(模式図)である。図14(A)はゲート電極(GE)に正の電位(qV_G)が印加された状態であり、ソースとドレインの間にキャリア(電子)が流れるオン状態を示している。また、図14(B)は、ゲート電極(GE)に負の電位(qV_G)が印加された状態であり、オフ状態(少数キャリアは流れない)である場合を示す。

20

【0194】

図15は、真空準位と金属の仕事関数(M)、酸化物半導体の電子親和力(χ)の関係を示す。

【0195】

金属は縮退しており、フェルミ準位は伝導帯内に位置する。一方、従来の酸化物半導体は一般にn型であり、その場合のフェルミ準位(E_f)は、バンドギャップ中央に位置する真性フェルミ準位(E_i)から離れて、伝導帯寄りに位置している。なお、酸化物半導体において水素の一部はドナーとなり、n型化する一つの要因であることが知られている。

【0196】

これに対して本発明に係る酸化物半導体は、n型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより真性(i型)とし、又は真性型とせんとしたものである。すなわち、不純物を添加してi型化するのでなく、水素や水等の不純物を極力除去したことにより、高純度化されたi型(真性半導体)又はそれに近づけることを特徴としている。そうすることにより、フェルミ準位(E_f)は真性フェルミ準位(E_i)と同じレベルにまですることができ。

30

【0197】

酸化物半導体のバンドギャップ(E_g)が $3.15eV$ である場合、電子親和力(χ)は $4.3eV$ と言われている。ソース電極及びドレイン電極を構成するチタン(Ti)の仕事関数は、酸化物半導体の電子親和力(χ)とほぼ等しい。この場合、金属-酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。

40

【0198】

すなわち、金属の仕事関数(M)と酸化物半導体の電子親和力(χ)が等しい場合、両者が接触すると図13(A)で示すようなエネルギーバンド図(模式図)が示される。

【0199】

図13(B)において黒丸(\bullet)は電子を示す。図13(B)において、ドレインに正の電圧($V_D > 0$)を印加した上で、ゲートに電圧を印加しない場合($V_G = 0$)を破線で示し、ゲートに正の電圧($V_G > 0$)を印加した場合を実線で示す。ゲートに正の電圧($V_G > 0$)を印加した場合、ドレインに正の電位が与えられると、電子はバリア(h)をこえて酸化物半導体に注入され、ドレインに向かって流れる。バリア(h)の高さは、ゲ

50

ート電圧とドレイン電圧に依存して変化するが、ゲートに正の電圧 ($V_G > 0$) を印加し正のドレイン電圧が印加される場合には、電圧印加のない図 13 (A) のバリアの高さ、すなわちバンドギャップ (E_g) の $1/2$ 、より低くなる。ゲートに電圧を印加しない場合は、高いポテンシャル障壁のために、電極から酸化物半導体側へキャリア (電子) が注入されず、電流を流さないオフ状態を示す。一方、ゲートに正の電圧を印加すると、ポテンシャル障壁が低下し、電流を流すオン状態を示す。

【0200】

このとき電子は、図 14 (A) で示すように、ゲート絶縁膜と高純度化された酸化物半導体との界面における、酸化物半導体側のエネルギー的に安定な最低部を移動する。

【0201】

また、図 14 (B) において、ゲート電極 (GE) に負の電位が印加されると、少数キャリアであるホールは実質的にゼロであるため、電流は限りなくゼロに近い値となる。

【0202】

例えば、トランジスタのチャネル幅 W が $1 \times 10^4 \mu\text{m}$ でチャネル長が $3 \mu\text{m}$ の素子であっても、常温において、オフ電流が 10^{-13}A 以下であり、サブスレッショルドスイング値 (S 値) が $0.1 \text{V}/\text{dec.}$ (ゲート絶縁膜厚 100nm) が得られる。

【0203】

このように、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより、トランジスタの動作を良好なものとすることができる。また、本実施の形態のトランジスタは、半導体基板上に設けられているため、絶縁性基板を用いるときに比べ、トランジスタを静電気から遮蔽することができる。トランジスタを静電気から遮蔽することにより、静電気が誘起するキャリアの量を低減することができる。

【0204】

(実施の形態 7)

本実施の形態は、実施の形態 1 または実施の形態 2 のトランジスタを用いて構成することが可能なシフトレジスタの一例を示す。

【0205】

図 16 (A) は、シフトレジスタの一例についてのブロック図を示す。図 16 (A) に示すシフトレジスタは、二本のクロック信号線と、これらのクロック信号線のいずれかに電氣的に接続された二段のフリップフロップを有する。なお、クロック信号線は更に設けられていてもよいし、フリップフロップがより多段に設けられていてもよい。

【0206】

二本のクロック信号線において、入力されるクロック信号のそれぞれは、一方のクロック信号線がハイレベル (V_H) に切り替わるときに、他方をローレベル (V_L) に切り替えて動作させる。

【0207】

図 16 に示すシフトレジスタでは、第 1 のクロック信号線 CLK に電氣的に接続された第 1 段目のフリップフロップから順に、第 2 のクロック信号線 CLKB に電氣的に接続された第 2 段目のフリップフロップと続き、第 $n-1$ 段目のフリップフロップ、及び第 n 段目のフリップフロップを有する例について説明する。ただし、これに限定されず、少なくとも、第 1 のフリップフロップおよび第 2 のフリップフロップを有していればよい。

【0208】

クロック信号線 CLK は、クロック信号 CK が入力される配線である。

【0209】

クロック信号線 CLKB は、クロック信号 CKB が入力される配線である。

【0210】

クロック信号 CK とクロック信号 CKB のそれぞれは、例えば NOT 回路 (インバータ回路) を用いて生成させることができる。

【0211】

第 1 のフリップフロップには、スタート信号 SP とスタート信号 SPB が入力され、クロ

10

20

30

40

50

ック信号としてクロック信号C Kが入力され、入力された信号S Pおよび信号S P Bの信号の状態とクロック信号C Kの信号の状態に応じて出力信号O U Tを出力する。なお、ここで、信号の状態とは、例えば信号の電位、電流、又は周波数などをいう。

【0212】

スタート信号S Pとスタート信号S P Bのそれぞれは、例えばN O T回路（インバータ回路）を用いて生成させることができる。

【0213】

また、ここで信号としては、例えば電圧、電流、抵抗、又は周波数などを用いたアナログ信号またはデジタル信号を用いることができる。例えば、電位を少なくとも第1の電位と第2の電位で設定し、第1の電位としてハイレベル（高電位、 V_H とも表記する）の電位を用い、第2の電位としてローレベル（低電位、 V_L とも表記する）の電位を用いることで、2値のデジタル信号を設定することができる。また、 V_H と V_L は一定値であることが好ましいが、ノイズの影響を考慮して、 V_H と V_L に幅をもたせてもよい。

10

【0214】

なお、ここで、第1、第2などの序数を付した用語は、それぞれの要素の混同を避けるために便宜上付したものであり、数を限定するものではない。

【0215】

第2のフリップフロップは、スタート信号S Pとして第1のフリップフロップの出力信号O U Tが入力され、クロック信号としてクロック信号C K 2が入力され、入力された出力信号F F 1 o u t及びクロック信号C K 2に応じて状態が設定された信号F F 2 o u tを出力信号として出力する機能を有する。

20

【0216】

第2のフリップフロップには、スタート信号S Pとスタート信号S P Bが入力され、クロック信号としてクロック信号C K 2が入力され、入力された信号S Pおよび信号S P Bの信号の状態とクロック信号C Kの信号の状態に応じて出力信号O U T Bを出力する。

【0217】

図16(B)は、図16(A)に示す第1のフリップフロップの具体的な一構成例を示す。

【0218】

スタート信号S Pは、第1のトランジスタ1111のソースおよびドレインの一方と、第4のトランジスタ1114のソースおよびドレインの一方に入力される。

30

【0219】

スタート信号S P Bは、第2のトランジスタ1112のソースおよびドレインの一方と、第3のトランジスタ1113のソースおよびドレインの一方に入力される。

【0220】

クロック信号C L Kは、第1のトランジスタ1111、第2のトランジスタ1112、第3のトランジスタ1113および第4のトランジスタ1114のゲートに入力される。

【0221】

第1のトランジスタ1111のソースおよびドレインの他方は、第5のトランジスタ1115のゲートと、第1の容量素子1119の一方の電極に接続されている。

40

【0222】

第2のトランジスタ1112のソースおよびドレインの他方は、第6のトランジスタ1116のゲートと、第2の容量素子1120の一方の電極に接続されている。

【0223】

第3のトランジスタ1113のソースおよびドレインの他方は、第7のトランジスタ1117のゲートと、第3の容量素子1121の一方の電極に接続されている。

【0224】

第4のトランジスタ1114のソースおよびドレインの他方は、第8のトランジスタ1118のゲートと、第4の容量素子1122の一方の電極に接続されている。

【0225】

50

第5のトランジスタ1115のドレインは高電位側（好ましくは電源電位 V_{dd} ）に接続されている。第5のトランジスタ1115のソースは、第1の容量素子1119の他方の電極と、第6のトランジスタ1116のドレインに接続され、出力信号OUTを出力する。第2の容量素子1120の他方の電極と、第6のトランジスタ1116のソースは、低電位側（好ましくは、基準電位 V_{ss} ）に接続されている。

【0226】

第7のトランジスタ1117のドレインは高電位側（好ましくは電源電位 V_{dd} ）に接続されている。第7のトランジスタ1117のソースは、第3の容量素子1121の他方の電極と、第8のトランジスタ1118のドレインに接続され、出力信号OUTBを出力する。第4の容量素子1122の他方の電極と、第8のトランジスタ1118のソースは、

10

【0227】

第1の容量素子1119、第2の容量素子1120、第3の容量素子1121、及び第4の容量素子1122は、実施の形態2で説明した容量を用いてトランジスタと同一基板上に作製することができる。

【0228】

以上、実施の形態1または実施の形態2で説明した高純度化された酸化物半導体層を用いるトランジスタと、実施の形態2で説明した容量を用いてフリップフロップ回路を作製することができる。

【0229】

20

（実施の形態8）

本実施の形態は、実施の形態1または実施の形態2のトランジスタを用いて構成することが可能な昇圧回路（チャージポンプ回路）の一例を示す。

【0230】

図17は、昇圧回路の具体的な構成の一例を示す。図17に示す昇圧回路は、二本のクロック信号線と、順方向にダイオード接続された複数のトランジスタ1123と、これら複数のトランジスタのソースとドレインの間に一方の電極が接続された複数の容量素子1124と、これら複数のトランジスタの最後尾に一方の電極が接続され、他方の電極が一定の電位に保持された保持容量素子と、を有する。これら複数の容量素子の他方の電極は、二本のクロック信号線のいずれかに電氣的に接続されている。

30

【0231】

なお、クロック信号線は更に設けられていてもよい。

【0232】

トランジスタと容量素子は、出力したい電位に応じて更に多くのものが設けられていてもよい。

【0233】

二本のクロック信号線において、入力されるクロック信号のそれぞれは、一方のクロック信号線がハイレベル（ V_H ）に切り替わるときに、他方をローレベル（ V_L ）に切り替えて動作させる。

【0234】

40

クロック信号CLKとクロック信号CLKBのそれぞれは、例えばNOT回路（インバータ回路）を用いて生成させることができる。NOT回路は実施の形態2に示したEDMOS回路を用いて作製することができる。

【0235】

図17に示す昇圧回路を用いることで、 V_{in} から入力された電位を V_{out} まで上昇させることができる。例えば、 V_{in} から電源電位 V_{dd} を入力すると、 V_{out} からは V_{dd} よりも大きい電位を出力することができ、所望の電位まで昇圧させることができる。このように所望の電位まで昇圧させた電位の信号は、例えば電源線に入力され、昇圧回路と同一基板上に実装されている各回路に利用される。

【0236】

50

なお、ここで保持容量素子の他方の電極が保持された一定の電位は、例えば電源電位 V_{dd} または基準電位 V_{SS} とすればよい。

【0237】

また、ここで信号としては、例えば電圧、電流、抵抗、又は周波数などを用いたアナログ信号またはデジタル信号を用いることができる。例えば、電位を少なくとも第1の電位と第2の電位で設定し、第1の電位としてハイレベル（高電位、 V_H とも表記する）の電位を用い、第2の電位としてローレベル（低電位、 V_L とも表記する）の電位を用いることで、2値のデジタル信号を設定することができる。また、 V_H と V_L は一定値であることが好ましいが、ノイズの影響を考慮して、 V_H と V_L に幅をもたせてもよい。

【0238】

なお、ここで、第1、第2などの序数を付した用語は、それぞれの要素の混同を避けるために便宜上付したものであり、数を限定するものではない。

【0239】

以上、実施の形態1で説明したトランジスタと、実施の形態2に示した容量を用いて昇圧回路を作製することができる。

【0240】

（実施の形態9）

本実施の形態では、実施の形態1乃至8のいずれか一で得られる半導体集積回路を搭載した電子機器の例について図18を用いて説明する。なお半導体集積回路は回路基板などに実装され、各電子機器の本体内部に搭載されている。

【0241】

マザーボードには、実施の形態1または実施の形態2のトランジスタを含む半導体集積回路が実装されている。半導体集積回路は、Logic回路、Flash Memory回路、SRAM回路、実施の形態6に示したDRAM回路などを実装して作製されたものである。また、実施の形態3に示したCPU、やLogic回路も実装可能である。なお、半導体集積回路は、ワイヤボンディング法により実装しても構わない。この場合においても、様々な形状の集積回路フィルムを実装できる。

【0242】

また、回路基板にはFPCを装着されており、FPCを介して、例えば表示装置などに接続される。表示部のドライバーおよびコントローラを構成することができる。表示部のドライバーとしては、実施の形態7に示したシフトレジスタや、実施の形態2に示したEDMOS回路を有している。

【0243】

図18(A)は、少なくとも半導体集積回路を一部品として実装して作製したノート型のパーソナルコンピュータであり、本体3001、筐体3002、表示部3003、キーボード3004などによって構成されている。なお、実施の形態3に示すCPUや実施の形態6に示したDRAM回路などをノート型のパーソナルコンピュータは有している。

【0244】

図18(B)は、少なくとも半導体集積回路を一部品として実装して作製した携帯情報端末(PDA)であり、本体3021には表示部3023と、外部インターフェイス3025と、操作ボタン3024等が設けられている。また操作用の付属品としてスタイラス3022がある。

【0245】

図18(C)は少なくとも半導体集積回路を一部品として実装して作製した電子ペーパーである。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。図18(C)は、電子書籍の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸と

10

20

30

40

50

して開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0246】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図18(C)では表示部2705)に文章を表示し、左側の表示部(図18(C)では表示部2707)に画像を表示することができる。

【0247】

また、図18(C)では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカー2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

10

【0248】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

20

【0249】

図18(D)は、少なくとも半導体集積回路を一部品として実装して作製した携帯電話であり、筐体2800及び筐体2801の二つの筐体で構成されている。筐体2801には、表示パネル2802、スピーカー2803、マイクロフォン2804、ポインティングデバイス2806、カメラ用レンズ2807、外部接続端子2808などを備えている。また、筐体2801には、携帯型情報端末の充電を行う太陽電池セル2810、外部メモリスロット2811などを備えている。また、アンテナは筐体2801内部に内蔵されている。

【0250】

また、表示パネル2802はタッチパネルを備えており、図18(D)には映像表示されている複数の操作キー2805を点線で示している。なお、太陽電池セル2810で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路(実施の形態8に示した昇圧回路)を実装している。

30

【0251】

また、上記構成に加えて、実施の形態4または実施の形態5に示した非接触ICチップ、小型記録装置などを内蔵していてもよい。

【0252】

表示パネル2802は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル2802と同一面上にカメラ用レンズ2807を備えているため、テレビ電話が可能である。スピーカー2803及びマイクロフォン2804は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体2800と筐体2801は、スライドし、図18(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

40

【0253】

外部接続端子2808はACアダプタ及びUSBケーブルなどの各種ケーブルと接続可能であり、充電及びパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット2811に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。

【0254】

50

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0255】

図18(E)は少なくとも半導体集積回路を一部品として実装して作製したデジタルカメラであり、本体3051、表示部(A)3057、接眼部3053、操作スイッチ3054、表示部(B)3055、バッテリー3056などによって構成されている。

【0256】

本実施の形態は、実施の形態1乃至8のいずれか一と自由に組み合わせることができる。

【0257】

(実施の形態10)

本実施の形態では、半導体集積回路の断面構造の一例について説明する。

【0258】

本実施の形態の半導体集積回路の一形態を、図19を用いて説明する。なお、本実施の形態で示すトランジスタの作製工程(使用できる材料等)は多くの部分で実施の形態1と共通している。したがって、以下においては、重複する部分の説明は省略し、異なる点について詳細に説明することとする。

【0259】

トランジスタ451は、半導体基板430上に、熱酸化膜459、第1の絶縁層447a、第2の絶縁層443、第3の絶縁層447b、酸化物半導体層442、第1のソース電極層445a、第2のソース電極層448a、第1のドレイン電極層445b、第2のドレイン電極層448b、ゲート絶縁層444、及びゲート電極層441を含む。

【0260】

トランジスタ469は、半導体基板430上に、熱酸化膜459、電極層479c、第1の絶縁層447a、第4の絶縁層473、第3の絶縁層447b、酸化物半導体層472、第3のソース電極層475a、第4のソース電極層478a、第3のドレイン電極層475b、及び第4のドレイン電極層478b、ゲート絶縁層444、及びゲート電極層471を含む。

【0261】

まず、半導体基板430上に絶縁膜を形成する。トランジスタ451、469は、半導体基板上に絶縁膜として熱酸化膜459を設ける点で、実施の形態1に示したトランジスタ440、470と異なる。以下に、半導体基板上に熱酸化膜を形成する方法について説明する。

【0262】

半導体基板430上に熱酸化処理を行うことにより熱酸化膜459(ここではSiO_x膜)を形成する。熱酸化処理を行うことにより緻密で良質な膜が形成できるため、熱酸化膜を用いることが好ましい。熱酸化処理は、酸化性雰囲気中にハロゲンを添加して行うことが好ましい。

【0263】

例えば、塩化水素が添加された酸化性雰囲気中で半導体基板430に熱酸化処理を行うことにより、熱酸化膜459を形成する。この場合、熱酸化膜459は、塩素原子を含有した膜となる。

【0264】

熱酸化膜459中に含有された塩素原子は、歪みを形成する。その結果、熱酸化膜459の水分に対する吸収割合が向上し、拡散速度が増大する。つまり、熱酸化膜459表面に水分が存在する場合に、当該表面に存在する水分を熱酸化膜459中に素早く吸収し、拡散させることができる。また、単結晶半導体膜中の酸素析出誘起欠陥を消滅する事が出来る。また、外因性不純物である重金属(例えば、Fe、Cr、Ni、Mo等)の塩化物を形成して半導体基板430から重金属を除去する外方拡散を伴う化学ゲッタリングを行う事が出来る。

【0265】

10

20

30

40

50

熱酸化処理の一例としては、酸素に対し塩化水素（HCl）を0.5～10体積%（好ましくは2体積%）の割合で含む酸化性雰囲気中で、750～1150の温度、好ましくは900～1100（代表的には1000）で行うことができる。処理時間は0.1～6時間、好ましくは0.5～1時間とすればよい。形成される酸化膜の膜厚としては、10nm～1000nm（好ましくは50nm～300nm）、例えば100nmの厚さとする。塩化水素を含む酸素雰囲気中で熱酸化膜459を形成することにより、半導体基板430と熱酸化膜459の界面準位密度を低減することができる。

【0266】

本実施の形態では、熱酸化膜459に含まれる塩素の濃度を $1 \times 10^{17} \text{ atoms/cm}^3 \sim 1 \times 10^{21} \text{ atoms/cm}^3$ となるように制御する。

10

【0267】

また、熱酸化膜459に含有させるハロゲン原子としては塩素原子に限られない。熱酸化膜459にフッ素原子を含有させてもよい。半導体基板430表面をフッ素酸化するには、半導体基板430表面にHF溶液に浸漬した後に酸化性雰囲気中で熱酸化処理を行うことや、 NF_3 を酸化性雰囲気に添加して熱酸化処理を行えばよい。

【0268】

また、塩化水素を含む酸素雰囲気中で熱酸化処理をした後に、窒素雰囲気中で熱処理を行うことが好ましい。これにより、欠陥を低減させることができる。

【0269】

また、半導体基板430の裏面（トランジスタが形成されていない面）に形成された熱酸化膜が不要であれば、エッチングや研磨によって除去しても良い。

20

【0270】

次に熱酸化膜459上に導電膜を形成した後、第1のフォトリソグラフィ工程により電極層479cを形成する。

【0271】

トランジスタ469は、図1に示す電極層479bを設けていない点で、トランジスタ470と異なる。

【0272】

本発明の一態様の半導体装置は、半導体基板上にトランジスタを形成する。半導体基板はバックゲートとして機能させることができるため、本発明の一態様では、バックゲートとして機能させるための電極層を設けなくても、信頼性の高い半導体装置を作製することができる。

30

【0273】

次いで、電極層479cを覆う第1の絶縁層447aを形成する。

【0274】

次いで、第1の絶縁層447a上にスペーサ絶縁層を形成した後、第2のフォトリソグラフィ工程により選択的に除去して第2の絶縁層443を形成する。また、同一工程で、スペーサ絶縁層となる第4の絶縁層473を電極層479cと重なる位置に形成する。

【0275】

次いで、電極層479cを覆う第3の絶縁層447bを形成する。

40

【0276】

次いで、第3の絶縁層447b上に、膜厚2nm以上200nm以下の酸化物半導体膜を形成し、酸化物半導体膜を第3のフォトリソグラフィ工程により島状の酸化物半導体層442、472に加工する。本実施の形態では、島状の酸化物半導体層442、472に、第1の加熱処理を行う。

【0277】

次いで、第4のフォトリソグラフィ工程により第3の絶縁層447b上にレジストマスクを形成し、選択的にエッチングを行って半導体基板430に達する開口部467を形成する。

【0278】

50

次いで、第3の絶縁層447b及び酸化物半導体層442、472上に、導電膜を形成する。

【0279】

次いで、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、または窒化酸化シリコン層を単層又は積層して導電膜上に膜厚200nm以上2000nm以下の絶縁膜を形成する。

【0280】

次いで、第5のフォトリソグラフィ工程により絶縁膜上にレジストマスクを形成し、選択的にエッチングを行って第4の絶縁層446、第5の絶縁層476、第1のソース電極層445a、第2のソース電極層448a、第1のドレイン電極層445b、第2のドレイン電極層448bを形成した後、レジストマスクを除去する。

10

【0281】

次いで、第3の絶縁層447b、第4の絶縁層446、第5の絶縁層476、酸化物半導体層442、472、第1のソース電極層445a、第2のソース電極層448a、第1のドレイン電極層445b、及び第2のドレイン電極層448b上にゲート絶縁層444を形成する。

【0282】

次いで、第6のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってゲート絶縁層444及び第5の絶縁層476の一部を除去して、トランジスタ469のソース電極層又はドレイン電極層に達する開口を形成する。

20

【0283】

次に、ゲート絶縁層444、及び開口上に導電膜を形成した後、第7のフォトリソグラフィ工程によりゲート電極層441、471、配線層468、474a、474bを形成する。配線層468は、接地電位の電源線（接地電源線）であり、半導体基板430と電気的に接続している。実施の形態1では、半導体基板430の裏面（トランジスタが形成されていない面）から導通する構成を示したが、本実施の形態では半導体基板430の表面（トランジスタが形成されている面）から導通する構成を示した。このように、本発明の一態様の半導体集積回路は、半導体基板430の表面から導通する構成を用いても良いし、半導体基板430の裏面から導通する構成を用いても良い。

【0284】

次いで、本実施の形態では、窒素雰囲気下で250℃、1時間の第2の加熱処理を行う。

30

【0285】

以上の工程で、水素、水分、水素化物、水酸化物の濃度が低減された酸化物半導体層442、472を有するトランジスタ451、469を形成することができる。

【0286】

以上のように、半導体基板上に形成され、水素濃度が十分に低減された酸化物半導体層を有するトランジスタを用いることで、寄生チャネルの発生を抑え、リーク電流を極めて小さくすることができ、寄生容量を低減することができる。また、本実施の形態のトランジスタは、半導体基板上に設けられているため、絶縁性基板を用いるときに比べ、トランジスタを静電気から遮蔽することができる。トランジスタを静電気から遮蔽することにより、静電気が誘起するキャリアの量を低減することができる。本実施の形態に記載の半導体集積回路は、このトランジスタを用いているため、消費電力の少ない半導体装置を実現できる。

40

【符号の説明】

【0287】

- 100 半導体集積回路
- 101 アンテナ
- 102 絶縁体
- 112 絶縁体
- 400 半導体集積回路チップ

50

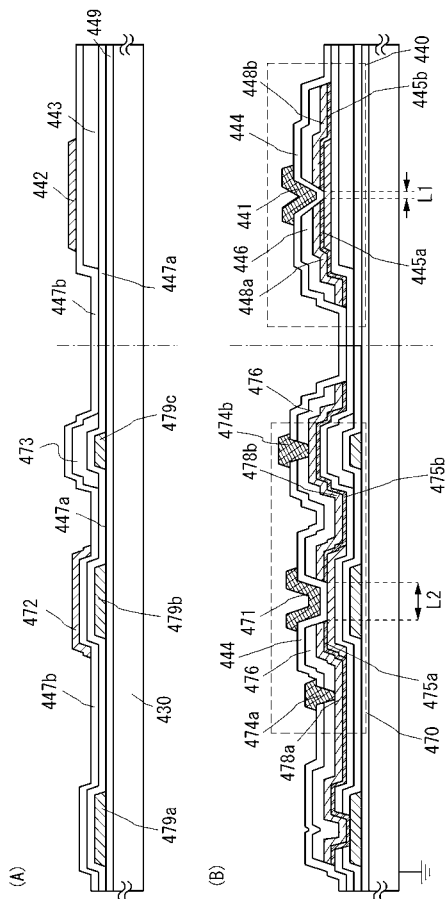
4 0 5	アンテナ	
4 0 6	支持基板	
4 0 7	破線	
4 0 8	給電点	
4 1 0	絶縁層	
4 2 0	半導体装置	
4 2 1	質問器	
4 2 2	アンテナ	
4 2 3	半導体集積回路	
4 2 4	アンテナ	10
4 3 0	半導体基板	
4 3 1	配線	
4 3 2 a	第4の酸化物半導体層	
4 3 2 b	第3の酸化物半導体層	
4 3 3	第1の容量電極層	
4 3 4	第2の容量電極層	
4 3 5	配線	
4 3 7	導電層	
4 3 8	電極層	
4 3 9	端子電極層	20
4 4 0	トランジスタ	
4 4 1	ゲート電極層	
4 4 2	酸化物半導体層	
4 4 3	第2の絶縁層	
4 4 4	ゲート絶縁層	
4 4 5 a	第1のソース電極層	
4 4 5 b	第1のドレイン電極層	
4 4 6	絶縁層	
4 4 7 a	第1の絶縁層	
4 4 7 b	第3の絶縁層	30
4 4 8 a	第2のソース電極層	
4 4 8 b	第2のドレイン電極層	
4 4 9	絶縁膜	
4 5 1	トランジスタ	
4 5 9	熱酸化膜	
4 6 7	開口部	
4 6 8	配線層	
4 6 9	トランジスタ	
4 7 0	トランジスタ	
4 7 1	ゲート電極層	40
4 7 2	酸化物半導体層	
4 7 3	絶縁層	
4 7 4 a	配線層	
4 7 5 a	第3のソース電極層	
4 7 5 b	第3のドレイン電極層	
4 7 6	絶縁層	
4 7 7	電極層	
4 7 8 a	第4のソース電極層	
4 7 8 b	第4のドレイン電極層	
4 7 9 a	電極層	50

4 7 9 b	電極層	
4 7 9 c	電極層	
4 7 9 d	電極層	
4 7 9 e	電極層	
4 7 9 f	電極層	
4 7 9 g	電極層	
4 7 9 h	電極層	
4 7 9 i	電極層	
4 8 0	第 1 のトランジスタ	
4 8 1	ゲート電極層	10
4 8 2 a	酸化物半導体層	
4 8 2 b	酸化物半導体層	
4 8 4 a	第 3 配線	
4 8 4 b	第 1 配線	
4 8 5 a	第 1 のドレイン電極層	
4 8 5 b	第 1 のソース電極層	
4 8 6	絶縁層	
4 8 7 a	第 1 の絶縁層	
4 8 7 b	第 3 の絶縁層	
4 8 8 a	第 2 のドレイン電極層	20
4 8 8 b	第 2 のソース電極層	
4 8 9	端子電極層	
4 9 0	第 2 のトランジスタ	
4 9 1	ゲート電極層	
4 9 2	ゲート絶縁層	
4 9 5 a	第 3 のソース電極層	
4 9 5 b	第 3 のドレイン電極層	
4 9 8 a	第 4 のソース電極層	
4 9 8 b	第 4 のドレイン電極層	
8 0 0	半導体装置	30
8 1 0	高周波回路	
8 2 0	電源回路	
8 3 0	リセット回路	
8 4 0	クロック発生回路	
8 5 0	データ復調回路	
8 6 0	データ変調回路	
8 7 0	制御回路	
8 8 0	記憶回路	
8 9 0	アンテナ	
9 1 0	コード抽出回路	40
9 2 0	コード判定回路	
9 3 0	C R C 判定回路	
9 4 0	出力ユニット回路	
1 0 0 1	C P U	
1 0 0 2	タイミングコントロール回路	
1 0 0 3	命令解析デコーダ	
1 0 0 4	レジスタアレイ	
1 0 0 5	アドレスロジックバッファ回路	
1 0 0 6	データバスインターフェイス	
1 0 0 7	A L U	50

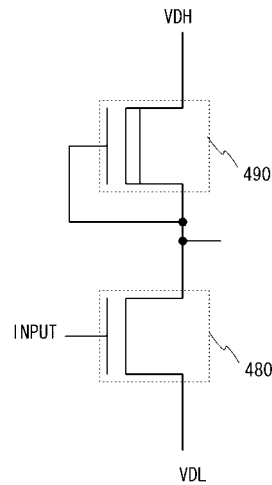
1 0 0 8	命令レジスタ	
1 1 0 0	記憶素子	
1 1 0 1	第 1 の論理積回路	
1 1 0 2	第 2 の論理積回路	
1 1 0 3	第 3 の論理積回路	
1 1 0 4	第 1 のスイッチ	
1 1 0 5	第 2 のスイッチ	
1 1 0 6	第 3 のスイッチ	
1 1 1 1	第 1 のトランジスタ	
1 1 1 2	第 2 のトランジスタ	10
1 1 1 3	第 3 のトランジスタ	
1 1 1 4	第 4 のトランジスタ	
1 1 1 5	第 5 のトランジスタ	
1 1 1 6	第 6 のトランジスタ	
1 1 1 7	第 7 のトランジスタ	
1 1 1 8	第 8 のトランジスタ	
1 1 1 9	第 1 の容量素子	
1 1 2 0	第 2 の容量素子	
1 1 2 1	第 3 の容量素子	
1 1 2 2	第 4 の容量素子	20
1 1 2 3	トランジスタ	
1 1 2 4	容量素子	
1 o u t	出力信号 F F	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	30
2 7 2 3	操作キー	
2 7 2 5	スピーカー	
2 8 0 0	筐体	
2 8 0 1	筐体	
2 8 0 2	表示パネル	
2 8 0 3	スピーカー	
2 8 0 4	マイクロフォン	
2 8 0 5	操作キー	
2 8 0 6	ポインティングデバイス	
2 8 0 7	カメラ用レンズ	40
2 8 0 8	外部接続端子	
2 8 1 0	太陽電池セル	
2 8 1 1	外部メモリスロット	
2 o u t	信号 F F	
3 0 0 1	本体	
3 0 0 2	筐体	
3 0 0 3	表示部	
3 0 0 4	キーボード	
3 0 2 1	本体	
3 0 2 2	スタイラス	50

- 3 0 2 3 表示部
- 3 0 2 4 操作ボタン
- 3 0 2 5 外部インターフェイス
- 3 0 5 1 本体
- 3 0 5 3 接眼部
- 3 0 5 4 操作スイッチ
- 3 0 5 5 表示部 (B)
- 3 0 5 6 バッテリー
- 3 0 5 7 表示部 (A)
- 3 2 0 0 通信装置
- 3 2 1 0 表示部
- 3 2 2 0 品物
- 3 2 3 0 半導体装置
- 3 2 4 0 通信装置
- 3 2 5 0 半導体装置
- 3 2 6 0 商品

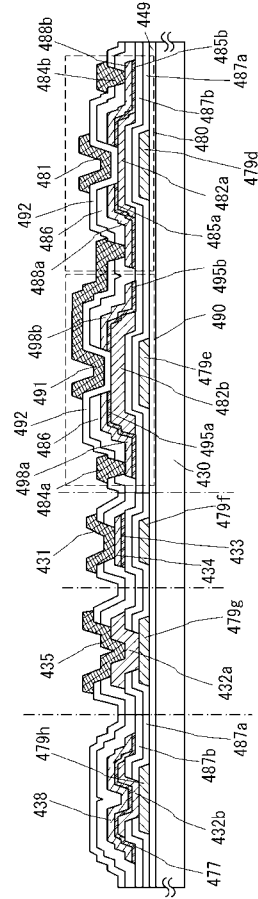
【 図 1 】



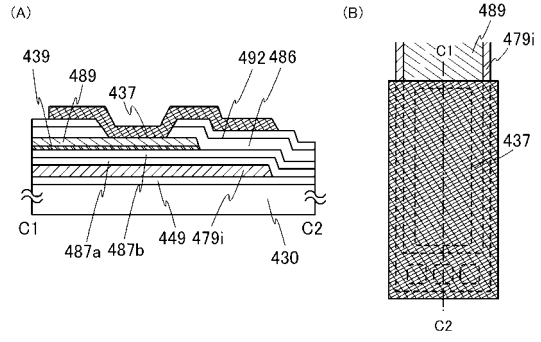
【 図 2 】



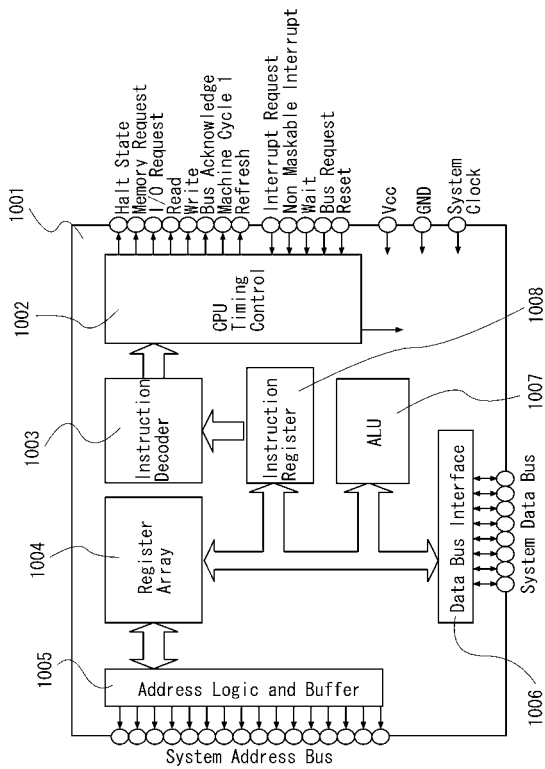
【 図 3 】



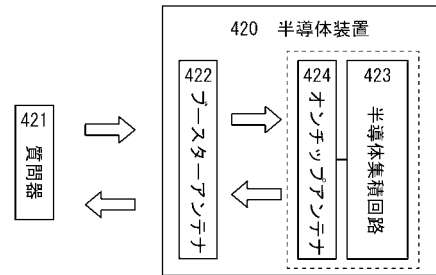
【 図 4 】



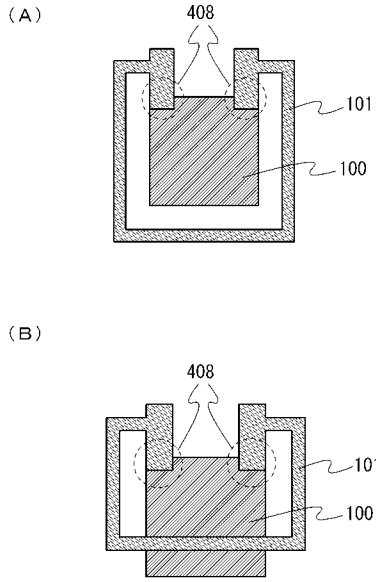
【 図 5 】



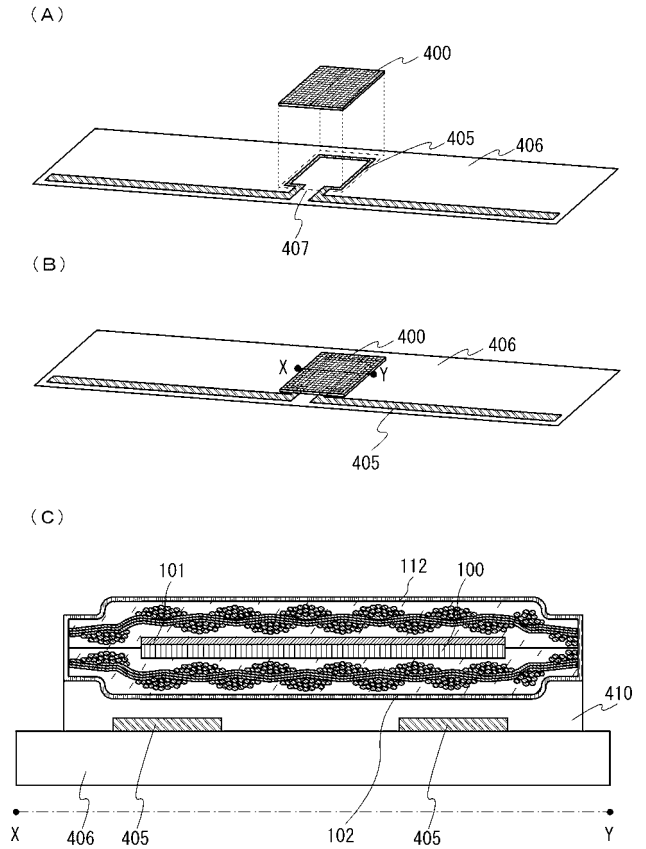
【 図 6 】



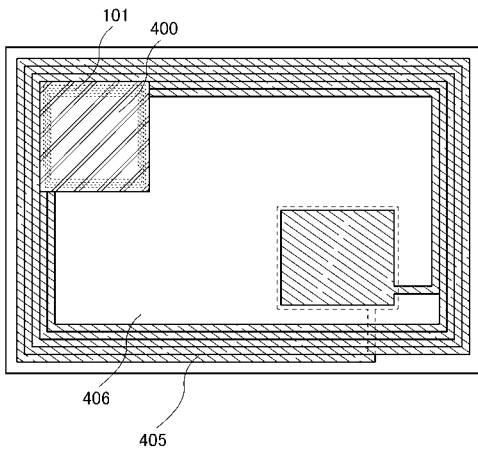
【図7】



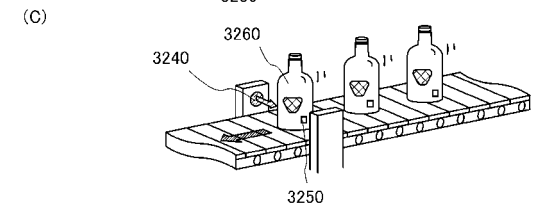
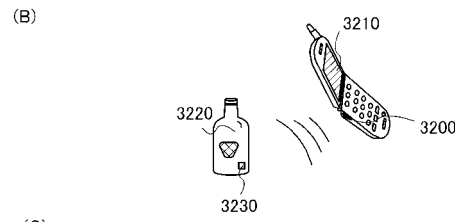
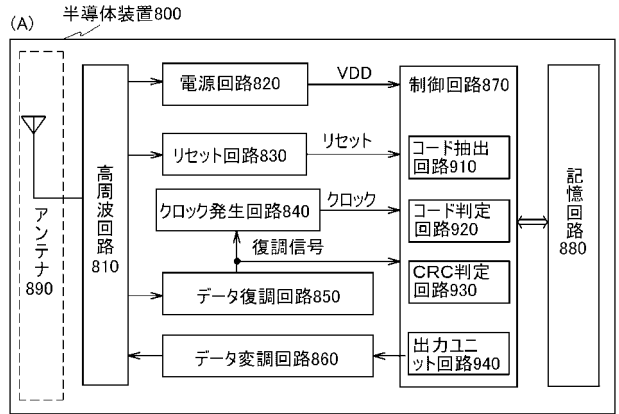
【図8】



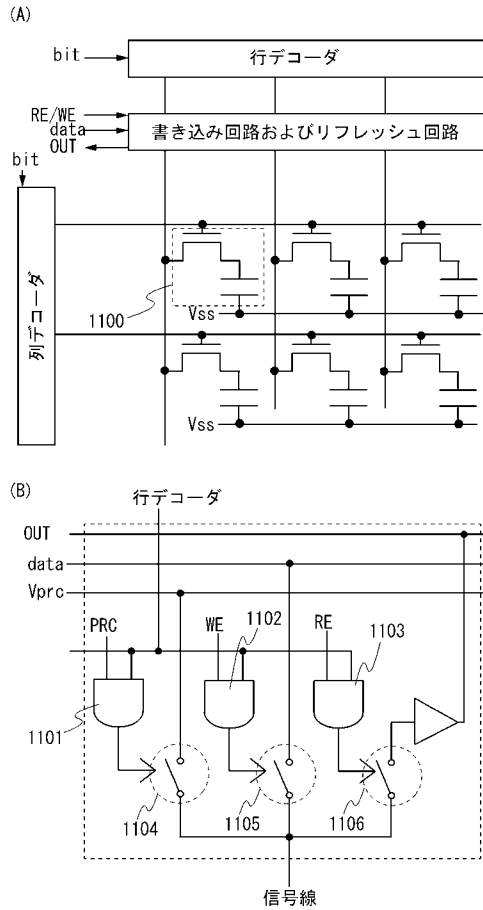
【図9】



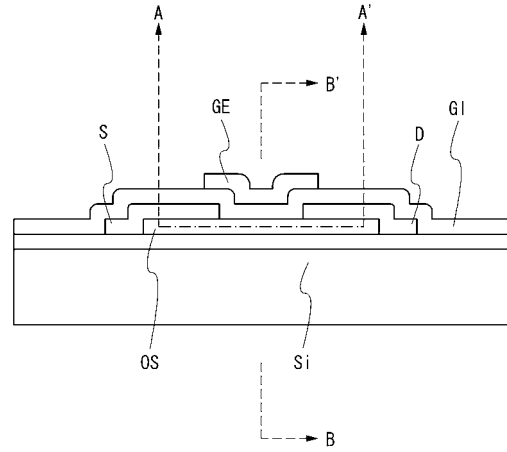
【図10】



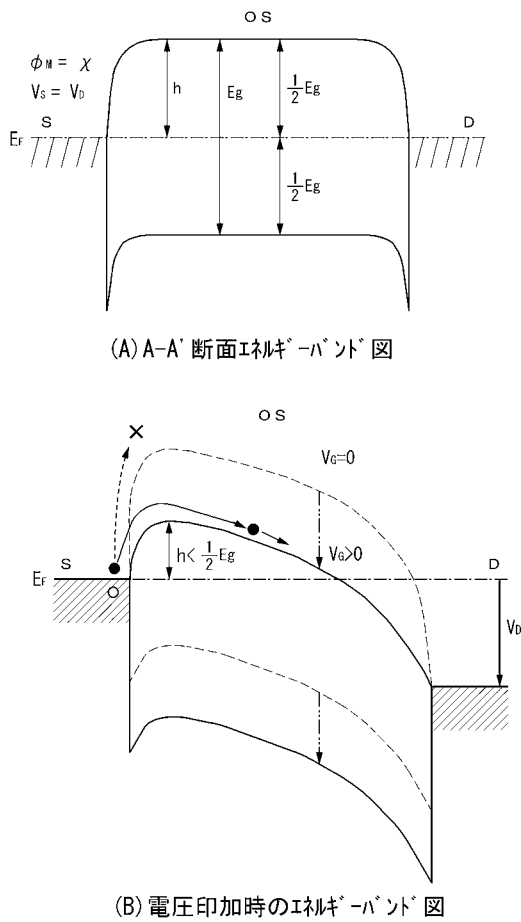
【図 1 1】



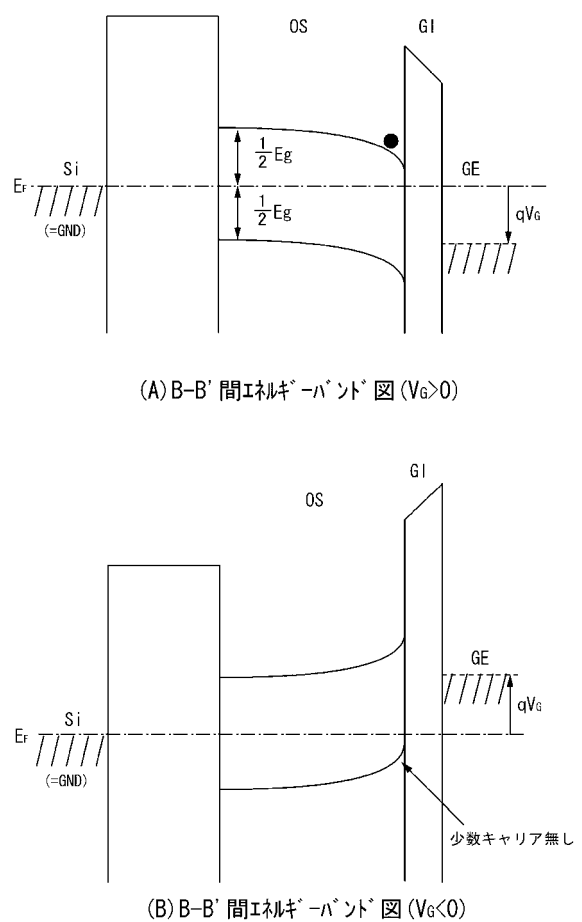
【図 1 2】



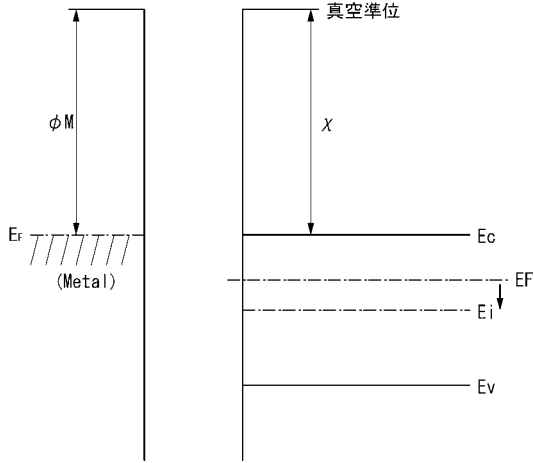
【図 1 3】



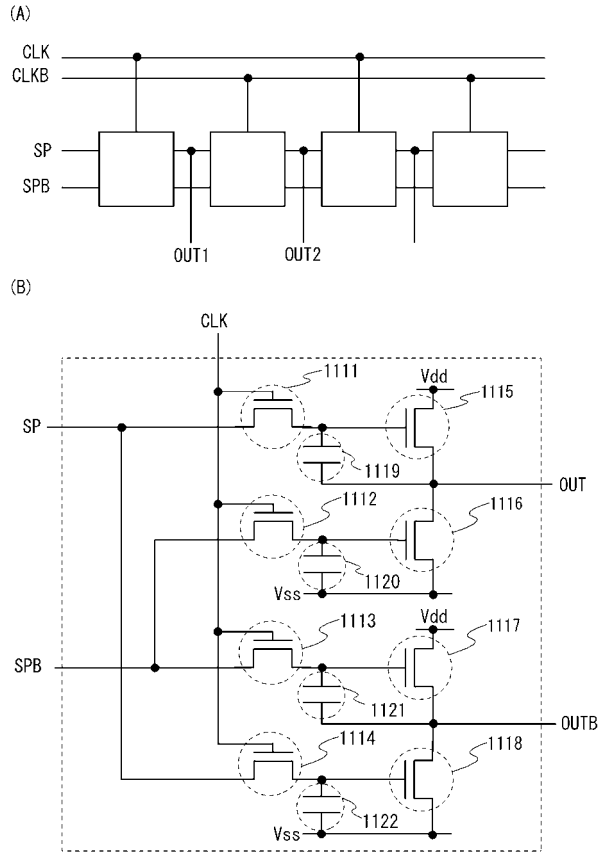
【図 1 4】



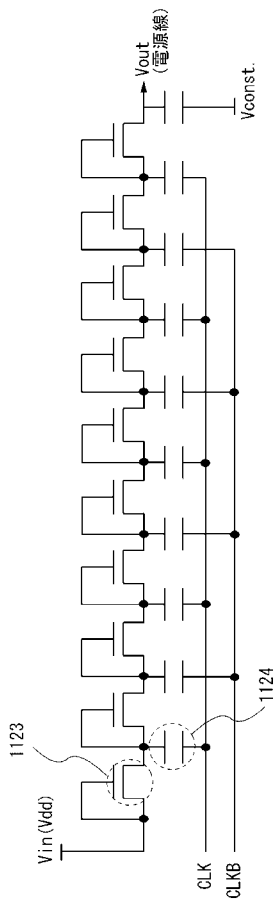
【 図 1 5 】



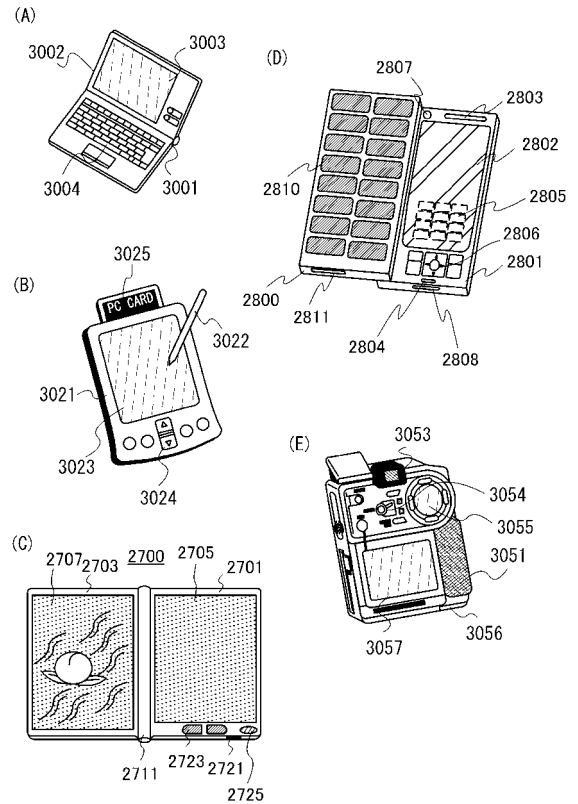
【 図 1 6 】



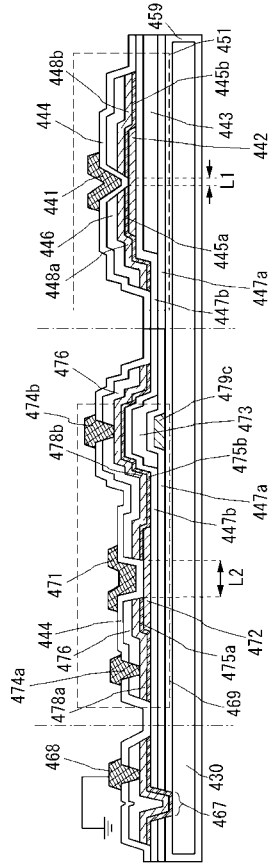
【 図 1 7 】



【 図 1 8 】



【図 19】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 27/108 (2006.01)	H 0 1 L 21/20	
H 0 1 L 27/10 (2006.01)	H 0 1 L 27/10 6 7 1 Z	
	H 0 1 L 27/10 6 8 1 F	
	H 0 1 L 27/10 4 6 1	
	H 0 1 L 27/10 6 2 1 Z	
	H 0 1 L 29/78 6 1 7 N	

- (72)発明者 豊高 耕平
 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
- (72)発明者 津吹 将志
 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
- (72)発明者 野田 耕生
 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
- (72)発明者 桑原 秀明
 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

F ターム(参考) 5F083 AD02 AD21 GA01 GA03 GA06 GA11 GA27 HA10 JA02 JA03
 JA04 JA05 JA36 JA37 JA39 JA40 JA56 JA58 JA60 LA00
 LA11 PR01 PR03 PR22 PR33 PR34 ZA01 ZA12 ZA13
 5F110 AA02 AA06 AA09 AA14 AA22 AA26 BB03 BB06 BB20 CC01
 DD01 DD05 DD07 DD13 DD14 DD15 DD17 DD25 EE01 EE02
 EE03 EE04 EE06 EE07 EE14 EE15 EE30 EE36 EE38 EE48
 FF01 FF02 FF03 FF04 FF09 FF10 FF28 FF30 FF36 GG01
 GG07 GG13 GG14 GG15 GG16 GG19 GG22 GG24 GG25 GG28
 GG29 GG33 GG34 GG35 GG43 GG57 GG58 HK01 HK02 HK03
 HK04 HK06 HK21 HK22 HK32 HK33 HK42 HM03 HM17 NN03
 NN04 NN22 NN23 NN24 NN25 NN27 NN33 NN34 NN35 NN36
 NN40 NN72 NN78 PP01 PP02 PP10 PP13 QQ06 QQ19
 5F152 AA06 BB02 CC07 CC08 CD13 CD14 CD15 CD17 CD24 CE01
 CE16 CE24 CE28 EE16 FF11 FF14 FF15 FF16 FF17 FF22
 FH03