(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第6345544号
(P6345544)

(45)発行日　平成30年6月20日(2018.6.20)　(24)登録日　平成30年6月1日(2018.6.1)

(51)Int.Cl.		F I		
H01L 29/786	(2006.01)	H01L	29/78	616S
H01L 21/336	(2006.01)	H01L	29/78	616U
H01L 21/8234	(2006.01)	H01L	29/78	618B
H01L 27/06	(2006.01)	H01L	29/78	617L
H01L 27/088	(2006.01)	H01L	29/78	616K

請求項の数 3　(全 43 頁)　最終頁に続く

(21)出願番号　特願2014-177611 (P2014-177611)
(22)出願日　平成26年9月2日 (2014.9.2)
(65)公開番号　特開2015-73092 (P2015-73092A)
(43)公開日　平成27年4月16日 (2015.4.16)
審査請求日　平成29年8月31日 (2017.8.31)
(31)優先権主張番号　特願2013-184096 (P2013-184096)
(32)優先日　平成25年9月5日 (2013.9.5)
(33)優先権主張国　日本国(JP)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　笹川　慎也
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　倉田　求
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　栃林　克明
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　岩本　勉

最終頁に続く

(54)【発明の名称】半導体装置の作製方法

(57)【特許請求の範囲】
【請求項１】
基板上に設けられた電極層上に酸化物半導体膜、絶縁膜及び第１の導電膜を順に形成し、
前記第１の導電膜上にレジストマスクを形成し、
前記レジストマスクを用いて前記第１の導電膜及び前記絶縁膜を加工して、前記電極層と重なる位置に前記酸化物半導体膜に達する第１の開口部を形成し、
前記レジストマスクを除去し、
前記第１の開口部を有する第１の導電膜をマスクとして、前記酸化物半導体膜を加工して、前記電極層に達する第２の開口部を形成し、
前記第１の導電膜上に、前記第１の開口部及び前記第２の開口部から露出した前記電極層と接する第２の導電膜を形成する半導体装置の作製方法。
【請求項２】
請求項１において、
前記レジストマスクを、酸素プラズマを用いたアッシング処理によって除去する半導体装置の作製方法。
【請求項３】
請求項２において、
前記レジストマスクの除去後であって、前記第２の導電膜の形成前に、
アルゴンプラズマを用いた逆スパッタ処理によって、前記第１の導電膜の上面に形成さ

れた酸化膜を除去する処理を行う半導体装置の作製方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、物、方法、又は製造方法に関する。又は、本発明は、プロセス、マシン、マニュファクチャ、又は組成物（コンポジション・オブ・マター）に関する。また、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法又はそれらの製造方法に関する。特に、本発明の一態様は、酸化物半導体を含む半導体装置、表示装置、又は発光装置に関する。
【０００２】
なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。電気光学装置、画像表示装置、半導体回路及び電子機器は、半導体装置を有する場合がある。
【背景技術】
【０００３】
半導体層を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（ＩＣ）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体材料としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。
【０００４】
酸化物半導体にチャネルが形成されるトランジスタにおいて、酸化物半導体に含まれる水素の一部はドナー準位を形成し、キャリア密度を増大させることが知られている。そのため、酸化物半導体を用いたトランジスタにおいて安定した電気特性を得るためには、酸化物半導体に含まれる水素濃度を低減する措置を講じることが求められる。例えば、特許文献１では、酸化物半導体層及びそれに接する絶縁層を、水素等の不純物濃度が低減された成膜室内で成膜することで、酸化物半導体層中に含有されうる水素濃度を低減する方法が開示されている。また、特許文献２では、酸化物半導体層の加工に用いるレジストマスクを、薬液処理に代えてアッシングによって除去することで、酸化物半導体層中への水、水素、ハイドロカーボンなどの混入を防止する方法が開示されている。
【先行技術文献】
【特許文献】
【０００５】
【特許文献１】特開２０１１－０９１３８１号公報
【特許文献２】特開２０１２－１６０７１７号公報
【発明の概要】
【発明が解決しようとする課題】
【０００６】
上述したように、酸化物半導体層の加工に用いるレジストマスクの薬液による除去処理は、酸化物半導体層への不純物混入の抑制の観点から好ましくない。一方で、酸化物半導体層の加工に用いるレジストマスクのアッシング処理による除去は、酸化物半導体層の加工形状によっては好ましくない場合がある。例えば、酸化物半導体層の下層に設けられた電極層に達する開口部を形成するためのレジストマスクをアッシング処理によって除去すると、開口部から露出した電極層の表面が酸化してしまうため、開口部における電気的な接続に不良が生じることがある。
【０００７】
そこで、本発明の一態様は、酸化物半導体層の上下に設けられる電極層を、該酸化物半導体層に設けられた開口部において安定して接続することの可能な半導体装置の作製方法及びその作製方法によって作製された半導体装置を提供することを課題の一とする。
【０００８】
または、本発明の一態様は、酸化物半導体を用いた半導体装置であって、信頼性の高い半

導体装置を提供することを課題の一とする。または、本発明の一態様は、新規な半導体装置を提供することを課題の一とする。

【０００９】

または、本発明の一態様は、酸化物半導体を用いた半導体装置であって微細化を達成した半導体装置を提供することを課題の一とする。トランジスタの動作の高速化、トランジスタの低消費電力化、半導体装置の低価格化、半導体装置の高集積化等を達成するためには、トランジスタの微細化が必須である。

【００１０】

なお、これらの課題の記載は他の課題の存在を妨げるものではない。本発明の一態様は、これらの課題の全てを解決する必要はないものとする。また、上記以外の課題は、明細書等の記載から自ずと明らかになるものであり、明細書等の記載から上記以外の課題を抽出することが可能である。

【課題を解決するための手段】

【００１１】

本発明の一態様は、第１の電極層と、第１の電極層上に位置し、第１の導電層及び第２の導電層の積層構造を含む第２の電極層と、厚さ方向において第１の電極層と第２の電極層との間に位置する酸化物半導体膜及び絶縁膜と、を有し、第１の導電層及び絶縁膜は第１の電極層と重なる領域に第１の開口部を有し、酸化物半導体膜は、第１の開口部と重なる領域に第２の開口部を有し、第２の導電層は、第１の開口部及び第２の開口部から露出した第１の電極層と接する半導体装置である。

【００１２】

または、本発明の一態様は、島状の酸化物半導体層と、島状の酸化物半導体層と電気的に接続するソース電極層及びドレイン電極層と、ソース電極層及びドレイン電極層上に設けられ、島状の酸化物半導体層と接する酸化物半導体膜と、酸化物半導体膜上に設けられたゲート絶縁膜と、ゲート絶縁膜上において、島状の酸化物半導体層と重なるゲート電極層と、ゲート絶縁膜上において、ソース電極層及びドレイン電極層の一方と重なる第１の電極層と、を有し、第１の電極層は、第１の導電層及び第２の導電層の積層構造を含み、第１の導電層及びゲート絶縁膜は、ソース電極層及びドレイン電極層の一方と重なる領域に第１の開口部を有し、酸化物半導体膜は、第１の開口部と重なる領域に第２の開口部を有し、第２の導電層は、第１の開口部及び第２の開口部から露出したソース電極層及びドレイン電極層の一方と接する半導体装置である。

【００１３】

上記の半導体装置において、ゲート電極層は、第１の導電層及び第２の導電層とそれぞれ同じ作製工程で形成される第３の導電層および第４の導電層の積層構造を含んでいてもよい。

【００１４】

または、本発明の一態様は、第１のトランジスタと、第１のトランジスタと隣接する第２のトランジスタと、を有し、第１のトランジスタは、島状の酸化物半導体層と、島状の酸化物半導体層と電気的に接続するソース電極層及びドレイン電極層と、ソース電極層及びドレイン電極層上に設けられ、島状の酸化物半導体層と接する酸化物半導体膜と、酸化物半導体膜上に設けられたゲート絶縁膜と、ゲート絶縁膜上において、島状の酸化物半導体層と重なる第１のゲート電極層と、を有し、第２のトランジスタは、第１の導電層及び第２の導電層の積層構造を含む第２のゲート電極層を少なくとも有し、第１の導電層及びゲート絶縁膜は、第１のトランジスタのソース電極層及びドレイン電極層の一方と重なる開口部を有し、酸化物半導体膜は、第１の開口部と重なる領域に第２の開口部を有し、第２の導電層は、第１の開口部及び第２の開口部から露出した第１のトランジスタのソース電極層及びドレイン電極層の一方と接する半導体装置である。

【００１５】

または、本発明の一態様は、基板上に設けられた電極層上に酸化物半導体膜、絶縁膜及び第１の導電膜を順に形成し、第１の導電膜上にレジストマスクを形成し、レジストマスク

を用いて第１の導電膜及び絶縁膜を加工して、電極層と重なる位置に酸化物半導体膜に達する第１の開口部を形成し、レジストマスクを除去し、第１の開口部を有する第１の導電膜をマスクとして、酸化物半導体膜を加工して、電極層に達する第２の開口部を形成し、第１の導電膜上に、第１の開口部及び第２の開口部から露出した電極層と接する第２の導電膜を形成する半導体装置の作製方法である。

【００１６】

上記の半導体装置の作製方法において、レジストマスクを、酸素プラズマを用いたアッシング処理によって除去することが好ましい。また、レジストマスクの除去後であって、第２の導電膜の形成前に、酸素プラズマを用いたアッシング処理によって、第１の導電膜の上面に形成された酸化膜を除去する処理を行うことが好ましい。

【発明の効果】

【００１７】

本発明の一態様によって、酸化物半導体を用いた半導体装置であって、信頼性の高い半導体装置を提供することができる。

【００１８】

または、本発明の一態様によって、酸化物半導体を用いた半導体装置であって、微細化を達成した半導体装置を提供することができる。なお、本発明の一態様はこれらの効果に限定されるものではない。例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果以外の効果を有する場合もある。または、例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果を有さない場合もある。

【図面の簡単な説明】

【００１９】

【図１】半導体装置の一態様を説明する平面図及び断面図。
【図２】半導体装置の作製方法を説明する断面図。
【図３】半導体装置の作製方法を説明する断面図。
【図４】半導体装置の作製方法を説明する断面図。
【図５】半導体装置の一態様を説明する断面図。
【図６】半導体装置の一態様を説明する平面図、断面図及び回路図。
【図７】実施の形態に係る、ＲＦＩＣタグの構成例。
【図８】実施の形態に係る、ＣＰＵの構成例。
【図９】実施の形態に係る、記憶素子の回路図。
【図１０】実施の形態に係る、電子機器。
【図１１】実施の形態に係る、ＲＦＩＣの使用例。
【図１２】実施例で作製した試料の断面ＳＴＥＭ像。
【図１３】半導体装置の一態様を説明する断面図。
【図１４】実施の形態に係る、表示装置のブロック図および回路図。

【発明を実施するための形態】

【００２０】

以下では、開示する発明の実施の形態について図面を用いて詳細に説明する。ただし、本明細書に開示する発明は、以下の説明に限定されず、その形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本明細書に開示する発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に示す本発明の一態様の構成において、同一部分又は同様の機能を有する部分には、同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を有する部分を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【００２１】

なお、本明細書等における「第１」、「第２」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

【００２２】

また、本明細書等において、「上」や「下」の用語は、構成要素の位置関係が「直上」又

は「直下」であることを限定するものではない。例えば、「ゲート絶縁膜上のゲート電極層」との表現であれば、ゲート絶縁膜とゲート電極層との間に他の構成要素を含むものを除外しない。「下」についても同様である。

【００２３】

また、本明細書等において、膜の上面とは、基板表面と略平行な面のうち、基板表面からの距離が離れた側の面を示し、膜の底面とは、基板表面と略平行な面のうち、基板表面に近い側の面を示す。

【００２４】

本明細書等において、「平行」とは、二つの直線が－１０°以上１０°以下の角度で配置されている状態をいう。従って、－５°以上５°以下の場合も含まれる。また、「垂直」とは、二つの直線が８０°以上１００°以下の角度で配置されている状態をいう。従って、８５°以上９５°以下の場合も含まれる。

【００２５】

また、本明細書等において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【００２６】

また、本明細書等において、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【００２７】

なお、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【００２８】

（実施の形態１）

本実施の形態では、本発明の一態様の半導体装置及び半導体装置の作製方法を、図１乃至図４を参照して説明する。本実施の形態では、半導体装置の一例として酸化物半導体にチャネルが形成されるトップゲート構造のトランジスタを含む半導体装置を示す。

【００２９】

＜半導体装置の構成例１＞

図１（Ａ）及び図１（Ｂ）にトランジスタ３００を含む半導体装置の構成例を示す。図１（Ａ）は、半導体装置の平面図であり、図１（Ｂ）は、図１（Ａ）のＡ１－Ａ２及びＡ３－Ａ４における断面図である。なお、図１（Ａ）では、煩雑になることを避けるためトランジスタ３００の構成要素の一部（例えば、ゲート絶縁膜４１０等）を省略して図示している。

【００３０】

図１（Ａ）及び図１（Ｂ）に示す半導体装置は、トランジスタ３００と、トランジスタ３００のソース電極層４０６ａと電気的に接続する電極層４１６ｂと、を含んで構成される。なお、電極層４１６ｂは、ソース電極層４０６ａに代えてドレイン電極層４０６ｂと電気的に接続していてもよい。

【００３１】

電極層４１６ｂは、順に積層された第１の導電層４１２ｂと、第２の導電層４１４ｂと、を有する。トランジスタ３００は、下地絶縁膜４０２を介して基板４００上に設けられた島状の酸化物半導体層４０４と、酸化物半導体層４０４と電気的に接続するソース電極層４０６ａ及びドレイン電極層４０６ｂと、ソース電極層４０６ａ及びドレイン電極層４０６ｂ上の酸化物半導体膜４０８と、酸化物半導体膜４０８上のゲート絶縁膜４１０と、ゲ

ート絶縁膜４１０を介して島状の酸化物半導体層４０４と重なるゲート電極層４１６ａと、を有する。本実施の形態においてゲート電極層４１６ａは、順に積層された第１の導電層４１２ａと、第２の導電層４１４ａと、を有する。なお、ゲート電極層４１６ａ上に形成された保護絶縁膜４１８及び／又は保護絶縁膜４１８上に形成された絶縁膜４２０をトランジスタ３００の構成要素に含めてもよい。

【００３２】

図１（Ｂ）の断面図に示すように、トランジスタ３００のソース電極層４０６ａと電極層４１６ｂとの間には、酸化物半導体膜４０８及びゲート絶縁膜４１０が設けられている。電極層４１６ｂの第１の導電層４１２ｂ及びゲート絶縁膜４１０は、ソース電極層４０６ａと重なる領域に開口部４１７を有し、ゲート絶縁膜４１０とソース電極層４０６ａとの間に位置する酸化物半導体膜４０８は、開口部４１７と重なる開口部４１５を有する。電極層４１６ｂの第２の導電層４１４ｂは、開口部４１７及び開口部４１５を覆って第１の導電層４１２ｂ上に設けられ、開口部４１７及び開口部４１５から露出したソース電極層４０６ａと接する。これによって、トランジスタ３００のソース電極層４０６ａと、電極層４１６ｂとが電気的に接続している。

【００３３】

酸化物半導体膜４０８は、チャネルが形成される（電流の主な経路となる）酸化物半導体層４０４とゲート絶縁膜４１０との間に位置し、酸化物半導体層４０４への不純物の混入を抑制し、酸化物半導体層４０４の界面を安定化させる機能を有する。チャネルが形成される酸化物半導体層４０４に接する酸化物半導体膜４０８は、可能な限り水、水素などの不純物が含まれないことが好ましい。酸化物半導体層４０４と接する酸化物半導体膜４０８に水素が含まれると、その水素が酸化物半導体層４０４へ侵入する恐れ、又は、その水素が酸化物半導体層４０４中の酸素を引き抜く恐れがあるためである。

【００３４】

図１（Ａ）及び図１（Ｂ）に示す半導体装置の作製工程において、ゲート絶縁膜４１０及び酸化物半導体膜４０８に開口部を形成した後、開口部を形成するためのレジストマスクを薬液処理によって除去すると、水、水素などの不純物が開口部の内側から酸化物半導体膜４０８へと混入することがある。したがって、該レジストマスクの除去に薬液処理を用いることは好ましくない。また、酸化物半導体膜４０８の組成によっては、レジストマスクの剥離に適用する薬液に可溶であり、該薬液の使用によって、開口部４１５の形状不良が発生する場合がある。一方、ゲート絶縁膜４１０上にレジストマスクを形成し、ソース電極層４０６ａに達する開口部を形成後に、酸素プラズマ等を用いたアッシングによって該レジストマスクを除去する場合、露出したソース電極層４０６ａの表面が酸化され、後に形成される電極層４１６ｂとの電気的接続に不良が生じる。

【００３５】

そこで、本実施の形態の半導体装置では、ソース電極層４０６ａと接する電極層４１６ｂとして、ゲート絶縁膜４１０上に第１の導電層４１２ｂを形成し、第１の導電層４１２ｂ及びゲート絶縁膜４１０に開口部４１７を形成後、該第１の導電層４１２ｂをマスクとして酸化物半導体膜４０８に開口部４１５を形成し、第２の導電層４１４ｂを形成する。酸化物半導体膜４０８の上下に設けられる電極層（ここでは、ソース電極層４０６ａと電極層４１６ｂ）の接続部をこのような作製方法によって形成することで、薬液処理による水等の不純物の混入及び形状不良個所の形成と、レジストマスクのアッシングによる酸化物半導体膜４０８の下層の電極層（ここでは、ソース電極層４０６ａ）の表面の酸化の双方を防止することができ、良好な電気特性を有する半導体装置を形成することが可能である。

【００３６】

なお、本発明の一態様は、これに限定されない。例えば、断面図として、図１（Ｂ）とは別の構成をとってもよい。例えば、酸化物半導体層４０４の下側に、導電層４２２を設けた場合の断面図を図１３（Ａ）に示す。なお、図１３（Ｂ）に示すように、開口部を介して、導電層４２２をゲート電極層４１６ａと接続させてもよい。その結果、導電層４２２

は、ゲート電極（バックゲート電極）として機能させることが出来る。図１３（Ａ）の場合には、導電層４２２には、ゲート電極層４１６ａと異なる電位を供給してもよいし、同じ電位を供給してもよい。例えば、導電層４２２には、一定電位を供給して、トランジスタ３００の閾値電圧を制御してもよい。

【００３７】

本実施の形態の半導体装置に含まれる各要素の詳細について、以下に説明する。

【００３８】

≪基板≫

基板４００は、単なる支持体に限らず、他のトランジスタやキャパシタなどの素子が形成された基板であってもよい。この場合、トランジスタ３００のゲート電極層４１６ａ、ソース電極層４０６ａ又はドレイン電極層４０６ｂの少なくとも一つが、上記他の素子と電気的に接続されていてもよい。

【００３９】

≪下地絶縁膜≫

下地絶縁膜４０２は、基板４００からの不純物の拡散を防止する役割を有するほか、チャネルが形成される酸化物半導体層４０４に酸素を供給する役割を担うことができる。したがって、下地絶縁膜４０２は、酸素を含む絶縁膜であることが好ましく、化学量論的組成よりも多い酸素を含む絶縁膜であることがより好ましい。また、上述のように基板４００が他の素子が形成された基板である場合、下地絶縁膜４０２は、層間絶縁膜としての機能も有する。その場合、下地絶縁膜４０２の表面が平坦化されていてもよい。例えば、下地絶縁膜４０２にＣＭＰ（Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）法等で平坦化処理を行えばよい。

【００４０】

≪酸化物半導体層≫

酸化物半導体層４０４は、インジウムを含む酸化物半導体である。酸化物半導体がインジウムを含むと、キャリア移動度（電子移動度）が高くなるため、好ましい。また、酸化物半導体層４０４は、例えば、アルミニウム、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、スズ、ランタン、セリウム又はハフニウムなどの元素Ｍを含むことが好ましい。このような元素Ｍは、酸素との結合エネルギーが高い元素である。又はこのような元素Ｍは、酸化物のエネルギーギャップを大きくする機能を有する元素である。また、酸化物半導体層４０４は、亜鉛を含むことが好ましい。酸化物半導体が亜鉛を含むと、酸化物半導体層４０４を結晶化しやすくなる。又は、酸化物半導体の価電子帯上端のエネルギーを、例えば亜鉛の原子数比によって制御することができる。ただし、酸化物半導体層４０４は、インジウムを含む酸化物半導体に限定されない。酸化物半導体層４０４は、例えばＺｎ－Ｓｎ酸化物、Ｇａ－Ｓｎ酸化物であってもよい。

【００４１】

また、酸化物半導体層４０４はエネルギーギャップの大きい酸化物半導体を用いて形成する。酸化物半導体層４０４のエネルギーギャップは、例えば２．５ｅＶ以上、好ましくは２．８ｅＶ以上、より好ましくは３．０ｅＶ以上とする。ただし、半導体層として機能させるためには、酸化物半導体層４０４のエネルギーギャップは４．２ｅＶ以下、好ましくは３．８ｅＶ以下、より好ましくは３．５ｅＶ以下とする。

【００４２】

なお、酸化物半導体層４０４をスパッタリング法で成膜する場合、パーティクル数低減のためにインジウムを含むターゲットを用いることが好ましい。また、上述の元素Ｍの原子数比が高い酸化物ターゲットを用いる場合、ターゲットの導電性が低くなる場合があるが、元素Ｍに加えてインジウムを含むターゲットを用いる場合、ターゲットの導電性の低下を抑制、又はターゲットの導電性を高めることができ、ＤＣ放電、ＡＣ放電を容易に行うことが可能となるため、大面積基板への成膜に効果的である。すなわち、インジウムを含むターゲットを用いて酸化物半導体層４０４を形成することで、半導体装置に生産性を高めることができる。

【００４３】
酸化物半導体層４０４をスパッタリング法で成膜する場合、用いるターゲットの原子数比は、Ｉｎ：Ｍ：Ｚｎが３：１：１、３：１：２、３：１：４、１：１：０．５、１：１：１、１：１：２などとすればよい。なお、酸化物半導体層４０４をスパッタリング法で成膜する場合、成膜された酸化物半導体層４０４の原子数比は、用いるターゲットの原子数比と必ずしも一致しない。特に成膜後の酸化物半導体層４０４における亜鉛の原子数比は、ターゲットの原子数比よりも小さくなる場合がある。具体的には、ターゲットに含まれる亜鉛の原子数比の４０ａｔｏｍｉｃ％以上９０ａｔｏｍｉｃ％程度以下となる場合がある。

【００４４】
トランジスタ３００の電気特性を安定化するためには、チャネルが形成される酸化物半導体層４０４中の不純物濃度を低減し、低キャリア密度化及び高純度真性化することが有効である。酸化物半導体層４０４中に含まれるキャリア密度は、1×10^{17}個／cm^3未満、1×10^{15}個／cm^3未満、又は1×10^{13}個／cm^3未満とすることが好ましい。酸化物半導体にとってキャリアの生成要因となりうる不純物としては、例えばシリコン、水素、窒素等が挙げられる。また、酸化物半導体層４０４中に酸素欠損が存在する場合、その一部がドナーとなり、キャリアである電子を放出する。

【００４５】
例えば、酸化物半導体層４０４中にシリコンが含まれると、シリコンによって形成された不純物準位がキャリアトラップとなる場合がある。そのため、酸化物半導体層４０４と下地絶縁膜４０２との間におけるシリコン濃度を、二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ Ｉｏｎ Ｍａｓｓ Ｓｐｅｃｔｒｏｍｅｔｒｙ）において、1×10^{19}ａｔｏｍｓ／cm^3未満、好ましくは5×10^{18}ａｔｏｍｓ／cm^3未満、さらに好ましくは2×10^{18}ａｔｏｍｓ／cm^3未満とする。

【００４６】
また、酸化物半導体層４０４中に水素が含まれると、キャリア密度を増大させてしまう場合がある。そのため、酸化物半導体層４０４の水素濃度はＳＩＭＳにおいて、2×10^{20}ａｔｏｍｓ／cm^3以下、好ましくは5×10^{19}ａｔｏｍｓ／cm^3以下、より好ましくは1×10^{19}ａｔｏｍｓ／cm^3以下、さらに好ましくは5×10^{18}ａｔｏｍｓ／cm^3以下とする。また、酸化物半導体層４０４中に窒素が含まれると、キャリア密度を増大させてしまう場合がある。酸化物半導体層４０４の窒素濃度は、ＳＩＭＳにおいて、5×10^{19}ａｔｏｍｓ／cm^3未満、好ましくは5×10^{18}ａｔｏｍｓ／cm^3以下、より好ましくは1×10^{18}ａｔｏｍｓ／cm^3以下、さらに好ましくは5×10^{17}ａｔｏｍｓ／cm^3以下とする。

【００４７】
また、酸化物半導体層４０４の水素濃度を低減するために、下地絶縁膜４０２の水素濃度を低減することが好ましい。下地絶縁膜４０２の水素濃度はＳＩＭＳにおいて、2×10^{20}ａｔｏｍｓ／cm^3以下、好ましくは5×10^{19}ａｔｏｍｓ／cm^3以下、より好ましくは1×10^{19}ａｔｏｍｓ／cm^3以下、さらに好ましくは5×10^{18}ａｔｏｍｓ／cm^3以下とする。また、酸化物半導体層４０４の窒素濃度を低減するために、下地絶縁膜４０２の窒素濃度を低減すると好ましい。下地絶縁膜４０２の窒素濃度は、ＳＩＭＳにおいて、5×10^{19}ａｔｏｍｓ／cm^3未満、好ましくは5×10^{18}ａｔｏｍｓ／cm^3以下、より好ましくは1×10^{18}ａｔｏｍｓ／cm^3以下、さらに好ましくは5×10^{17}ａｔｏｍｓ／cm^3以下とする。

【００４８】
≪ソース電極層及びドレイン電極層≫
ソース電極層４０６ａ及びドレイン電極層４０６ｂには、酸化物半導体層４０４から酸素を引き抜く性質を有する導電層を用いることが好ましい。このような性質を有する導電層として、アルミニウム、チタン、クロム、ニッケル、モリブデン、タンタル、タングステンなどを含む導電層が挙げられる。

【００４９】
酸化物半導体層４０４から酸素を引き抜く性質を有する導電層の作用により、酸化物半導体層４０４中の酸素が脱離し、酸化物半導体層４０４中に酸素欠損を形成する場合がある。酸素の引き抜きは、高い温度で加熱するほど起こりやすい。トランジスタの作製工程には、いくつかの加熱工程があることから、酸化物半導体層４０４のソース電極層４０６ａ又はドレイン電極層４０６ｂと接触した近傍の領域には酸素欠損が形成される可能性が高く、酸素欠損が形成された領域はｎ型化する。また、加熱により該酸素欠損のサイトに水素が入りこみ、酸化物半導体層４０４がｎ型化する場合がある。したがって、ソース電極層４０６ａ及びドレイン電極層４０６ｂの作用により、酸化物半導体層４０４と、ソース電極層４０６ａ又はドレイン電極層４０６ｂと、が接する領域を低抵抗化させ、トランジスタ３００のオン抵抗を低減することができる。
【００５０】
なお、チャネル長が小さい（例えば２００ｎｍ以下、又は１００ｎｍ以下）トランジスタを作製する場合、ｎ型化領域の形成によってソース－ドレイン間が短絡してしまうことがある。そのため、チャネル長が小さいトランジスタを形成する場合は、ソース電極層４０６ａ及びドレイン電極層４０６ｂに酸化物半導体層４０４から適度に酸素を引き抜く性質を有する導電層を用いればよい。適度に酸素を引き抜く性質を有する導電層としては、例えば、ニッケル、モリブデン又はタングステンを含む導電層などがある。
【００５１】
また、チャネル長がごく小さい（４０ｎｍ以下、又は３０ｎｍ以下）トランジスタを作製する場合、ソース電極層４０６ａ及びドレイン電極層４０６ｂとして、酸化物半導体層４０４からほとんど酸素を引き抜くことのない導電層を用いればよい。酸化物半導体層４０４からほとんど酸素を引き抜くことのない導電層としては、例えば、窒化タンタル、窒化チタン、又はルテニウムを含む導電層などがある。なお、複数種の導電層を積層しても構わない。
【００５２】
なお、チャネル長がごく小さい（４０ｎｍ以下、又は３０ｎｍ以下）トランジスタを作製する場合は、電子ビーム露光などの細線加工に適した方法を用いてレジストマスク加工を行い、エッチング工程によってソース電極層４０６ａとドレイン電極層４０６ｂ間の導電膜をエッチングすればよい。なお、当該レジストマスクとしては、ポジ型レジストを用いれば、露光領域を最小限にすることができ、スループットを向上させることができる。このような方法を用いれば、チャネル長を３０ｎｍ以下とするトランジスタを形成することができる。
【００５３】
本実施の形態において、ソース電極層４０６ａ及びドレイン電極層４０６ｂの側面は、図１（Ｂ）に示すように、酸化物半導体層４０４の側面と接する。また、ゲート電極層４１６ａの電界によって、酸化物半導体層４０４を電気的に取り囲むことができる（ゲート電極層の電界によって、酸化物半導体層を電気的に取り囲むトランジスタの構造を、ｓｕｒｒｏｕｎｄｅｄ　ｃｈａｎｎｅｌ（ｓ－ｃｈａｎｎｅｌ）構造とよぶ。）。そのため、酸化物半導体層４０４の全体（バルク）にチャネルが形成される。ｓ－ｃｈａｎｎｅｌ構造では、トランジスタのソース－ドレイン間に大電流を流すことができ、高いオン電流を得ることができる。
【００５４】
高いオン電流が得られるため、ｓ－ｃｈａｎｎｅｌ構造は、微細化されたトランジスタに適した構造といえる。トランジスタを微細化できるため、該トランジスタを有する半導体装置は、集積度の高い、高密度化された半導体装置とすることが可能となる。例えば、トランジスタのチャネル長を、好ましくは４０ｎｍ以下、さらに好ましくは３０ｎｍ以下、より好ましくは２０ｎｍ以下とし、かつ、トランジスタのチャネル幅を、好ましくは４０ｎｍ以下、さらに好ましくは３０ｎｍ以下、より好ましくは２０ｎｍ以下とする。
【００５５】

なお、チャネル長とは、上面図において、半導体層とゲート電極層とが重なる領域における、ソース（ソース領域又はソース電極層）とドレイン（ドレイン領域又はドレイン電極層）との距離をいう。すなわち、図１（Ａ）及び図１（Ｂ）では、チャネル長は、酸化物半導体層４０４とゲート電極層４１６ａとが重なる領域における、ソース電極層４０６ａとドレイン電極層４０６ｂとの間の距離となる。チャネル幅とは、半導体層とゲート電極層とが重なる領域における、ソースとドレインとが平行に向かい合っている長さをいう。すなわち、図１（Ａ）及び図１（Ｂ）では、チャネル幅は、酸化物半導体層４０４とゲート電極層４１６ａとが重なる領域における、ソース電極層４０６ａとドレイン電極層４０６ｂとが平行に向かい合っている長さをいう。

【００５６】

≪酸化物半導体膜≫

ソース電極層４０６ａ及びドレイン電極層４０６ｂ上に形成され、チャネルを形成する酸化物半導体層４０４と接する酸化物半導体膜４０８としては、酸化物半導体層４０４を構成する金属元素のうち少なくとも一の金属元素を構成元素として含む酸化物半導体膜を適用する。酸化物半導体層４０４と接して、該酸化物半導体層４０４を構成する元素とは異なる元素（例えばシリコン）を含む絶縁層を形成する場合、酸化物半導体層４０４と該絶縁層との界面においてトラップ準位が形成されることがある。しかしながら、本実施の形態において酸化物半導体層４０４と接して設けられる酸化物半導体膜４０８は、酸化物半導体層４０４を構成する金属元素を一種以上含んで構成されるため、酸化物半導体層４０４との界面でのキャリアの散乱が起こりにくい。このような構成とすることでトランジスタの電界効果移動度を高めることができる。また、酸化物半導体膜４０８を含むことで、ゲート絶縁膜４１０として、酸化物半導体層４０４とは異なる元素（例えばシリコン）を含む絶縁層を用いたとしても、酸化物半導体膜４０８とゲート絶縁膜４１０との界面に形成されうるトラップ準位の影響が、チャネルが形成される酸化物半導体層４０４へと及ぶことを防止することができる。

【００５７】

また、酸化物半導体層４０４として、インジウム、亜鉛、及び元素Ｍ（Ｍはアルミニウム、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、スズ、ランタン、セリウム又はハフニウム）を含むＩｎ－Ｍ－Ｚｎ酸化物で表される酸化物半導体材料を用いるとき、酸化物半導体膜４０８として、Ｉｎ－Ｍ－Ｚｎ酸化物で表記され、酸化物半導体層４０４よりもインジウムに対する元素Ｍの原子数比が高い酸化物半導体材料を用いることが好ましい。より好ましくは、酸化物半導体層４０４がＩｎ－Ｍ－Ｚｎ酸化物であるとき、酸化物半導体層４０４を$In:M:Zn=x_1:y_1:z_1$［原子数比］、酸化物半導体膜４０８を$In:M:Zn=x_2:y_2:z_2$［原子数比］とすると、y_2/x_2はy_1/x_1よりも１．５倍以上、好ましくは２倍以上、さらに好ましくは３倍以上とする。なお、このとき、酸化物半導体層４０４において、y_1がx_1以上であるとトランジスタの電気特性を安定させることができる。ただし、y_1がx_1の３倍以上になると、トランジスタの電界効果移動度が低下してしまうため、y_1はx_1の３倍未満であることが好ましい。

【００５８】

酸化物半導体膜４０８をスパッタリング法で成膜する場合、用いるターゲットの原子数比は、Ｉｎ：Ｍ：Ｚｎが１：３：２、１：４：４、１：６：４、又は１：９：６などとすればよい。

【００５９】

なお、元素Ｍは、酸化物のエネルギーギャップを大きくする機能を有する元素であるため、酸化物半導体膜４０８は、酸化物半導体層４０４と比較してエネルギーギャップの大きい膜である。ここで、インジウムに対する元素Ｍの原子数比が多すぎると、酸化物半導体膜４０８のエネルギーギャップが大きくなり絶縁層として機能しうるため、酸化物半導体膜４０８が半導体層として機能しうる程度にインジウムに対するＭの原子数比を調整することが好ましい。但し、インジウムに対するＭの原子数比によっては酸化物半導体膜４０８が絶縁膜として（例えば、ゲート絶縁膜の一部として）機能することもある。

【００６０】
また、上述したように、元素Ｍは、酸素との結合エネルギーが高い元素であるため、インジウムに対する元素Ｍの原子数比が酸化物半導体層４０４よりも高い酸化物半導体膜４０８は、酸化物半導体層４０４と比較して酸素欠損の生じにくい膜である。チャネルが形成される酸化物半導体層４０４に接して、酸素欠損の生じにくい酸化物半導体膜４０８を形成することで、酸化物半導体層４０４における酸素欠損を低減することができる。ゲート絶縁膜４１０と酸化物半導体層４０４との間に酸化物半導体膜４０８を設けることで、酸化物半導体層４０４のゲート絶縁膜４１０側の界面に、酸素欠損に起因するトラップ準位が形成されることを抑制することができる。
【００６１】
また、ゲート電極層４１６ａに電界を印加した際に、酸化物半導体層４０４にチャネルが形成されるためには、酸化物半導体膜と酸化物半導体層との伝導帯下端にエネルギー差を有する必要がある。具体的には、酸化物半導体膜４０８には、酸化物半導体層４０４よりも伝導帯下端が真空準位に近い酸化物を適用する。換言すると、酸化物半導体膜４０８として、酸化物半導体層４０４よりも電子親和力（真空準位と伝導帯下端のエネルギー差）の小さい酸化物を適用する。例えば、酸化物半導体膜４０８として酸化物半導体層４０４よりも電子親和力の０．０７ｅＶ以上１．３ｅＶ以下、好ましくは０．１ｅＶ以上０．７ｅＶ以下、さらに好ましくは０．１５ｅＶ以上０．４ｅＶ以下小さい酸化物を用いることが好ましい。
【００６２】
酸化物半導体層４０４と酸化物半導体膜４０８との間には、酸化物半導体層４０４と酸化物半導体膜４０８との混合領域を有する場合がある。混合領域は、界面準位密度が低くなるため、酸化物半導体層４０４及び酸化物半導体膜４０８の積層構造は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド構造となる。
【００６３】
また、トランジスタのオン電流を向上させるためには、酸化物半導体膜４０８の厚さは小さいほど好ましい。例えば、酸化物半導体膜４０８は、１０ｎｍ未満、好ましくは５ｎｍ以下、さらに好ましくは３ｎｍ以下とする。一方、酸化物半導体膜４０８は、チャネルの形成される酸化物半導体層４０４へ、ゲート絶縁膜４１０を構成する酸素以外の元素（シリコンなど）が入り込まないようブロックする機能を有する。そのため、酸化物半導体膜４０８は、ある程度の厚さを有することが好ましい。例えば、酸化物半導体膜４０８の厚さは、０．３ｎｍ以上、好ましくは１ｎｍ以上、さらに好ましくは２ｎｍ以上とする。
【００６４】
また、信頼性を高めるためには、酸化物半導体膜４０８の不純物濃度を低減することが好ましい。例えば、酸化物半導体層４０４と酸化物半導体膜４０８との間におけるシリコン濃度を、ＳＩＭＳにおいて、1×10^{19} ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは5×10^{18} ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは2×10^{18} ａｔｏｍｓ／ｃｍ^{3}未満とする。また、酸化物半導体膜４０８の水素濃度はＳＩＭＳにおいて、2×10^{20} ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは5×10^{19} ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは1×10^{19} ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは5×10^{18} ａｔｏｍｓ／ｃｍ^{3}以下とする。また、酸化物半導体膜４０８の窒素濃度は、ＳＩＭＳにおいて、5×10^{19} ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは5×10^{18} ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは1×10^{18} ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは5×10^{17} ａｔｏｍｓ／ｃｍ^{3}以下とする。
【００６５】
≪ゲート絶縁膜≫
ゲート絶縁膜４１０は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたはＧａ－Ｚｎ系金属酸化物、窒化シリコンなどを用いればよく、積層または単層で設ける。また、ゲート絶縁

膜４１０として、ハフニウムシリケート（ＨｆＳｉＯ$_x$）、窒素が添加されたハフニウムシリケート（ＨｆＳｉ$_x$Ｏ$_y$Ｎ$_z$）、窒素が添加されたハフニウムアルミネート（ＨｆＡｌ$_x$Ｏ$_y$Ｎ$_z$）、酸化ハフニウム、酸化イットリウムなどのｈｉｇｈ－ｋ材料を用いることでトランジスタのゲートリークを低減できる。

【００６６】

≪電極層≫

電極層４１６ｂは、酸化物半導体膜４０８及びゲート絶縁膜４１０に開口部４１５を形成する際のハードマスクとして機能する第１の導電層４１２ｂと、第１の導電層４１２ｂ上の第２の導電層４１４ｂとの積層構造を有する。第１の導電層４１２ｂ及び第２の導電層４１４ｂの材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等から適宜選択して用いることができる。また、第１の導電層４１２ｂ又は第２の導電層４１４ｂとしてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイドなどのシリサイド膜を用いてもよい。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

【００６７】

≪ゲート電極層≫

ゲート電極層４１６ａは、先に示した電極層４１６ｂと同一の工程で作製することができる。したがって、ゲート電極層４１６ａは、ゲート絶縁膜４１０に接し、第１の導電層４１２ｂと同一の材料で形成される第１の導電層４１２ａと、第１の導電層４１２ａ上に設けられ、第２の導電層４１４ｂと同一の材料で形成される第２の導電層４１４ａと、の積層構造を有する。なお、ゲート電極層４１６ａにおいてゲート絶縁膜４１０と接する第１の導電層４１２ａとして、窒素を含む金属酸化物、具体的には、窒素を含むＩｎ－Ｇａ－Ｚｎ－Ｏ膜や、窒素を含むＩｎ－Ｓｎ－Ｏ膜や、窒素を含むＩｎ－Ｇａ－Ｏ膜や、窒素を含むＩｎ－Ｚｎ－Ｏ膜や、窒素を含むＳｎ－Ｏ膜や、窒素を含むＩｎ－Ｏ膜や、金属窒化膜（窒化インジウム膜、窒化スズ膜、窒化タンタル膜、窒化チタン膜など）を用いることが好ましい。これらの膜は５ｅＶ（電子ボルト）以上、好ましくは５．５ｅＶ（電子ボルト）以上の仕事関数を有し、ゲート電極層として用いた場合、トランジスタのしきい値電圧をプラス側にシフトさせることができ、所謂ノーマリオフのスイッチング素子を実現できる。

【００６８】

本実施の形態では、第１の導電層４１２ａ、４１２ｂとして、窒化タンタル膜又は窒化チタン膜を適用し、第２の導電層４１４ａ、４１４ｂとして、タングステン膜を適用するものとする。

【００６９】

本実施の形態の半導体装置において、トランジスタ３００のゲート電極層４１６ａと、トランジスタ３００のソース電極層４０６ａ又はドレイン電極層４０６ｂと接続する電極層４１６ｂとを、同一の工程で作製することで、半導体装置を作製するためのマスク数を低減することができるため、好ましい。ただし、本実施の形態はこれに限られず、ゲート電極層４１６ａと、電極層４１６ｂとを別々の工程によって作製してもよい。例えば、トランジスタ３００のゲート電極層４１６ａを形成後、トランジスタ３００を覆う絶縁膜を形成し、該絶縁膜上にソース電極層４０６ａ又はドレイン電極層４０６ｂと電気的に接続する電極層４１６ｂを形成してもよい。その場合、ゲート電極層４１６ａは、単層構造としてもよい。

【００７０】

≪保護絶縁膜≫

トランジスタ３００上に設けられる保護絶縁膜４１８としては、酸化物半導体膜４０８及びゲート絶縁膜４１０よりも酸素に対する透過性が低い（酸素に対するバリア性を有する）絶縁膜を設ける。ゲート絶縁膜４１０に接して酸素に対するバリア性を有する保護絶縁膜４１８を設けることで、ゲート絶縁膜４１０及びそれに接する酸化物半導体膜４０８からの酸素の脱離を抑制することができる。酸化物半導体膜４０８及びゲート絶縁膜４１０からの酸素の脱離を抑制することで、該膜中に含まれる酸素欠損に起因する酸化物半導体層４０４からの酸素の引き抜きを抑制することができ、結果としてチャネル形成領域の酸素欠損を抑制することができる。このような保護絶縁層として、例えば、酸化アルミニウム膜、窒化シリコン膜又は窒化酸化シリコン膜を設けることができる。

【００７１】

また、酸化物半導体は、酸素欠損に加えて水素がキャリアの供給源となる。酸化物半導体中に水素が含まれると、伝導帯に近い準位（浅い準位）にドナーが生成され低抵抗化（ｎ型化）してしまう。よって、保護絶縁膜４１８に含まれる水素濃度を低減することが好ましい。具体的には、保護絶縁膜４１８に含まれる水素濃度は、５×１０^{１９} ｃｍ$^{－３}$未満とすることが好ましく、５×１０^{１８} ｃｍ$^{－３}$未満とすることがより好ましい。

【００７２】

また、酸化アルミニウム膜は、酸素に対するバリア性に加えて水素に対するバリア性を有する膜である。よって、保護絶縁膜４１８として酸化アルミニウム膜を適用することは好適である。

【００７３】

≪絶縁膜≫

絶縁膜４２０は、保護絶縁膜４１８上に積層して設けられることで、トランジスタ３００の絶縁耐圧を向上させることができる。絶縁膜４２０は、無機絶縁材料を用いて形成することができ、その膜厚は少なくとも保護絶縁膜４１８の膜厚より大きい膜厚とすることが好ましい。

【００７４】

＜半導体装置の構成例２＞

本実施の形態の半導体装置は、以上に示した構成に限られるものではない。例えば、本実施の形態の半導体装置に適用可能な酸化物半導体層４０４の他の構成例について、以下に説明する。

【００７５】

≪酸化物半導体層の変形例≫

酸化物半導体層４０４は、酸化物半導体層の積層膜であってもよい。例えば、図１（Ｃ）に示すように、酸化物半導体層４０４ａと、チャネルが形成される酸化物半導体層４０４ｂの積層構造であってもよい。

【００７６】

チャネルが形成される酸化物半導体層４０４ｂ（中層）は、ここまでの酸化物半導体層４０４についての記載を参照する。チャネルが形成される酸化物半導体層４０４ｂと、下地絶縁膜４０２との間に設けられる酸化物半導体層４０４ａは、酸化物半導体層４０４ｂを構成する金属元素のうち少なくとも一の金属元素を構成元素として含む酸化物半導体層を適用する。酸化物半導体層４０４ａを設けることで、酸化物半導体層４０４ｂの界面にトラップ準位が形成されることを抑制し、且つ、酸化物半導体層４０４ａと下地絶縁膜４０２との界面に形成されうるトラップ準位の影響が、チャネルが形成される酸化物半導体層４０４ｂへと及ぶことを防止することができる。酸化物半導体層４０４ａの構成の詳細は、先に示した酸化物半導体膜４０８と同様とすることができる。

【００７７】

なお、信頼性を高めるためには、酸化物半導体層４０４ａは厚く、酸化物半導体膜４０８は薄いことが好ましい。具体的には、酸化物半導体層４０４ａの厚さは、２０ｎｍ以上、好ましくは３０ｎｍ以上、さらに好ましくは４０ｎｍ以上、より好ましくは６０ｎｍ以上とする。酸化物半導体層４０４ａの厚さを、２０ｎｍ以上、好ましくは３０ｎｍ以上、さ

らに好ましくは４０ｎｍ以上、より好ましくは６０ｎｍ以上とすることで、下地絶縁膜４０２と酸化物半導体層４０４ａとの界面からチャネルの形成される酸化物半導体層４０４ｂまでを２０ｎｍ以上、好ましくは３０ｎｍ以上、さらに好ましくは４０ｎｍ以上、より好ましくは６０ｎｍ以上離すことができる。ただし、半導体装置の生産性が低下する場合があるため、酸化物半導体層４０４ａの厚さは、２００ｎｍ以下、好ましくは１２０ｎｍ以下、さらに好ましくは８０ｎｍ以下とする。

【００７８】

＜半導体装置の作製方法＞

図１（Ａ）及び図１（Ｂ）に示す半導体装置の作製方法について、図２乃至図４を参照して説明する。

【００７９】

基板４００上に下地絶縁膜４０２を形成する（図２（Ａ）参照）。下地絶縁膜４０２は、スパッタリング法、化学気相成長（ＣＶＤ：：Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法（有機金属化学堆積（ＭＯＣＶＤ）法、プラズマ化学気相堆積（ＰＥＣＶＤ）法を含む）、分子線エピタキシー（ＭＢＥ：Ｍｏｌｅｃｕｌａｒ　Ｂｅａｍ　Ｅｐｉｔａｘｙ）法、原子層堆積（ＡＬＤ：Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法又はパルスレーザ堆積（ＰＬＤ：Ｐｕｌｓｅｄ　Ｌａｓｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法を用いて成膜すればよい。成膜された膜へのプラズマによるダメージを低減するためには、ＭＯＣＶＤ法又はＡＬＤ法を用いることが好ましい。

【００８０】

下地絶縁膜４０２を形成後、下地絶縁膜４０２の表面を平坦化するために、ＣＭＰ処理を行ってもよい。ＣＭＰ処理を行うことで、下地絶縁膜４０２の平均面粗さ（Ｒａ）を１ｎｍ以下、好ましくは０．３ｎｍ以下、さらに好ましくは０．１ｎｍ以下とする。上述の数値以下のＲａとすることで、酸化物半導体層４０４の結晶性が高くなる場合がある。Ｒａは原子間力顕微鏡（ＡＦＭ：Ａｔｏｍｉｃ　Ｆｏｒｃｅ　Ｍｉｃｒｏｓｃｏｐｅ）にて測定可能である。

【００８１】

次に、下地絶縁膜４０２に酸素を添加することにより、過剰酸素を含む絶縁層を形成しても構わない。酸素の添加は、プラズマ処理又はイオン注入法などにより行えばよい。酸素の添加をイオン注入法で行う場合、例えば、加速電圧を２ｋＶ以上１００ｋＶ以下とし、ドーズ量を5×10^{14} ｉｏｎｓ／ｃｍ^{2}以上5×10^{16} ｉｏｎｓ／ｃｍ^{2}以下とすればよい。

【００８２】

次いで、下地絶縁膜４０２上に酸化物半導体層４０４となる酸化物半導体膜をスパッタリング法、ＣＶＤ法、ＭＢＥ法、ＡＬＤ法、又はＰＬＤ法を用いて形成する。その後、該酸化物半導体膜を、フォトリソグラフィ法を用いたエッチングによって島状に加工し、酸化物半導体層４０４を形成する（図２（Ｂ）参照）。ここでのエッチング処理で下地絶縁膜４０２を同時にエッチングして、酸化物半導体層４０４から露出した領域の膜厚を減少させてもよい。ただし、下地絶縁膜４０２のエッチングは、基板４００の表面（又は、下地絶縁膜４０２の下層に設けられた膜表面）を露出しない程度に適度に行うものとする。酸化物半導体層４０４から露出した領域の下地絶縁膜４０２の膜厚を減少させることで、後に形成されるゲート電極層が酸化物半導体層の膜厚方向の下端またはその近傍と対向すること可能となり、酸化物半導体層４０４の全体に電圧を印加することができる。

【００８３】

なお、酸化物半導体層４０４として、酸化物半導体層４０４ａ及び酸化物半導体層４０４ｂを含む積層構造を形成する場合、各層を形成するための積層膜を大気に触れさせることなく連続的に形成することが好ましい。

【００８４】

不純物の混入を低減し、結晶性の高い酸化物半導体層４０４を形成するために、酸化物半導体層４０４となる酸化物半導体膜は、基板温度を１００℃以上、好ましくは１５０℃以

上、さらに好ましくは２００℃以上として成膜する。また、成膜ガスとして用いる酸素ガスやアルゴンガスは、露点が－４０℃以下、好ましくは－８０℃以下、より好ましくは－１００℃以下にまで高純度化したガスを用いる。なお、不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを高純度真性又は実質的に高純度真性と呼ぶ。

【００８５】

酸化物半導体層４０４の形成後に、第１の加熱処理を行ってもよい。第１の加熱処理は、２５０℃以上６５０℃以下、好ましくは３００℃以上５００℃以下の温度で、不活性ガス雰囲気、酸化性ガスを１０ｐｐｍ以上含む雰囲気、又は減圧状態で行えばよい。また、第１の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを１０ｐｐｍ以上含む雰囲気で行ってもよい。第１の加熱処理によって、酸化物半導体層４０４の結晶性を高め、さらに下地絶縁膜４０２から水素や水などの不純物を除去することができる。

【００８６】

次に、酸化物半導体層４０４上にソース電極層４０６ａ及びドレイン電極層４０６ｂとなる導電膜を形成する。該導電膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＡＬＤ法又はＰＬＤ法を用いて成膜すればよい。その後、導電膜を分断するようにエッチングし、ソース電極層４０６ａ及びドレイン電極層４０６ｂを形成する（図２（Ｃ）参照）。なお、導電膜をエッチングする際、ソース電極層４０６ａ及びドレイン電極層４０６ｂの端部が丸みを帯びる（曲面を有する）場合がある。また、導電膜をエッチングする際、ソース電極層４０６ａ、ドレイン電極層４０６ｂ及び酸化物半導体層４０４から露出した下地絶縁膜４０２がエッチングされて、当該領域の下地絶縁膜４０２の膜厚が減少してもよい。

【００８７】

なお、ソース電極層４０６ａ及びドレイン電極層４０６ｂとなる導電膜が残渣物として酸化物半導体層４０４上に残存すると、該残渣物が酸化物半導体層４０４中又は界面において不純物準位を形成することがある。または、該残渣物によって、酸化物半導体層４０４から酸素が引き抜かれてしまい、酸素欠損が形成されることがある。よって、ソース電極層４０６ａ及びドレイン電極層４０６ｂを形成後、酸化物半導体層４０４表面に該残渣物除去処理を施してもよい。残渣物除去処理は、エッチング（例えば、ウェットエッチング）による処理、もしくは、酸素又は一酸化二窒素を用いたプラズマ処理によって行うことができる。当該残渣物除去処理によって、ソース電極層４０６ａ及びドレイン電極層４０６ｂ間に露出した酸化物半導体層４０４の膜厚が１ｎｍ以上３ｎｍ以下程度減少することがある。

【００８８】

次いで、ソース電極層４０６ａ及びドレイン電極層４０６ｂ上に酸化物半導体膜４０８及びゲート絶縁膜４１０を積層して形成する（図２（Ｄ）参照）。なお、酸化物半導体膜４０８とゲート絶縁膜４１０とを大気に開放せずに連続的に形成すると、酸化物半導体膜４０８表面に水素や水分などの不純物が吸着することを防止することができるため、好ましい。

【００８９】

酸化物半導体膜４０８は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＡＬＤ法、又はＰＬＤ法を用いて形成することができる。なお、酸化物半導体層４０４となる酸化物半導体膜と同様に、不純物の混入を低減し、結晶性の高い酸化物半導体膜４０８を形成するために、基板温度を１００℃以上、好ましくは１５０℃以上、さらに好ましくは２００℃以上として成膜する。また、成膜ガスとして用いる酸素ガスやアルゴンガスは、露点が－４０℃以下、好ましくは－８０℃以下、より好ましくは－１００℃以下にまで高純度化したガスを用いる。

【００９０】

ゲート絶縁膜４１０は、上述の材料を用いて、スパッタリング法、ＭＢＥ法、ＣＶＤ法、パルスレーザ堆積法、ＡＬＤ法等によって形成することができる。なお、ゲート絶縁膜４１０は、例えば、μ波（例えば周波数２．４５ＧＨｚ）を用いた高密度プラズマＣＶＤに

より形成されることで、緻密で絶縁耐圧の高められた膜とすることができるため好ましい。

【００９１】

次いで、ゲート絶縁膜４１０上に、第１の導電層４１２ａ、４１２ｂを形成するための導電膜４１２を形成する（図３（Ａ）参照）。導電膜４１２は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＡＬＤ法又はＰＬＤ法を用いて成膜すればよい。本実施の形態では、導電膜４１２として窒化タンタル膜又は窒化チタン膜を形成する。

【００９２】

次いで、導電膜４１２上に有機塗布膜４２９及びレジストマスク４３０を形成し、該レジストマスク４３０を用いて、有機塗布膜４２９、導電膜４１２及びゲート絶縁膜４１０をエッチングする。ここでのエッチング工程によって、導電膜４１２及びゲート絶縁膜４１０において、ソース電極層４０６ａと重なる領域に、酸化物半導体膜４０８に達する開口部４１７が形成される（図３（Ｂ）参照）。

【００９３】

なお、有機塗布膜４２９を設けることで、レジストマスク４３０の密着性を向上させることができる。ただし、レジストマスク４３０の密着性が十分である場合は、有機塗布膜４２９は設けなくともよい。有機塗布膜４２９は、反射防止膜（ＢＡＲＣ：Ｂｏｔｔｏｍ Ａｎｔｉ Ｒｅｆｌｅｃｔｉｖｅ Ｃｏａｔｉｎｇ）、例えば、ＳＷＫ－Ｔ７（東京応化製）や密着増強剤、例えば、ＡＺ ＡＤプロモーター（ＡＺ ＥＬＥＣＴＲＯＮＩＣ ＭＡＴＥＲＩＡＬＳ製）などを用いることができる。

【００９４】

レジストマスク４３０の加工のための露光に用いる光は、例えばｉ線（波長３６５ｎｍ）、ｇ線（波長４３６ｎｍ）、ｈ線（波長４０５ｎｍ）、またはこれらを混合させた光を用い、フォトマスクを介してレジストマスク４３０を形成するためのレジスト膜に照射することができる。また、液浸露光技術により露光を行ってもよい。また、露光には、極端紫外光（ＥＵＶ：Ｅｘｔｒｅｍｅ Ｕｌｔｒａ－ｖｉｏｌｅｔ）やＸ線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、Ｘ線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。なお、半導体装置の微細化のためには、開口部４１７の面積を縮小することが好ましい。開口部４１７を微細化するためには、例えば電子ビーム露光などの細線加工に適した方法を用いてレジストマスク４３０を加工すればよい。

【００９５】

次いで、レジストマスク４３０を除去する（図３（Ｃ）参照）。レジストマスク４３０の除去には、酸素プラズマ処理等を用いたアッシング処理を適用することが好ましい。開口部４１７から酸化物半導体膜４０８が露出した状態でレジストマスク４３０のアッシング処理を行うことで、ゲート絶縁膜４１０へのプラズマによるダメージを防止し、且つ酸化物半導体膜４０８の下層に位置するソース電極層４０６ａの表面の酸化を防止することができる。また、レジストマスク４３０の除去処理に、アッシング処理を適用することで、レジストマスクを剥離する際の薬液処理による酸化物半導体膜４０８の表面へのダメージ（不純物による汚染、膜厚の減少、又は酸素欠損等）を防止することができる。なお、ここでのアッシング処理によって、導電膜４１２の表面に酸化膜４３１が形成される場合がある。

【００９６】

次いで、開口部４１７を有する導電膜４１２をマスクとして酸化物半導体膜４０８をエッチングする。ここでのエッチング工程によって、酸化物半導体膜４０８に、開口部４１７と重なり、ソース電極層４０６ａに達する開口部４１５が形成される。

【００９７】

また、導電膜４１２に逆スパッタ処理を施すことによって、導電膜４１２の表面に形成された酸化膜４３１を除去する（図３（Ｄ）参照）。逆スパッタ処理とは、ターゲット側に

電圧を印加せずに、不活性ガス（例えばアルゴン）雰囲気下で基板側にＲＦ電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。逆スパッタ処理によって、後に形成される導電膜４１４の被成膜面が平坦化される効果も奏する。

【００９８】

次いで、開口部４１５及び開口部４１７から露出したソース電極層４０６ａと接するように導電膜４１２上に導電膜４１４を形成する（図４（Ａ）参照）。導電膜４１４は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＡＬＤ法又はＰＬＤ法を用いて成膜すればよい。本実施の形態では、導電膜４１４としてタングステン膜を形成する。

【００９９】

その後、フォトリソグラフィ法を用いたエッチングによって導電膜４１２及び導電膜４１４を加工し、第１の導電層４１２ａ及び第２の導電層４１４ａを含むゲート電極層４１６ａと、第１の導電層４１２ｂ及び第２の導電層４１４ｂを含む電極層４１６ｂを形成する（図４（Ｂ）参照）。ここでのエッチング処理によって、トランジスタ３００と、該トランジスタ３００のソース電極層４０６ａと電気的に接続する電極層４１６ｂと、が形成される。

【０１００】

次いで、トランジスタ３００及び電極層４１６ｂ上に保護絶縁膜４１８を形成する。また、保護絶縁膜４１８上に絶縁膜４２０を形成する（図４（Ｃ）参照）。

【０１０１】

上述したように、保護絶縁膜４１８としては、酸化物半導体膜４０８及びゲート絶縁膜４１０よりも酸素に対する透過性が低い（酸素に対するバリア性を有する）絶縁膜を設ける。例えば、保護絶縁膜４１８として、酸化アルミニウム膜、窒化シリコン膜、又は窒化酸化シリコン膜を設けることができる。なお、保護絶縁膜４１８は含有される水素濃度を低減することが好ましいため、スパッタリング法で成膜することが好ましい。

【０１０２】

例えば、保護絶縁膜４１８として酸化アルミニウム膜を形成する場合、酸化アルミニウムを含むスパッタリングターゲットを用いて酸化アルミニウム膜を形成してもよいし、アルミニウムターゲットを用いて酸素雰囲気下、又は酸素及び希ガス雰囲気下にてスパッタリング法を行うことで、酸化アルミニウム膜を形成してもよい。

【０１０３】

絶縁膜４２０は、保護絶縁膜４１８上に積層して設けられることで、トランジスタ３００の絶縁耐圧を向上させることができる。絶縁膜４２０は、無機絶縁材料を用いて形成することができ、その膜厚は少なくとも保護絶縁膜４１８よりも大きい膜厚とすることが好ましい。例えば、絶縁膜４２０としてプラズマＣＶＤ法によって膜厚３００ｎｍの酸化窒化シリコン膜を形成することができる。

【０１０４】

保護絶縁膜４１８及び絶縁膜４２０を形成後に、熱処理を行うことが好ましい。熱処理の温度は、３００℃以上４５０℃以下とすることが好ましい。ここでの熱処理により、下地絶縁膜４０２から酸素が放出されやすくなり、酸化物半導体層４０４の酸素欠損を低減することができる。

【０１０５】

なお、ソース電極層４０６ａ及びドレイン電極層４０６ｂとなる導電膜をスパッタリング法によって成膜する場合、成膜時に酸化物半導体層４０４の表面にプラズマによる損傷が生じ、酸素欠損が形成されることがある。また、形成された酸素欠損には水素が入り込むことがある。従って、ソース電極層４０６ａ及びドレイン電極層４０６ｂとなる導電膜を形成後では、該導電膜と接する酸化物半導体層４０４の全面がｎ型化されうる。そこで、ｎ型化した酸化物半導体層４０４の一部と接して酸化物半導体膜４０８を形成し、且つ、該酸化物半導体膜４０８の上層に酸素の脱離を抑制する保護絶縁膜４１８を形成した後に、酸素を供給する熱処理を行うことは有効である。該熱処理によって酸化物半導体層４０４へ酸素を供給することで、チャネルが形成される領域がｎ型化した場合であっても再び

ｉ型化することが可能となる。
【０１０６】
なお、ここでの熱処理の温度及び時間を適宜調整することで、ソース電極層４０６ａ及びドレイン電極層４０６ｂと接する領域では酸素欠損によりｎ型化した領域を残存させながら、チャネルが形成される領域においてはｉ型化を図ることができる。この場合、ソース領域又はドレイン領域として機能するｎ型化した領域を含み、且つ、真性化又は実質的に真性化したチャネル領域を有する酸化物半導体層４０４を形成することができる。
【０１０７】
以上によって、本実施の形態の半導体装置を作製することができる。
【０１０８】
＜半導体装置の構成例３＞
図５にトランジスタ３６０を含む半導体装置の構成例を示す。図５は、酸化物半導体膜４０８及びゲート絶縁膜４１０が、ゲート電極層４１６ａ及び電極層４１６ｂをマスクとして自己整合的に加工されている点において、先に示した半導体装置と異なる構成を有する半導体装置である。図５に示す構成において、酸化物半導体膜４０８及びゲート絶縁膜４１０は自己整合的に加工されるため、先に示した半導体装置の作製方法からマスクを増加させることなく図５に示す構成を形成することができる。図５に示す構成とすることで、酸化物半導体膜４０８及びゲート絶縁膜４１０の側面を保護絶縁膜４１８で覆うことが可能であるため、側面からの酸素の脱離及び／又は水素等の不純物の混入を抑制することができる。一方、図１（Ａ）及び図１（Ｂ）に示した構成とすることで、保護絶縁膜４１８の被成膜面の平坦性を向上させることができるため、保護絶縁膜４１８及び保護絶縁膜４１８上に設けられる絶縁膜４２０の被覆性を向上させることが可能となる。
【０１０９】
以上、本実施の形態の構成を有することで、酸化物半導体層の上下に設けられる電極層を、該酸化物半導体層に設けられた開口部において安定して接続することの可能な半導体装置を提供することが可能となる。また、本実施の形態の構成を有する半導体装置は、形状不良及び接続不良が抑制された信頼性の高い半導体装置である。
【０１１０】
以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。
【０１１１】
（実施の形態２）
以下では、本発明の一態様の半導体装置に含まれる酸化物半導体層４０４に適用可能な酸化物半導体層の構造について説明する。
【０１１２】
酸化物半導体層は、非単結晶酸化物半導体層と単結晶酸化物半導体層とに大別される。非単結晶酸化物半導体層とは、ＣＡＡＣ－ＯＳ（Ｃ　Ａｘｉｓ　Ａｌｉｇｎｅｄ　Ｃｒｙｓｔａｌｌｉｎｅ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）層、多結晶酸化物半導体層、微結晶酸化物半導体層、非晶質酸化物半導体層などをいう。
【０１１３】
まずは、ＣＡＡＣ－ＯＳ層について説明する。
【０１１４】
ＣＡＡＣ－ＯＳ層は、複数の結晶部を有する酸化物半導体層の一つであり、ほとんどの結晶部は、一辺が１００ｎｍ未満の立方体内に収まる大きさである。したがって、ＣＡＡＣ－ＯＳ層に含まれる結晶部は、一辺が１０ｎｍ未満、５ｎｍ未満又は３ｎｍ未満の立方体内に収まる大きさの場合も含まれる。
【０１１５】
ＣＡＡＣ－ＯＳ層を透過型電子顕微鏡（ＴＥＭ：Ｔｒａｎｓｍｉｓｓｉｏｎ　Ｅｌｅｃｔｒｏｎ　Ｍｉｃｒｏｓｃｏｐｅ）によって観察すると、明確な結晶部同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することが困難である。そのため、Ｃ

ＡＡＣ－ＯＳ層は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【０１１６】

ＣＡＡＣ－ＯＳ層を、試料面と概略平行な方向からＴＥＭによって観察（断面ＴＥＭ観察）すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、ＣＡＡＣ－ＯＳ層を形成する面（被形成面ともいう。）又は上面の凹凸を反映した形状であり、ＣＡＡＣ－ＯＳ層の被形成面又は上面と平行に配列する。

【０１１７】

一方、ＣＡＡＣ－ＯＳ層を、試料面と概略垂直な方向からＴＥＭによって観察（平面ＴＥＭ観察）すると、結晶部において、金属原子が三角形状又は六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【０１１８】

断面ＴＥＭ観察及び平面ＴＥＭ観察より、ＣＡＡＣ－ＯＳ層の結晶部は配向性を有していることがわかる。

【０１１９】

ＣＡＡＣ－ＯＳ層に対し、Ｘ線回折（ＸＲＤ：Ｘ－Ｒａｙ　Ｄｉｆｆｒａｃｔｉｏｎ）装置を用いて構造解析を行うと、例えば$InGaZnO_4$の結晶を有するＣＡＡＣ－ＯＳ層のｏｕｔ－ｏｆ－ｐｌａｎｅ法による解析では、回折角（２θ）が３１°近傍にピークが現れる場合がある。このピークは、$InGaZnO_4$の結晶の（００９）面に帰属されることから、ＣＡＡＣ－ＯＳ層の結晶がｃ軸配向性を有し、ｃ軸が被形成面又は上面に概略垂直な方向を向いていることが確認できる。

【０１２０】

一方、ＣＡＡＣ－ＯＳ層に対し、ｃ軸に概略垂直な方向からＸ線を入射させるｉｎ－ｐｌａｎｅ法による解析では、２θが５６°近傍にピークが現れる場合がある。このピークは、$InGaZnO_4$の結晶の（１１０）面に帰属される。$InGaZnO_4$の単結晶酸化物半導体層であれば、２θを５６°近傍に固定し、試料面の法線ベクトルを軸（φ軸）として試料を回転させながら分析（φスキャン）を行うと、（１１０）面と等価な結晶面に帰属されるピークが６本観察される。これに対し、ＣＡＡＣ－ＯＳ層の場合は、２θを５６°近傍に固定してφスキャンした場合でも、明瞭なピークが現れない。

【０１２１】

以上のことから、ＣＡＡＣ－ＯＳ層では、異なる結晶部間ではａ軸及びｂ軸の配向は不規則であるが、ｃ軸配向性を有し、かつｃ軸が被形成面又は上面の法線ベクトルに平行な方向を向いていることがわかる。したがって、前述の断面ＴＥＭ観察で確認された層状に配列した金属原子の各層は、結晶のａｂ面に平行な面である。

【０１２２】

なお、結晶部は、ＣＡＡＣ－ＯＳ層を成膜した際、又は加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のｃ軸は、ＣＡＡＣ－ＯＳ層の被形成面又は上面の法線ベクトルに平行な方向に配向する。したがって、例えば、ＣＡＡＣ－ＯＳ層の形状をエッチングなどによって変化させた場合、結晶のｃ軸がＣＡＡＣ－ＯＳ層の被形成面又は上面の法線ベクトルと平行にならないこともある。

【０１２３】

また、ＣＡＡＣ－ＯＳ層中の結晶化度が均一でなくてもよい。例えば、ＣＡＡＣ－ＯＳ層の結晶部が、ＣＡＡＣ－ＯＳ層の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、ＣＡＡＣ－ＯＳ層に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【０１２４】

なお、$InGaZnO_4$の結晶を有するＣＡＡＣ－ＯＳ層のｏｕｔ－ｏｆ－ｐｌａｎｅ法による解析では、２θが３１°近傍のピークの他に、２θが３６°近傍にもピークが現れる場合がある。２θが３６°近傍のピークは、ＣＡＡＣ－ＯＳ層中の一部に、ｃ軸配向性

を有さない結晶が含まれることを示している。ＣＡＡＣ－ＯＳ層は、２θが３１°近傍にピークを示し、２θが３６°近傍にピークを示さないことが好ましい。

【０１２５】

ＣＡＡＣ－ＯＳ層は、不純物濃度の低い酸化物半導体層である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体層の主成分以外の元素である。特に、シリコンなどの、酸化物半導体層を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体層から酸素を奪うことで酸化物半導体層の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（又は分子半径）が大きいため、酸化物半導体層内部に含まれると、酸化物半導体層の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体層に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【０１２６】

また、ＣＡＡＣ－ＯＳ層は、欠陥準位密度の低い酸化物半導体層である。例えば、酸化物半導体層中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【０１２７】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性又は実質的に高純度真性と呼ぶ。高純度真性又は実質的に高純度真性である酸化物半導体層は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体層を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性又は実質的に高純度真性である酸化物半導体層は、キャリアトラップが少ない。そのため、当該酸化物半導体層を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体層のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体層を用いたトランジスタは、電気特性が不安定となる場合がある。

【０１２８】

また、ＣＡＡＣ－ＯＳ層を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【０１２９】

次に、微結晶酸化物半導体層について説明する。

【０１３０】

微結晶酸化物半導体層は、ＴＥＭによる観察像では、明確に結晶部を確認することが困難な場合がある。微結晶酸化物半導体層に含まれる結晶部は、１ｎｍ以上１００ｎｍ以下、又は１ｎｍ以上１０ｎｍ以下の大きさであることが多い。特に、１ｎｍ以上１０ｎｍ以下、又は１ｎｍ以上３ｎｍ以下の微結晶であるナノ結晶（ｎｃ：ｎａｎｏｃｒｙｓｔａｌ）を有する酸化物半導体層を、ｎｃ－ＯＳ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）層と呼ぶ。また、ｎｃ－ＯＳ層は、例えば、ＴＥＭによる観察像では、結晶粒界を明確に確認することが困難な場合がある。

【０１３１】

ｎｃ－ＯＳ層は、微小な領域（例えば、１ｎｍ以上１０ｎｍ以下の領域、特に１ｎｍ以上３ｎｍ以下の領域）において原子配列に周期性を有する。また、ｎｃ－ＯＳ層は、異なる結晶部間で結晶方位に規則性が見られない。そのため、全体で配向性が見られない。したがって、ｎｃ－ＯＳ層は、分析方法によっては、非晶質酸化物半導体層と区別が付かない場合がある。例えば、ｎｃ－ＯＳ層に対し、結晶部よりも大きい径のＸ線を用いるＸＲＤ装置を用いて構造解析を行うと、ｏｕｔ－ｏｆ－ｐｌａｎｅ法による解析では、結晶面を示すピークが検出されない。また、ｎｃ－ＯＳ層は、結晶部よりも大きいプローブ径（例えば５０ｎｍ以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、ｎｃ－ＯＳ層に対し、

結晶部の大きさと近いか結晶部より小さいプローブ径（例えば１ｎｍ以上３０ｎｍ以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、スポットが観測される。また、ｎｃ－ＯＳ層に対しナノビーム電子線回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、ｎｃ－ＯＳ層に対しナノビーム電子線回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

【０１３２】

ｎｃ－ＯＳ層は、非晶質酸化物半導体層よりも規則性の高い酸化物半導体層である。そのため、ｎｃ－ＯＳ層は、非晶質酸化物半導体層よりも欠陥準位密度が低くなる。ただし、ｎｃ－ＯＳ層は、異なる結晶部間で結晶方位に規則性が見られない。そのため、ｎｃ－ＯＳ層は、ＣＡＡＣ－ＯＳ層と比べて欠陥準位密度が高くなる。

【０１３３】

なお、酸化物半導体層は、例えば、非晶質酸化物半導体層、微結晶酸化物半導体層、ＣＡＡＣ－ＯＳ層のうち、二種以上を有してもよい。また、酸化物半導体層４０４に接して設けられる酸化物半導体膜４０８も、上述した酸化物半導体層と同様の構造を有することができる。

【０１３４】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【０１３５】

（実施の形態３）

本実施の形態では、実施の形態１で示す半導体装置の一例として、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（半導体記憶装置）を、図面を用いて説明する。

【０１３６】

図６は、半導体装置の構成の一例である。図６（Ａ）に、半導体装置の平面図を、図６（Ｂ）に図６（Ａ）のＸ１－Ｙ１における断面図を、図６（Ｃ）に半導体装置の回路図をそれぞれ示す。

【０１３７】

図６（Ａ）及び図６（Ｂ）に示す本実施の形態の半導体装置は、トランジスタ３００、トランジスタ３００と隣接するトランジスタ３１０、及び容量素子３２０を有し、トランジスタ３００は実施の形態１で示したトランジスタ３００と同様の構成を有する。トランジスタ３１０は、トランジスタ３００と同じ工程で作製され、下地絶縁膜４０２を介して基板４００上に設けられた島状の酸化物半導体層４０５と、酸化物半導体層４０５と電気的に接続するソース電極層４０６ｃ及びドレイン電極層４０６ｄと、ソース電極層４０６ｃ及びドレイン電極層４０６ｄ上の酸化物半導体膜４０８と、酸化物半導体膜４０８上のゲート絶縁膜４１０と、ゲート絶縁膜４１０を介して島状の酸化物半導体層４０５と重畳するゲート電極層４１６ｄと、を有する。ゲート電極層４１６ｄは、順に積層された第１の導電層４１２ｄと、第２の導電層４１４ｄと、を有する。なお、トランジスタ３００とトランジスタ３１０において酸化物半導体膜４０８及びゲート絶縁膜４１０は共通している。

【０１３８】

トランジスタ３１０のゲート電極層４１６ｄは、トランジスタ３００のソース電極層４０６ａと接する領域を有し、実施の形態１の電極層４１６ｂに相当する。より具体的には、ゲート電極層４１６ｄの第１の導電層４１２ｄ及びゲート絶縁膜４１０は、トランジスタ３００のソース電極層４０６ａと重なる位置に開口部４１７を有し、酸化物半導体膜４０８は開口部４１７と重なる開口部４１５を有する。そして、開口部４１７及び開口部４１５から露出したソース電極層４０６ａと接するように、ゲート電極層４１６ｄの第２の導電層４１４ｄが形成されている。これによって、トランジスタ３００のソース電極層４０６ａと、トランジスタ３１０のゲート電極層４１６ｄとが電気的に接続する。

【０１３９】
また、トランジスタ３００のソース電極層４０６ａは、容量素子３２０の一方の電極としても機能する。容量素子３２０の他方の電極４１６ｃは、第１の導電層４１２ｃ及び第２の導電層４１４ｃの積層構造を有し、トランジスタ３００のゲート電極層４１６ａ及びトランジスタ３１０のゲート電極層４１６ｄと同じ工程で作製される。なお、容量が不要の場合には、容量素子３２０を設けない構成とすることもできる。また、容量素子３２０は、別途、トランジスタ３００の上方に設けてもよい。
【０１４０】
図６（Ａ）に示すトランジスタ３００は、酸化物半導体をチャネル形成領域に用いたトランジスタである。酸化物半導体をチャネル形成領域に用いたトランジスタは、極めて小さいオフ特性を実現することができる。トランジスタ３００は、オフ電流が小さいため、これを半導体記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。なお、トランジスタ３００に含まれる酸化物半導体層は、高純度化されたものであることが望ましい。高純度化された酸化物半導体を用いることで、より優れたオフ特性のトランジスタ３００を得ることができる。
【０１４１】
図６（Ａ）及び図６（Ｂ）に対応する回路構成の一例を図６（Ｃ）に示す。
【０１４２】
図６（Ｃ）において、第１の配線（１ｓｔ　Ｌｉｎｅ）とトランジスタ３１０のソース電極層とは、電気的に接続され、第２の配線（２ｎｄ　Ｌｉｎｅ）とトランジスタ３１０のドレイン電極層とは、電気的に接続されている。また、第３の配線（３ｒｄ　Ｌｉｎｅ）とトランジスタ３００のソース電極層またはドレイン電極層の一方とは、電気的に接続され、第４の配線（４ｔｈ　Ｌｉｎｅ）と、トランジスタ３００のゲート電極層とは、電気的に接続されている。そして、トランジスタ３１０のゲート電極層と、トランジスタ３００のソース電極層またはドレイン電極層の他方は、容量素子３２０の電極の一方と電気的に接続され、第５の配線（５ｔｈ　Ｌｉｎｅ）と、容量素子３２０の電極の他方は電気的に接続されている。
【０１４３】
図６（Ｃ）に示す半導体装置では、トランジスタ３１０のゲート電極層の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。
【０１４４】
情報の書き込みおよび保持について説明する。まず、第４の配線の電位を、トランジスタ３００がオン状態となる電位にして、トランジスタ３００をオン状態とする。これにより、第３の配線の電位が、トランジスタ３１０のゲート電極層、および容量素子３２０に与えられる。すなわち、トランジスタ３１０のゲート電極層には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Ｌｏｗレベル電荷、Ｈｉｇｈレベル電荷という）のいずれかが与えられるものとする。その後、第４の配線の電位を、トランジスタ３００がオフ状態となる電位にして、トランジスタ３００をオフ状態とすることにより、トランジスタ３１０のゲート電極層に与えられた電荷が保持される（保持）。
【０１４５】
トランジスタ３００のオフ電流は極めて小さいため、トランジスタ３１０のゲート電極層の電荷は長時間にわたって保持される。
【０１４６】
次に情報の読み出しについて説明する。第１の配線に所定の電位（定電位）を与えた状態で、第５の配線に適切な電位（読み出し電位）を与えると、トランジスタ３１０のゲート電極層に保持された電荷量に応じて、第２の配線は異なる電位をとる。一般に、トランジ

スタ３１０をｎチャネル型とすると、トランジスタ３１０のゲート電極層にＨｉｇｈレベル電荷が与えられている場合の見かけのしきい値$Ｖ_{ｔｈ＿Ｈ}$は、トランジスタ３１０のゲート電極層にＬｏｗレベル電荷が与えられている場合の見かけのしきい値$Ｖ_{ｔｈ＿Ｌ}$より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ３１０を「オン状態」とするために必要な第５の配線の電位をいうものとする。したがって、第５の配線の電位を$Ｖ_{ｔｈ＿Ｈ}$と$Ｖ_{ｔｈ＿Ｌ}$の間の電位$Ｖ_{0}$とすることにより、トランジスタ３１０のゲート電極層に与えられた電荷を判別できる。例えば、書き込みにおいて、Ｈｉｇｈレベル電荷が与えられていた場合には、第５の配線の電位が$Ｖ_{0}$（＞$Ｖ_{ｔｈ＿Ｈ}$）となれば、トランジスタ３１０は「オン状態」となる。Ｌｏｗレベル電荷が与えられていた場合には、第５の配線の電位が$Ｖ_{0}$（＜$Ｖ_{ｔｈ＿Ｌ}$）となっても、トランジスタ３１０は「オフ状態」のままである。このため、第２の配線の電位を見ることで、保持されている情報を読み出すことができる。

【０１４７】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。情報を読み出さないメモリセルにおいては、ゲート電極層の状態にかかわらずトランジスタ３１０が「オフ状態」となるような電位、つまり、$Ｖ_{ｔｈ＿Ｈ}$より小さい電位を第５の配線に与えればよい。または、ゲート電極層の状態にかかわらずトランジスタ３１０が「オン状態」となるような電位、つまり、$Ｖ_{ｔｈ＿Ｌ}$より大きい電位を第５の配線に与えればよい。

【０１４８】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。ここで、トランジスタ３００をノーマリオフのトランジスタとすることで、電力の供給がない場合において、トランジスタ３００のゲート（ゲート電極層４１６ａ）には接地電位が入力される構成とすることができる。こうして、電力の供給が無い場合において、トランジスタ３００はオフ状態を維持することができ、記憶内容を保持し続けることができる。

【０１４９】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【０１５０】

また、本実施の形態に示す半導体装置は、実施の形態１に示した作製方法を用いて隣接するトランジスタにおける電極の接続を図ることで、微細化した構造を有し、且つ信頼性の高い半導体装置とすることが可能である。

【０１５１】

以上のように、微細化及び高集積化を実現し、かつ高い電気的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

【０１５２】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【０１５３】

（実施の形態４）

本実施の形態では、先の実施の形態で説明したトランジスタ、または半導体記憶装置を含むＲＦＩＣタグについて、図７を参照して説明する。

【０１５４】

本実施の形態におけるＲＦＩＣタグは、内部に記憶回路を有し、記憶回路に必要な情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、ＲＦＩＣタグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには極めて高い信頼性が要求される。

【０１５５】

ＲＦＩＣタグの構成について図７を用いて説明する。図７は、ＲＦＩＣタグの構成例を示すブロック図である。

【０１５６】

図７に示すようにＲＦＩＣタグ８００は、通信器８０１（質問器、リーダ／ライタなどともいう）に接続されたアンテナ８０２から送信される無線信号８０３を受信するアンテナ８０４を有する。またＲＦＩＣタグ８００は、整流回路８０５、定電圧回路８０６、復調回路８０７、変調回路８０８、論理回路８０９、記憶回路８１０、ＲＯＭ８１１を有している。なお、復調回路８０７に含まれる整流作用を示すトランジスタに逆方向電流を十分に抑制することが可能な材料、例えば、酸化物半導体、が用いられた構成としてもよい。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一対のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の３つに大別される。本実施の形態に示すＲＦＩＣタグ８００は、そのいずれの方式に用いることも可能である。

【０１５７】

次に各回路の構成について説明する。アンテナ８０４は、通信器８０１に接続されたアンテナ８０２との間で無線信号８０３の送受信を行うためのものである。また、整流回路８０５は、アンテナ８０４で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波２倍圧整流し、後段に設けられた容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路８０５の入力側または出力側には、リミッタ回路を設けてもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

【０１５８】

定電圧回路８０６は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路８０６は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路８０９のリセット信号を生成するための回路である。

【０１５９】

復調回路８０７は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路８０８は、アンテナ８０４より出力するデータに応じて変調をおこなうための回路である。

【０１６０】

論理回路８０９は復調信号を解析し、処理を行うための回路である。記憶回路８１０は、入力された情報を保持する回路であり、ロウデコーダ、カラムデコーダ、記憶領域などを有する。また、ＲＯＭ８１１は、固有番号（ＩＤ）などを格納し、処理に応じて出力を行うための回路である。

【０１６１】

なお、上述の各回路は、必要に応じて、適宜、取捨することができる。

【０１６２】

ここで、先の実施の形態で説明した半導体記憶装置を、記憶回路８１０に用いることができる。本発明の一態様の半導体記憶装置は、電源が遮断された状態であっても情報を保持できるため、ＲＦＩＣタグに好適に用いることができる。さらに本発明の一態様の半導体記憶装置は、データの書き込みに必要な電力（電圧）が従来の不揮発性メモリに比べて著しく小さいため、データの読み出し時と書込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書込みが生じることを抑制することができる。

【０１６３】

また、本発明の一態様の半導体記憶装置は、不揮発性のメモリとして用いることが可能であるため、ＲＯＭ８１１に適用することもできる。その場合には、生産者がＲＯＭ８１１にデータを書き込むためのコマンドを別途用意し、ユーザが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書込んだのちに製品を出荷することで、作製したＲＦＩＣタグすべてについて固有番号を付与するのではなく、出荷する良品にのみ固有番号を割り当てることが可能となり、出荷後の製品の固有番号が不連続になることがなく出荷後の製品に対応した顧客管理が容易となる。

【０１６４】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【０１６５】

（実施の形態５）

本実施の形態では、少なくとも実施の形態で説明したトランジスタを用いることができ、先の実施の形態で説明した半導体記憶装置を含むＣＰＵについて説明する。

【０１６６】

図８は、先の実施の形態で説明したトランジスタを少なくとも一部に用いたＣＰＵの一例の構成を示すブロック図である。

【０１６７】

図８に示すＣＰＵは、基板１１９０上に、ＡＬＵ１１９１（ＡＬＵ：Ａｒｉｔｈｍｅｔｉｃ　ｌｏｇｉｃ　ｕｎｉｔ、演算回路）、ＡＬＵコントローラ１１９２、インストラクションデコーダ１１９３、インタラプトコントローラ１１９４、タイミングコントローラ１１９５、レジスタ１１９６、レジスタコントローラ１１９７、バスインターフェース１１９８（Ｂｕｓ　Ｉ／Ｆ）、書き換え可能なＲＯＭ１１９９、およびＲＯＭインターフェース１１８９（ＲＯＭ　Ｉ／Ｆ）を有している。基板１１９０は、半導体基板、ＳＯＩ基板、ガラス基板などを用いる。ＲＯＭ１１９９およびＲＯＭインターフェース１１８９は、別チップに設けてもよい。もちろん、図８に示すＣＰＵは、その構成を簡略化して示した一例にすぎず、実際のＣＰＵはその用途によって多種多様な構成を有している。例えば、図８に示すＣＰＵまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、ＣＰＵが内部演算回路やデータバスで扱えるビット数は、例えば８ビット、１６ビット、３２ビット、６４ビットなどとすることができる。

【０１６８】

バスインターフェース１１９８を介してＣＰＵに入力された命令は、インストラクションデコーダ１１９３に入力され、デコードされた後、ＡＬＵコントローラ１１９２、インタラプトコントローラ１１９４、レジスタコントローラ１１９７、タイミングコントローラ１１９５に入力される。

【０１６９】

ＡＬＵコントローラ１１９２、インタラプトコントローラ１１９４、レジスタコントローラ１１９７、タイミングコントローラ１１９５は、デコードされた命令に基づき、各種制御を行なう。具体的にＡＬＵコントローラ１１９２は、ＡＬＵ１１９１の動作を制御するための信号を生成する。また、インタラプトコントローラ１１９４は、ＣＰＵのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク

状態から判断し、処理する。レジスタコントローラ１１９７は、レジスタ１１９６のアドレスを生成し、ＣＰＵの状態に応じてレジスタ１１９６の読み出しや書き込みを行なう。

【０１７０】

また、タイミングコントローラ１１９５は、ＡＬＵ１１９１、ＡＬＵコントローラ１１９２、インストラクションデコーダ１１９３、インタラプトコントローラ１１９４、およびレジスタコントローラ１１９７の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ１１９５は、基準クロック信号ＣＬＫ１を元に、内部クロック信号ＣＬＫ２を生成する内部クロック生成部を備えており、内部クロック信号ＣＬＫ２を上記各種回路に供給する。

【０１７１】

図８に示すＣＰＵでは、レジスタ１１９６に、メモリセルが設けられている。レジスタ１１９６のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

【０１７２】

図８に示すＣＰＵにおいて、レジスタコントローラ１１９７は、ＡＬＵ１１９１からの指示に従い、レジスタ１１９６における保持動作の選択を行う。すなわち、レジスタ１１９６が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ１１９６内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ１１９６内のメモリセルへの電源電圧の供給を停止することができる。

【０１７３】

図９は、レジスタ１１９６として用いることのできる記憶素子の回路図の一例である。記憶素子１２００は、電源遮断で記憶データが揮発する回路１２０１と、電源遮断で記憶データが揮発しない回路１２０２と、スイッチ１２０３と、スイッチ１２０４と、論理素子１２０６と、容量素子１２０７と、選択機能を有する回路１２２０と、を有する。回路１２０２は、容量素子１２０８と、トランジスタ１２０９と、トランジスタ１２１０と、を有する。なお、記憶素子１２００は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していても良い。

【０１７４】

ここで、回路１２０２には、先の実施の形態で説明した半導体記憶装置を用いることができる。記憶素子１２００への電源電圧の供給が停止した際、回路１２０２のトランジスタ１２０９のゲートには接地電位（０Ｖ）、またはトランジスタ１２０９がオフする電位が入力され続ける構成とする。例えば、トランジスタ１２０９のゲートが抵抗等の負荷を介して接地される構成とする。

【０１７５】

スイッチ１２０３は、一導電型（例えば、ｎチャネル型）のトランジスタ１２１３を用いて構成され、スイッチ１２０４は、一導電型とは逆の導電型（例えば、ｐチャネル型）のトランジスタ１２１４を用いて構成した例を示す。ここで、スイッチ１２０３の第１の端子はトランジスタ１２１３のソースとドレインの一方に対応し、スイッチ１２０３の第２の端子はトランジスタ１２１３のソースとドレインの他方に対応し、スイッチ１２０３はトランジスタ１２１３のゲートに入力される制御信号ＲＤによって、第１の端子と第２の端子の間の導通または非導通（つまり、トランジスタ１２１３のオン状態またはオフ状態）が選択される。スイッチ１２０４の第１の端子はトランジスタ１２１４のソースとドレインの一方に対応し、スイッチ１２０４の第２の端子はトランジスタ１２１４のソースとドレインの他方に対応し、スイッチ１２０４はトランジスタ１２１４のゲートに入力される制御信号ＲＤによって、第１の端子と第２の端子の間の導通または非導通（つまり、トランジスタ１２１４のオン状態またはオフ状態）が選択される。

【０１７６】

トランジスタ１２０９のソースとドレインの一方は、容量素子１２０８の一対の電極のう

ちの一方、およびトランジスタ１２１０のゲートと電気的に接続される。ここで、接続部分をノードＭ２とする。トランジスタ１２１０のソースとドレインの一方は、低電源電位を供給することのできる配線（例えばＧＮＤ線）に電気的に接続され、他方は、スイッチ１２０３の第１の端子（トランジスタ１２１３のソースとドレインの一方）と電気的に接続される。スイッチ１２０３の第２の端子（トランジスタ１２１３のソースとドレインの他方）はスイッチ１２０４の第１の端子（トランジスタ１２１４のソースとドレインの一方）と電気的に接続される。スイッチ１２０４の第２の端子（トランジスタ１２１４のソースとドレインの他方）は電源電位ＶＤＤを供給することのできる配線と電気的に接続される。スイッチ１２０３の第２の端子（トランジスタ１２１３のソースとドレインの他方）と、スイッチ１２０４の第１の端子（トランジスタ１２１４のソースとドレインの一方）と、論理素子１２０６の入力端子と、容量素子１２０７の一対の電極のうちの一方と、は電気的に接続される。ここで、接続部分をノードＭ１とする。容量素子１２０７の一対の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（ＧＮＤ等）または高電源電位（ＶＤＤ等）が入力される構成とすることができる。容量素子１２０７の一対の電極のうちの他方は、低電源電位を供給することのできる配線（例えばＧＮＤ線）と電気的に接続される。容量素子１２０８の一対の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（ＧＮＤ等）または高電源電位（ＶＤＤ等）が入力される構成とすることができる。容量素子１２０８の一対の電極のうちの他方は、低電源電位を供給することのできる配線（例えばＧＮＤ線）と電気的に接続される。

【０１７７】

なお、容量素子１２０７および容量素子１２０８は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【０１７８】

トランジスタ１２０９の第１ゲート（第１のゲート電極）には、制御信号ＷＥが入力される。スイッチ１２０３およびスイッチ１２０４は、制御信号ＷＥとは異なる制御信号ＲＤによって第１の端子と第２の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第１の端子と第２の端子の間が導通状態のとき他方のスイッチの第１の端子と第２の端子の間は非導通状態となる。

【０１７９】

トランジスタ１２０９のソースとドレインの他方には、回路１２０１に保持されたデータに対応する信号が入力される。図９では、回路１２０１から出力された信号が、トランジスタ１２０９のソースとドレインの他方に入力される例を示した。スイッチ１２０３の第２の端子（トランジスタ１２１３のソースとドレインの他方）から出力される信号は、論理素子１２０６によってその論理値が反転された反転信号となり、回路１２２０を介して回路１２０１に入力される。

【０１８０】

なお、図９では、スイッチ１２０３の第２の端子（トランジスタ１２１３のソースとドレインの他方）から出力される信号は、論理素子１２０６および回路１２２０を介して回路１２０１に入力する例を示したがこれに限定されない。スイッチ１２０３の第２の端子（トランジスタ１２１３のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路１２０１に入力されてもよい。例えば、回路１２０１内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ１２０３の第２の端子（トランジスタ１２１３のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

【０１８１】

また、図９において、記憶素子１２００に用いられるトランジスタのうち、トランジスタ１２０９以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板１１９０にチャネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャネルが形成されるトランジスタとすることができる。また、記憶素子１

２００に用いられるトランジスタ全てを、チャネルが酸化物半導体層で形成されるトランジスタとすることもできる。または、記憶素子１２００は、トランジスタ１２０９以外にも、チャネルが酸化物半導体層で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板１１９０にチャネルが形成されるトランジスタとすることもできる。

【０１８２】

図９における回路１２０１には、例えばフリップフロップ回路を用いることができる。また、論理素子１２０６としては、例えばインバータやクロックドインバータ等を用いることができる。

【０１８３】

本発明の一態様における半導体装置では、記憶素子１２００に電源電圧が供給されない間は、回路１２０１に記憶されていたデータを、回路１２０２に設けられた容量素子１２０８によって保持することができる。

【０１８４】

また、酸化物半導体層にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体層にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ１２０９として用いることによって、記憶素子１２００に電源電圧が供給されない間も容量素子１２０８に保持された信号は長期間にわたり保たれる。こうして、記憶素子１２００は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

【０１８５】

また、スイッチ１２０３およびスイッチ１２０４を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路１２０１が元のデータを保持しなおすまでの時間を短くすることができる。

【０１８６】

また、回路１２０２において、容量素子１２０８によって保持された信号はトランジスタ１２１０のゲートに入力される。そのため、記憶素子１２００への電源電圧の供給が再開された後、容量素子１２０８によって保持された信号を、トランジスタ１２１０の状態（オン状態、またはオフ状態）に変換して、回路１２０２から読み出すことができる。それ故、容量素子１２０８に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【０１８７】

このような記憶素子１２００を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【０１８８】

本実施の形態では、記憶素子１２００をＣＰＵに用いる例として説明したが、記憶素子１２００は、ＤＳＰ（Ｄｉｇｉｔａｌ　Ｓｉｇｎａｌ　Ｐｒｏｃｅｓｓｏｒ）、カスタムＬＳＩ、ＰＬＤ（Ｐｒｏｇｒａｍｍａｂｌｅ　Ｌｏｇｉｃ　Ｄｅｖｉｃｅ）等のＬＳＩ、ＲＦ－ＩＤ（Ｒａｄｉｏ　Ｆｒｅｑｕｅｎｃｙ　Ｉｄｅｎｔｉｆｉｃａｔｉｏｎ）にも応用可能である。

【０１８９】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【０１９０】

（実施の形態６）

本実施の形態では、本発明の一態様の表示パネルの構成例について説明する。

【０１９１】

［構成例］

図１４（Ａ）は、本発明の一態様の表示パネルの上面図であり、図１４（Ｂ）は、本発明の一態様の表示パネルの画素に液晶素子を適用する場合に用いることができる画素回路を説明するための回路図である。また、図１４（Ｃ）は、本発明の一態様の表示パネルの画素に有機ＥＬ素子を適用する場合に用いることができる画素回路を説明するための回路図である。

【０１９２】

画素部に配置するトランジスタは、上記実施の形態に従って形成することができる。また、当該トランジスタはｎチャネル型とすることが容易なので、駆動回路のうち、ｎチャネル型トランジスタで構成することができる駆動回路の一部を画素部のトランジスタと同一基板上に形成する。このように、画素部や駆動回路に上記実施の形態に示すトランジスタを用いることにより、信頼性の高い表示装置を提供することができる。

【０１９３】

アクティブマトリクス型表示装置のブロック図の一例を図１４（Ａ）に示す。表示装置の基板７００上には、画素部７０１、第１の走査線駆動回路７０２、第２の走査線駆動回路７０３、信号線駆動回路７０４を有する。画素部７０１には、複数の信号線が信号線駆動回路７０４から延伸して配置され、複数の走査線が第１の走査線駆動回路７０２、及び第２の走査線駆動回路７０３から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に設けられている。また、表示装置の基板７００はＦＰＣ（Ｆｌｅｘｉｂｌｅ　Ｐｒｉｎｔｅｄ　Ｃｉｒｃｕｉｔ）等の接続部を介して、タイミング制御回路（コントローラ、制御ＩＣともいう）に接続されている。

【０１９４】

図１４（Ａ）では、第１の走査線駆動回路７０２、第２の走査線駆動回路７０３、信号線駆動回路７０４は、画素部７０１と同じ基板７００上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板７００外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板７００上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

【０１９５】

〔液晶パネル〕

また、画素の回路構成の一例を図１４（Ｂ）に示す。ここでは、ＶＡ型液晶表示パネルの画素に適用することができる画素回路を示す。

【０１９６】

この画素回路は、一つの画素に複数の画素電極層を有する構成に適用できる。それぞれの画素電極層は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極層に印加する信号を、独立して制御できる。

【０１９７】

トランジスタ７１６のゲート配線７１２と、トランジスタ７１７のゲート配線７１３には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能するソース電極層又はドレイン電極層７１４は、トランジスタ７１６とトランジスタ７１７で共通に用いられている。トランジスタ７１６とトランジスタ７１７は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い液晶表示パネルを提供することができる。

【０１９８】

トランジスタ７１６と電気的に接続する第１の画素電極層と、トランジスタ７１７と電気的に接続する第２の画素電極層の形状について説明する。第１の画素電極層と第２の画素

電極層の形状は、スリットによって分離されている。第１の画素電極層はＶ字型に広がる形状を有し、第２の画素電極層は第１の画素電極層の外側を囲むように形成される。

【０１９９】

トランジスタ７１６のゲート電極はゲート配線７１２と接続され、トランジスタ７１７のゲート電極はゲート配線７１３と接続されている。ゲート配線７１２とゲート配線７１３に異なるゲート信号を与えてトランジスタ７１６とトランジスタ７１７の動作タイミングを異ならせ、液晶の配向を制御できる。

【０２００】

また、容量配線７１０と、誘電体として機能するゲート絶縁膜と、第１の画素電極層または第２の画素電極層と電気的に接続する容量電極とで保持容量を形成してもよい。

【０２０１】

マルチドメイン構造は、一画素に第１の液晶素子７１８と第２の液晶素子７１９を備える。第１の液晶素子７１８は第１の画素電極層と対向電極層とその間の液晶層とで構成され、第２の液晶素子７１９は第２の画素電極層と対向電極層とその間の液晶層とで構成される。

【０２０２】

なお、図１４（Ｂ）に示す画素回路は、これに限定されない。例えば、図１４（Ｂ）に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、又は論理回路などを追加してもよい。

【０２０３】

〔有機ＥＬパネル〕

画素の回路構成の他の一例を図１４（Ｃ）に示す。ここでは、有機ＥＬ素子を用いた表示パネルの画素構造を示す。

【０２０４】

有機ＥＬ素子は、発光素子に電圧を印加することにより、一対の電極の一方から電子が、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子および正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【０２０５】

図１４（Ｃ）は、適用可能な画素回路の一例を示す図である。ここではｎチャネル型のトランジスタを１つの画素に２つ用いる例を示す。なお、本発明の一態様の酸化物半導体膜は、ｎチャネル型のトランジスタのチャネル形成領域に用いることができる。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

【０２０６】

適用可能な画素回路の構成及びデジタル時間階調駆動を適用した場合の画素の動作について説明する。

【０２０７】

画素７２０は、スイッチング用トランジスタ７２１、駆動用トランジスタ７２２、発光素子７２４及び容量素子７２３を有している。スイッチング用トランジスタ７２１は、ゲート電極層が走査線７２６に接続され、第１電極（ソース電極層及びドレイン電極層の一方）が信号線７２５に接続され、第２電極（ソース電極層及びドレイン電極層の他方）が駆動用トランジスタ７２２のゲート電極層に接続されている。駆動用トランジスタ７２２は、ゲート電極層が容量素子７２３を介して電源線７２７に接続され、第１電極が電源線７２７に接続され、第２電極が発光素子７２４の第１電極（画素電極）に接続されている。発光素子７２４の第２電極は共通電極７２８に相当する。共通電極７２８は、同一基板上に形成される共通電位線と電気的に接続される。

【０２０８】

スイッチング用トランジスタ７２１および駆動用トランジスタ７２２は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い有機ＥＬ表

示パネルを提供することができる。
【０２０９】
発光素子７２４の第２電極（共通電極７２８）の電位は低電源電位に設定する。なお、低電源電位とは、電源線７２７に供給される高電源電位より低い電位であり、例えばＧＮＤ、０Ｖなどを低電源電位として設定することができる。発光素子７２４の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光素子７２４に印加することにより、発光素子７２４に電流を流して発光させる。なお、発光素子７２４の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。
【０２１０】
なお、容量素子７２３は駆動用トランジスタ７２２のゲート容量を代用することにより省略できる。駆動用トランジスタ７２２のゲート容量については、チャネル形成領域とゲート電極層との間で容量が形成されていてもよい。
次に、駆動用トランジスタ７２２に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ７２２が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を、駆動用トランジスタ７２２に入力する。なお、駆動用トランジスタ７２２を線形領域で動作させるために、電源線７２７の電圧よりも高い電圧を駆動用トランジスタ７２２のゲート電極層にかける。また、信号線７２５には、電源線電圧に駆動用トランジスタ７２２の閾値電圧Ｖｔｈを加えた値以上の電圧をかける。
【０２１１】
アナログ階調駆動を行う場合、駆動用トランジスタ７２２のゲート電極層に発光素子７２４の順方向電圧に駆動用トランジスタ７２２の閾値電圧Ｖｔｈを加えた値以上の電圧をかける。なお、駆動用トランジスタ７２２が飽和領域で動作するようにビデオ信号を入力し、発光素子７２４に電流を流す。また、駆動用トランジスタ７２２を飽和領域で動作させるために、電源線７２７の電位を、駆動用トランジスタ７２２のゲート電位より高くする。ビデオ信号をアナログとすることで、発光素子７２４にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。
【０２１２】
なお、画素回路の構成は、図１４（Ｃ）に示す画素構成に限定されない。例えば、図１４（Ｃ）に示す画素回路にスイッチ、抵抗素子、容量素子、センサ、トランジスタ又は論理回路などを追加してもよい。
【０２１３】
図１４で例示した回路に上記実施の形態で例示したトランジスタを適用する場合、低電位側にソース電極（第１の電極）、高電位側にドレイン電極（第２の電極）がそれぞれ電気的に接続される構成とする。さらに、制御回路等により第１のゲート電極の電位を制御し、第２のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。
【０２１４】
以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。
【０２１５】
（実施の形態７）
本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはＤＶＤ：Ｄｉｇｉｔａｌ　Ｖｅｒｓａｔｉｌｅ　Ｄｉｓｃ等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い

機（ＡＴＭ）、自動販売機などが挙げられる。これら電子機器の具体例を図１０に示す。
【０２１６】
図１０（Ａ）は携帯型ゲーム機であり、筐体９０１、筐体９０２、表示部９０３、表示部９０４、マイクロフォン９０５、スピーカー９０６、操作キー９０７、スタイラス９０８等を有する。なお、図１０（Ａ）に示した携帯型ゲーム機は、２つの表示部９０３と表示部９０４とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。
【０２１７】
図１０（Ｂ）は携帯データ端末であり、第１筐体９１１、第２筐体９１２、第１表示部９１３、第２表示部９１４、接続部９１５、操作キー９１６等を有する。第１表示部９１３は第１筐体９１１に設けられており、第２表示部９１４は第２筐体９１２に設けられている。そして、第１筐体９１１と第２筐体９１２とは、接続部９１５により接続されており、第１筐体９１１と第２筐体９１２の間の角度は、接続部９１５により変更が可能である。第１表示部９１３における映像を、接続部９１５における第１筐体９１１と第２筐体９１２との間の角度に従って、切り替える構成としても良い。また、第１表示部９１３および第２表示部９１４の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。
【０２１８】
図１０（Ｃ）はノート型パーソナルコンピュータであり、筐体９２１、表示部９２２、キーボード９２３、ポインティングデバイス９２４等を有する。
【０２１９】
図１０（Ｄ）は電気冷凍冷蔵庫であり、筐体９３１、冷蔵室用扉９３２、冷凍室用扉９３３等を有する。
【０２２０】
図１０（Ｅ）はビデオカメラであり、第１筐体９４１、第２筐体９４２、表示部９４３、操作キー９４４、レンズ９４５、接続部９４６等を有する。操作キー９４４およびレンズ９４５は第１筐体９４１に設けられており、表示部９４３は第２筐体９４２に設けられている。そして、第１筐体９４１と第２筐体９４２とは、接続部９４６により接続されており、第１筐体９４１と第２筐体９４２の間の角度は、接続部９４６により変更が可能である。表示部９４３における映像を、接続部９４６における第１筐体９４１と第２筐体９４２との間の角度に従って切り替える構成としても良い。
【０２２１】
図１０（Ｆ）は普通自動車であり、車体９５１、車輪９５２、ダッシュボード９５３、ライト９５４等を有する。
【０２２２】
以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。
【０２２３】
（実施の形態８）
本実施の形態では、本発明の一態様に係るＲＦＩＣの使用例について図１１を用いながら説明する。ＲＦＩＣの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、図１１（Ａ）参照）、包装用容器類（包装紙やボトル等、図１１（Ｃ）参照）、記録媒体（ＤＶＤソフトやビデオテープ等、図１１（Ｂ）参照）、乗り物類（自転車等、図１１（Ｄ）参照）、身の回り品（鞄や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器（液晶表示装置、ＥＬ表示装置、テレビジョン装置、または携帯電話）等の物品、若しくは各物品に取り付ける荷札（図１１（Ｅ）、図１１（Ｆ）参照）等に設けて使用するこ

とができる。
【０２２４】
本発明の一態様に係るＲＦＩＣ４０００は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係るＲＦＩＣ４０００は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に本発明の一態様に係るＲＦＩＣ４０００を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係るＲＦＩＣを取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係るＲＦＩＣを取り付けることにより、盗難などに対するセキュリティ性を高めることができる。
【０２２５】
以上のように、本発明の一態様に係わるＲＦＩＣを本実施の形態に挙げた各用途に用いることにより、情報の書込みや読み出しを含む動作電力を低減できるため、最大通信距離を長くとることが可能となる。また、電力が遮断された状態であっても情報を極めて長い期間保持可能であるため、書き込みや読み出しの頻度が低い用途にも好適に用いることができる。
【０２２６】
以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。
【実施例】
【０２２７】
本実施例では、本発明の一態様の作製方法によって作製した電極層の断面構造について、比較例とともに示す。はじめに、本実施例の試料１及び比較例試料１乃至比較例試料３の作製方法を以下に示す。
【０２２８】
＜試料１＞
シリコン基板上に、第１の電極層２０６となる導電膜として１０ｎｍのタングステン膜を形成した。タングステン膜の成膜条件は、アルゴン雰囲気下（流量８０ｓｃｃｍ）、圧力０．８Ｐａ、電源電力（ＤＣ）１ｋＷとし、基板温度２００℃、基板とターゲット間の距離を６０ｍｍとしてスパッタリング法によって成膜した。
【０２２９】
次いで、第１の電極層２０６上に、酸化物半導体膜２０８としてＩｎ：Ｇａ：Ｚｎ＝１：３：２［原子数比］の酸化物ターゲットを用いたスパッタリング法により、膜厚５ｎｍのＩｎ－Ｇａ－Ｚｎ酸化物膜を形成した。成膜条件は、アルゴン及び酸素雰囲気下（アルゴン：酸素＝３０ｓｃｃｍ：１５ｓｃｃｍ）、圧力０．４Ｐａ、電源電力（ＤＣ）０．５ｋＷ、基板温度２００℃、基板とターゲット間の距離を６０ｍｍとした。
【０２３０】
次いで、酸化物半導体膜２０８上にゲート絶縁膜に相当する絶縁膜２１０として、膜厚１０ｎｍの酸化窒化シリコン膜をＣＶＤ法によって成膜した。成膜温度は３５０℃、圧力２００Ｐａとした。
【０２３１】
絶縁膜２１０上に第１の導電膜２１２としてスパッタリング法により膜厚１０ｎｍの窒化タンタル膜を形成した。窒化タンタル膜の成膜条件は、アルゴン及び窒素雰囲気下（アルゴン：窒素＝５０ｓｃｃｍ：１０ｓｃｃｍ）、圧力０．６Ｐａ、電源電力（ＤＣ）１ｋＷとし、基板温度を室温、基板とターゲット間の距離を６０ｍｍとした。
【０２３２】
次いで、第１の導電膜２１２上に膜厚約２０ｎｍの有機塗布膜、及び膜厚約１００ｎｍの

レジスト膜をそれぞれ塗布法により成膜した。続いて、レジスト膜に対して電子ビームを走査して露光した後、現像処理を行うことでレジスト膜にパターンを形成し、レジストマスクとした。

【０２３３】

次いで、レジストマスクを用いて有機塗布膜、第１の導電膜２１２（窒化タンタル膜）及び絶縁膜２１０（酸化窒化シリコン膜）をエッチングして、酸化物半導体膜２０８に達する開口部を形成した。エッチング条件は、エッチングガスとして四フッ化メタン（流量１００ｓｃｃｍ）を用い、電源電力２ｋＷ、バイアス電力５０Ｗ、圧力０．６７Ｐａとした。

【０２３４】

その後、酸素雰囲気下のプラズマを用いたアッシング処理によって有機塗布膜及びレジストマスクを除去した。アッシング処理の条件は、酸素の流量を１００ｓｃｃｍとし、ＲＦバイアス電力２００Ｗ、圧力５００ｍＴｏｒｒの条件で３０秒間行った。

【０２３５】

次いで、開口部を有する第１の導電膜２１２をマスクとして酸化物半導体膜２０８をエッチングして、第１の電極層２０６に達する開口部を形成した。エッチング条件は、はじめに、エッチングガスとして四フッ化メタンとアルゴンの混合ガス（CF_4：Ａｒ＝１６ｓｃｃｍ：３２ｓｃｃｍ）を用い、電源電力６００Ｗ、バイアス電力１００Ｗ、圧力３．０Ｐａとして３秒間処理した後、圧力を１．０Ｐａへ変化させて２０秒間処理した。

【０２３６】

次いで、逆スパッタ処理を行い、先のアッシング処理によって第１の導電膜２１２表面に形成された酸化膜を除去した。逆スパッタ処理の条件は、アルゴン雰囲気下（流量５０ｓｃｃｍ）、圧力０．６Ｐａ、電源（ＲＦ）電力２００Ｗとして４５秒間処理した。

【０２３７】

その後、酸化物半導体膜２０８の開口部から露出した第１の電極層２０６に接するように、第１の導電膜２１２上に第２の導電膜２１４として膜厚１０ｎｍのタングステン膜を形成した。タングステン膜の成膜条件は、アルゴン雰囲気下（流量１００ｓｃｃｍ）、圧力２．０Ｐａ、電源電力（ＤＣ）１ｋＷとし、基板温度２００℃、基板とターゲット間の距離を６０ｍｍとしてスパッタリング法によって成膜した。

【０２３８】

以上の作製工程によって、本実施例の試料１を形成した。

【０２３９】

＜比較試料１＞

比較試料１では、試料１と同じ作製方法で形成した酸化物半導体膜２０８及び絶縁膜２１０に一度のエッチング工程によって開口部を形成した後、レジストマスクをアッシング処理によって除去し、開口部を覆う第１の導電膜２１２及び第２の導電膜２１４を形成した。詳細な作製方法を以下に示す。

【０２４０】

試料１と同じ作製方法によって、シリコン基板上に第１の電極層２０６と、第１の電極層２０６上の酸化物半導体膜２０８と、酸化物半導体膜２０８上の絶縁膜２１０とを形成した。その後、絶縁膜２１０上に、試料１と同様に有機塗布膜及びレジストマスクを形成した。

【０２４１】

次いで、レジストマスクを用いて有機塗布膜、絶縁膜２１０（酸化窒化シリコン膜）及び酸化物半導体膜２０８をエッチングして、第１の電極層２０６に達する開口部を形成した。エッチング条件は、まず、エッチングガスとして四フッ化メタン（流量１００ｓｃｃｍ）を用い、電源電力２ｋＷ、バイアス電力５０Ｗ、圧力０．６７Ｐａ、基板温度－１０℃として１２秒間処理して有機塗布膜をエッチングした。次いで、エッチングガスとして、トリフルオロメタンとヘリウムの混合ガス（CHF_3：Ｈｅ＝５０ｓｃｃｍ：１００ｓｃｃｍ）を用い、電源電力４７５Ｗ、バイアス電力３００Ｗ、圧力５．５Ｐａとして３秒間

処理した後、エッチングガスの流量比をCHF_3：Ｈｅ＝７．５ｓｃｃｍ：１４２．５ｓｃｃｍへと変えて１６秒間処理して、絶縁膜２１０及び酸化物半導体膜２０８をエッチングした。

【０２４２】

その後、酸素雰囲気下のプラズマを用いたアッシング処理によって有機塗布膜及びレジストマスクを除去した。アッシング処理の条件は、酸素の流量を３００ｓｃｃｍとし、ＲＦ電力１８００Ｗ、圧力６６．５Ｐａの条件で３分間行った。

【０２４３】

次いで、絶縁膜２１０上に開口部を覆う第１の導電膜２１２として窒化タンタル膜を形成し、窒化タンタル膜上に第２の導電膜２１４としてタングステン膜を形成した。第１の導電膜２１２及び第２の導電膜２１４の成膜条件は、試料１と同じである。

【０２４４】

以上の作製工程によって、本実施例の比較試料１を形成した。

【０２４５】

＜比較試料２＞

比較試料２では、比較試料１と同じ工程によって、絶縁膜２１０及び酸化物半導体膜２０８に、第１の電極層２０６に達する開口部を形成した後、アッシング処理及び薬液（剥離液）処理によって有機塗布膜及びレジストマスクを除去した。

【０２４６】

比較試料２において、有機塗布膜及びレジストマスクの除去は、比較資料１と同じ条件でアッシング処理を行った後、剥離液による処理を行った。

【０２４７】

比較試料２において、有機樹脂膜及びレジストマスクの除去以外の工程は、比較試料１と同様に行った。以上の作製工程によって、本実施例の比較試料２を形成した。

【０２４８】

＜比較試料３＞

比較試料３では、試料１と同様の作製方法によって、第１の導電膜２１２をマスクとして酸化物半導体膜２０８をエッチングして、第１の電極層２０６に達する開口部を形成した後、逆スパッタ処理による第１の導電膜２１２表面の酸化膜の除去を行うことなく第２の導電膜２１４を形成した。

【０２４９】

比較試料３は、逆スパッタ処理を行わない以外は試料１と同様に作製した。以上の作製工程によって、本実施例の比較試料３を形成した。

【０２５０】

以上によって得られた本実施例の試料１、比較試料１、比較試料２及び比較試料３の、第１の電極層２０６と、第１の導電膜２１２及び第２の導電膜２１４を含む第２の電極層との接続部の断面構造を走査透過型電子顕微鏡（ＳＴＥＭ：Ｓｃａｎｎｉｎｇ　Ｔｒａｎｓｍｉｓｓｉｏｎ　Ｅｌｅｃｔｒｏｎ　Ｍｉｃｒｏｓｃｏｐｅ）によって観察した写真を図１２に示す。図１２（Ａ）は、比較試料１の断面ＳＴＥＭ像であり、図１２（Ｂ）は比較試料２の断面ＳＴＥＭ像であり、図１２（Ｃ）は比較試料３の断面ＳＴＥＭ像であり、図１２（Ｄ）は試料１の断面ＳＴＥＭ像である。

【０２５１】

図１２（Ａ）より、比較試料１では直径６０ｎｍ程度の微小な開口部が形成され、第１の導電膜２１２及び第２の導電膜２１４が該開口部を埋め込んで設けられていることが確認された。しかしながら、図１２（Ａ）の点線で囲んだ領域１００に示すように、第１の電極層２０６と第１の導電膜２１２との間に酸化物層が形成されていることが確認された。該酸化物層は、有機塗布膜及びレジストマスクのアッシング処理を行う際に開口部から露出した第１の電極層２０６が酸化されて形成された層であることが示唆される。

【０２５２】

また、図１２（Ｂ）より、レジストマスクを除去する際に、剥離液を用いた比較試料２で

は、開口部に面する酸化物半導体膜２０８（領域１１０）の形状不良が確認された。これは、剥離液に曝された酸化物半導体膜２０８がダメージを受けたためと理解できる。

【０２５３】

また、図１２（Ｃ）より、逆スパッタ処理を行わない比較試料３では、直径６０ｎｍ程度の微小な開口部が形成され、開口部において第１の電極層２０６と第２の導電膜２１４とが接していることが確認された。しかしながら、図１２（Ｃ）の点線で囲んだ領域１００に示すように、第１の導電膜２１２と第２の導電膜２１４との間に酸化物層が形成されていることが確認された。該酸化物層は、有機塗布膜及びレジストマスクのアッシング処理を行う際に第１の導電膜２１２の表面が酸化されて形成された層であることが示唆される。

【０２５４】

一方、図１２（Ｄ）より、本実施例の試料１では、直径６０ｎｍ程度の微小な開口部が形成され、開口部において第１の電極層２０６と第２の導電膜２１４とが接し、さらに、絶縁膜２１０上において第１の導電膜２１２と第２の導電膜２１４とが接していることが確認された。すなわち、本発明の一態様の作製方法によって得られた試料１では、酸化物半導体膜２０８の上下に位置する電極層が良好に接続可能であることが示された。また、本実施例の試料１において、レジストマスク除去のためのアッシング処理は、開口部から酸化物半導体膜２０８が露出した状態にて施されるため、第１の電極層２０６表面の酸化を防止するとともに、絶縁膜２１０へのプラズマダメージを抑制することが可能である。

【０２５５】

以上、本実施例に示す構成、方法などは、本明細書の他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【符号の説明】

【０２５６】

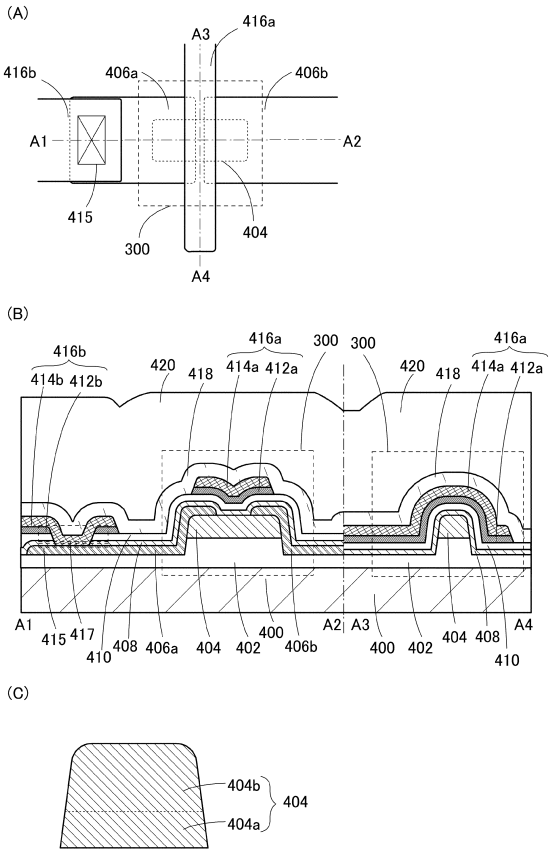
１００　領域
１１０　領域
３００　トランジスタ
３１０　トランジスタ
３２０　容量素子
３６０　トランジスタ
４００　基板
４０２　下地絶縁膜
４０４　酸化物半導体層
４０４ａ　酸化物半導体層
４０４ｂ　酸化物半導体層
４０５　酸化物半導体層
４０６ａ　ソース電極層
４０６ｂ　ドレイン電極層
４０６ｃ　ソース電極層
４０６ｄ　ドレイン電極層
４０８　酸化物半導体膜
４１０　ゲート絶縁膜
４１２　導電膜
４１２ａ　導電層
４１２ｂ　導電層
４１２ｃ　導電層
４１２ｄ　導電層
４１４　導電膜
４１４ａ　導電層
４１４ｂ　導電層

４１４ｃ　導電層
４１４ｄ　導電層
４１５　開口部
４１６ａ　ゲート電極層
４１６ｂ　電極層
４１６ｃ　電極
４１６ｄ　ゲート電極層
４１７　開口部
４１８　保護絶縁膜
４２０　絶縁膜
４２２　導電層
４２９　有機塗布膜
４３０　レジストマスク
４３１　酸化膜
７００　基板
７０１　画素部
７０２　走査線駆動回路
７０３　走査線駆動回路
７０４　信号線駆動回路
７１０　容量配線
７１２　ゲート配線
７１３　ゲート配線
７１４　ドレイン電極層
７１６　トランジスタ
７１７　トランジスタ
７１８　液晶素子
７１９　液晶素子
７２０　画素
７２１　スイッチング用トランジスタ
７２２　駆動用トランジスタ
７２３　容量素子
７２４　発光素子
７２５　信号線
７２６　走査線
７２７　電源線
７２８　共通電極
８００　ＲＦＩＣタグ
８０１　通信器
８０２　アンテナ
８０３　無線信号
８０４　アンテナ
８０５　整流回路
８０６　定電圧回路
８０７　復調回路
８０８　変調回路
８０９　論理回路
８１０　記憶回路
８１１　ＲＯＭ
９０１　筐体
９０２　筐体

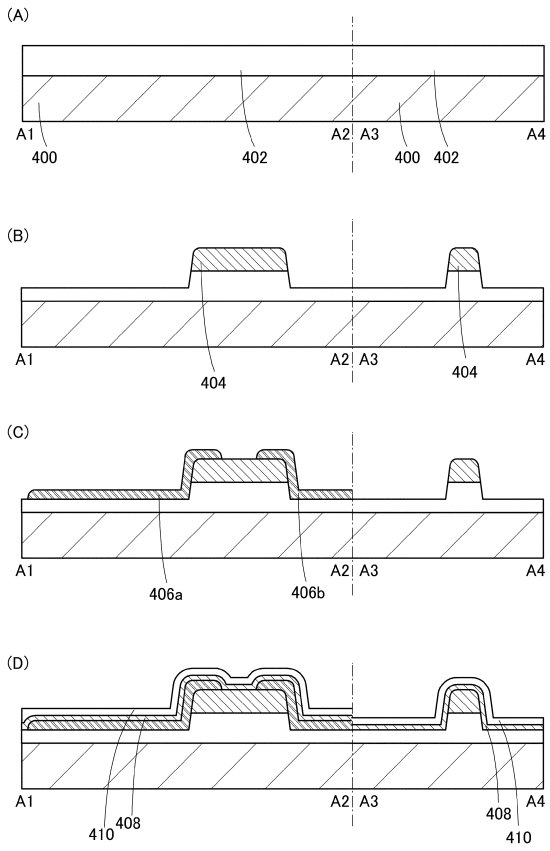
９０３　表示部
９０４　表示部
９０５　マイクロフォン
９０６　スピーカー
９０７　操作キー
９０８　スタイラス
９１１　筐体
９１２　筐体
９１３　表示部
９１４　表示部
９１５　接続部
９１６　操作キー
９２１　筐体
９２２　表示部
９２３　キーボード
９２４　ポインティングデバイス
９３１　筐体
９３２　冷蔵室用扉
９３３　冷凍室用扉
９４１　筐体
９４２　筐体
９４３　表示部
９４４　操作キー
９４５　レンズ
９４６　接続部
９５１　車体
９５２　車輪
９５３　ダッシュボード
９５４　ライト
１１８９　ＲＯＭインターフェース
１１９０　基板
１１９１　ＡＬＵ
１１９２　ＡＬＵコントローラ
１１９３　インストラクションデコーダ
１１９４　インタラプトコントローラ
１１９５　タイミングコントローラ
１１９６　レジスタ
１１９７　レジスタコントローラ
１１９８　バスインターフェース
１１９９　ＲＯＭ
１２００　記憶素子
１２０１　回路
１２０２　回路
１２０３　スイッチ
１２０４　スイッチ
１２０６　論理素子
１２０７　容量素子
１２０８　容量素子
１２０９　トランジスタ
１２１０　トランジスタ

１２１３　　トランジスタ
１２１４　　トランジスタ
１２２０　　回路
４０００　　ＲＦＩＣ

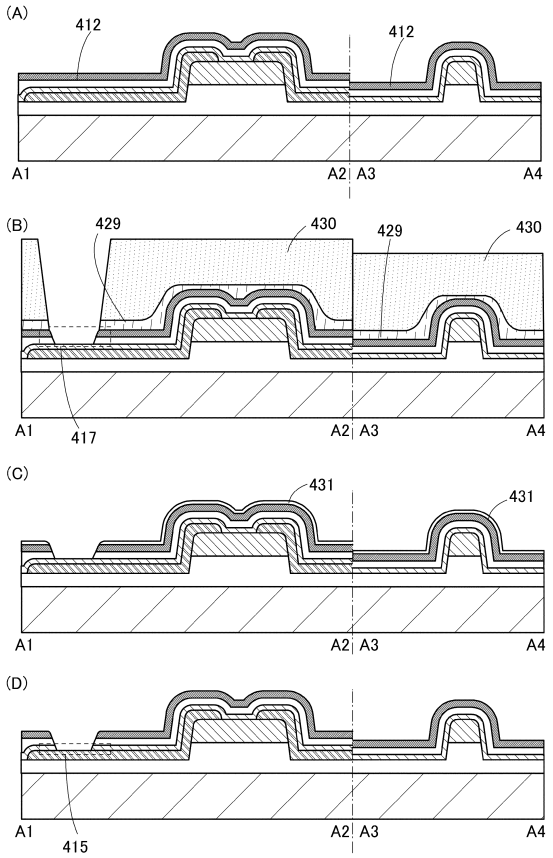
【図１】



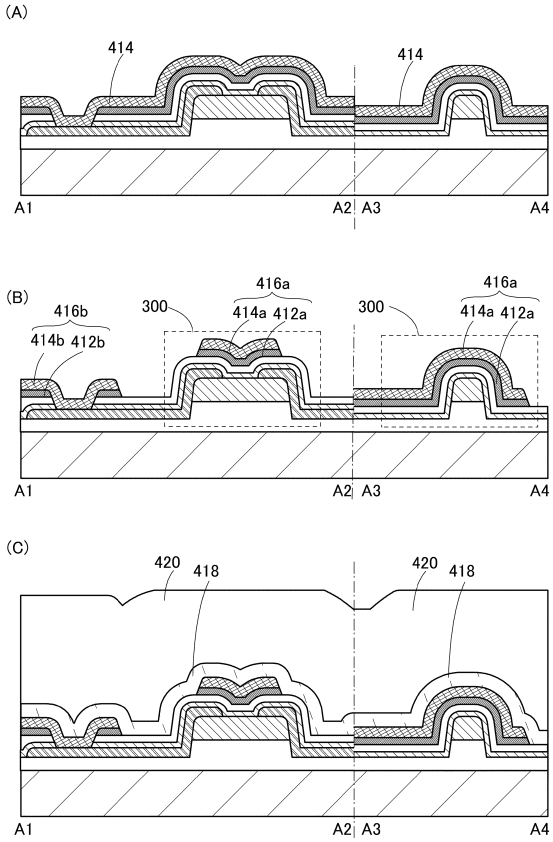
【図２】



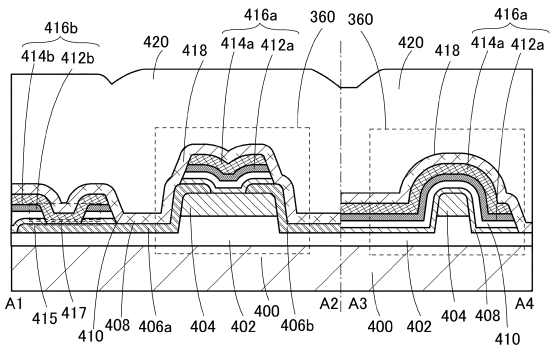
【図３】


(A)
412
412
A1
A2 A3
A4
(B)
429
430
429
430
417
(C)
431
431
(D)
415

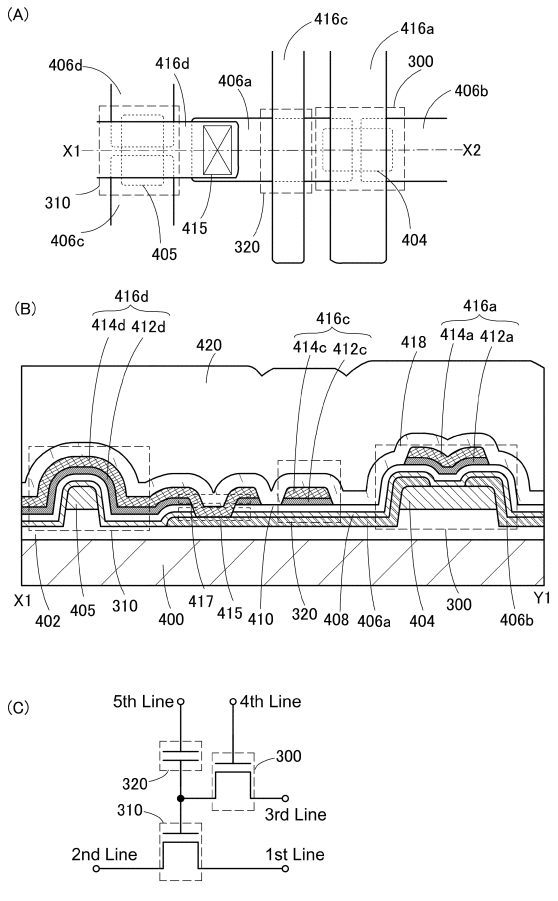
【図４】


(A)
414
414
(B)
416b
414b 412b
300
416a
414a 412a
(C)
420
418

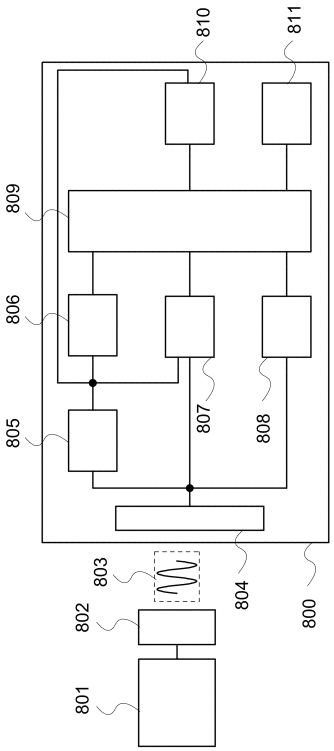
【図５】


416b
414b 412b
420
418
416a
414a 412a
360
A1
A2 A3
A4
415
417
410
408
406a
404
402
400
406b

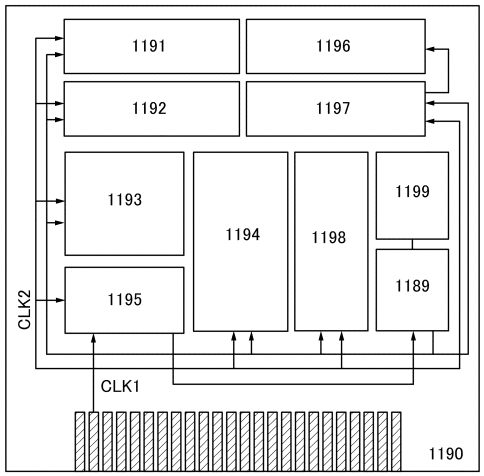
【図６】


(A)
406d
416d
406a
416c
416a
300
406b
X1
X2
310
406c
405
415
320
404
(B)
416d
414d 412d
420
416c
414c 412c
418
416a
414a 412a
X1
Y1
402
405
310
400
417
415
410
320
408
406a
404
300
406b
(C)
5th Line
4th Line
300
320
310
3rd Line
2nd Line
1st Line

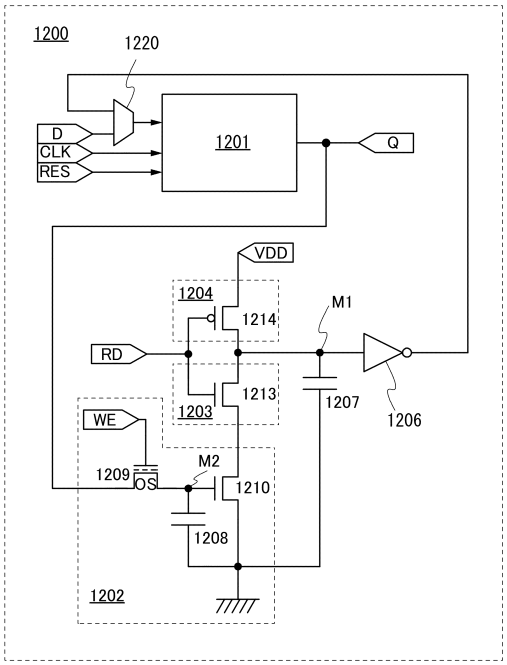
【図７】


810
811
809
806
805
807
808
803
804
800
802
801

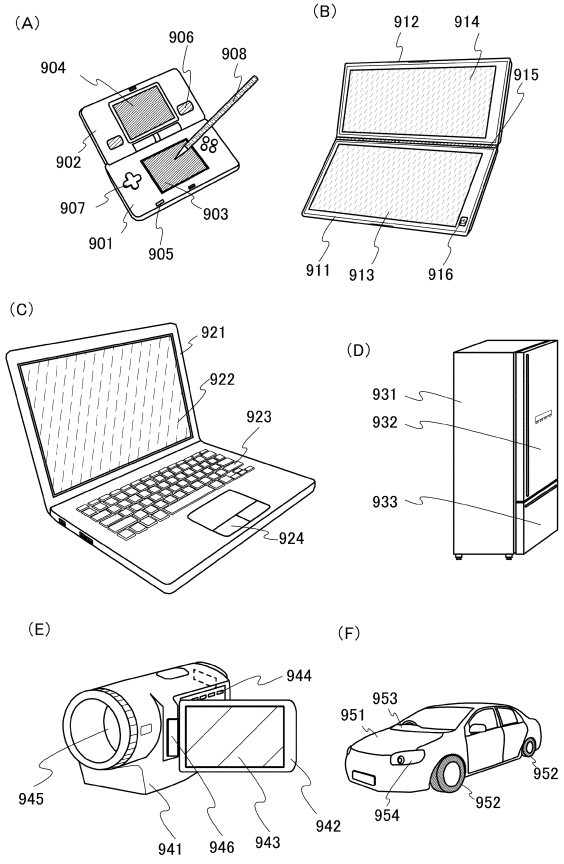
【図８】


1191
1196
1192
1197
1193
1194
1198
1199
1189
1195
CLK2
CLK1
1190

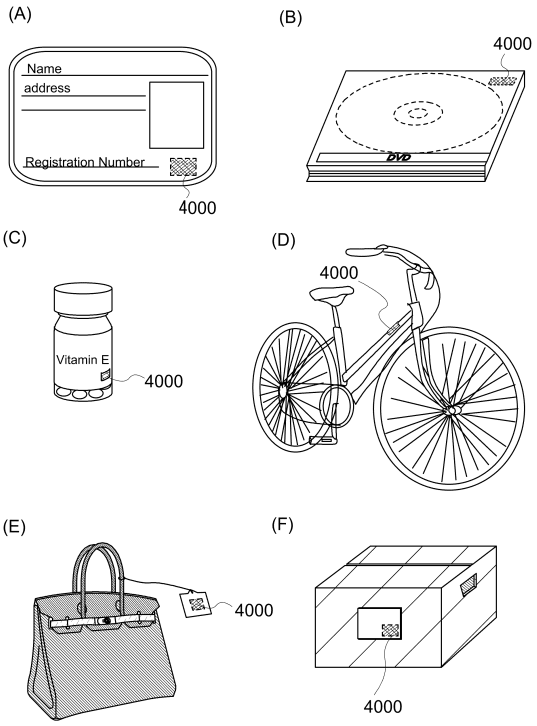
【図９】


1200
1220
D
CLK
RES
1201
Q
VDD
1204
1214
M1
RD
1213
1203
1207
1206
WE
1209
OS
M2
1210
1208
1202

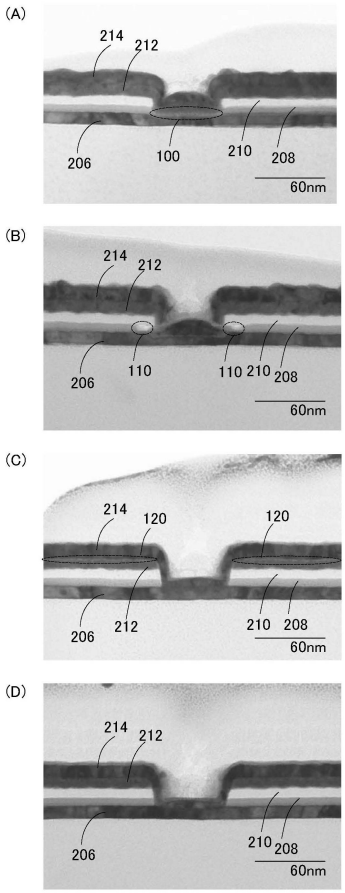
【図１０】


(A)
906
908
904
902
907
903
901
905
(B)
912
914
915
911
913
916
(C)
921
922
923
924
(D)
931
932
933
(E)
944
945
941
946
943
942
(F)
953
951
952
954
952

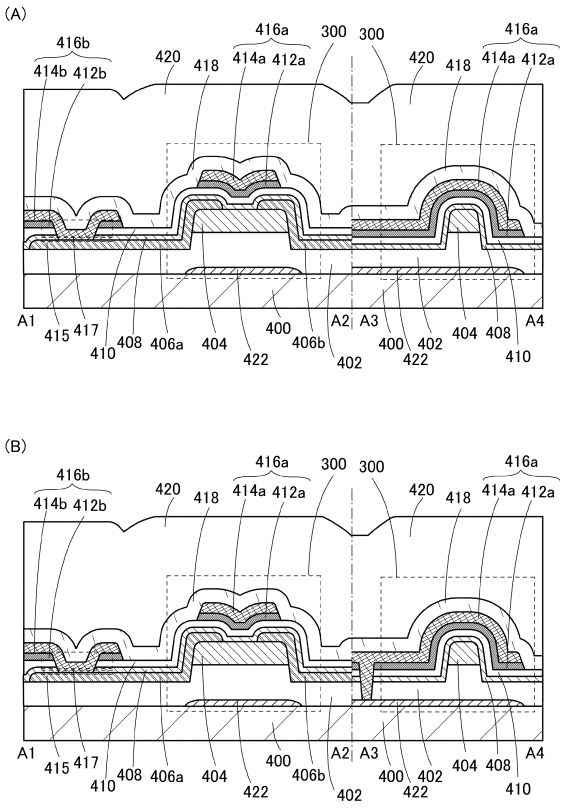
【図１１】



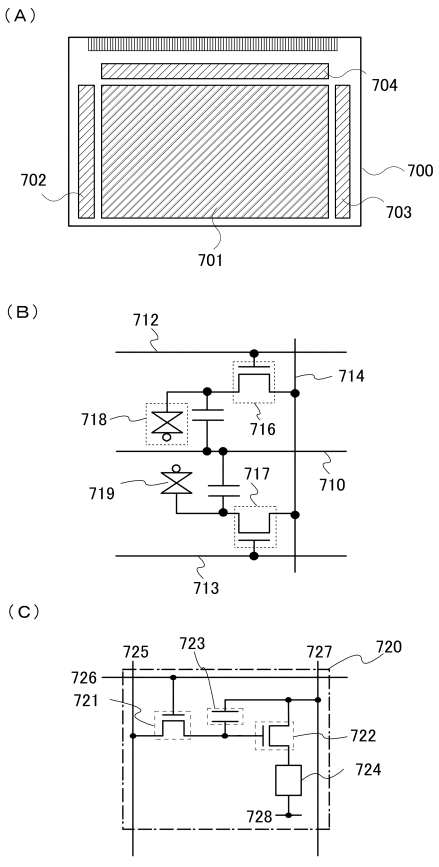
【図１２】



【図１３】



【図１４】



フロントページの続き

(51)Int.Cl.			FI		
H01L	*21/8242*	*(2006.01)*	H01L	27/06	102A
H01L	*27/108*	*(2006.01)*	H01L	27/088	331E
G09F	*9/30*	*(2006.01)*	H01L	27/088	H
			H01L	27/108	321
			G09F	9/30	338

(56)参考文献 特開2009－147039（JP，A）
特開2008－135520（JP，A）
特開2011－258964（JP，A）
特開2013－021305（JP，A）
米国特許出願公開第2012／0319101（US，A1）
特開平10－163463（JP，A）

(58)調査した分野(Int.Cl.，DB名)
H01L 29／786
H01L 21／336