(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[5]
G01R 31/28

(45) 공고일자 1992년08월22일
(11) 공고번호 특1992-0006969

(21) 출원번호	특1988-0010953	(65) 공개번호	특1989-0004172
(22) 출원일자	1988년08월27일	(43) 공개일자	1989년04월20일

(30) 우선권주장 090869 1987년08월28일 미국(US)

(71) 출원인 휴렛트-팩카드 캄파니 디. 크레이그 노들런드
미합중국 94304 캘리포니아주 팔로 알토 하노버 스트리트 3000

(72) 발명자 웨인 로저 윌리엄즈
미합중국 80301 콜로라도주 보울더 킹즈 릿지 불리바드 4873

(74) 대리인 장수길

심사관 : 박충범 (책자공보 제2907호)

(54) 논리 장치용 자동 검사 기능 발생 방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

논리 장치용 자동 검사 기능 발생 방법

[도면의 간단한 설명]

제1도는 본 발명의 자동 검사 기능 발생 방법의 개략적인 플로우챠트.

제2도는 1개의 입력, 2개의 출력 및 클럭을 갖고 있는 전형적인 논리 장치의 개략도.

제3도는 후속 상태와 선행 상태사이의 상호 관계를 도시한 일반적인 상태 트리의 개략도(여기서, N2, N3은 후속 상태이고, N1은 선행상태이다).

제4도는 거짓 상태 검출 벡터(e, 1, 1)에 대한 상태 트리, 및 초기치 설정 순차가 존재하지 않는 전 상태 트리를 도시한 도면.

제5도는 거짓 상태 검출 벡터(e, 0, 0)에 대한 상태 트리, 및 거짓 상태 검출 벡터(e, 0, 0)에 대한 조기치 설정 순차를 유도하기 위한 사용상태 또는 상태 트리를 도시한 도면.

제6도는 최소화와 일치 개념을 도시한, j-k 플립-플롭의 카르노맵.

* 도면의 주요부분에 대한 부호의 설명

8 : 거짓 상태 검출 방정식 2 : 거짓 상태 검출 벡터 장치

32, 53 : 상태 트리

41, 42, 44, 46, 48, 52, 60, 62, 64, 66, 76, 80, 82, 84 : 노드

[발명의 상세한 설명]

본 발명은 출력이 이전 상태뿐만 아니라 입력의 함수인 반도체 상태 기계 또는 논리 장치에 대한 자동 검사 기술에 관한 것으로, 특히 부울(Boolean)상태 방정식으로 표현할 수 있는 소정의 장치에 적합한 대수적 회귀(recursion)기술에 의해 검사기능을 자동적으로 발생시키기 위한 방법에 관한 것이다.

순차 회로망에 대한 자동 검사 발생(ATG)에는 2가지 주요 해결 방법이 있다. 첫째, 논리 회로망의 게이트 레벨에서 동작하고, 거짓 상태의 출력을 감지하도록 장치의 내부 아키텍쳐의 개략적 운행법(schematic traversal)을 포함하는 위상 기술(topological technique)이다. 둘째, 대수 기술은 장치

기능성의 외부 핀 거짓상태에만 관련되는 특정한 아키텍쳐 실현에 무관하다. 위상 검사 방법은 조합 논리 장치에 대한 검사 기능을 발생시키기 위해 이전부터 사용되어 왔지만, 순차 장치에 대한 일반해(general solution)가 전혀 없었으므로, (논리 장치의 내부 레지스터를 공지된 상태로 셋팅시키는) 초기치 설정의 문제가 장치의 다수의 가능한 이전 상태들로 인해 처리하기가 곤란한 것으로 고찰되었다. 이 회로내에서, 순차 논리 장치에 대한 정적(static) 핀 거짓 상태를 식별하기 위한 자동 대수 검사 방법은 검사 기능 발생방법의 발전을 촉지시키게 되었고, 검사가능한 설계를 실시하는데 도움이 되었다.

논리 장치의 기능은 장치의 각 출력에 대한 한 세트의 부울적합계(sum-of-product) 방정식(장치 부울 상태 방정식)으로 표현될 수 있다. 이 장치들에 대한 그 밖의 다른 표현 형태는 진리표(truth table) 및 상태도를 포함한다. 그러나, 본 발명의 방법을 사용하기 위해, 이 다른 표현 형태가 부울 상태 방정식으로 변환되어야 한다. 복잡한 논리 장치의 경우에는, 회로내(in-circuit)검사 프로그램 발생기가 완전한 검사해를 개발하기 위해 어드레스해야 한다는 특징들이 있다. 이 특징들은 구성가능한 매크로셀(macro cell)을 포함하는 더욱 새로운 논리 장치내에서 실행된다. 매크로셀들이 존재하면, 장치 핀은 입력, 출력, 또는 쌍방향(bi-directional)라인으로서 프로그램될 수 있다. 또한, 여러 가지 선택적인 방법들이 출력을 구성하기 위해 존재한다. 출력은 조합 또는 레지스터될 수 있다. 출력이 레지스터되면, 클리어(clear), 셋트 및 출력 엔에이블과 같은 비동기 제어 기능들은, 미리 정해진 적항(product term)들이 논리적으로 참 상태일 때 발생될 수 있다. 부수적으로, 레지스터에 대한 클럭은 독특한 적항에 의해 정해질 수 있다. 이 모든 특징들은 이 장치들의 자동 검사기능 발생에 대한 챌린지(challenge)들을 제공한다.

일반적으로, 정적 핀 거짓상태는 몇가지 조건들이 부합될 경우에 식별될 수 있다. 첫째, 장치의 상태는 출력 핀이 특정한 입력의 직접 함수인 지점에 설정되어야 한다. 조합 논리 장치의 경우에, 이 상태는 단지 입력만을 사용하여 설정될 수 있다. 그러나, 순차 장치들은 특수 값으로 셋트될 내부 레지스터들을 필요로 할 수 있다. 이런 경우에, 초기치를 설정하거나 장치의 내부 레지스터를 요구된 선정상태로 셋트시키도록 초기치 설정 순차가 결정되어야 한다.

D 알고리즘 방법은 로드 제이. 피. (Roth, J. P.)저, "Diagnosis of Automata Failures : A Calculus and a Method", IBM J. Res. Dev. 제10권, 제4호, 1966년 7월, 페이지 278-291에 조합 회로의 일반해로서 제공되었지만, 이러한 일반해의 요구는 순차 경우에 대해서는 전혀 존재하지 않는다. 순차 회로망에 대한 자동 검사 기능 발생 기술의 개요는 미크조 인 미크조, 에이.(Miczo in Miczo, A.), "Digtal Logic Testing and Simulation", 뉴욕 "Harper & Row., 1986, 제3장에 제공된다. 한 예는 순차 회로망에 대한 검사 문제점을 어드레스하기 위해 부울 대수를 적용하는 샤오(Hsiao)의 부울차 방법이다[샤오, 엠. 와어(Hsiao, M. Y.,) 및 디. 케이. 챠(D. K.Chia)저, "Boolean Difference for Fault Detection in Asynchronous Sequential Machines"]. IEEE Trans. Comput., 제 씨-20권, 1971년 11월, 페이지 1356-1361]. 부울 차 방법은 거짓 상태를 검출할 수 있는 회로망의 상태를 성공적으로 정하지만, 검사가 달성될 수 있도록 회로망을 요구된 상태로 초기치 설정하기 위한 일반적인 방법을 제공하지는 못한다. 자동 검사 기능 발생기의 목적은 회로내 또는 회로외의 검사 환경내에서 식별될 수 있는 정적 핀 거짓 상태를 분리시키기 위한 것이다. 순차 논리 장치에 대한 수동 검사 기능 발생은 시간이 많이 걸리므로, 검사 기능 발생을 간단화하고 속도를 빠르게 하기 위해 자동 해결 방법이 요구된다. 자동 검사 기능 발생기가 소정의 조합 논리 장치용으로 존재하지만, 순차 논리 장치에 대한 일반적인 자동 검사 기능 발생 해결방법은 전혀 없었다.

본 발명은 부울 상태 방정식으로 표현된 논리장치에 대한 검사 기능 발생의 대수 검사 방법을 제공함으로써 종래 기술의 단점과 제한 조건을 극복한다. 본 발명의 방법은 모든 종류의 조합 및 순차 논리 장치 또는 이 장치들의 클러스트(cluster)에 사용할 수 있는 초기치 설정 문제에 대한 일반해를 제공한다. 초기치 설정 순차에 대한 제한 조건은 제1순차 전이가 장치의 상태에 무관하게 발생해야 한다는 것이다. 이 방법은 장치가 처리된 상태를 검사하기에 필요한 조건에 부합되는지를 먼저 결정하는 방법을 제공한다. 검사가 가능하다면, 이 방법은 해당 입력 및 출력에 대한 모든 스턱-앳-1(stick-at-one) 및 스턱-앳-0(stuck-at-zero)외부 핀 거짓 상태를 양적으로 식별하게 된다. 또한, 이 방법은 내부 거짓 상태에 대한(양으로 표시되지는 않았지만) 큰 검사 적용도를 제공한다. 이 방법은 조합 및 순차 논리 장치에 대한 자동 검사 기능을 제공하고, 동기 또는 비동기 레지스터에 사용될 수 있으며, 논리장치의 회로내의 위상에 적합하게 될 수 있다. 제한 조건은 장치가 부울상태 방정식으로 표현될 수 있어야 하고, 검사에 대한 필요 충분 조건에 부합되어야 한다는 것이다. 본 발명의 검사 기능 발생 방법은 고성능 커스텀(custom)검사 기능 발생 환경내에서 다수의 시판 중인 논리 장치 설계에 대한 검사 기능을 발생시킬 때 성공적이다. 이 방법의 중요한 기여는 순차 회로망의 초기치 설정 문제점을 해결한다는 것이다.

이하, 첨부 도면을 참조하여 본 발명을 더욱 상세하게 기술하겠다.

[적벡터]

논리 장치를 설명하기 위해 사용된 기본 구조는 부울적이다. 계산조작에 편리한 부울적 형태는 적벡터이다. 적벡터는 지정 형태(x1, …, xn, y1, …, ym)=e1, e2, …, em+n)인데, 여기서, x는 1차입력이고, y는 1차 출력이며, e는 셋{1, 0, x}의 원소이다. 1은 논리적으로 참상태일 때 항이 발생된다는 것을 나타낸다. 0은 논리적으로 거짓상태일 때 항이 발생된다는 것을 나타낸다. x는 항에 대한 "돈트 제어(don't care)"를 나타내는데, 다시말하면, x로 나타낸 항은 1 또는 0으로 될 수 있고, 장치의 논리는 영향을 받지 않으므로, x로 나타낸 항은 논리적으로 부적절하다. 입력 및 출력은 장치의 외부 입력 및 출력을 의미한다. 일반적으로, 입력 및 출력은 1차 입력 및 출력을 의미한다. 일례로서, j-k 플립 플롭에 대한 상태 방정식은 다음과 같다.

q(t+1)=j*q/(t)+/k*q(t)

q(t+1)에 대한 적벡터들은 j, k, 및 q이다. 적벡터를 사용하여 q(t+1) 방정식을 다시쓰면 다음과 같다:

q(t+1)=(1, x, 0)+(x, 0, 1)

이 예내에서, 각 적벡터는 3개의 원소로 구성된다. 2개의 원소는 j 및 k를 각각 나타내고(1차입력), 제3원소는 q를 나타낸다(1차 출력).

[2개의 적벡터의 교차(intersection)]

2개의 적의 부울 AND는 n이 널(null)인 다음과 같은 교차표를 정함으로써 적벡터로 용이하게 실행된다.

	1	0	x
1	1	n	1
0	n	0	0
x	1	0	x

예를들어, 2개의 입력과 1개의 출력이 있다고 가정하면, 2개의 부울적의 AND, 즉 [j*q(t)]*(/k)=j*/k*q(t)]는 (1, 0, 1)을 얻기 위해 (x, 0, x)와 (1, x, 1)을 교차시킴으로써 적벡터에 의해 실현된다. 2개의 부울 적의 AND, 즉 [j*q(t)]*(/j)]는 널이므로, 널 적벡터를 얻기 위해 (0, x, x)와 (1, x, 1)을 교차시킴으로써 적벡터에 의해 실현된다. 널 적벡터는 교차가 존재하지 않는다는 것을 나타낸다. 일반적으로는, 항교차는 적벡터를 나타내고, 항 AND는 부울적을 나타낸다.

[일치]

다른 중요한 부울 연산은 xy+/xz=xy+/xz+yz의 장리에 기초를 둔 일치 연산이다. 일치는 여유 (redundant) 적 yz를 유도하는데 사용된다. 이 일치 연산은 적베터를 사용하여 용이하게 실행된다. 일치가 존재하는 경우에, 함수 F의 2개의 적벡터 V1과 V2사이의 일치는 제3의 적벡터 V3을 발생시키게 되고 다음과 같은 형태로 정해진다. 항은 보수(complement)형태, (즉, 각 적벡터내의 동일항에 대해 0 및 1)로 V1과 V2내에 존재해야 한다. V1 및 V2의 나머지 원소는 교차된다. 이 교차가 널이 아닌 경우에는, 함수 F의 유효 적벡터이다.

일례로서, 함수 F의 2개의 적벡터, 즉 (1, 1, 0) 및 (0, x, 0)을 고찰하면, 제1항은 보수 형태로 2개의 적벡터 내에 존재하고, 적벡터들은 (x, 1, 0) 및 (x, x, 0)으로 다시 쓰여질 수 있다. (x, 1, 0)과 (x, x, 0)을 교차시켜, (x, 1, 0)을 얻는다. 적벡터(x, 1, 0)이 널이 아니므로, 함수 F의 유효 적벡터이다.

[커버링(covering)]

최종적으로, 커버링의 개념은 x+xy=x의 정리에 기초를 두고 있다. 커버링은 부울 함수에서 여유 적을 제거하기 위해 사용된다. 커버링은 상태 트리(tree)를 구성하기 위한 중요한 도구(tool)이다. 적벡터(V1)은 V1이 적합한 x들을 1 또는 0으로 변화시킴으로써 V2로 변환되는 경우에 적벡터 V2를 커버한다고 한다.

예를들어, (x, 0, x, x)는 (x, 0, x, 0)을 커버하므로, 커버링을 적용함으로써, 2개의 적벡터는 이들이 표현하는 함수에 관한 정보를 거의 손실 시키지 않고서 단일 적벡터(x, 0, x, x)로 나타낼 수 있다.

[대수 회귀 검사 방법의 개요]

제1도는 본 발명의 검사 기능 발생 방법의 플로우 챠트를 개략적으로 도시한 것이다. 단계(2)에서는 장치 에디터가 장치의 설명에 관련된 엔트리 및 에디팅 기능을 제공하지만, 본 발명의 주제는 아니다. 다음 단계(4 및 5)에서는 장치의 상태 방정식 및 이들의 보수가 유도되는 전처리 작용을 한다. 검사 능력을 위해 요구된 경우에, 단계(6)내에서 일치가 상태 방정식에 적용되고, 필요 조건이 부합되지 않는 경우에, 이 방법은 단계(7)에서 종료되어 장치가 검사될 수 없게 된다.

이 방법의 다음 단계는 장치의 모든 입력-출력 핀들을 포함하는 거짓 상태 검출 방정식을 유도하는 단계(8)이다. 이것이 완전하면, 단계(10)내에서 거짓 상태 검출 벡터들은 이 거짓 상태 검출 방정식이 참상태인 장치 상태를 나타내는 각 거짓 상태 검출 방정식을 유도한다.

단계(11)에서는 대부분의 출력들이 단계(12)내에서 구성된 제1상태 트리의 루트 노드(root node)에 대해 x로서 표시되는 거짓 상태 검출 벡터를 선택하는 단계이다. 트리가 출력들이 장치의 내부 레지스터에 무관한 상태에 도달하기 전에 충만 상태이면, 단계(11)로 복귀하고, 다른 거짓 상태 검출 벡터를 선택하여, 새로운 트리를 형성한다. 이 방법은 노드가 장치 내부 레지스터(16)에 무관하다는 것이 발견되고 이러한 노드가 전혀 존재하지 않는다는 것, 즉 장치가 검사 불가능하다는 것이 결정될 때까지 반복된다. 각 상태 트리가 형성될 때, 이것은 프루닝(pruning)기능을 사용하여 프룬되므로, 초기치 설정 순차는 장치 내부 레지스터가 검사를 단계(20)으로 진행시키기 위해서 단계(18)로 진행될 수 있도록 단계(17)에서 결정된다.

[장치 디스크립터의 전처리]

전처리, 즉 단계(4, 5, 6 및 7)의 목적은 장치의 각 출력에 대한 최소화된 논리 참 상태 및 논리 거짓 상태방정식을 결정하기 위한 것이다. 부수적으로, 이 방정식은 보드(board) 위상을 반영하기에

적합해야 한다. 또한, 이 방법을 사용하여 검사 가능성을 식별하는 핵심항을 결정할 필요가 있다.

[최소화된 논리 참/거짓 상태 방정식의 유도]

장치의 각 출력은 부울 상태 방정식의 형태로 표현된다. 이 방정식의 의미는 논리 참 상태 또는 논리 거짓 상태로 된다. 그 다음, 각 방정식의 보수가 유도된다. 이것은 드모르간의 정리(DeMorgan's theorm)를 적용한 다음에, 맥클러스키, 이. 제이. 주니어, (McCluskey, E. J. JR.)저, 뉴욕주 소재, McGraw-Hill Book Co. 발행, "Introduction to the Theory of Switching Circuits", 1965, 제4장에 기술된 기술에 따라서 최종식을 최소화시킴으로써 달성될 수 있다. 최소화된 논리 참 및 거짓 상태 방정식은 이 장치의 각 출력에서 필요로 하는데, 이 방정식들은 상태 트리를 구성하는데 사용된다. 부수적으로, 장치의 소정의 매입형 레지스터에 대한 방정식이 필요하다. 매입 레지스터는 소정의 레지스터인데, 이것의 출력은 장치의 외부핀에 이용될 수 없다.

설명을 하기 위해, 제2도는 1개의 입력, 2개의 출력을 갖는 장치(22)를 도시한 것이다. 장치(22)는 q0(24) 및 q1(26)으로 표시된 2개의 레지스터된 출력과 i(28)로 표시된 1개의 입력, 및 클럭(30)을 갖고 있고, 다음과 같은 부울 방정식으로 나타낼 수 있다.

q0(t+1)=/i*q0(t)+q0(t)*/q1(t)

q1(t+1)=i*/q1(t)+i*q0(t)

전형적으로, 부울 논리 방정식들은 이 장치가 선택적 상태 설명에 의해 설명되지 않는 한 이들의 유도가 불필요하도록 제조자들에 의해 표시된다. q0(t+1), 및 q1(t+1)에 대해 드모르간의 정리를 사용하여 최소화된 부울식을 유도하면, 다음과 같다.

/q0(t+1)=i*q1(t)+/q0(t)

/q1(t+1)=/i+/q0(t)*q1(t)

이 정보는 다음과 같이 적벡터를 사용하여 나타낼 수 있다.

q0(논리 참) : {(0, 1, x), (x, 1, 0)}

q0(논리 거짓) : {(1, x, 1), (x, 0, x)}

q1(논리 참) : {(1, x, 0), (1, 1, x)}

q1(논리 거짓) : {(1, x, x), (x, 0, 1)}

[위상에 방정식을 적용]

점퍼(jumper) 또는 고정 트레이스(trace)를 사용함으로써 장치는 이장치가(모든 핀이 자유로운)다른 회로 부품에 접속되지 않을 때 나타나는 것과 상이한 형태로 인쇄회로 어셈블리상에 나타날 수 있다. 이것은 입력을 선정된 상태에 결합시킴으로써 달성될 수 있다. 장치 방정식은 결합된 입력 라인의 대수 관계를 고찰함으로써 이 변형 상태를 반영하도록 용이하게 변형된다. 예를들어, 입력 핀의 논리 참상태형태를 포함하는 적항은 이 핀이 로우(low) 상태로 결합되는 경우에 사라져 버린다. 입력핀상의 각 스턱-앳 조건에 대한 일반적인 절차는 다음과 같다. 입력 핀(i)상의 스턱-앳 논리 레벨 1을 고찰한다. 또한, 장치의 최소화된 논리 참 및 논리 거짓 상태 방정식을 나타내는 셋트로부터의 각 적벡터를 고찰한다. i번째 원소가 x가 아닌 각 적벡터에 있어서는, 다음과 같은 변형이 요구된다.

(1) i번째 지정수가 1인 경우에, 이 지정수는 x로 변환된다.

(2) i번째 지정수가 /1인 경우에, 적벡터는 사라진다.

(3) (i)가 참이고, 적벡터의 모든 다른 원소가 x로 지정된 경우에, 출력 상태는 항상 참이다.

[검사에 필요한 조건 식별]

검사기능 발생이 본 발명의 방법에 의해 가능하게 되게 하기 위한 필요 조건이지만 충분 조건이 아닌 조건을 식별할 수 있다. 이 장치의 레지스터된 출력에 대한 논리 참 및 논리 거짓 상태 최소화 부울 방정식을 나타내는 적벡터들중 최소한 한 개의 적벡터는 이 적벡터의 출력 지정수로 부적합한(돈트 케어 또는 논리적으로) 모든 x를 포함한다. 적벡터들 중 한 적벡터의 출력 지정수가 모든 x로 나타난 경우에, 출력은 입력만을 사용하여 참 또는 거짓 상태로 셋트될 수 있다. 이 적벡터들 중 어느 적벡터도 이 요구 조건에 부합되지 않을 경우에, 소정의 방정식을 나타내는 부수적인 부울적을 유도하기 위해 출력에 관련된 각 방정식의 적벡터에 일치가 적용될 수 있다. 이 장치의 확장된 적벡터를 이 장치의 논리 참 및 논리 거짓 상태 핵심항이라 한다. 장치의 논리 참 또는 논리 거짓 상태 핵심항을 나타내는 적벡터들중 어느 것도 이들의 출력 지정수에 관련된 모든 x를 포함하고 있지 않으면, 장치는 이 방법에 의해 검사될 수 없다. 이것은 논리 장치를 설계할 때의 검사능력에 대한 설계 규칙에 대한 기초를 제공한다. 이 제한의 예외는 레지스터가 셋트 또는 클리어 기능을 갖추고 있는 경우이다.

장치(22)에 있어서, 적벡터(x, x, 0)은 각각의 출력에 대한 x지정수를 갖고 있으므로, 검사기능을 발생시키기 위한 알고리즘에 대한 필수조건이지만 충분조건이 아닌 조건을 갖는다.

이 방법에 의해 검사될 수 없는 장치의 한 예는 클럭을 제외한 1차 입력을 전혀 포함하고 있지 않으므로, 배타적으로 이전 상태의 함수인 간단한 카운터이다. 다행히, 대부분의 실제 설계는 초기치 설정 순차가 상태 기계를 공지된 상태로 되게 한다. 상태 트리는 본 발명의 방법에 관련된 이 순차를 결정하기 위한 수단으로서 제공된다.

[거짓 상태 검출 방정식 결정]

장치(22)에서 거짓 상태 검출 방정식을 구성하기 전에, 적벡터를 구성할 수 있는 새로운 원소 e는 특정한 입력에 대한 x가 아닌 지정수를 포함하는 적벡터를 제외하기 위해 사용된다. 이것은 해당 입력으로 장치의 상태를 셋트시킬 가능성을 제거하기 위해서 필요하다. 2개의 적벡터가 교차의 정의를 전개하면 다음과 같다.

	0	1	x	e
0	0	n	0	n
1	n	1	1	n
x	0	1	x	e
e	n	n	e	u

여기서, u는 미지수이다.

장치(22)에 대한 거짓 상태 검출 방정식을 발생시키기 위해서 장치(22)에 대한 상태 방정식이 사용되어야 하고, 이들은 다음과 같다.

q0(t+1)=/i*q0(t)+q0(t)*/q1(t)

q1(t+1)=i*/q1(t)+i*q0(t)

이 장치는 다음과 같은 거짓 상태 검출 방정식의 필요 조건이 만족되는 경우에 완전히 검사될 수 있다.

q0(t+1)=/i

q1(t+1)=i

q0(t+1)/i로 시작하여, 목적은 q0(t+1)=/i가 되도록 q0(t) 및 q1(t)의 지정수 셋트를 얻기 위한 것이다. 이것은 해당 입력을 포함하고, 이것을 1차 부울적으로서 표시하는 q0(t+1)의 임의의 부울적을 선택함으로써 행해 진다. 장치(22)에서, 해당 입력은 이고, 1차 부울 적은 /i*q0(t)이다. 이때, 적벡터는 (0, 1, x)를 얻기 위해서 이 1차 부울적으로부터 구성된다. i에 대한 지정수는(해당 입력을 제외하기 위해) e로 변화되어, (e, 1, x)를 얻는다. 이것을 1차 적벡터라고 부른다.

q0(t+1)의 잔여 적을 2차 부울적이라고 부른다. 이 2차 적들의 합인 함수가 구성된다. 드모르간의 정리가 이 함수에 적용되고, 최종식이 최소화된 2차 부울적을 얻기 위해 최소환된다. 장치(22)에서, 이 함수는 아래와 같이 주어진다:

q0(t+1)=q0(t)*/q1(t)

드모르간의 정리를 적용하여, 최소화시키면, 아래와 같이 된다:

/q0'(t=1)=/q1(t)+q1(t)

그 다음, /q0'(t)로 표시하는 적벡터들이 구성되는데, 이를 2차 적벡터라고 부른다. 거짓 상태 검출 벡터의 유도시의 다음 단계는 1차 적벡터를 각각의 2차 적벡터와 교차시키는 것이다. 이 교차로부터 발생하는 적벡터의 출력 지정수에 관련하여 일치가 적용된다. 최종 적벡터 셋트는 1차 적에 관련된 거짓 상태 검출 방정식 q0(t+1)=/i에 대한 거짓 상태 검출 부울적이라 불리워진다. 이 거짓 상태 검출 부울적 셋트는 거짓 상태 검출 벡터 셋트라고 부르는 적백터의 셋트로 나타낼 수 있다. 다른 독특한 거짓 상태 검출 벡터 셋트가 해당 입력을 포함하는 거짓 상태 검출 방정식내의 다른 적을 위해 존재할 수 있다.

이 방법은 거짓 상태 검출 방정식 q0(t+1)=/i의 필요 조건을 만족시키는 완전한 거짓 상태 검출 부울적 셋트를 제공한다. 거짓 상태 검출 벡터들 중 한 벡터에 존재하지 않는 초기치 설정 순차가 다른 검출벡터에 존재할 수 있기 때문에 이것은 중요하다. 소정의 이 거짓 상태 검출 벡터에 대한 출력 지정수가 모든 x를 포함하면, 초기치 설정 순차는 전혀 요구되지 않고, 이 적벡터는 장치의 상태를 셋트시키게 된다.

거짓 상태 검출 벡터 장치(22)를 유도할 때의 다음 단계는 (e, 1, 1)을 얻기 위해 (e, 1, x)를 (x, 0, x) 및 (x, x, 1)과 교차시키는 것이다. 일치를 적용할 기회가 없고(출력이 보수를 포함되지 않는다), 거짓 상태 검출 벡터 셋트가(e, 1, 1)로 된다.

최종적으로, 거짓 상태 검출 방정식 q1(t+1)=i로 진행된다. 1차 적으로써 i*/q1(t)를 선택하면, 고장 상태 검출 벡터 셋트는 (e, 0, 0)으로 주어진다. 1차적으로 i*q0(t)를 선택하면, 거짓 상태 검출 벡터 셋트는 (e, 1, 1)이다.

방정식이 출력만의 함수인 한 특수한 경우가 존재한다. 이 출력을 검사하기 위해서, 형태 qn(t+1)=f[qm(t)]의 거짓 상태 검출 방정식을 구하는데, 이때 qm(t)는 qn(t=1)이 함수인 임의 출력이다. 예를들어, 1입력, 3출력 장치에 대한 다음 방정식을 고찰한다.

q0(t+1)=/q2(t)*q0(t)+/q1(t)

거짓 상태 검출 방정식 q0(t+1)=/q2(t)를 만족시키는 거짓 상태 검출 벡터셋트를 구하기 위해서, 이미 기술한 법칙에 따라서 1차 적벡터와 2차 적벡터를 구성하고, 거짓 상태 검출 벡터(x, 1, 1, x)를 얻는다. 초기치 설정 순차가(x, 1, 1, 1) 및 (x, 1, 1, 0)을 위해 존재하면, q0, 및 q2는 거짓 상태가 아니다. 이 검산이 성공적이 아니면, 한쌍의 거짓 상태 검출 벡터들이 초기치 설정 순차가 존재하는 경우에 유도될 때까지,

q0(t+1)=f[q0(t)]

q0(t+1)=f[q1(t)]

형태의 새로운 거짓 상태 검출 방정식을 구성한다.

[초기치 설정 순차 유도]

소정의 거짓 상태 검출 벡터에 대한 초기치 설정 순차를 정하기 위한 메카니즘은 소정 기계의 상태에 무관하게 개시될 수 있는 소정의 초기치 설정 순차의 전이 상태를 구하기 위해서 논리 장치의 이전 상태를 정하는 구조인 상태 트리이다. 이 순차의 제1전이 상태가 장치의 상태에 무관하게 개시될 수 있는 초기치 설정 순차가, 존재하는 경우에 구해진다. 한편, 적벡터의 출력은 초기치 설정 순차의 제1전이 상태인 제6도에 노드(84)로 도시된 것처럼 x 또는 돈트케어(부적합한 논리)이다.

[상태 트리]

상태 트리(32)의 일반적인 상태는 제3도에 도시되어 있다. 트리(32)의 각 레벨(34, 35, 38, 40)은 시간의 이산 증분에 대응한다. 트리의 노드(42, 44, 46, 48, 50, 52)와 같은 노드들은 상태 노드라 칭하고, 장치의 상태를 나타낸다. 상태 노드는 적벡터의 형태를 갖고 있다. 상태 트리의 루트(root)는 노드(42)로서 도시되어 있고, 거짓 상태 검출 벡터이다. 상태 노드의 췰드런(children)은 노드에 대한 가능한 선행(predecessor)상태라 칭해진다. 상태 노드의 페어런트(parent)는 후속(sucessor)상태라 칭해진다.

제3도로부터, 노드(44; N2), 및 노드(46; N3)은 노드(42; N1)의 선행상태이다. 노드(42; N1)이 시간(t)에서 존재하는 경우, 노드(44 및 46; N2 및 N3)은 시간(t-1)에서의 가능한 상태이고, 노드(42; N1)은 노드(44 및 46; N2 및 N3)의 후속 상태이다. 이 관계의 의미는 장치가 노드(42; N1)내에서 정해진 레지스터의 한 클럭 사이클을 통해 노드(44; N2) 또는 노드(46; N3)으로부터 노드(42; N1)로 전이된다는 것이다. 선행 상태와 후속 상태의 관계는 함수에 대한 논리 하이와 논리 로우 핵심항의 관계와 유사하다. 각 출력 지정수가 x인 선행 상태가 존재하면, 장치의 소정의 레지스터 상태에 무관하게 상태 트리내에서 전이가 행해진다.

[상태 트리 적용]

초기치 설정 순차를 유도하기 위해서, 상태 트리는 출력 지정수에 대한 모든 x(논리 부적합 항)을 포함하는 선행 상태가 발견될 때까지 선행 상태가 전혀 존재하지 않는다는 것이 결정되지 않는 한 이전의 장치 상태로부터 구성되어야 한다. 이러한 선행상태가 존재하는 경우에, 초기치 설정 순차는 제1전이 상태가 장치의 상태에 무관한 지점에 정해진다.

예를들어, 제3도의 상태 트리를 고찰하고, 노드(52; N6)으로 도시된 적벡터가 각 출력 지정수에 대한 x를 포함하고 있다고 가정한다. 초기치 설정 순차는 루트 노드(42; N1)에 도달될 때 까지 후속상태를 통해 노드(52; N6)으로부터 상태 트리를 횡단함으로써 구해진다. 이 예내에서, 전역(global) 클럭이 사용된다고, 가정하면, 노드(52; N6)에 의해 정해진 입력들은 시간 레벨 증분(40)에 의해 나타낸 시간(t-3)에서 순차를 개시하기 위해 사용된다. 그 다음, 장치가 클럭되고, 노드(48; N4)에 의해 정해진 출력이 시간(t-2, 38)에서 관찰되어, 상태 트리에 의해 예상된 노드(48; N4)출력과 비교된다. 다음에, 노드(48; N4)에 의해 정해진 바와 같은 입력들이 셋트되고, 장치가 노드(44; N2)에 사용되는 다음 시간 증분(t-1)로 클럭된다. 이 방법은 루트 노드(42; N1)에 도달할 때까지 반복된다. 이때, 거짓 상태 검출 방정식이 확인된다.

[선행 상태의 구성]

장치(22)의 제1상태에 대한 루트 노드로서 선정된 거짓 상태 검출 벡터(e, 0, 0)이 선택된다.
q0(t+1) 및 /q1(t+1)에 대한 논리 거짓 상태 적벡터를 수집하면,

/q0(논리 거짓) : {(1, x, 1), (x, 0, x)}

/q1(논리 거짓) : {(0, x, x), (x, 0, 1)}

로 되는데, /q1(t+1)과 /q0(t+1)을 교차시키면 (0, x, x), (0, 0, x), (x, 0, 1)의 선행 상태가 발생된다.

선행 상태의 구성의 다른 예를 설명하기 위해 고려하면, 최소화된 논리 하이 적항 및 논리 로우 적항이 다음과 같이 주어지는 1개의 입력, 3개의 출력 장치를 고찰한다.

q1(t+1)=p1(t)+p2(t)

q2(t+1)=p3(t)+p4(t)

q3(t+1)=p5(t)

/q1(t+1)=p6(t)+p7(t)

/q2(t+1)=p8(t)+p9(t)

/q3(t+1)=p10(t)

여기서, p(1) 내지 p10(t)는 부울적이다. 이때, (x, 1, 0, 1)에 의해 주어진 후속 상태의 선행 상태를 구한다. 선행 상태 노드 셋트를 얻기 위해 후속 상태에 의해 표시된 최소화된 논리참 및 논리 거짓 출력의 부울 AND를 수행한다. 이 함수는 다음과 같다.

[p1(t)+p2(t)]*[p8(t)+p9(t)]*[p5(t)]

최종 함수는 여유 선행 상태 노드를 제거하기 위해 최소화 된다. 확장된 선행 상태 노드 셋트로서 공지된 확장된 선행 부울식을 얻기 위해 최소화된 함수를 나타내는 적벡터의 출력 지정수에 관련하여 최소화된 함수에 일치가 적용된다. 최종적으로, 확장된 적벡터 셋트는 후속 상태의 출력 지정수에 의해 정해진 출력에 대한 선행 부울 식으로 얻기 위해서 여유항을 제거하도록 커버된 출력 지정수에 관련하여 감소된다. 최종 적벡터는 (x, 1, 0, 1)의 선행 상태이다. 이 연산으로부터, 장치의 동작과 무관하게 후속 상태로 전이될 수 있는 적벡터가 존재하는 경우에, 선행 상태 셋트내에 존재하게 된다는 것을 알게 된다.

선행 상태의 구성을 설명하기 위해서, 장치(A)에 대한 거짓 상태 검출 벡터(e, 1, 1)을 고찰한다. q0(t+1), 및 q1(t+1)에 대한 논리참 적벡터를 수집하면, 다음과 같이 된다.

q0(논리참) : {(0, 1, x), (x, 1, 0)}

q1(논리참) : {(1, x, 0), (1, 1, x)}

선행 상태의 구성은 q1(t+1)과 q-(t+1)을 교차시킴으로써 달성되는데, 이것은 {(1, 1, 0), (1, 1, 0)}으로 된다. 맥클러스키 방법에 의해 최소화시키면, {(1, 1, 0)}으로 된다.

일치를 적용할 기회가 없으므로(즉, 보수 출력쌍이 없다.), (e, 1, 1)에 대한 선행 상태 셋트가 (1, 1, 0)으로 주어진다.

[상태 트리의 구성]

상태 트리는 각 노드마다 선행 상태를 발생시킴으로써 반복적으로 구성된다. 한번에 트리 1레벨을 구성함으로써 최소 초기치 설정 순차로 상승하게 되는 방식으로 트리를 구성할 수 있다. 레벨(34, 제3도)를 종료한 후에만, 레벨(36)을 구성하도록 진행된다. 이 방법은 장치의 소정의 레지스터 상태에 무관한 상태 노드가 발견될때까지, 또는 트리가 충만 상태일때까지 계속된다. 트리는 특정한 장치에 대한 이 트리내에 소정의 노드가 존재하는 경우에 프루닝 기술이 더이상의 성장을 억제하고 초기치 설정 순차가 전혀 존재하지 않을 때 충만 상태이다.

[프루닝]

본 명세서에 제공된 프루닝 기술은 상태 트리에 들어가게 되고 장치의 이전 상태를 유한(finite) 검사하는 상태 노드에 제한을 가한다.

기술된 제1프루닝 기술은 감소된 선행 상태 노드 셋트를 제공하는 여유 상태의 방법이다. 상태 트리내에 이미 존재하는 제3도에 도시한 바와 같은 상태 노드(44; N2)를 고찰하고, 상태 트리내로 들어가기 위한 것으로 고찰되는 다른 선행 상태 노드(46; N3)을 고찰한다. 노드(46; N3)에 의해 표시된 적벡터의 출력 지정수가 노드(44; N2)에 의해 표시된 적벡터에 대한 출력 지정수와 동일한 경우에, 노드(46; N3)은 여유 출력 지정수를 갖고 있기 때문에 상태 트리에 들어가지 못한다. 제4도의 장치(22)에 대한 예내에서, 노드 56=(1, 0) 및 노드 60=(1, 0), 즉 노드(60)의 출력 지정수는 들어가지 못하게 된다. 선행 상태가 후속 상태의 출력 지정수의 함수이므로, 입력 지정수의 값은 중요하지 않다. (0, 1, 0)하에서 발생되는 서브트리(subtree)는 (1, 1, 0)하에서 발생되는 서브트리와 동일하게 된다. 그러므로, 상태 노드(1, 1, 0)의 서브트리에 의해 제공된 상태 순차 정보는 (0, 1, 0)에서 얻어진 순차 데이터 이후의 정보를 추가시키지 않는다.

다른 프루닝 기술은 선행 상태 노드를 더욱 감소시키는 슈퍼 상태(super state)의 개념을 포함한다. 제3도내에서, 노드(42; N1)이 트리내에 이미 존재하고, 노드(46; N3)이 상태 트리내로 들어가기 위해 고려중에 있는 2개의 상태 노드(42; N1 및 46; N3)을 고찰한다. 노드(42; N1)은 노드(42; N1)의 출력 지정수가 노드(46; N3)의 출력 지정수를 커버하는 경우에 노드(46; N3)의 슈퍼 상태로 지정 된다. 한예로서, 노드(42: N1)이 (1, 0, x)로 정해지고, 노드(46; N3)이 (0, 0, 0)으로 정해지면, (1, 0, x)의 출력 지정수는 (0, 0, 0)을 커버한다. 노드(42; N1)이 노드(46; N3)의 슈퍼 상태이기 때문에, 노드(46; N3)이 상태 트리 내로 들어가지 못한다. 또한, 이 제한을 상태 트리내로 각각 새로 들어감으로써 상태도의 새로운 영역을 개척한다. 슈퍼 상태의 개념은 상태 트리의 퍼텐셜 노드의 수를 3n에서 2n으로 감소시키는데, 이때 n은 장치의 출력수이다. 기수 3은 적벡터의 출력 지정수를 구성하는 3개의 별도 원소(1, 0 및 x)로부터 나온다. 또한, 프루닝 기술을 트리의 유한 성장을 보장한다.

상태 트리에 의해 정해진 초기치 설정 순차가 이미 존재하는 경우에 부수적인 프루닝 방법이 존재한다. 이때, 이 초기치 설정 순차를 나타내는 적벡터의 출력 지정수는 스탠다드 런 해쉬 테이블 (standard learn hash table)을 사용함으로써 알려진다. 미래의 상태 트리를 구성하고 들어가기 위한 상태 노드(n)을 고찰할 때, n의 출력 지정수가 존재하는지를 결정하기 위해 런 해쉬 테이블 내로 해쉬한다. 이것이 존재하는 경우에, 런 해쉬 테이블에 의해 지정된 초기치 설정 데이터와 함께 현재 상태 트리내에 포함된 초기치 설정 데이터를 병합한다.

다른 프루닝 방법은 충만 트리 노드들을 포함한다. 충만 트리로부터의 상태 노드는 유사한 방식으로 알려진다. 충만 트리는 초기치 설정 순차가 이 트리를 구성하는 소정의 상태 노드에는 존재하지 않는다는 것을 나타낸다. 기존 상태 트리내로 들어가기 위한 상태 노드 n을 고찰하면, n의 출력 지정수가 해쉬에 의한 충만 트리부인 노드의 출력 지정수에 의해 커버되는지를 결정해야 한다. n이 이전 충만 트리의 노드의 출력 지정수에 의해 커버된 경우에, n을 들여보냄으로써 기존 상태 트리에 값이

전혀 추가되지 않는다.

[검사 장치(22)]

장치(22)를 다시 설명하면, 고장 상태 검출 벡터(e, 1, 1)에 대한 상태 트리(53)이 제4도에 도시되어 있다. 상태 노드(60, 62, 및 64)는 여유 상태 프루닝 제한에 따라서 트리내로 들어가지 못한다. 이 상태 트리(53)이 충만 상태이므로, 제1전이가 소정의 내부 레지스터 상태에 무관하게 개시될 수 있는 지점에 초기치 설정 순차가 전혀 존재하지 않는다.

다음 단계는 거짓 상태 검출 방정식 q1(t+1)=i를 만족 시키는 (e, 0, 0)에 대한 상태 트리를 구성하는 것이다. (e, 0, 0)에 대한 상태 트리는 제5도에 도시되어 있다.

상태 노드(84)에 대한 출력 지정수는 모두 x로 표시 된다. 또한, 노드(80)은 (1, 1, x)의 출력 지정수가 (e, 1, 1)에 대한 충만 트리의 상태 노드의 출력 지정수와 동일하기 때문에 트리내로 들어가지 못하게 된다. 노드(76)은 여유 상태 프루닝 제한으로 인해 들어가지 못하게 되었다. 노드(82)는 이것의 출력 지정수가 노드(70)[이 노드(70)은 슈퍼 상태 또는 노드(82)이다]의 출력 지정수에 의해 커버되기 때문에 들어가지 못하게 된다.

(e, 0, 0)에 대한 초기치 설정 순차는 루트 노드(66)에 도달할 때까지 후속 상태(78, 74 및 70)을 통해 노드(84)로부터 상태 트리를 횡단시킴으로써 용이하게 유도된다. 이 순차는 다음과 같다.

1. 입력 0-클럭장치-검사 q1=0

2. 입력 1-클럭장치-검사 q1=1

3. 입력 1-클럭장치-검사 q0=0

4. 입력 0-클럭장치-검사 q0=0, q1=0

이 장치에 대한 거짓 상태 커버 상태는 i 및 q1에 관련하여 100%이고, 스턱-앳-1 거짓 상태에 관련하여 q0으로 검사되었다. 유사한 절차가 스턱-앳-0 거짓 상태에 관련하여 장치 A를 검사하기 위해 사용된다.

[거짓 리솔루션]

거짓 상태가 존재하면, 적합한 초기치 설정 순차가 셋업될 수 없다. 예를들어, 장치 스턱-앳-1의 출력(2)에 대한 검사를 할 때, 초기의 설정 순차는 출력(2)가 용이하게 0으로 되어야 한다. 후속 상태의 특성은 소정의 후속 상태내에서 정해진 출력들이 출력의 선행 상태에 관련하여 감지된다. 이것은 출력(2)가 초기치 설정 순차 중에 논리 0에 도달하지 못할 경우에 거짓 상태로 된다는 것을 의미한다. 그러므로, 검사는 계속 수행되었다.

[비동기 레지스터]

논리 장치의 레지스터는 비동기 클리어, 엔에이블, 및 셋트 기능을 가질 수 있다. 부수적으로, 레지스터의 클럭은 독특한 비동기 항에 의해 정해질 수 있다. 이 특징들은 자동 검사 기능 발생 임무를 간략화시킬 수도 있고 복잡화시킬 수도 있다. 셋트 및 클리어 기능은 소정의 거짓 상태 검출 벡터 또는 상태 트리내의 소정의 노드의 상태 필요 조건과의 부합을 도울 수 있다. 그러나, 레지스터의 독특한 클럭킹 필요 조건은 장치의 요구된 상태 순차를 제한하거나, 억제하도록 작용할 수 있다.

논리적으로 참일 때 논리 장치의 소정의 레지스터가 부울적이 발생되는 최대 4가지 특징을 가질 수 있다고 가정한다. 이들은 클럭, 셋트, 클리어, 및 엔에이블 기능이다. 장치의 클럭 및 엔에이블 특징은 입력만의 함수로 되도록 제한된다. 레지스터의 셋트 및 클리어 특징은 특정한 응용이 이 특징이 무효화될 것을 요구하고 입력을 사용하여 특징을 무효화시킬 수 있는 경우에 출력의 함수로 될 수 있다. 본 발명의 레지스터는 이 특징들이 적합계(sum-of-products) 형태로 표현되는 경우에 용이하게 일반화된다.

[비동기 레지스터에 대한 전처리 필요조건]

장치의 각 레지스터에 있어서, 레지스터가 어떻게 클릭, 셋트, 클리어, 또는 엔이이블되는지를 정하는 한 셋트의 적벡터가 요구된다.

[클럭킹 필요조건]

레지스터를 클럭시키기 위해 정해지는 활성 하이 부울적을 고찰하면, 이 적은 레지스터를 클럭시키기 위한 N가지 독특한 방법이 있는 연부 레벨 전이 상태에 대한 항(t1 내지 tN)의 AND로 된다. 부울적이 논리적으로 참 상태로 개시된다고 가정하면, 레지스터는 t1 또는 t2 내지 tN을 토글시킴으로써 클럭될 수 있다. N개의 전이 상태 셋트 전체는 전이 상태 셋트가 레지스터를 클럭시키는 소정의 1차 입력(tn)에 적합한 한 셋트의 적벡터를 나타내는 레지스터에 대해 정해진다. 전이 상태 셋트는 다음과 같이 tn으로 구성된다. 우선, 셋트 및 클리어 기능들은 무효화되고, 엔에이블 기능이 발생된다. 기능이 어떻게 무효화될 수 있는지를 나타내는 적벡터 셋트가 이 기능의 발생된 형태를 기술한 부울적에 드모르간의 정리를 적용함으로써 얻어진다. 소정의 출력에 대한 클리어, 셋트 및 엔에이블 필요 조건과 부합되는 적벡터를 구성한다. 이것은 무효화 셋트 적벡터와 무효화 클리어 적벡터를 교차시킴으로써 행해진다. 최종식은 발생 엔에이블 적벡터와 교차된 다음, 최소화된다.

지금부터, 출력에 대한 클럭이 i1*/i2로 주어지는 3개의 입력, 1개의 출력 장치를 고찰한다. 클리어 및 셋트 거짓 상태 및 엔에이블 참상태 교차의 결과인 적벡터와 적벡터(e, 0, x, x)를 교차시킴으로서 i1 및 i2에 대한 전이 상태 셋트를 구성한다. 최종 적벡터는 i1에 관련된 전이 적벡터 셋트를 나타낸다. 일례로서, i1에 대한 전이 전벡터 셋트가 (e, 0, 0, x)로 주어지면, 이것은 i1을 로우 상태로 되게 한 다음 하이상태로 되게 함으로써 출력을 클럭시킬 수 있다. (1, e, x, x)를 클리어 및 셋트 거짓 상태 및 엔에이블 참상태 교차의 결과인 적벡터와 교차 시킴으로써 /i2에 대한 이 방법을

반복한다.

[레지스터 셋트, 클리어 및 엔에이블]

레지스터 셋트에 있어서, 소정의 출력 셋트 및 엔에이블 기능이 발생되고 클리어 기능이 무효화되는 것이 보장되어야 한다. 이 방법은 이 상태를 기술하고 각 출력에 관련된 이 정보를 저장하는 적벡터들을 교차시키는 단계를 포함한다. 레지스터 클리어에 있어서, 엔에이블 및 클리어 기능이 발생되고, 셋트 기능이 무효화되는 각 출력에 대한 적벡터를 수집한다. 출력 엔에이블에 있어서, 셋트 및 클리어 기능이 무효화되고, 엔에이블 기능이 발생되는 각 출력에 대한 적벡터를 수집한다.

[상태 트리내의 전이 상태에 대한 필요 조건]

장치의 레지스터가 비동기 특징을 갖고 있는 경우에, 부수적인 제한 조건이 특정한 상태 트리내에 들어가기 위해 고려되는 선행 상태 노드상에서 요구된다. 3개의 입력, 3개의 출력 장치에 있어서, 2개의 적벡터(S 및 P)가 상태 트리내의 2개의 상태 노드를 나타낸다고 가정한다. S는 P의 후속 상태이다. S가 형태(1, x, x, 1, 0, x)를 갖고 있다고 가정하고, P가 형태(1, 1, x, x, 0, 1)을 갖고 있다고 가정한다. P에서 S로 장치를 전이시키기 위해서는, 다음 조건에 부합되어야 한다. P의 출력(q1 및 q3)은 엔에이블되어야 한다. 부수적으로, q2 및 q3에 대한 셋트 및 클리어는 디스에이블되어야 한다. 최종적으로, S의 출력(q1 및 q2)에 대한 클럭킹 필요 조건이 만족되어야 한다. 이 모든 제한들은 P의 입력 지정수에 적합하다. P의 입력 지정수를 q2 및 q3에 대한 엔에이블, 셋트 및 클리어 상태로 되게 하는 적벡터와 교차시킴으로써 시작된다. 그 다음, 이 적벡터들을 q1 및 q2에 대한 전이 셋트의 교차부들과 교차시킨다. q1의 모든 전이 셋트를 나타내는 적벡터 셋트를 q2의 모든 전이 셋트를 나타내는 적벡터 셋트와 교차시킴으로써 q1 및 q2에 대한 전이 셋트의 교차부가 얻어진다. S의 전이 셋트 적벡터와 P의 엔에이블, 셋트, 및 클리어 적벡터사이의 제1비-널(non-null) 교차부를 P'로서 나타낸다. P'는 P에서 S로의 전이에 대한 필요 조건을 만족시킨다. 그다음, P'는 S의 선행 노드로서 상태 트리내로 들어간다.

[상태 노드의 비동기 셋팅]

이전 단계로 진행하기 전에, P의 출력 지정수를 만족시키기 위해 q2의 클리어 기능 및 q3의 셋트 기능의 장점을 취할 수 있다. 이렇게 되는 경우에, P는 소정의 거짓 상태 검출 벡터에 대한 초기치 설정 순차의 제1전이 상태로 된다. 다음 절차를 통해 이 가능성을 검사한다. q2 및 q3을 엔에이블 시키는 적벡터, 및 q2를 클리어시키고 q3을 셋트시키는 적벡터와 P의 입력 지정수를 교차시킨다. 그다음, 이 적벡터들을 q1 및 q2에 대한 전이 셋트의 교차부와 교차시킨다. 이 교차부가 널이아닌 경우에, P의 출력 지정수를 비 동기 셋트시킨다음, q1 및 q2의 전이 셋트의 교차부에 의해 표시된 클럭킹 입력을 사용하여 P에서 S로 전이할 수 있다.

[J-K 플립 플롭을 사용하는 예]

다음예는 본 발명의 직관적 개요를 제공하기 위한 것이다. 본 발명의 상세한 단계는 생략한다. 장치의 설명은 다음과 같은 상태 방정식의 형태로 주어진다.

q(t+1)=j*/q(t)+k*q(t)

여기서, "*"는 부울 AND를 나타내고, "/"는 항의 보수를 나타낸다. 이것은 입력(j 및 k), 및 출력(q)에 대한 모든 스턱-앳-1 및 스턱-앳-0 거짓 상태를 식별하기 위한 것이다. 이 방법은 q가 j의 함수로서 나타나는 장치의 한 상태, 및 q가 k의 함수로서 나타나는 장치의 다른 상태를 알아보기 위한 것이다. 그 다음에, j-k 플립 프롭을 검사시 요구된 상태로 셋트시키기 위한 초기치 설정 순차를 결정한다.

입력(j)에서 시작하면, q(t)가 논리적으로 거짓 상태 일 때 q(t+1)은 입력(j)만의 직접 함수(direct function)이다. (t)가 거짓 상태인 거짓 상태 검출 벡터를 결정하는데 사용된 방법에 의해 유도된다. 이때, 방정식은 다음과 같다:

q(t+1)=j*1+0

또는

q(t+1)=j

방정식 q(t+1)=j는 j 및 q에 대한 거짓 상태 검출 방정식이다. q(t)를 논리적 거짓 상태로 셋트시키기 위한 초기치 설정 순차가 요구된다. /q(t)에 대해 최소화된 식은 부울 논리(드모르간 정리) 또는 j-k 플립 프롭의 카르노맵을 사용하여 용이하게 유도된다(제6도 참조).

/q(t)=/j*/q(t-1)+k*q(t-1)

2개의 적항들이 시간(t-1)에서의 장치 상태의 함수이기 때문에 q(t)를 논리적 거짓 상태로 셋트시키기 위한 방법은 이 방정식으로부터는 알 수 없다. 일치 연산은 /q(t)에 대한 부수적인 항을 유도한다. q(t-1)에 관련된 /q(t)에 일치를 적용하면, 다음과 같은 방정식이 제공된다.

/g(t)=/j*/q(t-1)+k*q(t-1)+/j*k

일치 방법은 여유 적항/j*k를 제공한다. 이 항은 q(t)가 입력만을 사용하여 거짓 상태로 셋트될 수 있다는 것을 나타내기 때문에 필요하다. 제6도는 여유 적항/j*k의 원점을 도식적으로 나타내는 카르노맵을 도시한 것이다. 입력(j) 및 출력(q)상의 정적 거짓 상태를 검사하기 위한 검사 순차를 구성할 수 있다.

[검사 순차]

거짓 상태 검출 방정식의 필요조건을 만족시키고 이 거짓 상태 검출 상태에 도달하도록 초기치 설정

순차가 있는 장치의 상태가 설정된다. 이 검사 순차는 다음과 같다.

초기치 설정 (t-1) j=0, k=1

거짓 상태 검출 (t) q(t)=0

방정식 참 j=1

j, q 스턱-앳-0에 대한

거짓 상태 검출 (t+1) q(t+1)=1

초기치 설정 (t-1) j=0, k=1

거짓 상태 검출 (t) q(t)=0, j=0

j, q 스턱-앳-1에 대한

거짓 검출 (t+1) q(t+1)=0

q가 입력(k)의 함수로서 나타나는 거짓 상태 검출 방정식을 식별한다. q(t)가 논리 참상태인 것으로, 관찰되면, j-k 플립 플롭에 대한 상태 방정식은 다음과 같이 된다.

q(t+1)=/k

이 방정식은 사용하면, 유사한 절차가 입력(k)를 포함하는 정적 거짓 상태에 대한 검사 순차를 결정하기 위해 적용한다. 검사 순차는 다음과 같이 결정된다.

q(t+1)=/k

이 방정식은 사용하면, 유사한 절차가 입력(k)를 포함하는 정적 거짓 상태에 대한 검사 순차를 결정하기 위해 적용한다. 검사 순차는 다음과 같이 결정된다.

초기치 설정 (t-1) j=1, k=0

거짓 상태 검출 (t) q(t)=1

방정식 참 k=1

k 스턱-앳-0

q 스턱-앳-1에 대한 (t+1) q(t+1)=0

거짓 상태 검출

초기치 설정 (t-1) j=1, k=0

거짓 검출 (t) q(t)=1

방정식 참 k=0

k 스턱-앳-1

q 스턱-앳-0에 대한 (t+1) q(t+1)=1

거짓 상태 검출

상기 검사 순차후에, j-k 플립 플롭에 대한 모든 정적 핀 거짓 상태들이 식별된다. 그러므로, 이 장치에 대한 회로내 검사의 필요 조건이 만족된다.

[본 발명의 장점들의 요약]

그러므로, 본 발명의 방법은 부울 상태 방정식에 의해 표현될 수 있는 대부분의 논리 장치용 자동 검사 기능 발생(ATG)의 독특한 방법을 제공하므로, 경제적이면서 속도가 빠르다. 이 방법은 프로그램 언어 또는 컴파일(compile) 언어로 컴퓨터에 의해 실행될 수 있고, 큰 검사 내부 거짓 상태 커버도를 제공하면서, 모든 스턱-앳-1 및 스턱-앳-0 정적 핀 거짓 상태를 양적으로 식별한다. 이 방법에 의해 발생된 검사 기능은 순차 논리 장치에 사용될 수 있고, 회로내 위상 및 비동기 레지스터에 적합하게 될 수 있다.

본 발명의 상기 설명은 설명 및 기술의 목적을 위해서 제공되었다. 본 발명은 기술된 형태에 제한되지 않고, 여러 가지 형태로 변형 및 변경될 수 있다. 실시예는 본 발명의 원리 및 이것의 실제 응용을 가장 양호하게 설명하기 위해서 선택되어 기술되었으므로, 본 분야에 숙련된 기술자들은 본 발명을 여러 실시예 및 변형 형태로 사용할 수 있다. 첨부한 특허청구의 범위는 본 발명의 다른 선택적인 실시예를 포함하도록 구성된다.

(57) 청구의 범위

청구항 1

부울 상태 방정식을 표현될 수 있는 장치에 대한 자동 검사 기능 발생 방법에 있어서, 상기 부울 상태 방정식으로부터 거짓 상태 검출 방정식을 유도하는 단계(5, 6, 8), 상기 거짓 상태 검출 방정식이 참 상태인 상태를 나타내는 거짓 상태 검출 부울적을 결정하는 단계(10), 초기치 설정 순차의 제1전이 상태가 장치의 상태에 무관하게 순차화될 수 있도록 프루닝법을 사용하여 상기 거짓 상태 검출 부울적의 필요조건을 만족시키는 초기치 설정 순차를 유도하는 단계(11, 12, 14, 16, 17), 및 상

기 장치를 검사하기 위해서 상기 장치에 상기 초기치 설정 순차를 적용하는 단계(18, 20)을 포함하는 것을 특징으로 하는 자동 검사 기능 발생 방법.

청구항 2

제1항에 있어서, 상기 부울 상태 방정식을 얻기 위해 상기 장치의 상태 표현을 전처리하는 단계(5)를 더 포함하는 것을 특징으로 하는 자동 검사 기능 발생 방법.

청구항 3

제2항에 있어서, 상기 전처리 단계(5)가 상기 부울 상태 방정식의 보수를 유도하고, 최소화된 논리참 및 최소환된 논리 거짓 장치 상태 방정식을 얻기 위해서 상기 부울 상태 방정식에 드모르간의 정리를 적용하는 단계를 포함하는 것을 특징으로 하는 자동 검사 기능 발생 방법.

청구항 4

제2항에 있어서, 상기 전처리 단계(5)가, 필요 조건이지만, 충분조건이 아닌 조건들이 상기 장치를 검사하기 위해 존재하는지를 결정하기 위해서 부수적인 부울적을 유도하기 위해 xy+xz=xy+xz+yz 정리에 기초를 두고 상기 부울 상태 방정식에 일치를 적용하는 단계를 포함하는 것을 특징으로 하는 자동 검사 기능 발생 방법.

청구항 5

제2항에 있어서, 상기 전처리 단계(5)가 레지스터 셋트, 클리어, 클럭 및 엔에이블과 같은 비동기 특징을 갖고 있는 장치를 나타내는 상기 부울 상태 방정식을 유도하는 단계를 포함하는 것을 특징으로 하는 자동 검사 기능 발생 방법.

청구항 6

제2항에 있어서, 상기 전처리 단계(5)가, 장치 입력이 선정된 상태에 고정되는 결과로서 회로내에 나타날 때 상기 장치의 위상에 상기 부울 상태 방정식을 적용하는 단계를 포함하는 것을 특징으로 하는 자동 검사 기능 발생 방법.

청구항 7

제1항에 있어서, 상기 거짓 상태 검출 방정식을 유도하는 단계(10)이, 검사될 입력을 포함하는 상기 최소화된 논리참 및 최소화된 논리 거짓 장치 상태 방정식으로부터 1차 부울적을 선택하는 단계, 상기 1차 부울적이 아닌 2차 부울적으로 상기 장치 상태 방정식의 모든 부울적을 정하는 단계, 상기 2차 부울적이 논리적으로 거짓 상태인 조건을 저하는 식을 발생시키기 위해 상기 2차 부울적에 드모르간의 정리를 적용하는 단계, 및 최소화된 2차 부울적 셋트를 얻기 위해 식을 최소화 시키는 단계를 포함하는 것을 특징으로 하는 자동 검사 기능 발생 방법.

청구항 8

제1항에 있어서, 상기 초기치 설정 순차를 유도하는 단계(11)이, 후속 상태의 출력 지정수에 의해 정해진 조건에 부합되는 선행 부울식을 얻기 위해 후속 상태의 상기 최소화된 논리 참 및 최소화된 논리 거짓 상태 방정식으로 부울 AND 연산을 실행함으로써 선행 상태를 발생시키는 단계, 및 상기 선행 부울식으로부터 여유 항들을 제거하는 단계를 포함하는 것을 특징으로 하는 자동 검사 기능 발생 방법.

청구항 9

제8항에 있어서, 상기 여유 항을 제거하는 단계가 후속 상태에 대한 부울식의 출력 지정수에 대응하고 이것에 의해 커버된 출력 지정수를 갖고 있는 상기 선행 부울식으로부터 항을 제거하는 단계를 포함하는 것을 특징으로 하는 자동 검사 기능 발생 방법.

청구항 10

제9항에 있어서, 확장된 선행 부울식을 얻기 위해 xy+xz=xy+yz 정리를 사용하여 상기 선행 부울식에 일치를 적용하는 단계를 포함하는 것을 특징으로 하는 자동 검사 기능 발생 방법.

청구항 11

제7항에 있어서, 상기 거짓 상태 검출 방정식이 참인 상태를 나타내는 상기 거짓 상태 검출 부울적을 결정하는 단계(10)이, 상기 1차 부울적으로부터 1차 적벡터를 유도하는 단계, 2차 적벡터로서 상기 최소화된 2차 적벡터를 나타내는 단계, 및 상기 거짓 상태 검출 방정식이 참인 상태를 나타내는 거짓 상태 검출 벡터 셋트를 얻기 위해 상기 2차 적벡터와 1차 적벡터를 교차시키는 단계를 포함하는 것을 특징으로 하는 자동 검사 기능 발생 방법.

청구항 12

제11항에 있어서, 부수적인 거짓 상태 검출 벡터 셋트를 유도하기 위해 상기 거짓 상태 검출 벡터 셋트의 출력 지정수에 일치를 적용하는 단계를 포함하는 것을 특징으로 하는 자동 검사 기능 발생 방법.

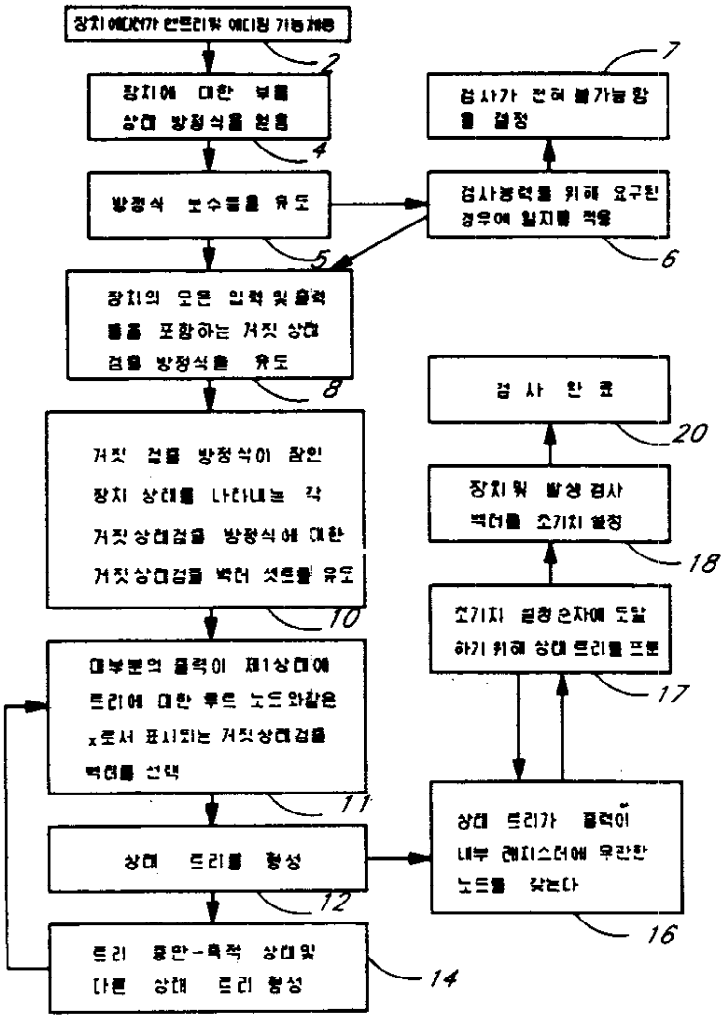
청구항 13

제1항에 있어서, 상기 초기치 설정 순차를 유도하는 단계(11, 12, 14, 16, 17)이, 초기치 설정 순차를 유도하기 위해 부수적인 거짓 상태 검출 벡터 셋트로부터 선정된 거짓 상태 검출 벡터를 선택함

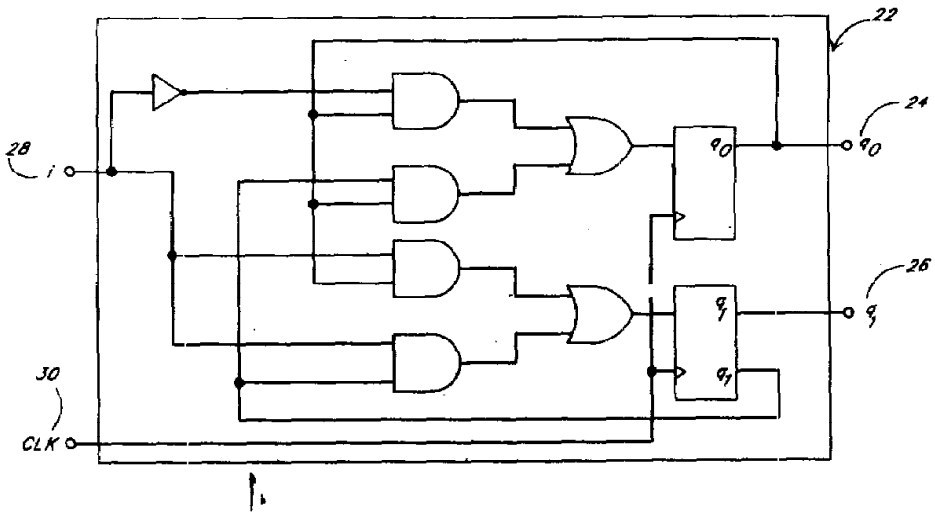
으로써 선행 상태를 순차적으로 결정하는 단계(11), 상기 선정된 거짓 상태 검출 벡터의 출력 지정수를 결정하는 단계(12), 선행 상태 노드 셋트를 얻기 위해 후속 상태의 최소화된 논리참 및 최소화된 논리 거짓 장치 상태 방정식으로 부울 AND 연산을 수행하는 단계, 여유 선행 상태 노드를 제거함으로써 상기 선행 상태 노드 셋트를 최소화시키는 단계, 확장된 선행 상태 노드 셋트를 얻기 위해 xy+/yz=xy+/xy+yz 정리에 기초한 일치 방법을 적용하는 단계, 더욱 감소된 선행 상태 노드 셋트를 얻기 위해 선정된 거짓 상태 검출 벡터로부터 유도된 여유 출력 지정수를 갖고 있는 노드를 제거함으로써 감소된 선행 상태 노드 셋트를 감소시킴으로써 프루닝 방법을 사용하여 선행 상태 노드를 제거하는 단계, 더욱 감소된 선행 상태 노드 셋트를 얻기위해 x+xy=x 정리에 기초를 두고 커버된 출력 지정수에 관련하여 상기 감소된 선행 상태 노드 셋트를 감소시킴으로써 선행 상태 노드의 상기 감소된 셋트를 감소시키는 단계, 초기치 설정 순차가 전혀 존재하지 않는 상기 거짓 상태 검출 벡터 셋트의 소정의 다른 상태 거짓 검출 벡터로부터 유도된 노드를 제거함으로써 상기 더욱 감소된 선행 상태 노드 셋트를 감소시키는 단계, 및 상기 초기치 설정 순차를 얻기위해 선행 상태를 순차적으로 결정하고, 선행 상태의 노드를 제거하는 방법을 계속 수행하는 단계를 포함하는 것을 특징으로 하는 자동 검사 기능 발생 방법.

도면

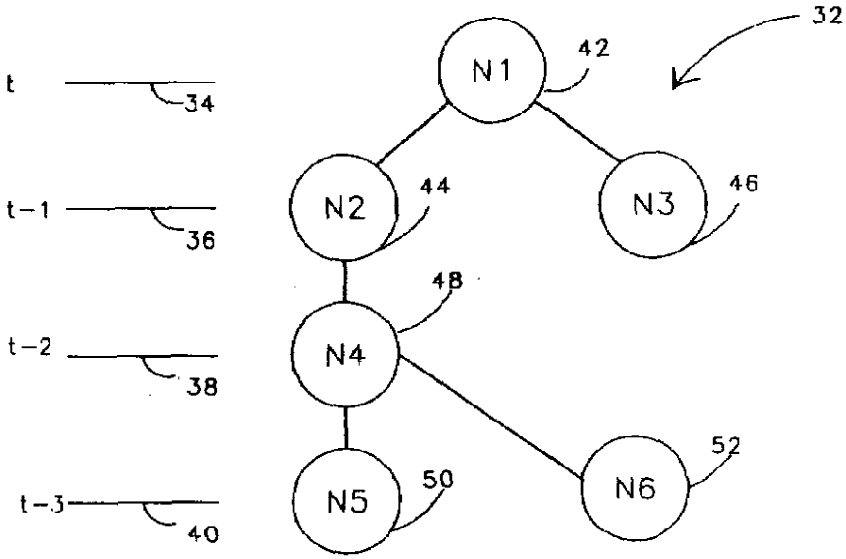
도면1



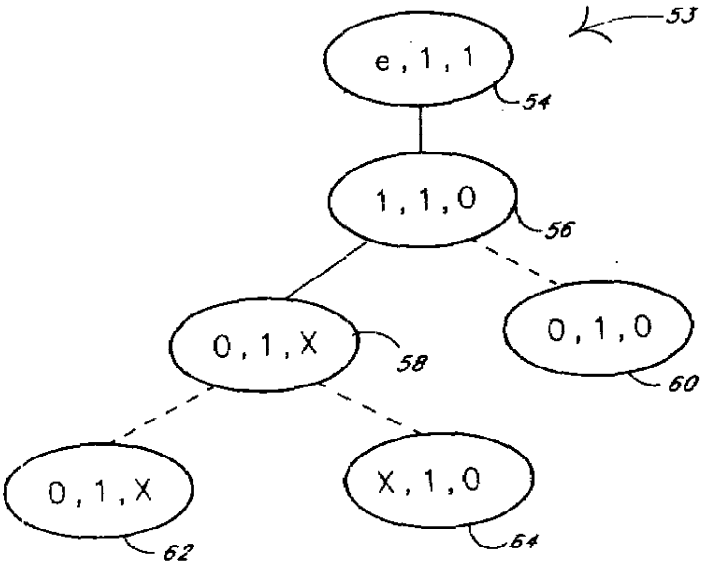
도면2


22
24
28
i
q_0
q_0
26
q_1
q_1
30
CLK

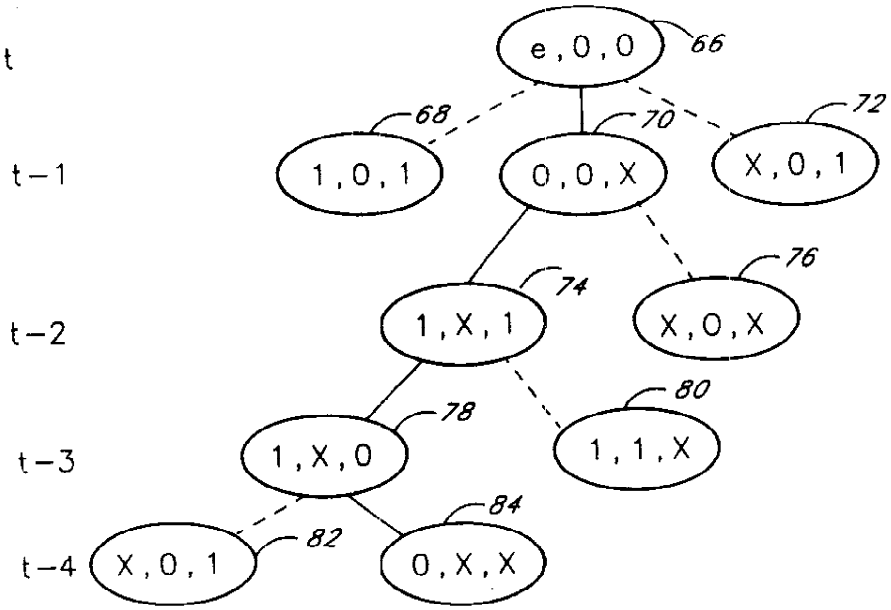
도면3


32
t
34
t-1
36
t-2
38
t-3
40
N1
42
N2
44
N3
46
N4
48
N5
50
N6
52

도면4


53
e , 1 , 1
54
1 , 1 , 0
56
0 , 1 , X
58
0 , 1 , 0
60
0 , 1 , X
62
X , 1 , 0
64

도면5


t
t−1
t−2
t−3
t−4
e , 0 , 0
66
68
70
72
1 , 0 , 1
0 , 0 , X
X , 0 , 1
74
76
1 , X , 1
X , 0 , X
78
80
1 , X , 0
1 , 1 , X
82
84
X , 0 , 1
0 , X , X

도면6

