

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成31年4月4日(2019.4.4)

【公開番号】特開2016-197402(P2016-197402A)

【公開日】平成28年11月24日(2016.11.24)

【年通号数】公開・登録公報2016-065

【出願番号】特願2016-28928(P2016-28928)

【国際特許分類】

G 06 F 3/041 (2006.01)

G 06 F 3/044 (2006.01)

G 06 F 3/0354 (2013.01)

【F I】

G 06 F 3/041 4 3 0

G 06 F 3/041 5 1 2

G 06 F 3/044 1 2 0

G 06 F 3/0354 4 5 3

G 06 F 3/041 5 8 0

【手続補正書】

【提出日】平成31年2月15日(2019.2.15)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

あるセンサパターンで配列された複数の感知素子と、

前記複数の感知素子における対応の1つとそれぞれ導電的に対にされた複数の導電性ルーティングトレースと

を備える入力装置であつて、

センサルーティングトレースは、前記センサパターンと同一のベースパターンで配列された複数のベース電極のベースRC負荷に比してその対応する対の前記感知素子のRC負荷を減少するように構成されており、ベースセンサ電極は、ベースルーティングトレースと導電的に対にされ、前記ベースセンサ電極及びその対の前記ベースルーティングトレースは、そのサイズが、対にされる前記感知素子及び前記導電性ルーティングトレースのサイズと同一であり、前記ベースルーティングトレースは、前記ベースルーティングトレースと対にされる前記ベースセンサ電極にて終端されている、入力装置。

【請求項2】

少なくとも2つの前記導電性ルーティングトレースが前記複数の感知素子の1つと対にされている、請求項1に記載の入力装置。

【請求項3】

前記導電性ルーティングトレースの1つを、前記導電性ルーティングトレースと対にされる前記感知素子に結合する複数のビアを更に備える、請求項1又は2に記載の入力装置。

【請求項4】

当該入力装置は、前記導電性ルーティングトレースのうちの第1の導電性ルーティングトレースを前記感知素子の第1のセンサ電極に結合するビアを更に備え、

前記第1の導電性ルーティングトレースは、非結合端まで延び、前記ビアと前記非結

合端との間に延びる前記第1の導電性ルーティングトレースの領域は、前記感知素子の第2のセンサ電極の下に配置されている、請求項1又は2に記載の入力装置。

#### 【請求項5】

前記第1のセンサ電極は、前記第1の導電性ルーティングトレースに導電的に結合された前記感知素子のうちの唯一の感知素子である、請求項4に記載の入力装置。

#### 【請求項6】

当該入力装置は、前記導電性ルーティングトレースのうちの第1の導電性ルーティングトレースを、前記複数の感知素子の、対となる第1のセンサ電極に結合する第1のビアを更に備え、

前記第1の導電性ルーティングトレースは、非結合端まで延びるものであり、

当該入力装置は、前記第1の導電性ルーティングトレースに直線的に整列された導電性のラインを更に備え、

前記導電性のラインは、前記第1のセンサ電極には結合されず、前記複数の感知素子の第2のセンサ電極の下に配置されている、請求項1又は2に記載の入力装置。

#### 【請求項7】

少なくとも、前記複数の感知素子の第1のセンサ電極は、前記複数の感知素子の第2のセンサ電極より導電性の低いルーティングトレースと導電的に対にされている、請求項1乃至3のいずれか一項に記載の入力装置。

#### 【請求項8】

当該入力装置は、前記複数の感知素子の第1のセンサ電極に結合されたルーティングトレースに整列され且つ前記複数の感知素子の第2のセンサ電極の下に配置された導電性のラインを更に備え、前記導電性のラインは、前記第2のセンサ電極に結合されるが、前記第1のセンサ電極には結合されていない、請求項1又は2に記載の入力装置。

#### 【請求項9】

前記複数の導電性ルーティングトレースのうちの第1の導電性ルーティングトレースを、前記感知素子の、対となる第1のセンサ電極に結合する第1のビアと、

前記複数の導電性ルーティングトレースのうちの第2の導電性ルーティングトレースを、前記感知素子の、対となる第2のセンサ電極に結合する第2のビアとを備え、

前記第2の導電性ルーティングトレースは、前記第1のセンサ電極の下に延びている、請求項1又は2に記載の入力装置。

#### 【請求項10】

前記複数の導電性ルーティングトレースのうちの第1の導電性ルーティングトレースを、前記複数の感知素子の、対となる第1のセンサ電極に結合する第1のビアと、

前記複数の導電性ルーティングトレースのうちの第2の導電性ルーティングトレースを、前記複数の感知素子の、対となる第2のセンサ電極に結合する第2のビアとを備え、

前記第2の導電性ルーティングトレースは、前記第1の導電性ルーティングトレースより幅が広い、請求項1又は2に記載の入力装置。

#### 【請求項11】

マトリクスアレイに配列され、該マトリクスアレイに関連した感知エリアにおける入力装置の存在を検出するように構成された複数のセンサ電極と、

処理システム及び端子端に結合するように構成されたコネクタ端を有する複数の導電性ルーティングトレースとを備え、

前記複数のセンサ電極の各々は、前記導電性ルーティングトレースの少なくとも1つにより前記処理システムに結合され、前記複数の導電性ルーティングトレースのうちの第1の導電性ルーティングトレースは、複数のビアにより、前記複数のセンサ電極のうちの第1のセンサ電極に結合されている、入力装置。

#### 【請求項12】

前記第1のセンサ電極には、前記複数のセンサ電極のうちの第2のセンサ電極より多数の導電性ルーティングトレースが結合され、前記第2のセンサ電極は、前記第1のセンサ電極より前記処理システムに接近して配置される、請求項1\_1に記載の入力装置。

【請求項1\_3】

前記第1の導電性ルーティングトレースは、前記複数のセンサ電極のうちの第2のセンサ電極に結合された前記複数の導電性ルーティングトレースのうちの第2の導電性ルーティングトレースより幅が広い、請求項1\_1又は1\_2に記載の入力装置。