



主セル（２）の電流を電流センスセル（３）の出力電流により検出して、パワー半導体素子（１）の電流が過電流となった場合にパワー半導体素子（１）を保護するための過電流保護回路（８）を備えた半導体装置において、過電流保護回路（８）は、電流センスセルの出力電流を検出する電流検出部（４）と、この電流検出部（４）の出力信号に応じてゲートに印加される電圧を低下させる過電流制限回路（５）と、ゲートに印加される電圧を制御してパワー半導体素子（１）のオンオフを制御するための駆動回路（６）と、ゲートと駆動回路（６）との間に接続され、出力電流が所定の一定値となるよう制御するゲート電流制御回路（１４）とを備えた構成とした。

明 細 書

発明の名称 : 半導体装置

技術分野

[0001] この発明は、パワー半導体素子に流れる電流を分流させて、電流検出用の電流を得る電流センスセルを備えたパワー半導体素子を用いた半導体装置に関するものである。

背景技術

[0002] パワー半導体素子を用いた半導体装置において、過電流が流れた場合にパワー半導体素子を保護する目的などで電流を検出するために、パワー半導体素子に流れる電流を分流させて検出用の電流を得る電流センスセルを備えたものがある(例えば特許文献1)。

[0003] 特許文献1に記載されている半導体装置では、パワー半導体素子と、電流センスセルの出力電流を検出する電流検出部と、過電流制限回路と、過電流保護回路と、駆動回路とを備えている。過電流制限回路は、電流検出部の出力電圧が所定の動作電圧を超えると、ゲート電圧を所定電圧に低下させ、パワー半導体素子に流れる電流を制限する。過電流保護回路は、電流検出部の出力電圧が所定の動作電圧を超えると、所定時間経過後にパワー半導体素子をオフする。つまり、パワー半導体素子に流れる電流を制限した上で、その後パワー半導体素子をオフする。速やかにパワー半導体素子に流れる過電流を低減することで、パワー半導体素子の短絡耐量内で保護することが可能である。

先行技術文献

特許文献

[0004] 特許文献1：特開平08-316808号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献1に記載された半導体装置において、低いゲート電圧から電流が

流れ始める、いわゆるスレッシホールド電圧 V_{th} が低いパワー半導体素子を用いる場合、過電流制限回路のトランジスタのコレクタ電圧を下げる必要がある。過電流制限回路のトランジスタのコレクタ電圧を下げるためには、主セルに対する電流センスセルの比率を上昇させ、電流センスセルから流れる電流を増やせば良い。しかし、電流センスセルの比率を上げるほど主セルの割合が低下する、すなわち効率が悪化するため望ましくない。電流容量を増やすため複数の MOSFET チップを並列接続しているパワー半導体モジュールにおいて、複数の MOSFET チップに電流センスセルを設けると、効率が悪化することに加え、各チップの電流センスセルから電流を取り出すための配線をする必要があり、パワー半導体モジュール内の配線が増えるため小型化や設計の自由度の面から望ましくない。

[0006] 他にも駆動回路内のゲート抵抗を大きくすれば、過電流制限回路のコレクタ電圧を下げるのが可能だが、ゲート抵抗の増加は半導体装置の損失の増加につながるため望ましくない。他にも、センス電流を増幅し、トランジスタのベース電流を増やして動作させる手法もあるが、増幅するには時間遅れが生じるため望ましくない。

[0007] この発明は、上記のような問題点を解決するためになされたものであり、 V_{th} が低いパワー半導体素子を用いた半導体装置においても、損失を増加させずに過電流保護できる半導体装置を得ることを目的とする。

課題を解決するための手段

[0008] この発明は、第一電極と第二電極の間に流れる主電流をゲートに印加される電圧により制御するパワー半導体素子が主セルと電流センスセルを備え、主セルの電流を電流センスセルの出力電流により検出して、パワー半導体素子の電流が過電流となった場合にパワー半導体素子を保護するように制御するための過電流保護回路を備えた半導体装置において、過電流保護回路は、電流センスセルの出力電流を検出する電流検出部と、この電流検出部の出力信号に応じてゲートに印加される電圧を低下させる過電流制限回路と、ゲートに印加される電圧を制御してパワー半導体素子のオンオフを制御するため

の駆動回路と、ゲートと駆動回路との間に接続され、出力電流が所定の一定値となるよう制御するゲート電流制御回路とを備えた構成とした。

発明の効果

[0009] 本発明によれば、パワー半導体素子の V_{th} が低い場合においても、損失が増加せずに過電流を保護できる半導体装置を得ることができる。

図面の簡単な説明

[0010] [図1]この発明の実施の形態1による半導体装置の概略構成を示すブロック図である。

[図2]この発明の実施の形態1による半導体装置の別の概略構成を示すブロック図である。

[図3]この発明の実施の形態1による半導体装置のさらに別の概略構成を示すブロック図である。

[図4]パワー半導体素子の一例としてのMOSFETのゲート電圧とドレイン電流の関係を示す図である。

[図5]この発明の実施の形態1による半導体装置のゲート電流制御回路の一例を示す回路図である。

[図6]この発明の実施の形態1による半導体装置のゲート電流制御回路の $V-I$ 特性の一例を示す図である。

[図7]この発明の実施の形態1による半導体装置の出力が短絡状態となった場合の保護動作のシーケンス図である。

[図8]この発明の効果を説明するための比較例の半導体装置の概略構成を示すブロック図である。

[図9]比較例の半導体装置の正常動作のシーケンス図である。

[図10]比較例の半導体装置の出力が短絡状態となった場合の保護動作のシーケンス図である。

[図11]過電流制限回路のトランジスタの動作を説明するためのコレクタ電流-コレクタ電圧の特性図である。

[図12]この発明の実施の形態2による半導体装置の概略構成を示すブロック

図である。

[図13]この発明の半導体装置を適用する電力変換器の一例としての3相インバータを示す概略回路図である。

[図14]この発明の実施の形態3による半導体装置の要部を示す回路図である。

[図15]この発明の実施の形態3による半導体装置の要部の実装状態を示す平面図である。

発明を実施するための形態

[0011] 実施の形態1.

図1は本発明の実施の形態1による半導体装置を示す回路図である。ここでは、パワー半導体素子1として、MOSFET1 (Metal Oxide Semiconductor Field Effect Transistor) を用いているが、IGBT (Insulated Gate Bipolar Transistor) などゲート電極で制御する他のパワー半導体を用いても良い。図1では、パワー半導体素子1に対向して配置される還流ダイオードは省略して図示している。ここで述べる半導体装置は、例えば図13に示す3相インバータ回路など、各種電力変換器に用いることが可能である。

[0012] パワー半導体素子1は、主に電流を通電する主セル2、および電流を分流させる電流センスセル3を持ち、ドレイン端子とゲート端子はお互いに接続されている。電流センスセル3のソースと主セル2のソースとの間には、電流センスセル3の電流を検出する電流検出部4が接続される。図1では、電流検出部の例として、抵抗を用いて電流を電圧に変換する電流検出部4を示した。

[0013] 上記のように、パワー半導体素子にはMOSFETやIGBTなど種々あるが、本発明を適用するパワー半導体素子は、2電極間に流れる主電流をゲート電極の電圧により制御する構造のパワー半導体素子である。主電流が流れる2電極をそれぞれ第一電極、第二電極と呼ぶことにする。図1に示すM

ＭＯＳＦＥＴでは、ドレインが第一電極であり、ソースが第二電極である。パワー半導体素子がＩＧＢＴの場合、コレクタが第一電極であり、エミッタが第二電極である。主セルの第一電極と電流センスセルの第一電極とは接続されている。一方、電流センスセルの第二電極と主セルの第二電極とは、別々に外部に電気接続できる構造となっている。図１では、電流センスセルの第二電極と主セルの第二電極と間に電流検出部４が接続されている。

[0014] 図２に電流検出部４の、図１とは別の例を示す。電流検出抵抗４１両端の電圧と基準電圧源４２の電圧を比較器４０で比較し、電流検出抵抗４１の両端電圧のほうが大きければ比較器４０の出力がハイインピーダンスとなり、電流検出部４は高出力信号を出力する。比較器４０と基準電圧源４２で短絡電流検出レベルを設定するので、図１に示す、抵抗のみで構成する電流検出部４よりも精度が高いことが利点である。

[0015] 電流検出部４のさらに別の例を図３に示す。演算増幅器４３の反転入力端子を電流センスセル３のソースに接続し、非反転入力端子を主セル２のソースに接続する。反転入力端子と出力端子の間に抵抗４４を接続する。演算増幅器４３の出力電圧は、電流センスセル３の出力電流に比例した電圧となるため、比較器４０において基準電圧源４２と比較し、基準電圧源４２のほうが大きければ比較器４０の出力がハイインピーダンスとなり、電流検出部４は高出力信号を出力する。この方式の利点は次のとおりである。演算増幅器４３の反転入力端子と非反転入力端子間の電圧がゼロとなるため、主セル２と電流センスセル３のゲート－ソース間電圧およびドレイン－ソース間電圧が等しくなる。そのため、電流センスセル３と主セル２の電流の比は各セル数の比と等しくなり、高い精度での電流検出が可能となる。

[0016] 電流検出部４の出力信号は、過電流制限回路５へ入力される。過電流制限回路５はこの信号を受けて、ＭＯＳＦＥＴ１のゲート電圧を低減させる。ゲート電圧が低下すれば、ＭＯＳＦＥＴ１に流れるドレイン電流も低下し、ＭＯＳＦＥＴ１は過電流から保護される。この状態ではまだ駆動回路６からの出力が出ており、ゲート電流制御回路１４で制御された電流が、過電流制限

回路 5 のトランジスタ 13 に流れる。図 1 ～図 3 では、過電流制限回路 5 として一つのトランジスタを用いたが、この構成に限るわけではなく、例えば、複数のトランジスタを用いて電流検出部 4 の出力信号を増幅させてからパワー半導体素子 1 のゲート電圧を低減させても良い。

[0017] 図 1 ～図 3 に示す本発明の実施の形態 1 による半導体装置では、電流検出部 4 と過電流検出回路 9 との間に、フィルタ回路 10 を入れている。大容量の半導体装置では、装置が大型になるため、電流検出部 4、過電流制限回路 5、MOSFET 1 からなるパワー半導体モジュール 11 と駆動回路 6、過電流検出回路 9 などからなる制御回路 12 との距離が離れていることが多い。大容量の半導体装置では装置が発生するノイズが大きいため、パワー半導体モジュール 11 と制御回路 12 の間にノイズ除去用のフィルタ回路 10 を挿入する必要がある。フィルタ回路 10 によって、過電流検出信号が遅れるため、過電流制限回路 5 には MOSFET 1 が破壊しないようにド레인電流がほぼゼロとなる程度までド레인電流を制限する機能が求められる。

[0018] 図 1 ～図 3 に示す本発明の実施の形態 1 による半導体装置では、MOSFET のゲートと過電流制限回路 5 のトランジスタ 13 のコレクタとの間に通常接続されるツェナーダイオードを省略している。これは次の理由による。図 4 にパワー半導体素子の一例である MOSFET のゲート電圧とド레인電流の関係を示す。従来の過電流保護回路では、スレッシュホールド電圧 V_{th} が高く、ド레인電流の変化が大きいパワー半導体素子を対象にしていた。そのため、必要以上にゲート電圧を下げないようにするため、MOSFET のゲートと過電流制限回路 5 のトランジスタ 13 のコレクタとの間にツェナーダイオードを接続して保護時のゲート電圧を調整していた。本発明では、図 4 中に示す V_{th} が低い MOSFET をも対象にする。そのため、保護時のゲート電圧は、低減目標ゲート電圧で示す電圧まで下げる必要があり、ツェナーダイオードを省いた。MOSFET のゲートと過電流制限回路 5 のトランジスタ 13 のコレクタとの間には、保護用としてダイオードや抵抗などの素子が挿入される場合もあるが、この保護用の素子による電圧降下が 2

V以下となるようにすれば良い。

[0019] 電流検出部4からの信号はフィルタ回路10に入力され、一定の遅れ時間を経たのち、過電流検出回路9へ入力される。過電流検出回路9は電流検出部4の出力信号と過電流設定値を比較し、過電流と判定すればエラー信号出力回路15とオフ指令出力回路16に信号を出力する。オフ指令出力回路16は駆動回路6にオフ指令を出力し、駆動回路6からの出力がオフになる。それに伴い、過電流制限回路5のトランジスタ13に流れる電流も低下する。

[0020] ゲート電流制御回路14の制御電流値は、正常動作時のミラー期間のゲート電流値に設定する。正常動作のスイッチング時だけでなく、アーム短絡、もしくは負荷短絡時に過電流制限回路5が動作した時にも、駆動回路から流れ出る電流値は、ゲート電流制御回路14の制御電流値に制御される。スイッチング時間はミラー期間のゲート電流値によって定まるため、ゲート電流制御回路14によってゲート電流値を所定の一定値、すなわちパワー半導体素子1の正常動作時のミラー期間のゲート電流値となるように制御しても、スイッチング損失が増加することはない。

[0021] ゲート電流制御回路14の構成例を図5に示す。ゲート電流制御回路14に電流が流れ始めたときは、抵抗19に流れる電流が小さく、トランジスタ18はオフしたままであるので、トランジスタ17がオンし、ゲート電流は制御されない。抵抗19に流れる電流が大きくなるとトランジスタ18がオンし、トランジスタ17のエミッタ-ベース間電圧が低下し、ゲート電流が所定の一定値に制御される。すなわち、抵抗19による電圧降下がトランジスタ18をオンさせるエミッタ-ベース間電圧に等しくなるように、抵抗19に流れる電流が制御される。駆動回路6とパワー半導体素子1のゲートの間に、ゲート電流制御回路14以外にゲート電流を制御する回路がないため、ゲート電流は所定の一定値に制御される。図6にゲート電流制御回路14のV-I特性を示す。パワー半導体素子1のゲート電圧値によって、ゲート電流制御回路14の電圧値は変化するが、ゲート電流制御回路14の出力電

流は所定の一定値、すなわちパワー半導体素子 1 の正常動作時のミラー期間のゲート電流値となるように制御される。また、駆動回路 6 とパワー半導体素子 1 のゲートの間に、ミラー期間のゲート電流値に大きな影響を与えない程度（例えば、ゲート電流を 10% 変更させない程度）の低抵抗を接続しても良い。

[0022] 図 7 に、図 1 の回路の出力が短絡状態となった場合の保護動作のシーケンスを示す。t 0 のタイミングでスイッチングオン指令が入ると、ゲート電流は所定の一定値の電流となる。ゲート電流が一定であるため、ゲート電圧は一定の傾きで上昇する。ゲート電圧がしきい値を超えると（t 1 のタイミング）ドレイン電流は通電を始める。ゲート電圧の値が駆動回路 6 の電源電圧に達すると（t 4 のタイミング）、ゲート電圧とドレイン電流は一定となり、ゲート電流はゼロとなる。回路が短絡状態となっているため過電流が流れ、t 5 のタイミングから過電流制限動作を始める。駆動回路 6 から過電流制限回路 5 のトランジスタ 13 に流れ込む電流は、ゲート電流制御回路 14 で所定の一定値に制御される。過電流制限回路 5 のトランジスタ 13 には、M O S F E T 1 のゲートからの放電電流も重畳されるが、駆動回路 6 から流れる電流がゲート電流制御回路 14 で所定の一定値に制御されているので、トランジスタ 13 のコレクタ電圧は低い値に保たれ、M O S F E T 1 のゲート電圧も t 6 のタイミングでほぼゼロに低減させることができる。図 7 に示すように、駆動回路 6 から過電流制限回路 5 のトランジスタ 13 に流れ込む電流を制限すると、過電流制限時のゲート電圧を大幅に低下できることがわかる。

[0023] ここで、図 8 に示す、ゲート電流制御回路 14 の代わりに駆動回路 6 内部に備えられたゲート抵抗 7 を用いて、パワー半導体素子 1 のスイッチング時間を制御する従来の回路方式による動作を比較例として説明する。図 8 に示す回路は、比較のため、ゲート電流制御回路 14 を備えず、ゲート抵抗 7 を備えている以外は、図 1 の回路と同じ構成としている。ゲート抵抗 7 はゲート電流を制限する効果はあるものの、その電流値は、ゲート抵抗 7 の両端に

印加される電圧値に依存する。すなわち、ゲート抵抗 7 の駆動回路側の電位は変化せず、MOSFET 1 のゲート電圧が変化するので、ゲート抵抗 7 の両端に印加される電圧値が変化し、ゲート電流も変化する。

[0024] 図 8 の比較例の回路の通常スイッチング時のスイッチング波形を図 9 に示す。t 0 のタイミングでオンのスイッチング指令が入り、ゲート電圧が t 1 のタイミングでしきい値を超えると、ドレイン電流が流れ始める。このときの図 9 に示すゲート電流の最大値は、

$$(\text{ゲート電流の最大値}) = (\text{駆動回路の電源電圧}) \div (\text{ゲート抵抗}) \quad (1)$$

となる。ゲート電圧が上昇するとともにゲート電流は低下し、t 2 から t 3 の期間に一定の電流値になる。ゲート電流が一定となる t 2 から t 3 の期間をミラー期間と呼び、スイッチング速度はミラー期間のゲート電流によって定まる。一般にパワー半導体素子 1 の定格電流におけるミラー電圧は 1 1 V 程度になる。駆動回路 6 の電源電圧を 1 5 V とすれば、ミラー期間のゲート電流は、

$$(\text{ミラー期間のゲート電流}) = (4 \text{ V}) \div (\text{ゲート抵抗}) \quad (2)$$

となる。t 3 のタイミングでドレイン電圧の変化が終わるとミラー期間も終了し、再びゲート電圧は上昇し、t 4 のタイミングで駆動回路 6 の電源電圧まで上昇する。

[0025] 次に過電流が流れたときの、図 8 に示す比較例における過電流保護回路の動作を図 1 0 の動作シーケンス図に従って説明する。負荷短絡もしくはアーム短絡の状態でオン指令が入ると、ゲート電圧の上昇にしたがってドレイン電流も上昇する。電流センスセル 3 にはドレイン電流に比例した電流が流れるため、電流検出部 4 からはドレイン電流に比例した信号が出力される。電流検出部 4 からの信号にしたがって過電流制限回路 5 のトランジスタ 1 3 のベース電流が上昇すると、t 5 のタイミングでトランジスタ 1 3 のコレクタ電圧が低下し始め、MOSFET 1 のゲート電圧が低下するので、MOSFET 1 のドレイン電流も t 6 のタイミングで I d 1 まで低下する。トランジ

スタ 13 のコレクタ電圧 V_{ce} は図 10 に示すように、トランジスタ 13 の静特性と次式に示す回路特性から V_{gs1} に定まる。

$$I_c = (V_{cc} - V_{ce}) / R_g \quad (3)$$

ただし、 I_c はトランジスタ 13 のコレクタ電流、 V_{ce} はトランジスタ 13 のコレクタ電圧、 V_{cc} は駆動回路 6 の電源電圧、 R_g は駆動回路 6 内部のゲート抵抗 7 である。

[0026] 図 4 に示す V_{th} が低い MOSFET を保護するためには、保護時にゲート電圧をゼロ付近まで下げる必要があるが、そのためには、過電流制限回路 5 のトランジスタ 13 に式 (1) で示すゲート電流の最大値に近い電流まで流さなければならない。式 (1) と式 (2) の比較から、トランジスタ 13 は、ミラー期間のゲート電流の 4 倍近い電流を流さなければならないことがわかる。

[0027] 過電流制限動作時のトランジスタ 13 のコレクタ電圧を下げるためには、主セル 2 に対する電流センスセル 3 の比率を上昇させ、電流センスセル 3 から流れる電流を増やせば良い。しかし、電流センスセル 3 の比率を上げるほど主セル 2 の割合が低下する、すなわち効率が悪化するため望ましくない。電流容量を増やすため複数の MOSFET チップを並列接続しているパワー半導体モジュールにおいて、複数の MOSFET チップに電流センスセルを設けると、効率が悪化することに加え、各チップの電流センスセルから電流を取り出すための配線をする必要があり、パワー半導体モジュール内の配線が増えるため小型化や設計の自由度の面から望ましくない。

[0028] 図 11 に、過電流制限回路 5 のトランジスタ 13 の静特性と、動作状態を示す。図 11 の横軸はトランジスタ 13 のコレクタ電圧 V_{ce} 、縦軸はコレクタ電流 I_c である。トランジスタ 13 のベース電流をパラメータとして、 $I_c - V_{ce}$ の特性を示している。斜めの直線は、図 8 に示した比較例の回路における回路特性、すなわち式 (3) を示している。比較例の回路では、ベース電流で決まる静特性とこの斜めの直線の交点がトランジスタ 13 の動作点となる。例えば、過電流保護時のベース電流が I_{b0} であれば、トラン

ジスタ 13 のコレクタ電圧は V_{ce2} となる。比較例の回路においては、駆動回路内のゲート抵抗 R_g を大きくすれば、図 11 における、回路定数から定まる直線の縦軸の切片が下がり、過電流制限回路のコレクタ電圧を下げる事が可能だが、ゲート抵抗の増加は半導体装置の損失の増加につながるため望ましくない。他にも、センス電流を増幅し、トランジスタのベース電流を増やして動作させる手法もあるが、増幅するには時間遅れが生じるため望ましくない。

[0029] そこで、本発明では、図 1～図 3 に示すように、ゲート電流制御回路 14 を設けた。ゲート電流制御回路 14 は、その出力電流を所定の一定値、すなわちパワー半導体素子 1 の正常動作時のミラー期間のゲート電流値となるように制御する。なお、所定の一定値はパワー半導体素子 1 の正常動作時のゲート電流値に正確に同じではなくても良く、正常動作時のゲート電流値の 90%～110% の範囲の値であれば良い。この構成により、式 (1) と式 (2) の比較でわかるように、過電流制限回路 5 のトランジスタ 13 のコレクタ電流が、比較例の過電流制限時のコレクタ電流の 4 分の 1 に近い低い電流値に制御されるため、同じベース電流が流れた場合でもトランジスタ 13 のコレクタ電圧を、例えば V_{ce1} で示す値まで低く抑えることができる。電流センスセル 3 から流れ出る電流は小さく、トランジスタ 13 のベースに流れ込む電流も小さいが、本発明を適用することで、過電流保護動作時の MOSFET 1 のゲート電圧を、図 11 に示す V_{ce1} のように低く抑えることができるため、過電流から確実に保護することができる。

[0030] 本発明におけるパワー半導体素子は、珪素によって形成されてもよい。また、珪素に比べてバンドギャップが大きいワイドバンドギャップ半導体によって形成してもよい。ワイドバンドギャップ半導体としては、例えば、炭化珪素、窒化ガリウム系材料又はダイヤモンドがある。

[0031] このようなワイドバンドギャップ半導体は、 V_{th} が低い特性を持つ傾向が強いため、本発明によって得られる効果は大きくなる。また、ワイドバンドギャップ半導体によって形成されたパワー半導体素子は、耐電圧が高く、

許容電流密度も高いため、パワー半導体素子の小型化が可能である。これら小型化されたパワー半導体素子を用いることにより、これらの素子を組み込んだ半導体装置の小型化が可能となる。

[0032] またワイドバンドギャップ半導体は、耐熱性も高いため、ヒートシンクの放熱フィンの小型化や、水冷部の空冷化が可能であるので、半導体装置の一層の小型化が可能になる。更に電力損失が低いため、パワー半導体素子の高効率化が可能であり、延いては半導体装置の高効率化が可能になる。

[0033] 実施の形態 2.

図 1 2 は、本発明の実施の形態 2 による半導体装置を示す回路図である。図 1 2 において、図 1 と同一符号は、同一または相当する部分を示す。図 1 2 に示す回路は、図 1 の回路にラッチ回路 20 が付加されている。電流検出部 4 において、過電流と判断される所定の閾値を超えた電流が検出されると、過電流保護回路 8 が動作して、パワー半導体素子 1 の電流が小さくなる。パワー半導体素子 1 の電流が小さくなると、電流検出部 4 における電流検出値も小さくなるため、過電流制限回路 5 への入力も小さくなり、過電流制限回路 5 のトランジスタ 13 のコレクタ電圧が上昇する。トランジスタ 13 のコレクタ電圧が上昇すると、パワー半導体素子 1 のゲート電圧も上昇し、パワー半導体素子 1 の電流が大きくなってしまう。再び過電流と判断される所定の閾値まで電流が達すると、過電流保護回路 8 が動作するというように、パワー半導体素子 1 の電流の上昇と下降が繰り返される。ラッチ回路 20 は、一旦電流検出部 4 において、過電流と判断される所定の閾値を超えた電流が検出されると、電流検出値が下がっても、所定時間、トランジスタ 13 への出力を下げない、すなわちラッチ動作を行う回路である。

[0034] ラッチ回路 20 を設けることにより、特にスレッシュホールド電圧の低いパワー半導体素子に対しゲート電流制御回路を設けた場合に、パワー半導体素子 1 の電流の上昇と下降を防ぐことができるので、確実に過電流保護動作を行うことができる半導体装置を提供できる。

[0035] 実施の形態 3.

図13は、本発明の半導体装置を適用する電力変換器の一例としての3相インバータ回路を示す回路図である。図13の回路は、交流を直流に変換し、変換された直流をスイッチングして3相の交流に変換してモータMを駆動する電力変換器である。図13の回路では、上側のアーム100a、100b、100c、下側のアーム200a、200b、200cそれぞれに、複数のパワー半導体素子が並列に接続された構成となっている。上側のアーム100aと下側のアーム200aの詳細を図14に示す。下側のアーム200aを例にとって詳細を説明すると、それぞれパワー半導体素子としてのIGBT21a~28aと、それぞれのIGBTにそれぞれ並列接続されたダイオード31a~38aのセットが並列接続された構成となっている。さらに、IGBTと並列に接続されたダイオードのセット8個は、IGBTと並列に接続されたダイオードのセット4個ずつを基板201aおよび基板202aに配置した2個のモジュールを並列に接続して実装されている。

[0036] 図15に、下側のアーム200aの実装の概略構成の平面図を示す。IGBT21a~24aの第一電極であるコレクタを銅パターンが形成された基板201a上に、それぞれの第一電極が銅パターンに接続されるように配置している。IGBT21a~24aの第二電極であるエミッタは、それぞれの第二電極同士をアルミワイヤ配線203により銅パターンやダイオードなど、パワー半導体素子以外の部材を介さずに直接接続している。同様に基板202a上に配置されたIGBT25a~28aの第二電極であるエミッタもアルミワイヤ配線204によりそれぞれ銅パターンやダイオードなど、パワー半導体素子以外の部材を介さずに接続している。ただし、IGBT21a~28aのうち1個のIGBTだけに電流センスセルが設けられており、この電流センスセルの第二電極であるエミッタは、別途電流検出部4に接続される。

[0037] アルミワイヤ配線203、204が無い場合、エミッタ間のインピーダンスは、端子台N1や端子台N2を介する、破線で示す経路のインピーダンスとなる。これに対し、エミッタ間を直接アルミワイヤ配線で接続することに

より、エミッタ間のインピーダンスは、アルミワイヤ配線 203 や 204 による短い経路のインピーダンスとなり、インピーダンスが小さくなる。これにより、複数接続されている IGBT のエミッタ電位が全て等しくなるため、それぞれの IGBT のゲート電圧も等しく低減することができる。例えば、ワイドバンドギャップ半導体のようにスレッシホールド電圧の低いパワー半導体素子に対し、エミッタ間をアルミワイヤ配線で接続しなければそれぞれのエミッタ電位に差が生じるため、一部のパワー半導体素子のゲート電圧がスレッシホールド電圧以上、一部のパワー半導体素子のゲート電圧がスレッシホールド電圧以下という状態が生じ、ゲート電圧の高いパワー半導体素子に過電流が流れ続けてしまう。また、左右の端子台 N1 と端子台 N2 を短いアルミワイヤ配線 205 で接続することにより、左右の基板 201 a および 202 a の IGBT のエミッタ間のインピーダンスが小さくなり、同様の効果が得られる。

[0038] 特に、本発明のゲート電流制御回路 5 を、ワイドバンドギャップ半導体のようにスレッシホールド電圧の低いパワー半導体素子に対し設けた場合、以上のような実装構造によれば、確実に並列に接続したすべてのパワー半導体素子に過電流保護動作を行うことができるという効果を奏する。また、以上では、パワー半導体素子として IGBT を例にとって説明したが、パワー半導体素子が MOSFET でも同様である。

[0039] なお、本発明は、その発明の範囲内において、各実施の形態を組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。

符号の説明

[0040] 1 : パワー半導体素子、 2 : 主セル、 3 : 電流センスセル、
4 : 電流検出部、 5 : 過電流制限回路、 6 : 駆動回路、
8 : 過電流保護回路、 9 : 過電流検出回路、 10 : フィルタ回路、
13 : トランジスタ、 14 : ゲート電流制御回路、 201 a、
202 a : 基板

請求の範囲

- [請求項1] 第一電極と第二電極の間に流れる主電流をゲートに印加される電圧により制御するパワー半導体素子が主セルと電流センスセルを備え、前記主セルの電流を前記電流センスセルの出力電流により検出して、前記パワー半導体素子の電流が過電流となった場合に前記パワー半導体素子を保護するための過電流保護回路を備えた半導体装置において、
- 前記過電流保護回路は、前記電流センスセルの出力電流を検出する電流検出部と、この電流検出部の出力信号に応じて前記ゲートに印加される電圧を低下させる過電流制限回路と、前記ゲートに印加される電圧を制御して前記パワー半導体素子のオンオフを制御するための駆動回路と、前記ゲートと前記駆動回路との間に接続され、出力電流が所定の一定値となるように制御するゲート電流制御回路とを備えたことを特徴とする半導体装置。
- [請求項2] 前記所定の一定値は、前記パワー半導体素子の正常動作時のゲート電流の値の90%から110%の範囲の値であることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記過電流制限回路は、前記パワー半導体素子のゲートと前記ゲート電流制御回路の出力との接続点にコレクタが接続され、前記主セルの前記第二電極にエミッタが接続され、前記電流検出部の出力がベースに接続されたトランジスタにより構成されたことを特徴とする請求項1に記載の半導体装置。
- [請求項4] 前記過電流制限回路の前記トランジスタのコレクタと前記パワー半導体素子のゲートとの間には、保護用の素子が挿入され、この保護用の素子による電圧降下が2V以下であることを特徴とする請求項3に記載の半導体装置。
- [請求項5] 前記電流検出部と前記過電流制限回路との間に、前記電流検出部が前記パワー半導体素子の過電流を検出した場合、その検出状態を所定

時間保持するラッチ回路を備えたことを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の半導体装置。

[請求項6] 前記パワー半導体素子は、並列接続された複数のパワー半導体素子により構成されていることを特徴とする請求項 1 ないし 5 のいずれか 1 項に記載の半導体装置。

[請求項7] 前記複数のパワー半導体素子のうち、一個のパワー半導体素子が前記主セルと前記電流センスセルを備えたパワー半導体素子であることを特徴とする請求項 6 に記載の半導体装置。

[請求項8] 前記複数のパワー半導体素子を、銅パターンが形成された 1 枚の基板上に、前記複数のパワー半導体素子のそれぞれの第一電極が前記銅パターンに接続されるように配置し、前記複数のパワー半導体素子の、前記電流センスセルの第二電極以外のそれぞれの第二電極同士を前記パワー半導体素子以外の部材を介さずに直接接続するワイヤ配線により電気接続することを特徴とする請求項 7 に記載の半導体装置。

[請求項9] 前記パワー半導体素子がワイドバンドギャップ半導体により形成されていることを特徴とする請求項 1 ～ 8 のいずれか 1 項に記載の半導体装置。

[請求項10] 前記ワイドバンドギャップ半導体は、炭化珪素、窒化ガリウム系材料、ダイヤモンドのいずれかの半導体であることを特徴とする請求項 9 に記載の半導体装置。

[図1]

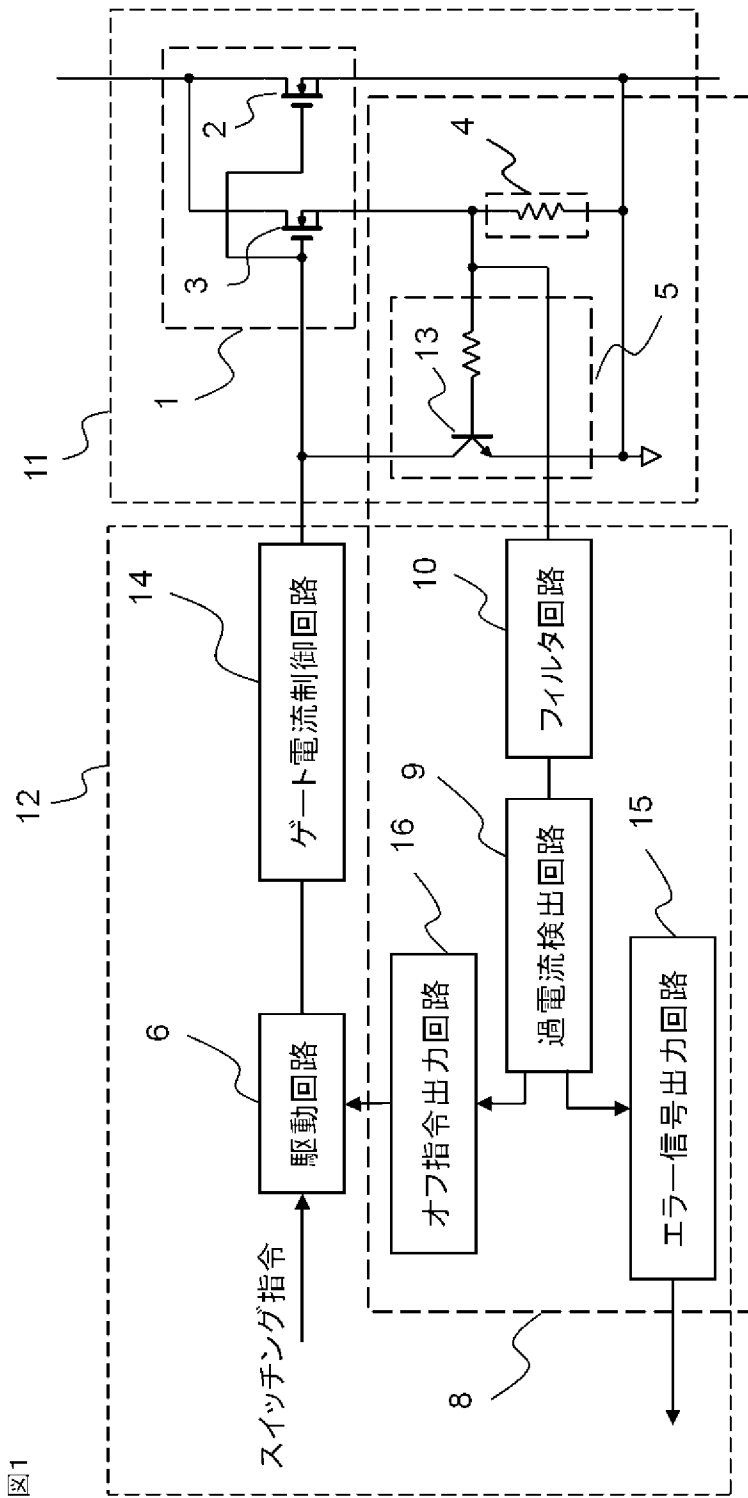


図1

[図2]

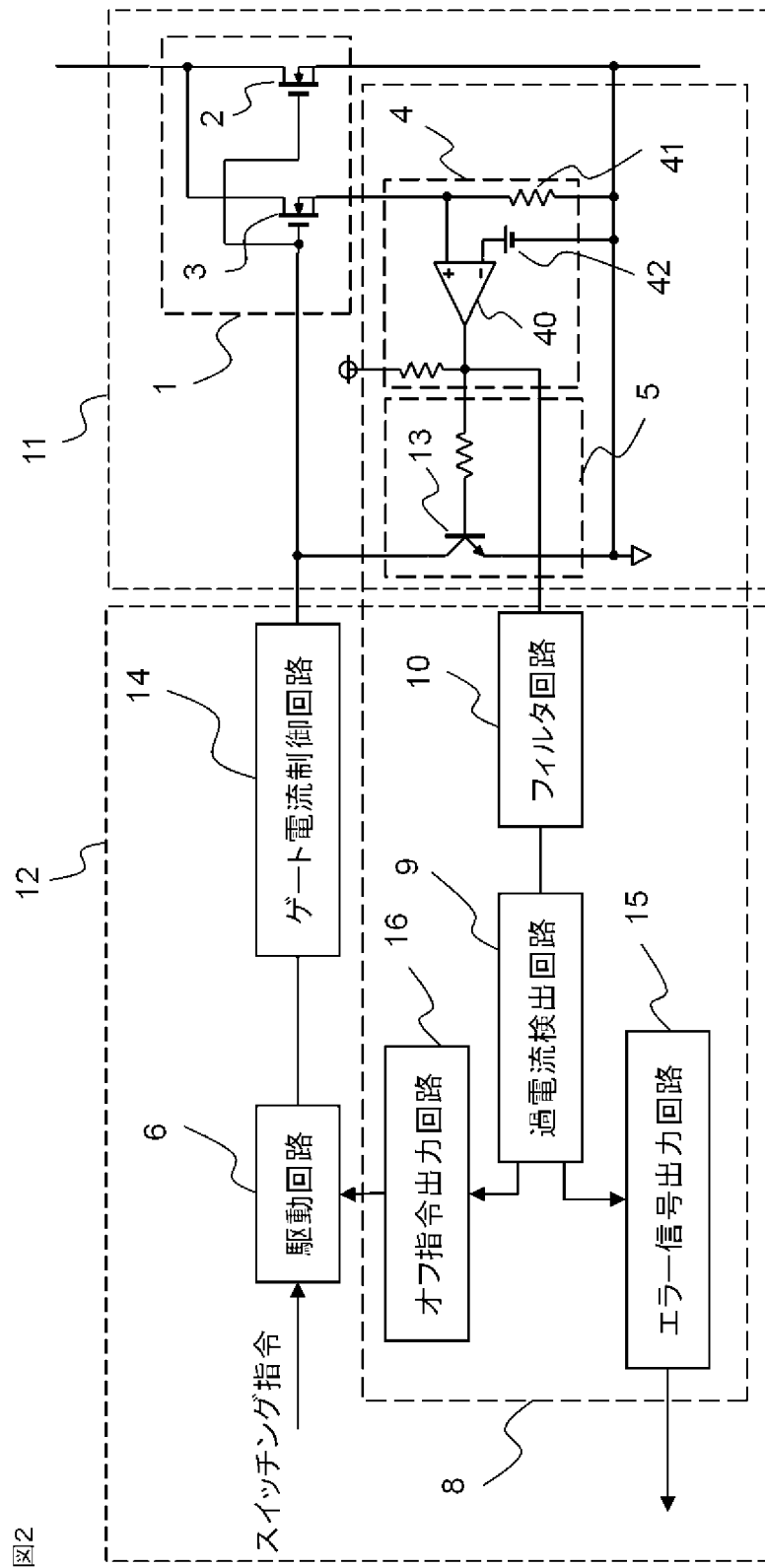
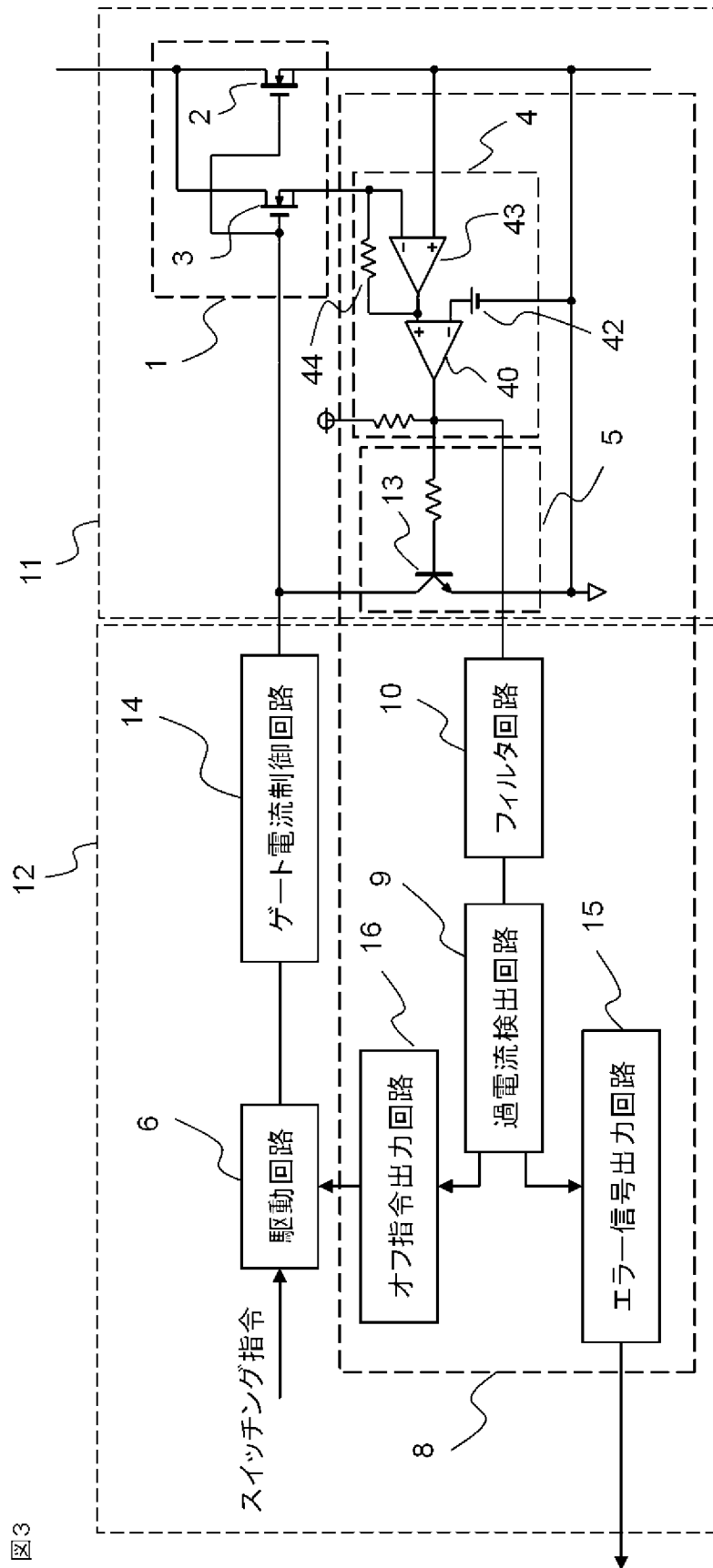


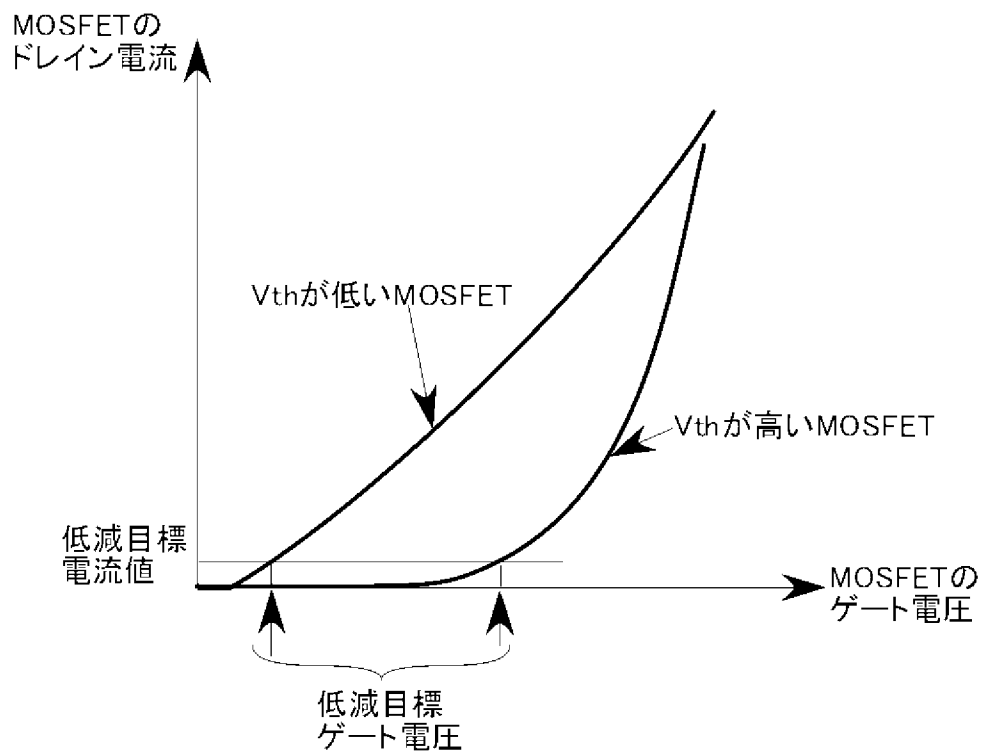
図2

[図3]



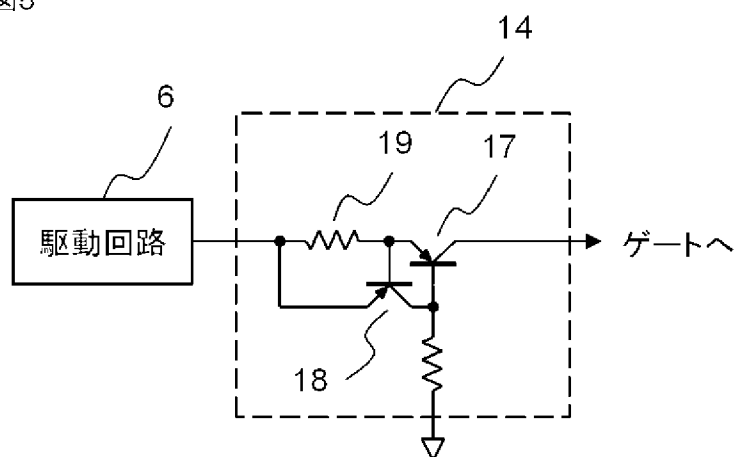
[図4]

図4



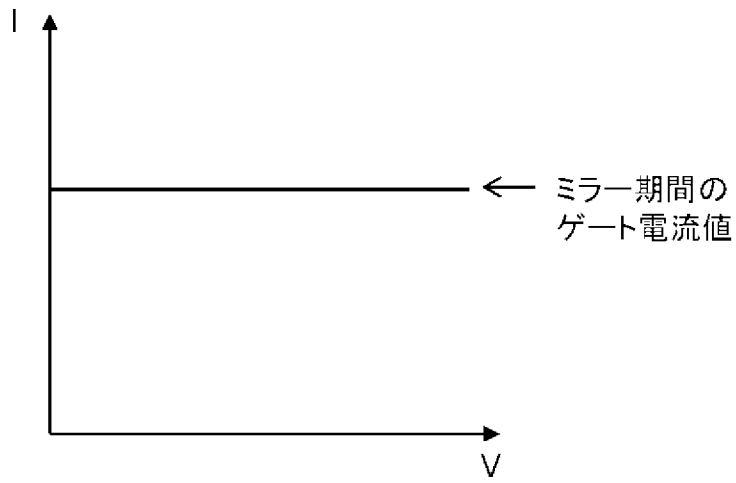
[図5]

図5



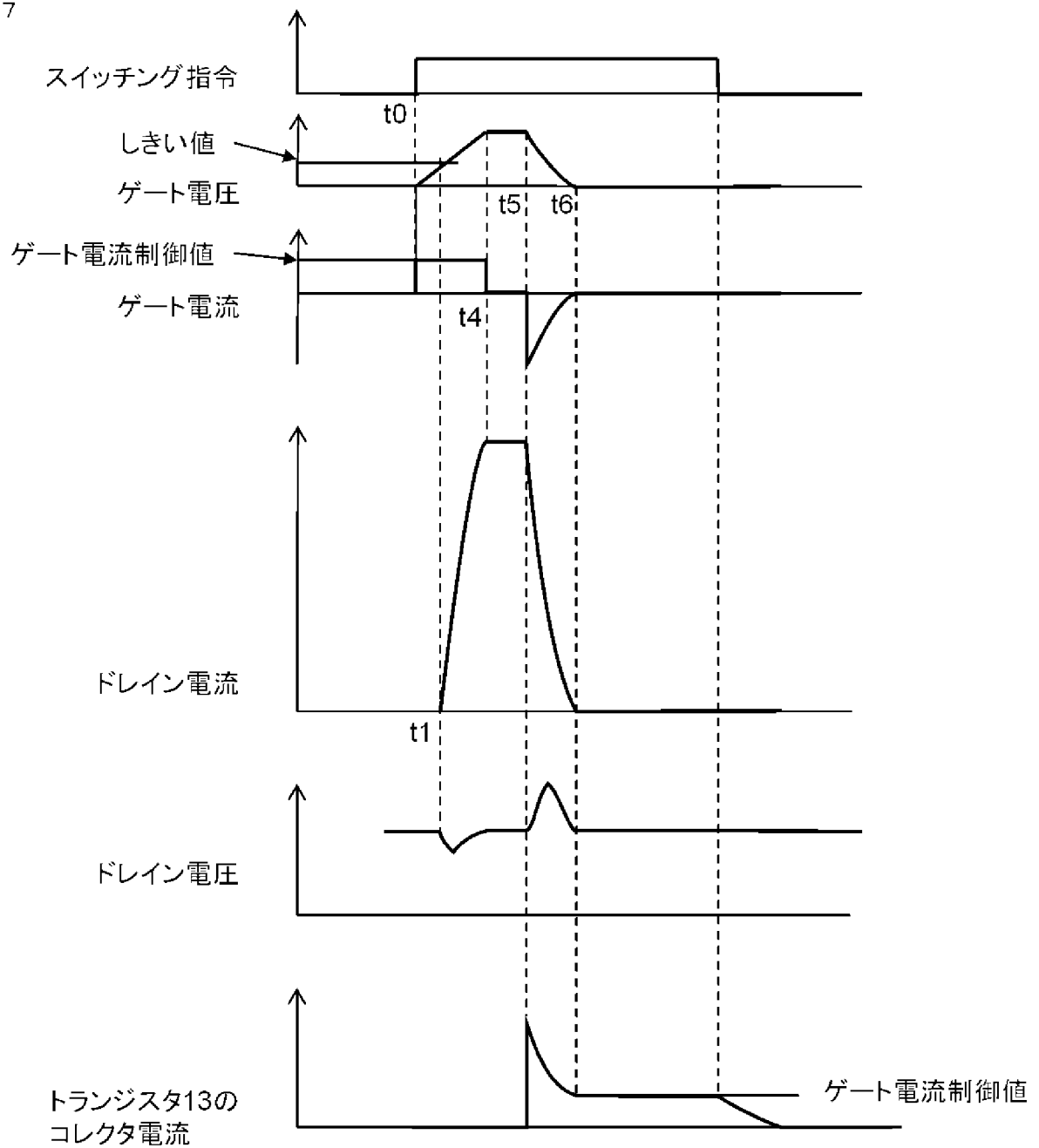
[図6]

図6



[図7]

図7



[図8]

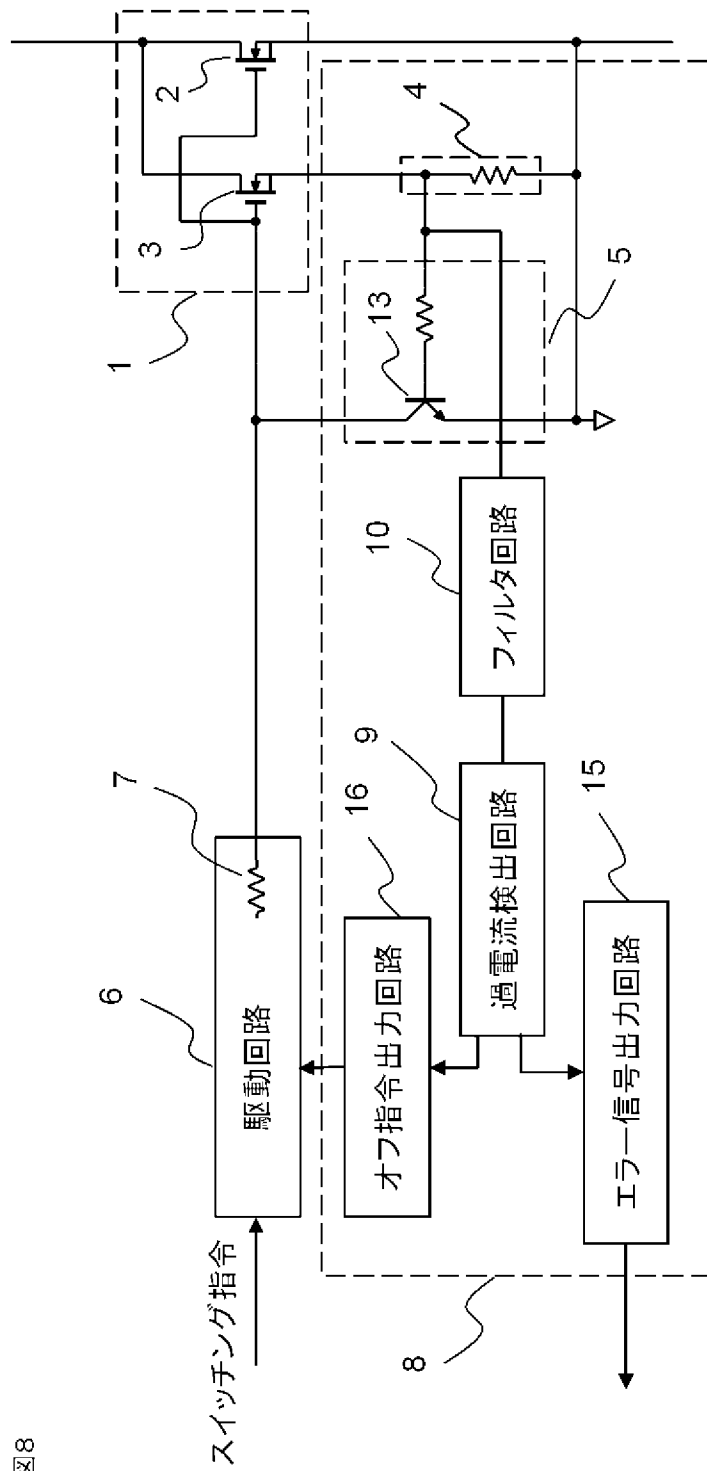
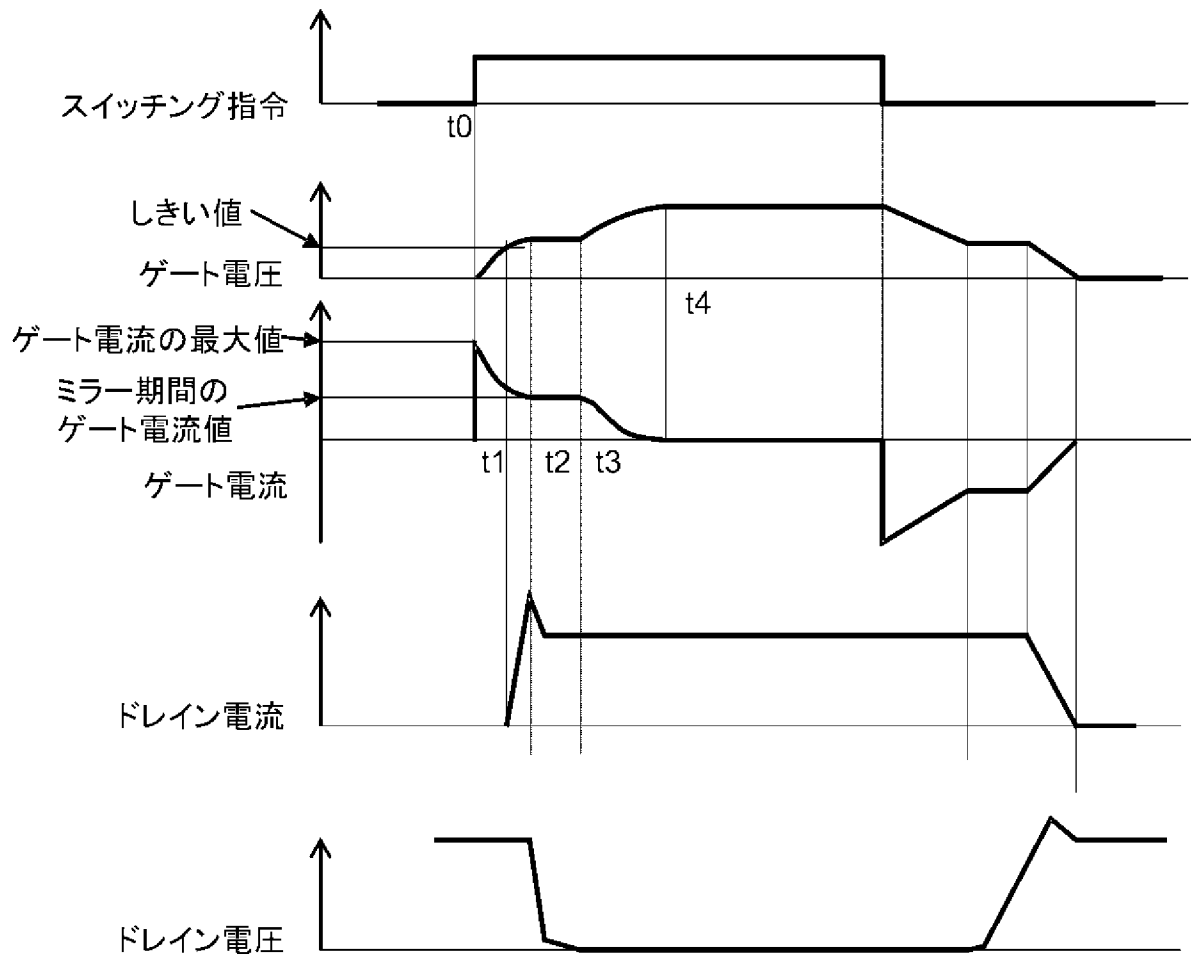


図8

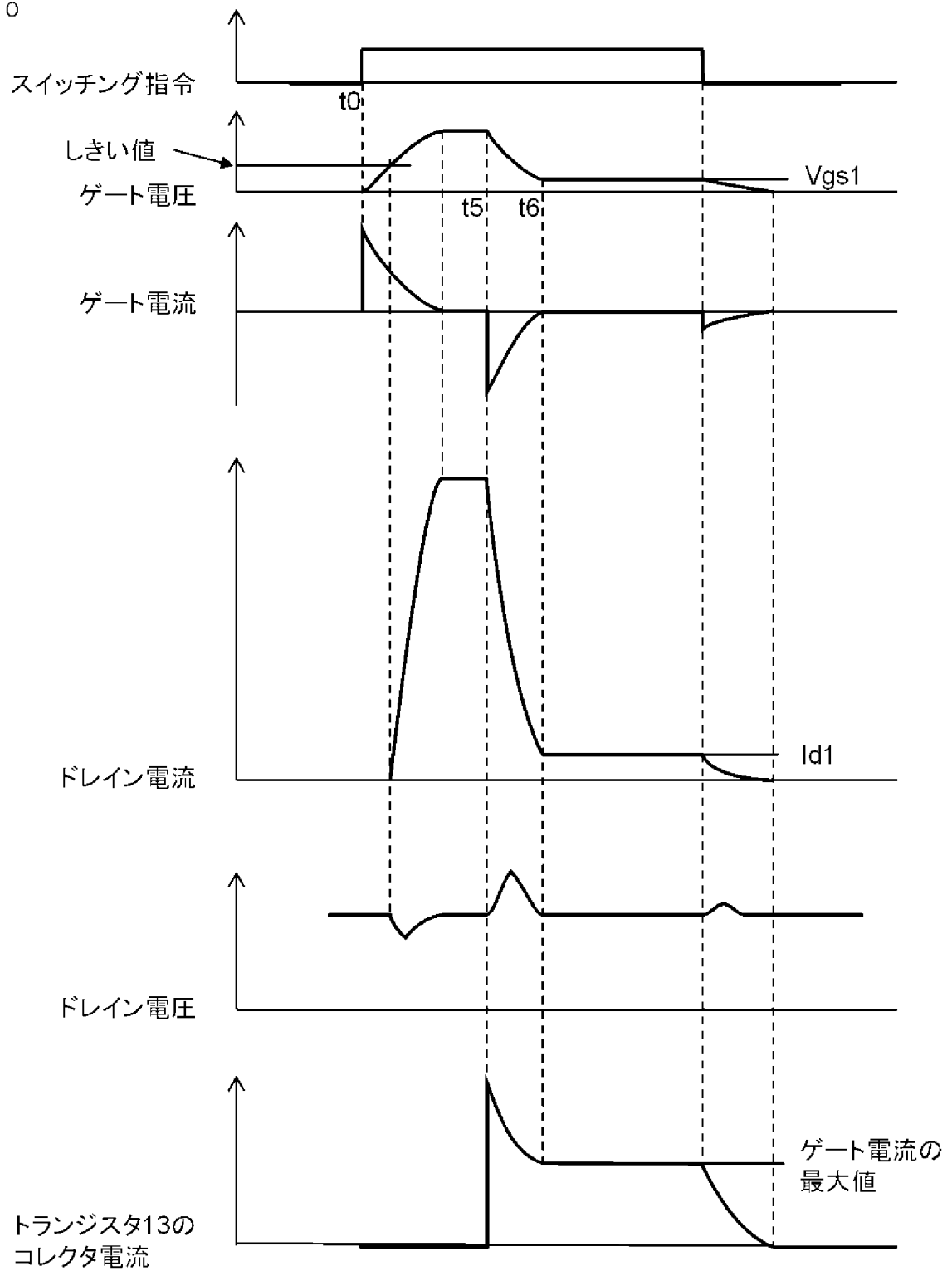
[図9]

図9



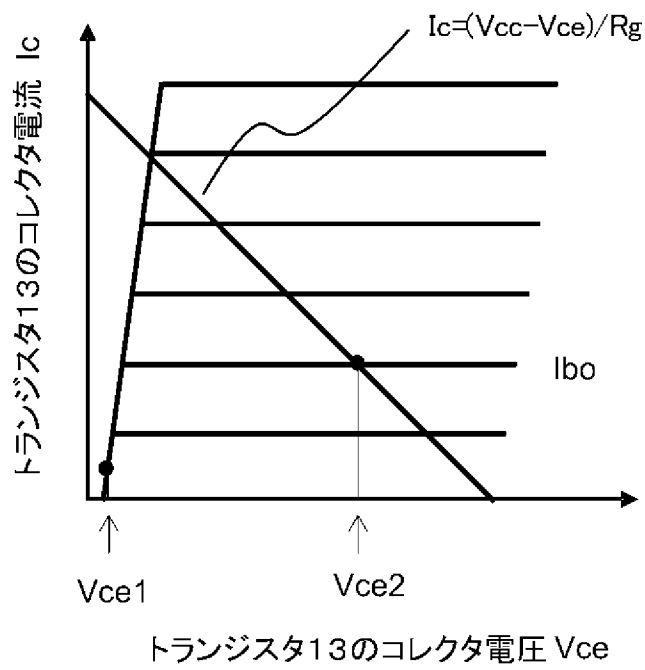
[図10]

図10

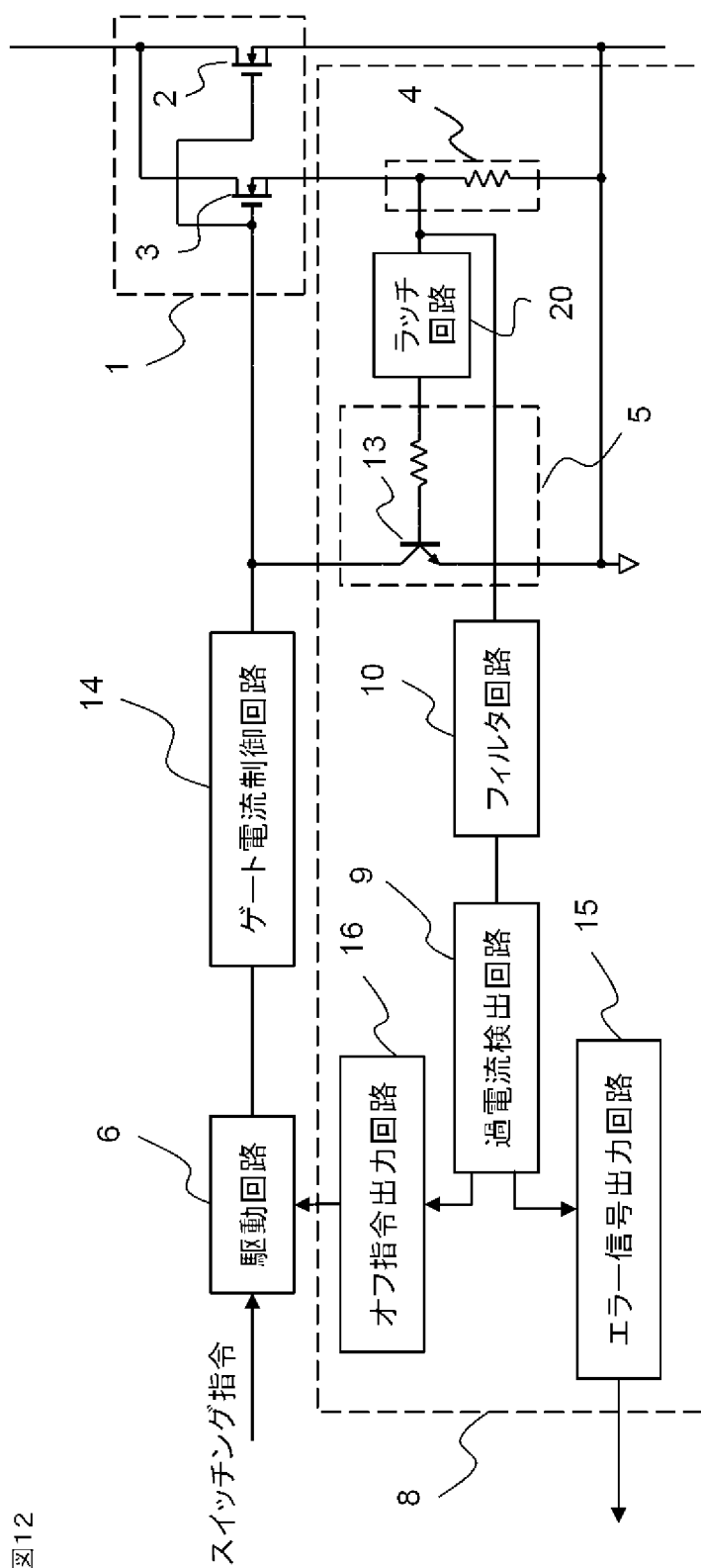


[図11]

図11

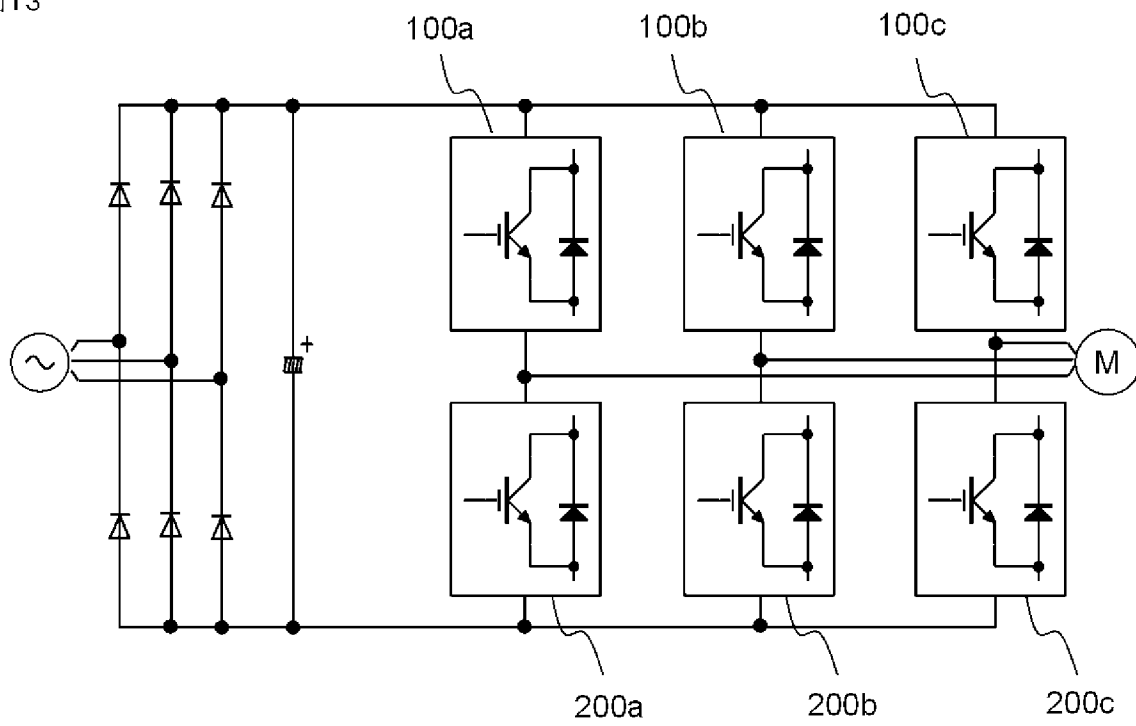


12

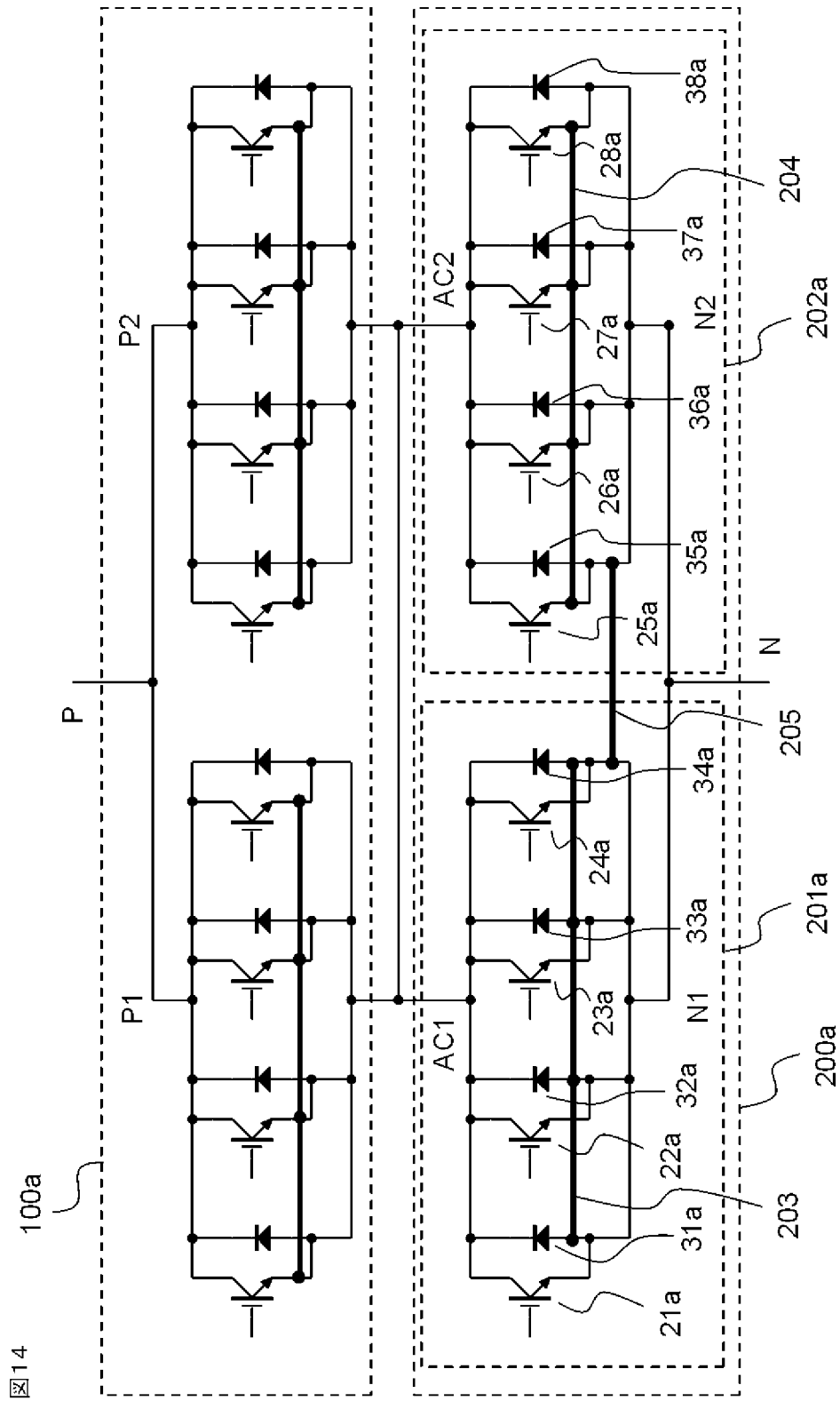


[図13]

図13

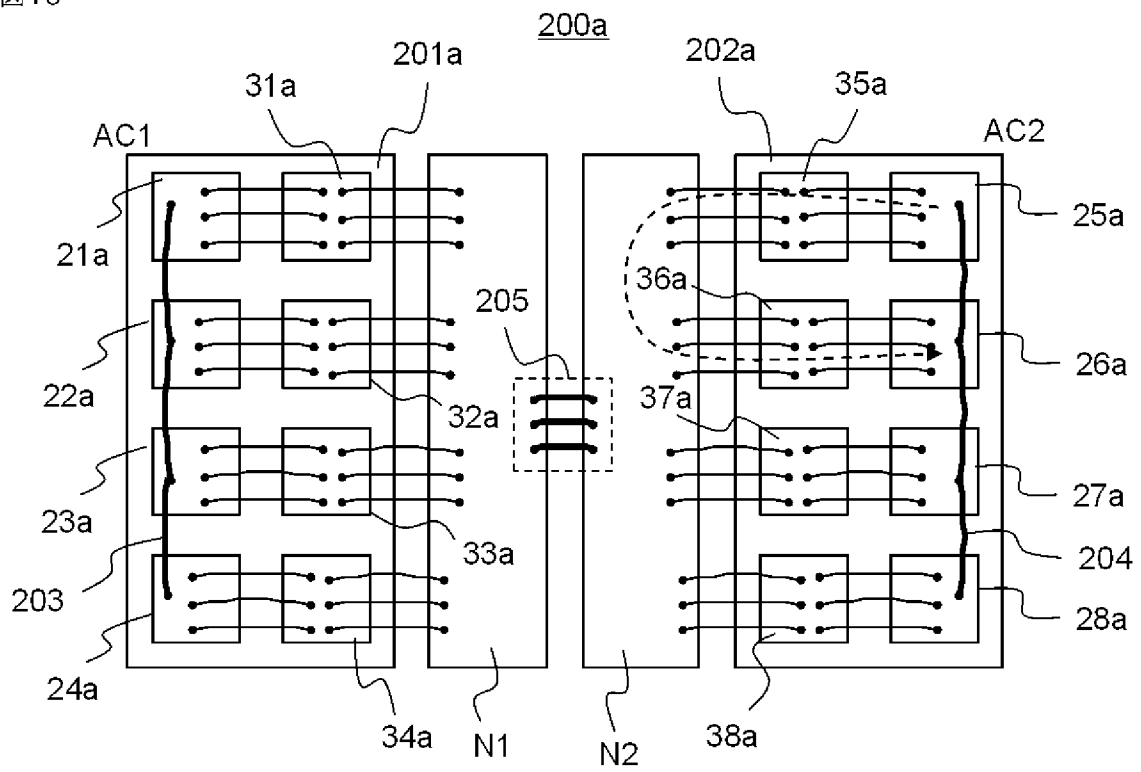


[図14]



[図15]

図15



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/056407

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/08 (2006.01) i, H02M1/00 (2007.01) i, H02M1/08 (2006.01) i, H03K17/687 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/00-17/70, H02M1/00, H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 5-267580 A (Fuji Electric Co., Ltd.), 15 October 1993 (15.10.1993), paragraphs [0002] to [0005], [0017] to [0023]; fig. 1, 3 & US 5500619 A & EP 0730347 A2 & EP 0561386 A1	1-4, 6-7, 9-10 8
Y A	JP 2009-60358 A (Denso Corp.), 19 March 2009 (19.03.2009), paragraphs [0002] to [0006]; fig. 5 (Family: none)	5 8
Y A	WO 2010/134276 A1 (Mitsubishi Electric Corp.), 25 November 2010 (25.11.2010), paragraphs [0013] to [0020]; fig. 3, 4 & US 2012/0013371 A1 & EP 2434627 A1 & CN 102428634 A	1-7, 9-10 8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
21 March, 2013 (21.03.13)

Date of mailing of the international search report
02 April, 2013 (02.04.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03K17/08(2006.01)i, H02M1/00(2007.01)i, H02M1/08(2006.01)i, H03K17/687(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03K17/00-17/70, H02M1/00, H02M1/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 5-267580 A（富士電機株式会社）1993.10.15, 【0 0 0 2】 - 【0 0 0 5】, 【0 0 1 7】 - 【0 0 2 3】, 図1, 図3	1 - 4, 6 - 7, 9 - 1 0
A	& US 5500619 A & EP 0730347 A2 & EP 0561386 A1	8
Y	JP 2009-60358 A（株式会社デンソー）2009.03.19, 【0 0 0 2】 - 【0 0 0 6】, 図5（ファミリーなし）	5
A		8
Y	W0 2010/134276 A1（三菱電機株式会社）2010.11.25, 【0 0 1 3】 - 【0 0 2 0】, 図3, 図4 & US 2012/0013371 A1 & EP 2434627 A1 & CN 102428634 A	1 - 7, 9 - 1 0
A		8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 3 . 2 0 1 3

国際調査報告の発送日

0 2 . 0 4 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

栗栖 正和

5 X

3 9 8 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6